

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成30年6月28日(2018.6.28)

【公表番号】特表2017-526996(P2017-526996A)

【公表日】平成29年9月14日(2017.9.14)

【年通号数】公開・登録公報2017-035

【出願番号】特願2016-571699(P2016-571699)

【国際特許分類】

G 06 F	9/50	(2006.01)
G 06 F	15/78	(2006.01)
G 06 F	9/52	(2006.01)
G 06 F	12/08	(2016.01)
G 06 F	1/32	(2006.01)
G 06 F	1/04	(2006.01)

【F I】

G 06 F	9/46	4 6 5 C
G 06 F	15/78	5 1 7
G 06 F	9/46	4 7 5 Z
G 06 F	12/08	5 6 5
G 06 F	12/08	5 1 3
G 06 F	12/08	5 7 9
G 06 F	12/08	5 4 3 B
G 06 F	1/32	Z
G 06 F	1/04	5 7 5

【手続補正書】

【提出日】平成30年5月21日(2018.5.21)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

プロセッサデバイス電力消費を管理する方法であって、

複数の処理コアを含むプロセッサ内で実行するようにスケジュールされた複数のスレッドの各々に関するスレッド実行基準を決定するステップであって、前記スレッド実行基準が、キャッシュ内のデータの読み取りまたは書き込みの失敗した試みに基づく、プロセッサの待ち状態の数を含むキャッシュミス率を含み、前記スレッド実行基準はさらに同期動作率を含む、ステップと、

前記複数のスレッドのうち、スレッド実行基準が第1のしきい値を満たすスレッドを前記複数の処理コアのうち第1の処理コアに割り振るステップであって、前記第1のしきい値は同期動作率のしきい値を含む、ステップと、

前記第1の処理コアの電力消費を低減するために、前記第1の処理コアの周波数を低減するステップと

を含む、方法。

【請求項2】

前記複数のスレッドのうち、スレッド実行基準が第1のしきい値を満たすスレッドを前記複数の処理コアのうち第1の処理コアに割り振るステップが、

前記複数のスレッドのうち、スレッド実行基準が前記第1のしきい値を満たすスレッドを第1のグループに関連付けるステップと、

スレッドの前記第1のグループを前記第1の処理コアに割り振るステップとを含む、請求項1に記載の方法。

【請求項3】

前記複数のスレッドのうち、スレッド実行基準が前記第1のしきい値を満たさないスレッドを前記複数の処理コアのうち第2の処理コアに割り振るステップをさらに含む、請求項1に記載の方法。

【請求項4】

前記第1の処理コアの周波数を低減するステップが、

前記第1の処理コアに割り振られた前記スレッドの前記キャッシュミス率に基づいて、前記第1の処理コアに関する特性キャッシュミス率を決定するステップと、

前記決定された特性キャッシュミス率に基づいて、前記第1の処理コアの前記周波数を低減するステップとをさらに含む、請求項1に記載の方法。

【請求項5】

前記同期動作率が、スピンロックの数、要求された共有リソースを待つ時間期間、ロック命令の数、および同期命令実行率のうちの少なくとも1つを含む、請求項1に記載の方法。

【請求項6】

前記第1の処理コアの周波数を低減するステップが、

前記第1の処理コアに割り振られた前記スレッドの前記同期動作率に基づいて、前記第1の処理コアに関する特性同期動作率を決定するステップと、

前記決定された特性同期動作率に基づいて、前記第1の処理コアの前記周波数を低減するステップとをさらに含む、請求項1に記載の方法。

【請求項7】

前記スレッド実行基準が命令タイプの比率をさらに含み、

前記第1のしきい値が命令タイプの比率のしきい値をさらに含む請求項1に記載の方法。

【請求項8】

請求項1乃至7の何れか1項に記載の方法を実施するための命令を含む、コンピュータプログラム。

【請求項9】

複数の処理コアを含むプロセッサ内で実行するようにスケジュールされた複数のスレッドの各々に関するスレッド実行基準を決定するための手段であって、前記スレッド実行基準が、キャッシュ内のデータの読み取りまたは書き込みの失敗した試みに基づく、プロセッサの待ち状態の数を含むキャッシュミス率を含み、前記スレッド実行基準はさらに同期動作率を含む、決定するための手段と、

前記複数のスレッドのうち、スレッド実行基準が第1のしきい値を満たすスレッドを前記複数の処理コアのうち第1の処理コアに割り振るための手段であって、前記第1のしきい値は同期動作率のしきい値を含む、手段と、

前記第1の処理コアの電力消費を低減するために、前記第1の処理コアの周波数を低減するための手段と

を含むコンピューティングデバイス。

【請求項10】

前記複数のスレッドのうち、スレッド実行基準が第1のしきい値を満たすスレッドを前記複数の処理コアのうち第1の処理コアに割り振るための手段が、

前記複数のスレッドのうち、スレッド実行基準が前記第1のしきい値を満たすスレッドを第1のグループに関連付けるための手段と、

スレッドの前記第1のグループを前記第1の処理コアに割り振るための手段とを含む、請求項9に記載のコンピューティングデバイス。

【請求項11】

前記複数のスレッドのうち、スレッド実行基準が前記第1のしきい値を満たさないスレッドを前記複数の処理コアのうち第2の処理コアに割り振るための手段をさらに含む、請求項9に記載のコンピューティングデバイス。

【請求項12】

前記第1の処理コアの周波数を低減するための手段が、

前記第1の処理コアに割り振られた前記スレッドの前記キャッシュミス率に基づいて、前記第1の処理コアに関する特性キャッシュミス率を決定するための手段と、

前記決定された特性キャッシュミス率に基づいて、前記第1の処理コアの前記周波数を低減するための手段と

をさらに含む、請求項9に記載のコンピューティングデバイス。

【請求項13】

前記同期動作率が、スピンロックの数、要求された共有リソースを待つ時間期間、ロック命令の数、および同期命令実行率のうちの少なくとも1つを含む、請求項9に記載のコンピューティングデバイス。

【請求項14】

前記第1の処理コアの周波数を低減するための手段が、

前記第1の処理コアに割り振られた前記スレッドの前記同期動作率に基づいて、前記第1の処理コアに関する特性同期動作率を決定するための手段と、

前記決定された特性同期動作率に基づいて、前記第1の処理コアの前記周波数を低減するための手段と

をさらに含む、請求項9に記載のコンピューティングデバイス。

【請求項15】

前記スレッド実行基準が命令タイプの比率をさらに含み、

前記第1のしきい値が命令タイプの比率のしきい値をさらに含む

請求項9に記載のコンピューティングデバイス。