201513112

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 201513112 A

(43)公開日： 中華民國 104 (2015) 年 04 月 01 日

(21)申請案號：103117492 (22)申請日： 中華民國 103 (2014) 年 05 月 19 日

(51)Int. Cl.： *G11C11/407 (2006.01)* *G11C11/409 (2006.01)*

(30)優先權：2013/05/27 日本 2013-111215

(71)申請人：ＰＳ４盧克斯科公司 (盧森堡) PS4 LUXCO S. A. R. L. (LU)
盧森堡

(72)發明人：利穗吉郎 RIHO, YOSHIRO (JP) ；野田浩正 NODA, HIROMASA (JP)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：11 項 圖式數：6 共 42 頁

(54)名稱

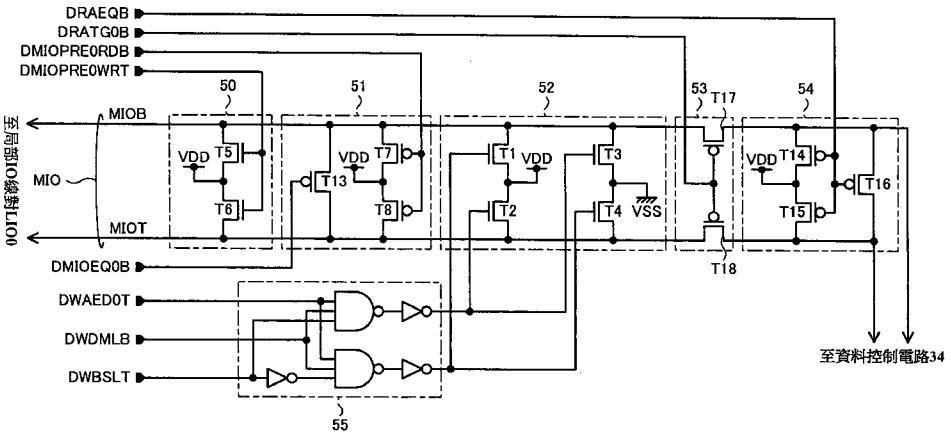
半導體裝置

SEMICONDUCTOR DEVICE

(57)摘要

實現半導體裝置之低消耗電力化。半導體裝置，係具備有：電晶體(T1)，係使其中一端與主 IO 線(MIOB)作連接，並於另外一端處被供給有電源電位(VDD)；和電晶體(T2)，係使其中一端與主 IO 線(MIOT)作連接，並於另外一端處被供給有電源電位(VDD)；和電晶體(T3)，係使其中一端與主 IO 線(MIOB)作連接，並於另外一端處被供給有接地電位(VSS)；和電晶體(T4)，係使其中一端與主 IO 線(MIOT)作連接，並於另外一端處被供給有接地電位(VSS)；和控制電路(55)，係基於應供給至主 IO 線(MIO)處之資料，來對於電晶體(T1~T4)之 ON、OFF 狀態作控制。電晶體(T1、T2)，係構成為當身為 ON 時，對於所對應之主 IO 線供給較電源電位(VDD)而更低之第 1 電位。電晶體(T3、T4)，係構成為當身為 ON 時，對於所對應之主 IO 線供給接地電位(VSS)。

圖 3



50・・・寫入用預充電電路

51、54・・・讀取用預充電電路

52・・・寫入驅動器

53・・・主 IO 線選擇開關

55・・・控制電路

MIO・・・主 IO 線對

MIOB、MIOT・・・主 IO 線

T1~T6・・・N 通道型 MOSFET

T7、T8、T13~T16・・・P 通道型 MOSFET

T17、T18・・・PMOS 電晶體

VDD・・・電源電位

VSS・・・接地電位

DRAEQB・・・均衡訊號

DRATG0B・・・主 IO 線選擇訊號

DMIOPRE0RDB・・・預充電訊號

DMIOPRE0WRT・・・預充電訊號

DMIOEQ0B・・・均衡訊號

DWAED0T・・・寫入致能訊號

DWDMLB・・・資料遮罩訊號

DWBSLT・・・資料訊號

201513112

發明摘要

※申請案號：103117492

G11C 11/407 (2006.01)

※申請日：103年05月19日 ※IPC分類：G11C 11/409 (2006.01)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【中文】

[課題] 實現半導體裝置之低消耗電力化。

[解決手段] 半導體裝置，係具備有：電晶體（T1），係使其中一端與主IO線（MIOB）作連接，並於另外一端處被供給有電源電位（VDD）；和電晶體（T2），係使其中一端與主IO線（MIOT）作連接，並於另外一端處被供給有電源電位（VDD）；和電晶體（T3），係使其中一端與主IO線（MIOB）作連接，並於另外一端處被供給有接地電位（VSS）；和電晶體（T4），係使其中一端與主IO線（MIOT）作連接，並於另外一端處被供給有接地電位（VSS）；和控制電路（55），係基於應供給至主IO線（MIO）處之資料，來對於電晶體（T1～T4）之ON、OFF狀態作控制。電晶體（T1、T2），係構成為當身為ON時，對於所對應之主IO線供給較電源電位（VDD）而更低之第1電位。電晶體（T3、T4），係構成為當身為ON時，對於所對應之主IO線供給接地電位（VSS）。

【英文】

【代表圖】

【本案指定代表圖】：第(3)圖。

【本代表圖之符號簡單說明】：

50：寫入用預充電電路

51、54：讀取用預充電電路

52：寫入驅動器

53：主 IO 線選擇開關

55：控制電路

MIO：主 IO 線對

MIOB、MIOT：主 IO 線

T1～T6：N 通道型 MOSFET

T7、T8、T13～T16：P 通道型 MOSFET

T17、T18：PMOS 電晶體

VDD：電源電位

VSS：接地電位

DRAEQB：均衡訊號

DRATG0B：主 IO 線選擇訊號

DMIOPRE0RDB：預充電訊號

DMIOPRE0WRT：預充電訊號

DMIOEQ0B：均衡訊號

DWAED0T：寫入致能訊號

DWDMLB：資料遮罩訊號

DWBSLT：資料訊號

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

（本說明書格式、順序，請勿任意更動）

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【技術領域】

[0001] 本發明，係有關於半導體裝置，特別是有關於具備有寫入驅動器之半導體裝置。

【先前技術】

[0002] 在 DRAM（Dynamic Random Access Memory）等之半導體裝置中，於進行對於記憶體胞之寫入資料的寫入時，係使用有寫入驅動器。寫入驅動器，係為因應於寫入資料而對於主 IO 線對之電位進行控制者，並包含有使各別之輸出端子與主 IO 線對之其中一方（主 IO 線 MIOT）以及另外一方（主 IO 線 MIOB）作了連接之 2 個的 CMOS（Complementary Metal-Oxide-Semiconductor field-effect transistor），而構成之。以下，將被與主 IO 線 MIOT 作了連接的 CMOS，稱作「TRUE 側 CMOS」，並將被與主 IO 線 MIOB 作了連接的 CMOS，稱作「BAR 側 CMOS」。

[0003] TRUE 側 CMOS 以及 BAR 側 CMOS，係均具備有使 P 通道型 MOSFET（Metal-Oxide-Semiconductor

Field-Effect Transistor）（PMOS）和 N 通道型 MOSFET（NMOS）在被供給有電源電位 VDD 之電源配線和被供給有接地電位 VSS 之電源配線之間而作了串聯連接之構成。當將主 IO 線 MIOT 設為 HIGH 並將主 IO 線 MIOB 設為 LOW 的情況時，TRUE 側 CMOS 之 PMOS 以及 BAR 側 CMOS 之 NMOS 係被設為 ON，其他之 2 個的電晶體係被設為 OFF。另一方面，當將主 IO 線 MIOT 設為 LOW 並將主 IO 線 MIOB 設為 HIGH 的情況時，TRUE 側 CMOS 之 NMOS 以及 BAR 側 CMOS 之 PMOS 係被設為 ON，其他之 2 個的電晶體係被設為 OFF。藉由此，在主 IO 線對之間，係產生 VDD-VSS 之電位差，此電位差係通過感測放大器以及位元線對而被寫入至記憶體胞中。

[0004] 在專利文獻 1 之圖 4 中，係對於具有上述一般之構造的寫入驅動器之半導體裝置有所揭示。

[先前技術文獻]

[專利文獻]

[0005]

[專利文獻 1] 日本特開 2009-13035 號公報

【發明內容】

[發明所欲解決之課題]

[0006] 然而，當如同上述一般而進行電晶體之 ON、OFF 的情況時，於每次之 ON、OFF 的切換時，係會成為

在主 IO 線對處流動有電流。流動有電流一事，係代表著電力被消耗。在近年之半導體裝置中，對於低消耗電力化之要求係日益嚴苛，並要求能夠對起因於此種電流（充放電電流）所導致的電力消耗盡可能地作抑制。

[0007] 於此，針對 DRAM 之寫入動作，主 IO 線對之間的電位差係並非絕對需要身為 VDD-VSS，就算是更小之值，亦能夠充分地進行寫入資料之寫入。如同上述一般之主 IO 線對的充放電電流，由於係成為若是主 IO 線對之間的電位差之變動越大則會越增大，因此，從低消耗電力化之觀點來看，主 IO 線對間之電位差成為 VDD-VSS 一事係為無謂的浪費。故而，係對於將主 IO 線對之間的電位差縮小一事有所要求。

[用以解決課題之手段]

[0008] 由本發明之其中一側面所致之半導體裝置，其特徵為，係具備有：第 1 資料線對，係由第 1 以及第 2 資料線所成；和第 1 電晶體，係使其中一端與前述第 1 資料線作連接，並於另外一端處被供給有第 1 電源電位，且構成為當成為 ON 時而將較前述第 1 電源電位更低之第 1 電位供給至前述第 1 資料線處；和第 2 電晶體，係使其中一端與前述第 2 資料線作連接，並於另外一端處被供給有前述第 1 電源電位，且構成為當成為 ON 時而將前述第 1 電位供給至前述第 2 資料線處；和第 3 電晶體，係使其中一端與前述第 1 資料線作連接，並於另外一端處被供給有

較前述第 1 電位更低之第 2 電源電位，且構成為當成為 ON 時而將前述第 2 電源電位供給至前述第 1 資料線處；和第 4 電晶體，係使其中一端與前述第 2 資料線作連接，並於另外一端處被供給有前述第 2 電源電位，且構成為當成為 ON 時而將前述第 2 電源電位供給至前述第 2 資料線處；和控制電路，係基於應供給至前述第 1 資料線對處之資料，來對於前述第 1 乃至第 4 電晶體之 ON、OFF 狀態作控制。

[發明之效果]

[0009] 若依據本發明，則第 1 資料線對間之電位差的最大值，係成為與第 1 電位（＜第 1 電源電位）和第 2 電源電位之間的差相等。故而，相較於第 1 資料線對間之電位差的最大值係成為與第 1 電源電位和第 2 電源電位之間的差相等的情況，係能夠實現半導體裝置之低消耗電力化。

【圖式簡單說明】

[0010]

[圖 1] 對於由本發明之理想實施形態所致的半導體裝置 1 之全體構成作展示的區塊圖。

[圖 2] 對於由本發明之理想之第 1 實施形態所致的半導體裝置 1 之構成的一部分（從記憶庫 BA_0 起直到局部 IO 線 LIO0 為止的部份）作展示之區塊圖。

[圖 3] 對於圖 1 中所示之半導體裝置 1 的構成之另外一部分（關連於主 IO 線 MIO 之部分）作展示的區塊圖。

[圖 4] 圖 1 中所示之半導體裝置 1 的訊號波形圖。

[圖 5] 對於由本發明之理想之第 2 實施形態所致的半導體裝置 1 之構成的一部分（關連於主 IO 線 MIO 之部份）作展示之區塊圖。

[圖 6] 圖 3 中所示之半導體裝置 1 以及圖 5 中所示之半導體裝置 1 的訊號波形圖。

【實施方式】

[0011] 以下，參考所添附之圖面，針對本發明之理想實施形態作詳細說明。

[0012] 由本發明之第 1 實施形態所致之半導體裝置 1，係為被積體於 1 個的半導體晶片中之 DDR4 型態的 DRAM，並如圖 1 中所示一般，具備有被分割成 n+1 個的記憶庫（bank）BA_0～BA_n 之記憶體胞陣列 30。各記憶庫 BA_k（k 為 0～n 之整數）係為能夠個別地實行指令之單位，基本上係能夠平行（parallel）地進行動作。

[0013] 於圖 1 中雖並未作展示，但是，在各記憶庫 BA_k 中，係被設置有相互交叉之複數之字元線和複數之位元線，在該些之交點處係被配置有記憶體胞。字元線之選擇，係藉由行（row）解碼器 31_k 來進行，位元線之選擇，係藉由列（column）解碼器 33_k 來進行。位元線，係分別被與感測電路 32_k 內之所對應的感測放大器作連接，

藉由列解碼器 33_k 所選擇了的位元線，係經由所對應之感測放大器而被與資料控制器 34 作連接。各位元線和資料控制電路 34 之間，係藉由局部 IO 線以及主 IO 線而被作連接，但是，針對此點，係於後再作詳細敘述。資料控制電路 34，係經由閂鎖電路 35 而被與輸入輸出電路 36 作連接。輸入輸出電路 36，係為經由資料端子 16 而進行資料 DQ 之輸入輸出的電路區塊。

[0014] 半導體裝置 1，係除了資料端子 16 以外，亦作為外部端子，而具備有時脈端子 10a、10b、時脈致能端子 11、位址端子 12、指令端子 13、警報端子 14、電源端子 15、資料端子 16、閃控（strobe）端子 17、中斷電阻（On Die Termination，ODT）端子 18、資料遮罩（DM）/資料匯流排轉位（DATA BUS INVERSION，DBI）端子 19。

[0015] 閃控端子 17，係為用以將外部閃控訊號 DQS、/DQS 作輸入輸出的端子。外部閃控訊號 DQS、/DQS，係為對於經由資料端子 16 所輸入輸出的資料 DQ 之輸入輸出時序作規定的訊號，並存在有對應於讀取資料者和對應於寫入資料者。前者，係從輸入輸出電路 36 而經由閃控端子 17 來輸出至外部。後者，係從外部而經由閃控端子 17 來供給至閂鎖電路 35 處。另外，在本說明書中，在訊號名稱之前頭而附加有斜線（/）的訊號，係代表其為所對應之訊號的反轉訊號或者是低啟動（low active）之訊號。故而，外部閃控訊號 DQS、/DQS 係為互

為相補之訊號。

[0016] 時脈端子 10a、10b，係為分別被供給有外部時脈 CK、/CK 之端子。時脈訊號 CK、/CK 亦係為互為相補之訊號。被供給至時脈端子 10a、10b 處之外部時脈 CK、/CK，係被供給至時脈產生電路 20 以及 DLL 電路 37 處。時脈產生電路 20，係為基於外部時脈訊號 CK、/CK 而產生內部時脈訊號之電路。所產生了的內部時脈訊號，係被供給至指令解碼器 21、控制邏輯 22、列解碼器 33_1～33_n、資料控制電路 34 以及閂鎖電路 35 等處。DLL 電路 37，係為產生基於外部時脈訊號 CK、/CK 而被作了相位控制的輸出時脈訊號之電路。輸出時脈訊號，係作為對於藉由輸入輸出電路 36 所進行的讀取資料之輸出時序作規定的時序訊號而被使用。

[0017] 位址端子 12，係藉由被供給有包含記憶庫位址訊號 BA 以及位址訊號 Address 之位址訊號 ADD 的各位元之複數的端子所構成。所被供給而來之位址訊號 ADD，係被供給至行控制電路 25、列控制電路 26、模式暫存器 24、指令解碼器 21 等處。

[0018] 通常，位址訊號 ADD 係成為特定出記憶體胞之訊號。於此情況，係藉由記憶庫位址訊號 BA 而特定出複數之記憶庫 BA_k 中的其中一者，並藉由位址訊號 Address 來特定出藉由記憶庫位址訊號 BA 所特定出的記憶庫 BA_k 內之記憶體胞。在位址訊號 Address 中，係包含有特定出字元線之行位址、和特定出位元線之列位址，行

位址係被供給至行控制電路 25 處，列位址係被供給至列控制電路 26 處。

[0019] 行控制電路 25，係具備有基於記憶庫位址訊號 BA 來選擇記憶庫 BA_k 並基於行位址來對於所選擇了的記憶庫 BA_k 內之行解碼器 31_k 作控制的功能。行解碼器 31_k，係基於被供給而來之行位址而如同上述一般地進行字元線之選擇。又，列控制電路 26，係具備有基於列位址來對於列解碼器 33_k 作控制之功能。列解碼器 33_k，係基於被供給而來之列位址而如同上述一般地進行位元線之選擇。

[0020] 另一方面，當半導體裝置 1 係在模式暫存器設定模式中有所登錄的情況時之位址訊號 ADD，係成為代表與在同時期中所輸入的指令訊號相對應之既定之資訊的訊號。此情況之位址訊號 ADD 係被供給至模式暫存器 24 處，藉由此，模式暫存器 24 之內容係被更新。

[0021] 指令端子 13，係為藉由分別被供給有晶片選擇訊號/CS、行位址閃控訊號/RAS、列位址閃控訊號/CAS、寫入致能訊號/WE、動作訊號/ACT、同位（parity）訊號 PRT、重置訊號 RESET_N 以及邊界掃描訊號 TEN 等之各種指令訊號 CMD 的複數之端子所構成。被供給至指令端子 13 處之指令訊號 CMD，係被輸入至指令解碼器 21 中，並藉由指令解碼器 21 而被轉換為各種內部指令。指令解碼器 12 所產生的各種內部指令訊號，係被供給至控制邏輯 22 處。控制邏輯 22，係構成為基於被供

給而來之內部指令訊號，而對於行控制電路 25、列控制電路 26 等之動作進行控制。

[0022] 在指令解碼器 21 中，係包含有未圖示之驗證電路。驗證電路，係基於同位訊號 PRTY 來對於位址訊號 ADD 以及指令訊號 CMD 進行驗證，並當其結果為在位址訊號 ADD 或者是指令訊號 CMD 中為存在有錯誤的情況時，經由控制邏輯 22 以及輸出緩衝器 23 而從警報端子 14 輸出警報訊號 ALERT_N。

[0023] 電源端子 15，係藉由分別被供給有電源電位 VPP、VDD 以及接地電位 VSS 之複數的端子所構成。作為電源電位 VPP 而被供給至電源端子 15 處之電位，通常係為較電源電位 VDD 而更高電位準位之電位。被供給至電源端子 15 處之各電位，係被供給至電壓產生電路 39 處。電壓產生電路 39，係為基於電源電位 VDD、VPP 而產生各種內部電位之電路區塊，並產生身為後述之局部 IO 線對之預充電電位的位元線電位 VBLP、在感測電路 32_k 內之感測放大器處所被使用的陣列電位 VARY 等。位元線電位 VBLP 以及陣列電位 VARY，係均為較電源電位 VDD 而更低之電位準位的電位，電壓產生電路 39，係藉由將電源電位 VDD 降壓，而產生此些之電位。

[0024] ODT 端子 18，係為被供給有終端訊號 ODT 之端子。終端訊號 ODT，係為當將被包含於輸入輸出電路 36 中之未圖示的輸出緩衝器作為終端電阻來使用的情況時而被活性化之訊號，並從 ODT 端子 18 而被供給至輸入

輸出電路 36 處。

[0025] DM/DBI 端子 19，係為被供給有資料遮罩訊號 DM 或者是資料匯流排轉位訊號 DBI 之端子。資料遮罩訊號 DM，係為當將寫入資料以及讀取資料之一部分作遮蔽的情況時而被活性化之訊號，資料匯流排轉位訊號 DBI，係為當藉由被追加於 DDR4 中之 DBI 技術來使讀取資料作了反轉的情況時而被活性化之訊號。資料遮罩訊號 DM 以及資料匯流排轉位訊號 DBI，係均從 DM/DBI 端子 19 而被供給至輸入輸出電路 36 處。

[0026] 以上，係針對由本實施形態所致之半導體裝置 1 的全體構造作了說明。接著，注目於本發明之特徵部分，而進行更為詳細之說明。另外，於以下之說明中，雖係注目於圖 1 中所示之記憶庫 BA_0 來進行說明，但是，針對其他之記憶庫 BA_1～BA_n，係亦為相同。

[0027] 如圖 2 中所示一般，在記憶庫 BA_0 之內部，係延伸設置有 4 個的位元線對 BL0～BL3。如同上述一般，除此之外，在記憶庫 BA_0 中係亦被設置有字元線和記憶體胞，但是，於圖 2 中係將此些之圖示省略。另外，於此雖係將在記憶庫 BA_0 內所延伸設置之位元線對的數量設為 4 個，但是係亦可延伸設置 1～3 或者是 5 以上之位元線對。

[0028] 各位元線對 BLm（m 係為 0～3 之整數），係藉由 2 根的位元線 BLmT、BLmB 所構成。在位元線 BLmT、BLmB 處，係被供給有互補之資料（讀取資料或

寫入資料）。

[0029] 於圖 1 所示之感測電路 32_k 中，係包含有各位元線對 BLm 之個別的感測放大器 40_m。又，在圖 1 所示之列解碼器 33_k 中，係包含有各位元線對 BLm 之個別的列開關 41_m，各位元線對 BLm，係經由所對應之列開關 41_m，而被與局部 IO 線對 LIO0（第 2 資料線對）作連接。局部 IO 線對 LIO0，係為對於記憶庫 BA_0 所設置的複數之局部 IO 線對中的其中一者，並藉由局部 IO 線 LIO0B（第 3 資料線）和局部 IO 線 LIO0T（第 4 資料線）所構成。關於其他的局部 IO 線對以及被與該些作連接之位元線對，係省略圖示，但是該些係具備有相同之構成。

[0030] 感測放大器 40_m，在讀取時係達成將位元線對 BLm 之間的電位放大並輸出至局部 IO 線對 LIO0 處之功能。具體而言，係藉由將位元線 BLmT、BLmB 中之相對性而言電位為較低之一方的電位，驅動為接地電位 VSS 之電位準位，並將另外一方的電位，驅動為上述之陣列電位 VARY 之電位準位，來進行讀取資料之放大。另一方面，進行寫入時之感測放大器 40_m，係達成將局部 IO 線對 LIO0 之間的電位作為寫入資料來寫入至所對應之記憶體胞中的功能。關於其之具體性的動作，係與讀取時相同。

[0031] 列開關 41_m，係如圖 2 中所示一般，為藉由在每一位元線處所分別設置之電晶體（NMOS）所構成者。在構成列開關 41_m 之各電晶體的閘極電極處，係從圖 1 中

所示之列控制電路 26 而被供給有列開關選擇訊號 YSm。列開關 41_m，係構成為若是所對應之列開關選擇訊號 YSm 被活性化，則將所對應之位元線對 BLm 與局部 IO 線對 LIO0 作連接，而若是所對應之列開關選擇訊號 YSm 被設為非活性化，則將所對應之位元線對 BLm 從局部 IO 線對 LIO0 而切離。藉由此，僅有被與身為讀取或者是寫入之對象的記憶體胞作了連接之位元線對 BLm，會被與局部 IO 線對 LIO0 作連接。

[0032] 在局部 IO 線對 LIO0 處，係如圖 2 中所示一般，被設置有預充電電路 42。又，局部 IO 線對 LIO0，係經由局部 IO 線選擇開關 43，而被與主 IO 線對 MIO（第 1 資料線對）作連接。另外，於此雖係僅圖示有 1 個的被與主 IO 線對 MIO 作連接之局部 IO 線對，但是，實際上在 1 個的主 IO 線對 MIO 處係被連接有複數之局部 IO 線對。主 IO 線對 MIO，係藉由主 IO 線 MIOB（第 1 資料線）和主 IO 線 MIOT（第 2 資料線）所構成。預充電電路 42 以及局部 IO 線選擇開關 43，係被設置於每一 IO 線對處。

[0033] 預充電電路 42，係如圖 2 中所示一般，藉由使各別之其中一端被與局部 IO 線 LIO0B、LIO0T 作了連接的電晶體 T11（第 11 電晶體）以及電晶體 T12（第 12 電晶體）所構成。在電晶體 T11、T12 之各別的另外一端處，係共通性地被供給有上述之位元線電位 VBLP（第 3 電源電位）。電晶體 T11、T12 係均為 NMOS。又，局部 IO 線選擇開關 43，係藉由使其中一端被與局部 IO 線

LIO0B 作連接並使另外一端與主 IO 線 MIOB 作連接之電晶體 T9 和使其中一端被與局部 IO 線 LIO0T 作連接並使另外一端與主 IO 線 MIOT 作連接之電晶體 T10 所構成。電晶體 T9、T10 亦係為 NMOS。

[0034] 在電晶體 T9、T10 之各閘極電極處，係從圖 1 中所示之列控制電路 26 而被共通地供給有控制訊號 AMST0。又，在電晶體 T11、T12 之各閘極電極處，係被共通地供給有控制訊號 AMST0 之反轉訊號。故而，電晶體 T9、T10，電晶體 T11、T12，係分別相互採取相同之 ON、OFF 狀態，並且，當電晶體 T9、T10 為 ON 時，電晶體 T11、T12 係成為 OFF，當電晶體 T9、T10 為 OFF 時，電晶體 T11、T12 係成為 ON。

[0035] 控制訊號 AMST0，係為當進行讀取或寫入時而有必要將局部 IO 線對 LIO0 和主 IO 線對 MIO 作連接的情況時，會被活性化為 HIGH 準位之訊號。列控制電路 26，係構成為接收較位元線電位 VBLP 而更高之電位（第 2 電位）並動作，故而，控制訊號 AMST0 之電位準位，係成為較位元線電位 VBLP 而更高之電位。以下，係假設控制訊號 AMST0 之電位準位為與電源電位 VDD 相等，來繼續進行說明。

[0036] 於此，例如若是注目於電晶體 T11，則能夠從電晶體 T11 所供給至局部 IO 線 LIO0B 處之電位，係存在有上限值。具體而言，係並無法透過電晶體 T11，來對於局部 IO 線 LIO0B 而供給較 VBLP 以及 VDD（第 2 電位）

-Vth 的兩者中之較小者而更大之電位。但是，Vth 係為電晶體 T11 之臨限值電壓。

[0037] 上限值 VBLP 的發生原因，係因為被供給至電晶體 T11 之汲極處的電位乃身為位元線電位 VBLP 之故。另一方面，上限值 VDD-Vth 的發生原因，係因為電晶體 T11 乃身為 NMOS 之故。亦即是，NMOS，若是閘極和源極間之電位差並未成為 Vth 以上則便不會成為 ON，但是，在電晶體 T11 的情況時，由於局部 IO 線 LIO0B 係成為源極，因此為了成為 ON，在局部 IO 線 LIO0B 之電位和活性狀態下之控制訊號 AMST0 之電位準位之間的差，係需要成為 Vth 以上。在活性狀態下之控制訊號 AMST0 的電位準位，由於係如同上述一般而身為電源電位 VDD，因此，為了使電晶體 T11 成為 ON，局部 IO 線 LIO0B 之電位，係必須要成為 VDD-Vth 以下。故而，電晶體 T11，係成為無法對於局部 IO 線 LIO0B 供給較 VDD-Vth 而更大之電位。

[0038] 以上之事態，對於電晶體 T12 而言，亦為相同。如此這般，身為 NMOS 之電晶體 T11、T12 所能夠供給之電位，係不僅會受到被供給至汲極處之電位的大小所限制，而亦會受到起因於臨限值電壓 Vth 之大小所造成的限制。此種起因於臨限值電壓之大小所造成的限制，係為起因於電晶體 T11、T12 乃身為 NMOS 一事所導致者，如果電晶體 T11、T12 乃身為 PMOS，則並不會造成此限制。故而，一般而言，作為此種預充電用之電晶體，多係

使用 PMOS，但是，於此作為電晶體 T11、T12 而使用 NMOS 的原因，係因為以成為 VBLP＜VDD-Vth 的方式來對於各電位作設定之故。由於若是成為 VBLP＜VDD-Vth，則起因於臨限值電壓之大小所導致的限制實際上係並不會造成問題，因此作為電晶體 T11、T12，係能夠使用適於小型化之 NMOS。

[0039] 接著，如圖 3 中所示一般，主 IO 線對 MIO，係於其中一端處而被與局部 IO 線對 LIO0 作連接，並於另外一端處而被與資料控制電路 34 作連接。又，在主 IO 線對 MIO 處，係從局部 IO 線對 LIO0 側起，而依序被設置有寫入用預充電電路 50、讀取用預充電電路 51、寫入驅動器 52、主 IO 線選擇開關 53、以及讀取用預充電電路 54。寫入驅動器 52，係被與構成圖 1 中所示之資料控制電路 34 的一部分之控制電路 55 作連接。

[0040] 首先，針對圖 3 中所示之 8 種類的訊號作說明。首先，資料訊號 DWBSLT，係為代表從半導體裝置 1 之外部而被供給至圖 1 中所示之資料端子 16 處的寫入資料之訊號，並經由圖 1 中所示之輸入輸出電路 36 以及閂鎖電路 35 而被供給至控制電路 55 處。由於寫入資料之電位準位係身為電源電位 VDD，並且輸入輸出電路 36 以及閂鎖電路 35 係為接收電源電位 VDD 而動作的電路，因此資料訊號 DWBSLT 之電位準位係成為電源電位 VDD。從外部所對於資料端子 16 之寫入資料的輸入，例如係藉由 1 次 8 位元之叢發輸入來進行。

[0041] 接著，資料遮罩訊號 DWDMLB，係為代表從半導體裝置 1 之外部而被供給至圖 1 中所示之 DM/DBI 端子 19 處的低啟動（low active）之訊號，並經由圖 1 中所示之輸入輸出電路 36 以及閂鎖電路 35 而被供給至控制電路 55 處。資料遮罩訊號 DWDMLB 之電位準位，亦係與資料訊號 DWBSLT 相同的，而成為電源電位 VDD。資料遮罩訊號，係具備有與作為寫入資料而被叢發輸入至資料端子 16 處之一連串的資料位元之各者相互對應的位元，並以使雖然被輸入至半導體裝置 1 中但是並不會成為對於記憶體胞之寫入對象的資料位元相對應之位元活性化（成為 LOW）且使其他的位元成為非活性（成為 HIGH）的方式而被作控制。

[0042] 寫入致能訊號 DWAED0T，係為從圖 1 中所示之控制邏輯 22 所供給至控制電路 55 處之高啟動（high active）之訊號。控制邏輯 22，係構成為當藉由被供給至指令端子 13 處之指令訊號 CMD 而被指示有寫入動作之實行的情況時，將寫入致能訊號 DWAED0T 活性化。控制邏輯 22，由於係為接收電源電位 VDD 而動作的電路，因此寫入致能訊號 DWAED0T 之電位準位亦係成為電源電位 VDD。

[0043] 預充電訊號 DMIOPRE0WRT，係為從圖 1 中所示之列控制電路 26 所供給至寫入用預充電電路 50 處之高啟動（high active）之訊號。預充電訊號 DMIOPRE0WRT，係當在進行寫入動作時而進行主 IO 線

對 MIO 之預充電的情況時被活性化。列控制電路 26，由於係為接收電源電位 VDD 而動作的電路，因此預充電訊號 DMIOPRE0WRT 之電位準位亦係成為電源電位 VDD。

[0044] 預充電訊號 DMIOPRE0RDB 以及均衡訊號 DMIOEQ0B，係分別為從圖 1 中所示之列控制電路 26 所供給至讀取用預充電電路 51 處之低啟動（low active）之訊號。此些係均為當在進行讀取動作時而進行主 IO 線對 MIO 之預充電的情況時被活性化。預充電訊號 DMIOPRE0RDB 以及均衡訊號 DMIOEQ0B 之各別的電位準位，係亦與預充電訊號 DMIOPRE0WRT 相同的，而身為電源電位 VDD。

[0045] 均衡訊號 DRAEQB，係為從圖 1 中所示之列控制電路 26 所供給至寫入用預充電電路 54 處之低啟動（low active）之訊號。均衡訊號 DRAEQB，亦係為當在進行讀取動作時而進行主 IO 線對 MIO 之預充電的情況時被活性化。均衡訊號 DRAEQB 之電位準位，亦係為電源電位 VDD。

[0046] 主 IO 線選擇訊號 DRATG0B，係為從圖 1 中所示之列控制電路 26 所供給至主 IO 線選擇開關 53 處之低啟動（low active）之訊號。主 IO 線選擇訊號 DRATG0B，係為當進行讀取動作時而將主 IO 線對 MIO 與資料控制電路 34 作連接的情況時，而被活性化。主 IO 線選擇訊號 DRATG0B 之電位準位，亦係為電源電位 VDD。

[0047] 以下，針對關連於主 IO 線對 MIO 所設置的

各電路之構成以及接收有上述之各訊號的各電路之動作作說明。

[0048] 首先，寫入驅動器 52，係包含有：電晶體 T1（第 1 電晶體），係使其中一端與主 IO 線 MIOB 作連接，並於另外一端處被供給有電源電位 VDD（第 1 電源電位）；和電晶體 T2（第 2 電晶體），係使其中一端與主 IO 線 MIOT 作連接，並於另外一端處被供給有電源電位 VDD；和電晶體 T3（第 3 電晶體），係使其中一端與主 IO 線 MIOB 作連接，並於另外一端處被供給有接地電位 VSS（第 2 電源電位）；和電晶體 T4（第 4 電晶體），係使其中一端與主 IO 線 MIOT 作連接，並於另外一端處被供給有接地電位 VSS，而構成之。

[0049] 電晶體 T1～T4 之各別的 ON、OFF 狀態，係藉由控制電路 55 而被作控制。控制電路 55，係構成為基於資料 DWBSLT 來對於電晶體 T1～T4 之各別的 ON、OFF 狀態作控制。

[0050] 若是作具體性說明，則控制電路 55，係以將資料 DWBSLT、資料遮罩訊號 DWDMLB 以及寫入致能訊號 DWAED0T 之邏輯積訊號供給至電晶體 T1、T2 的閘極電極處並且將資料 DWBSLT 之反轉訊號、資料遮罩訊號 DWDMLB 以及寫入致能訊號 DWAED0T 之邏輯積訊號供給至電晶體 T3、T4 之閘極電極處的方式，而構成之。另外，控制電路 55 係為接收電源電位 VDD 而動作的電路，因此，此些之邏輯積訊號的電位準位亦係成為電源電位

VDD。

[0051] 藉由此，以資料遮罩訊號 DWDMLB 以及寫入致能訊號 DWAED0T 均被活性化一事作為條件，當資料 DWBSLT 係身為 HIGH（第 1 值）的情況時，電晶體 T2、T3 係成為 ON，電晶體 T1、T4 係成為 OFF。故而，主 IO 線 MIOT 係成為 HIGH 準位，主 IO 線 MIOB 係成為 LOW 準位。另一方面，當資料 DWBSLT 係身為 LOW（第 2 值）的情況時，電晶體 T2、T3 係成為 OFF，電晶體 T1、T4 係成為 ON。故而，主 IO 線 MIOT 係成為 LOW 準位，主 IO 線 MIOB 係成為 HIGH 準位。當資料遮罩訊號 DWDMLB 以及寫入致能訊號 DWAED0T 之至少其中一方係身為非活性時，電晶體 T1～T4 係均成為 OFF，從寫入驅動器 52 所對於主 IO 線對 MIO 之電壓供給係被停止。

[0052] 作為電晶體 T1～T4，具體而言，係使用 NMOS。其結果，從寫入驅動器 52 所供給至主 IO 線對 MIO 處之 HIGH 準位的電位，係成為較電源電位 VDD 而更低之電位（第 1 電位），LOW 準位之電位係成為接地電位 VSS。

[0053] HIGH 準位之電位成為較電源電位 VDD 而更低之電位的原因，係為起因於上述之 NMOS 之性質所導致者。亦即是，如同上述一般，為了使 NMOS 成為 ON，閘極－源極間之電位差係有必要成為臨限值電壓 Vth 以上。又，被供給至電晶體 T1、T2 之閘極電極處的訊號之電位準位，係均如同上述一般而身為電源電位 VDD。此事，

係代表著無法將主 IO 線 MIOB、MIOT 之電位設為較 VDD-Vth 而更大之值。故而，從寫入驅動器 52 所供給至主 IO 線對 MIO 處之 HIGH 準位的電位，係成為較電源電位 VDD 而更降低了電晶體 T1、T2 之臨限值電壓 Vth 的量之電位。

[0054] 如此這般，從寫入驅動器 52 所供給至主 IO 線對 MIO 處之 HIGH 準位的電位，係成為較電源電位 VDD 而更低之電位 VDD-Vth，藉由此，主 IO 線對 MIO 之間的電位差，最大值係成為 VDD-Vth-VSS。相對於此，假設若是將電晶體 T1、T2 藉由 PMOS 來構成，則由於係並不會產生上述一般之主 IO 線 MIOB、MIOT 之電位的上限值，因此，主 IO 線對 MIO 之間的電位差之最大值係成為 VDD-VSS。故而，由於若依據由本實施形態所致之半導體裝置 1，則相較於將電晶體 T1、T2 藉由 PMOS 來構成的情況，係成為能夠減少在將寫入資料寫入至主 IO 線對 MIO 中時的充放電電流，因此，可以說係能夠實現半導體裝置 1 之構成中的關連於對於記憶體胞之資料寫入的部份之低消耗電力化。

[0055] 接著，寫入用預充電電路 50，係構成為包含有：電晶體 T5（第 5 電晶體），係使其中一端被與主 IO 線 MIOB 作連接，並於另外一端處被供給有電源電位 VDD；和電晶體 T6（第 6 電晶體），係使其中一端被與主 IO 線 MIOT 作連接，並於另外一端處被供給有電源電位 VDD。

[0056] 電晶體 T5、T6 之各別的 ON、OFF 狀態，係藉由預充電訊號 DMIOPRE0WRT 而被作控制。預充電訊號 DMIOPRE0WRT，係被共通性地供給至電晶體 T5、T6 之閘極電極處，故而，電晶體 T5、T6 係以相互成為同一之 ON、OFF 狀態的方式而被作控制。

[0057] 作為電晶體 T5、T6，亦係使用 NMOS。其結果，與寫入驅動器 52 相同的，從寫入用預充電電路 50 所供給至主 IO 線對 MIO 處之 HIGH 準位的電位（預充電電位），係成為較電源電位 VDD 而更低之電位（第 1 電位），具體而言，係成為 VDD-Vth。故而，由於係能夠減少在預充電中所耗費之主 IO 線對 MIO 的充放電電流，因此，從此觀點來看，若依據由本實施形態所致之半導體裝置 1，則亦可以說能夠實現半導體裝置 1 之構成中的關連於對於記憶體胞之資料寫入的部份之低消耗電力化。

[0058] 接著，讀取用預充電電路 51，係構成為包含有：電晶體 T7（第 7 電晶體），係使其中一端被與主 IO 線 MIOB 作連接，並於另外一端處被供給有電源電位 VDD；和電晶體 T8（第 8 電晶體），係使其中一端被與主 IO 線 MIOT 作連接，並於另外一端處被供給有電源電位 VDD。

[0059] 電晶體 T7、T8 之各別的 ON、OFF 狀態，係藉由預充電訊號 DMIOPRE0RDB 而被作控制。預充電訊號 DMIOPRE0RDB，係被共通性地供給至電晶體 T7、T8 之閘極電極處，故而，電晶體 T7、T8 係以相互成為同一

之 ON、OFF 狀態的方式而被作控制。

[0060] 作為電晶體 T7、T8，具體而言，係使用 PMOS。在 PMOS 的情況中，由於係並不會產生如同 NMOS 一般之電位準位的上限值，因此，從讀取用預充電電路 51 所供給至主 IO 線對 MIO 處之 HIGH 準位的電位，係與寫入用預充電電路 50 相異，而成為電源電位 VDD。如此這般地在讀取之情況和寫入之情況中而主 IO 線對 MIO 之預充電電位會有所改變的原因，係因為當進行讀取的情況時，為了藉由後段之資料控制電路 34 來確實地將讀取資料作讀取，係有必要將主 IO 線對 MIO 之間的電位差增大之故。

[0061] 讀取用預充電電路 51，係另外包含有：電晶體 T13，係使其中一端與主 IO 線 MIOB 作連接，並使另外一端與主 IO 線 MIOT 作連接。電晶體 T13，係亦為 PMOS，在其之閘極電極處，係被供給有均衡訊號 DMIOEQ0B。電晶體 T13，係作為當均衡訊號 DMIOEQ0B 為活性化的情況時而用以將主 IO 線 MIOB、MIOT 之電位設為相同的均衡器而起作用。

[0062] 讀取用預充電電路 54，係具備有與讀取用預充電電路 51 相同之構成，但是，係在分別與電晶體 T7、T8、T13 相對應的電晶體 T14、T15、T16 之閘極電極處而共通性地被供給有均衡訊號 DRAEQB，在此點上，係為相異。讀取用預充電電路 54，係亦發揮有當均衡訊號 DRAEQB 為活性化的情況時而將主 IO 線 MIOB、MIOT 之

電位設為電源電位 VDD 的功能。

[0063] 主 IO 線選擇開關 53，係藉由被插入至主 IO 線 MIOB 中之寫入驅動器 52 和讀取用預充電電路 54 之間的部份處之電晶體 T17、和被插入至主 IO 線 MIOT 中之寫入驅動器 52 和讀取用預充電電路 54 之間的部份處之電晶體 T18，而構成之。電晶體 T17、T18 係均為 PMOS，在各別之閘極電極處，係被共通地供給有主 IO 線選擇訊號 DRATG0B。藉由此，主 IO 線選擇開關 53，當主 IO 線選擇訊號 DRATG0B 為活性化的情況時，係成為導通狀態，當並非如此的情況時，則係成為非導通狀態。故而，當主 IO 線選擇訊號 DRATG0B 為活性化的情況時，主 IO 線對 MIO 和資料控制電路 34 係被相互作連接，當主 IO 線選擇訊號 DRATG0B 成為非活性化的情況時，主 IO 線對 MIO 和資料控制電路 34 係被相互切離。

[0064] 圖 4，係為對於在由本實施形態所致之半導體裝置 1 中而依序進行了讀取動作、寫入動作以及讀取用預充電動作的情況時之主 IO 線 MIOB、MIOT 的各別之電位 V_{MIOB}、V_{MIOT} 的變化之其中一例作展示之圖。在此例所示之寫入動作中，係被叢發輸入有代表 6 個「1」之寫入資料和代表 2 個「0」的寫入資料。

[0065] 如圖 4 中所示一般，讀取動作時之電位 V_{MIOB}、V_{MIOT}，係在電源電位 VDD 和接地電位 VSS 之間而變動，其變動幅度係為 VDD-VSS。另一方面，寫入動作時之電位 V_{MIOB}、V_{MIOT}，係在電源電位 VDD-Vth 和接

地電位 VSS 之間而變動，其變動幅度係為 VDD-Vth-VSS。另外，Vth 係為圖 3 中所示之電晶體 T1、T2、T5、T6 的臨限值電壓。故而，可以說，在由本實施形態所致之半導體裝置 1 中，係能夠實現將寫入動作時之主 IO 線對 MIO 之間的電位差之最大值相較於讀取動作時而作 Vth 之量的縮小。

[0066] 又，如圖 4 中所示一般，讀取用預充電動作時之電位 V_{MIOB}、V_{MIOT}，係為電源電位 VDD。另一方面，雖並未圖示，但是，寫入用預充電動作時之電位 V_{MIOB}、V_{MIOT}，係成為電源電位 VDD-Vth。故而，可以說，在由本實施形態所致之半導體裝置 1 中，係能夠實現將寫入動作時之主 IO 線對 MIO 的預充電電位相較於讀取動作時而作 Vth 之量的縮小。

[0067] 如同以上所說明一般，若依據由本實施形態所致之半導體裝置 1，則在寫入動作時之主 IO 線對 MIO 之間的電位差之最大值，係成為等於電位差 VDD-Vth-VSS。故而，相較於寫入動作時之主 IO 線對 MIO 之間的電位差之最大值為等於電源電位 VDD 和接地電位 VSS 之差 VDD-VSS 的情況，由於伴隨著寫入資料之切換所流動的主 IO 線對 MIO 之充放電電流係能夠成為少量，因此可以說係能夠實現半導體裝置 1 之低消耗電力化。

[0068] 針對寫入動作時之主 IO 線對 MIO 之間的電位差之最大值為 VDD-Vth-VSS 的情況（〔A〕）和為 VDD-VSS 的情況（〔B〕）的各者，而對於主 IO 線對

MIO 之充放電電流作了測定，並將結果展示於表 1 中。另外，在表 1 中，係針對下述之情況的充放電電流之積算值作展示：亦即是，係使用 2.4Gbps/fast model/-5C 之 DRAM，並將電源電壓 VDD 設為 1.3V，而在此條件下，將 8 位元之寫入資料的連續寫入（X8）和 16 位元之寫入資料的連續寫入（X16）分別重複了既定之次數。根據表 1 之結果，可以理解到，藉由採用由本實施形態所致之半導體裝置 1 的構成，主 IO 線對 MIO 之充放電電流係成為僅需要少量即可。

[0069]

[表1]

	[A]	[B]
X8	24.3mA	28.2mA
X16	48.6mA	56.3mA

[0070] 又，若依據由本實施形態所致之半導體裝置 1，則由於在進行寫入動作時之預充電電位係成為 VDD-Vth，因此，相較於係成為電源電位 VDD 的情況，於進行寫入動作之預充電時所消耗的電力亦有所降低。另一方面，關於讀取動作時之預充電電位，由於係與先前技術相同的而維持於電源電位 VDD，因此係成為能夠確實地進行讀取動作。

[0071] 接著，由本發明之第 2 實施形態所致之半導體裝置 1，係如同圖 5 中所示一般，將供給至寫入用預充電電路 50、讀取用預充電電路 51、寫入驅動器 52 以及讀取用預充電電路 54 的各者處之電源電位 VDD 改變為陣列

電位 VARY，在此點上，係與由第 1 實施形態所致之半導體裝置 1 相異。在其他構成上，由於係與由第 1 實施形態所致之半導體裝置 1 相同，因此，以下係注目於相異點而作說明。

[0072] 如同上述一般，陣列電位 VARY 係為較電源電位 VDD 而更低之電位準位的電位。藉由此，若依據由本實施形態所致之半導體裝置 1，則相較於由第 1 實施形態所致之半導體裝置 1，係能夠實現更進一步之低消耗電力化。以下，列舉出具體例來作說明。

[0073] 圖 6，係為針對由第 1 實施形態（Em.1）所致之半導體裝置 1 和由第 2 實施形態（Em.2）所致之半導體裝置 1 的各者，而對於主 IO 線 MIOB、MIOT 之各者的電位 V_{MIOB}、V_{MIOT} 之變化和流入至主 IO 線 MIOB、MIOT 中之電流 I 的變化作了測定的結果，而作展示之圖。該圖之測定，亦同樣的，係為使用 2.4Gbps/fast model/-5C 之 DRAM，並在將電源電壓 VDD 設為 1.3V 的條件下而進行者。陣列電壓 VARY，係為 1.0V。

[0074] 如同圖 6 中所示一般，在由本實施形態所致之半導體裝置 1 中，於寫入動作時之主 IO 線對 MIO 之間的電位差之最大值，相較於由第 1 實施形態所致之半導體裝置 1，係成為更些許小。又，寫入動作時之預充電電位係為 1.0V，相較於由第 1 實施形態所致之半導體裝置 1 的 1.3V，係降低了 0.3V。其結果，在由本實施形態所致之半導體裝置 1 中，如同圖 6 中所示一般，相較於由第 1

實施形態所致之半導體裝置 1，電流 I 係作了約 5%之削減。

[0075] 如此這般，若依據由本實施形態所致之半導體裝置 1，則藉由對於寫入用預充電電路 50 以及寫入驅動器 52 供給陣列電位 VARY，相較於由第 1 實施形態所致之半導體裝置 1，係成為能夠將寫入動作時之主 IO 線對 MIO 的充放電電流降低。同樣的，藉由對於讀取用預充電電路 51、54 供給陣列電位 VARY，不僅是在寫入動作時，在讀取動作時亦成為能夠將主 IO 線對 MIO 的充放電電流降低。故而，係成為能夠實現更進一步之低消耗電力化。

[0076] 以上，雖針對本發明之理想實施形態作了說明，但是本發明係並不限定於上述之實施形態，不用說，在不脫離本發明之主旨的範圍內，係可進行各種之變更，且該些亦係為被包含於本發明之範圍內。

[0077] 例如，在上述各實施形態中，雖係針對將本發明適用在 DRAM 之主 IO 線對 MIO 中的情況為例來作了說明，但是，本發明係並不被限定於 DRAM 之主 IO 線對 MIO，而能夠廣泛地適用於有必要降低充放電電流之資料線對中。

[0078] 又，在上述各實施形態中，雖係藉由將電晶體 T1、T2、T5、T6 設為 NMOS，來實現了低消耗電力化，但是，只要是能夠在成為 ON 時而將較被供給至汲極處之電壓的電位準位而更低之電位供給至所對應之資料線

處即可，而並非絕對需要身為 NMOS。例如，代替 NMOS，係亦可使用 N 通道型 MISFET 等。

【符號說明】

[0079]

1：半導體裝置

10a、10b：時脈端子

11：時脈致能端子

12：位址端子

13：指令端子

14：警報端子

15：電源端子

16：資料端子

17：閃控端子

18：ODT 端子

19：DM/DBI 端子

20：時脈產生電路

21：指令解碼器

22：控制邏輯

23：輸出緩衝器

24：模式暫存器

25：行控制電路

26：列控制電路

30：記憶體胞陣列

31_0～31_n：行解碼器

32_0～32_n：感測電路

33_0～33_n：列解碼器

34：資料控制電路

35：閂鎖電路

36：輸入輸出電路

37：DLL 電路

39：電壓產生電路

40_1～40_4：感測放大器

41_1～41_4：列開關

42：預充電電路

43：局部 IO 線選擇開關

50：寫入用預充電電路

51、54：讀取用預充電電路

52：寫入驅動器

53：主 IO 線選擇開關

55：控制電路

BA_0～BA_n：記憶庫

BL0～BL3：位元線對

BL0T～BL3T、BL0B～BL3B：位元線

LIO0：局部 IO 線對

LIO0B、LIO0T：局部 IO 線

MIO：主 IO 線對

MIOB、MIOT：主 IO 線

T1～T6、T9～T12：N 通道型 MOSFET

T7、T8、T13～T16：P 通道型 MOSFET

申請專利範圍

1. 一種半導體裝置，其特徵為，係具備有：

第 1 資料線對，係由第 1 以及第 2 資料線所成；和

第 1 電晶體，係使其中一端與前述第 1 資料線作連接，並於另外一端處被供給有第 1 電源電位，且構成為當成為 ON 時而將較前述第 1 電源電位更低之第 1 電位供給至前述第 1 資料線處；和

第 2 電晶體，係使其中一端與前述第 2 資料線作連接，並於另外一端處被供給有前述第 1 電源電位，且構成為當成為 ON 時而將前述第 1 電位供給至前述第 2 資料線處；和

第 3 電晶體，係使其中一端與前述第 1 資料線作連接，並於另外一端處被供給有較前述第 1 電位更低之第 2 電源電位，且構成為當成為 ON 時而將前述第 2 電源電位供給至前述第 1 資料線處；和

第 4 電晶體，係使其中一端與前述第 2 資料線作連接，並於另外一端處被供給有前述第 2 電源電位，且構成為當成為 ON 時而將前述第 2 電源電位供給至前述第 2 資料線處；和

控制電路，係基於應供給至前述第 1 資料線對處之資料，來對於前述第 1 乃至第 4 電晶體之 ON、OFF 狀態作控制。

2. 如申請專利範圍第 1 項所記載之半導體裝置，其中，前述控制電路，係構成為藉由電位準位為前述第 1 電

源電位之訊號，來對於前述第 1 乃至第 4 電晶體之各別的 ON、OFF 狀態作控制。

3. 如申請專利範圍第 1 項所記載之半導體裝置，其中，前述控制電路，當前述資料乃身為第 1 值時，係將前述第 1 以及第 4 電晶體設為 OFF，並將前述第 2 以及第 3 電晶體設為 ON，當前述資料乃身為第 2 值時，係將前述第 1 以及第 4 電晶體設為 ON，並將前述第 2 以及第 3 電晶體設為 OFF。

4. 如申請專利範圍第 1 項所記載之半導體裝置，其中，前述第 1 乃至第 4 電晶體，係分別為 N 通道型 MOSFET。

5. 如申請專利範圍第 1～4 項中之任一項所記載之半導體裝置，其中，係更進而具備有：

第 5 電晶體，係使其中一端與前述第 1 資料線作連接，並於另外一端處被供給有前述第 1 電源電位，且構成為當成為 ON 時而將前述第 1 電位供給至前述第 1 資料線處；和

第 6 電晶體，係使其中一端與前述第 2 資料線作連接，並於另外一端處被供給有前述第 1 電源電位，且構成為當成為 ON 時而將前述第 1 電位供給至前述第 2 資料線處，

前述第 5 以及第 6 電晶體，係以相互成為相同之 ON、OFF 狀態的方式而被作控制。

6. 如申請專利範圍第 5 項所記載之半導體裝置，其

中，前述第 5 以及第 6 電晶體之 ON、OFF 狀態，係構成為藉由電位準位為前述第 1 電源電位之訊號而被作控制。

7. 如申請專利範圍第 5 項所記載之半導體裝置，其中，前述第 5 以及第 6 電晶體，係分別為 N 通道型 MOSFET。

8. 如申請專利範圍第 1 項所記載之半導體裝置，其中，係更進而具備有：

第 7 電晶體，係使其中一端與前述第 1 資料線作連接，並於另外一端處被供給有前述第 1 電源電位，且構成為當成為 ON 時而將前述第 1 電源電位供給至前述第 1 資料線處；和

第 8 電晶體，係使其中一端與前述第 2 資料線作連接，並於另外一端處被供給有前述第 1 電源電位，且構成為當成為 ON 時而將前述第 1 電源電位供給至前述第 2 資料線處，

前述第 7 以及第 8 電晶體，係以相互成為相同之 ON、OFF 狀態的方式而被作控制。

9. 如申請專利範圍第 8 項所記載之半導體裝置，其中，前述第 7 以及第 8 電晶體之 ON、OFF 狀態，係構成為藉由電位準位為前述第 1 電源電位之訊號而被作控制。

10. 如申請專利範圍第 8 項所記載之半導體裝置，其中，前述第 7 以及第 8 電晶體，係分別為 P 通道型 MOSFET。

11. 如申請專利範圍第 1 項所記載之半導體裝置，其

中，係更進而具備有：

第 2 資料線對，係由第 3 以及第 4 資料線所成；和

第 9 電晶體，係使其中一端與前述第 3 資料線作連接，並使另外一端與前述第 1 資料線作連接；和

第 10 電晶體，係使其中一端與前述第 4 資料線作連接，並使另外一端與前述第 2 資料線作連接；和

第 11 電晶體，係使其中一端與前述第 3 資料線作連接，並於另外一端處被供給有第 3 電源電位，且身為 NMOS；和

第 12 電晶體，係使其中一端與前述第 4 資料線作連接，並於另外一端處被供給有前述第 3 電源電位，且身為 NMOS，

前述第 11 以及第 12 電晶體，係構成為藉由電位準位為較前述第 3 電源電位而更高之第 2 電位之訊號，而以相互成為相同之 ON、OFF 狀態的方式而被作控制。

圖式

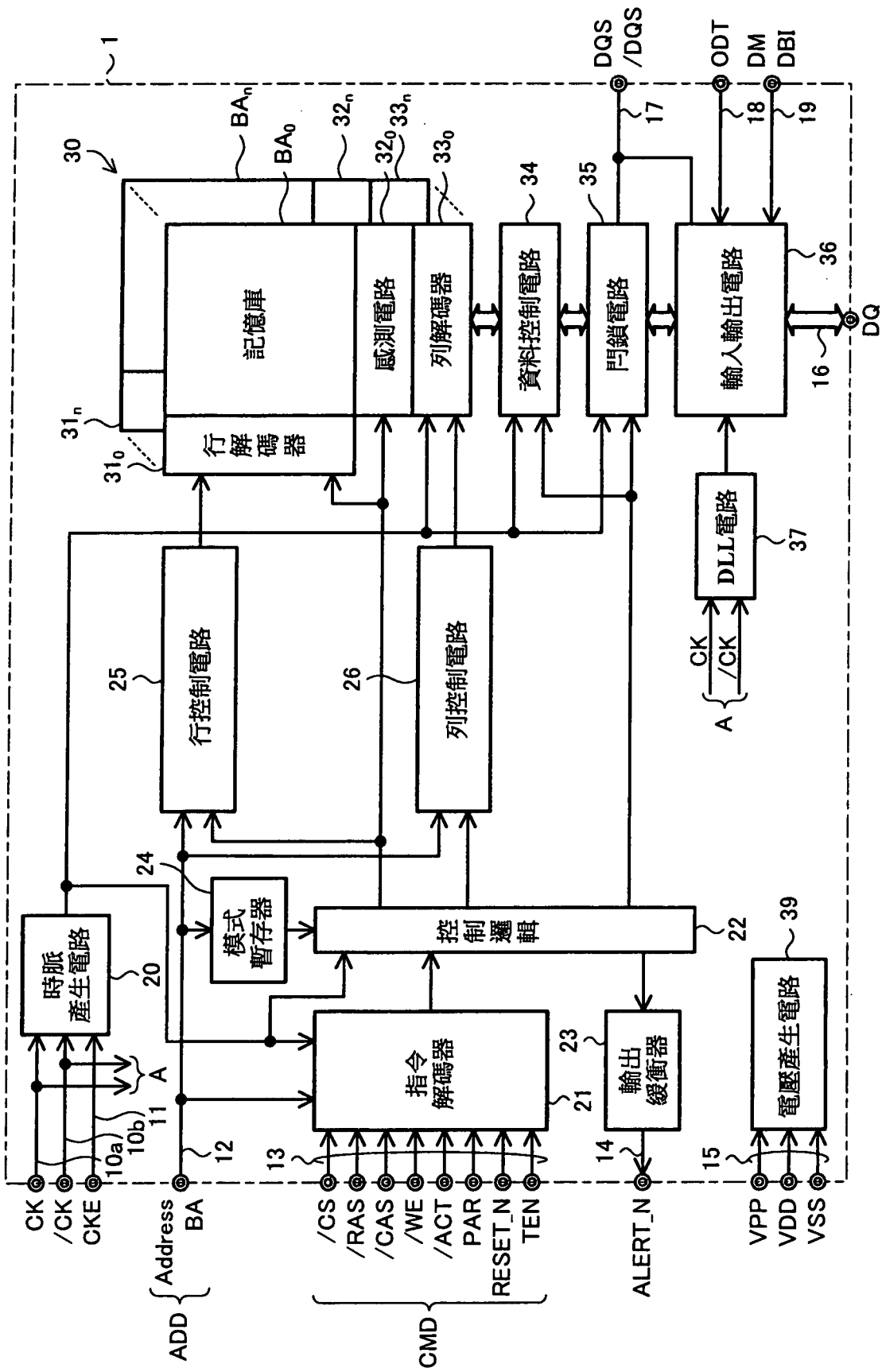

1
30
記憶庫
感測電路
列解碼器
資料控制電路
閂鎖電路
輸入輸出電路
行解碼器
DQS
/DQS
ODT
DM
DBI
DQ
16
17
18
19
34
35
36
BA_n
BA_0
32_n
32_0
33_n
33_0
31_n
31_0
DLL電路
37
CK
/CK
A
行控制電路
列控制電路
25
26
24
模式暫存器
時脈產生電路
20
控制邏輯
22
指令解碼器
21
23
輸出緩衝器
電壓產生電路
39
10a
10b
11
12
13
14
15
CK
/CK
CKE
A
Address
BA
ADD
/CS
/RAS
/CAS
/WE
/ACT
PAR
RESET_N
TEN
CMD
ALERT_N
VPP
VDD
VSS

圖 1

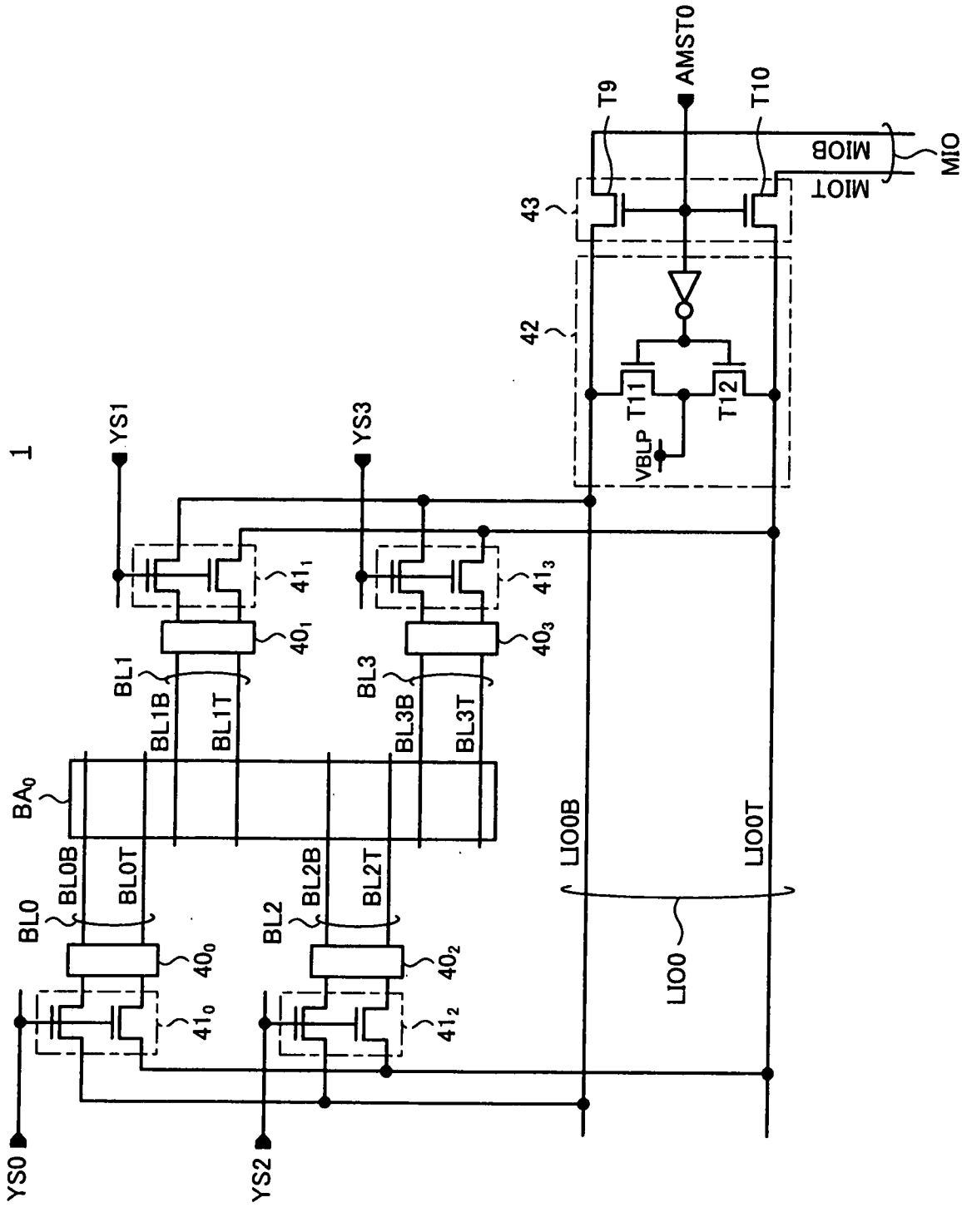

1
YS0
YS1
YS2
YS3
BA0
BL0
BL0B
BL0T
BL1
BL1B
BL1T
BL2
BL2B
BL2T
BL3
BL3B
BL3T
40 0
40 1
40 2
40 3
41 0
41 1
41 2
41 3
42
43
T9
T10
T11
T12
AMST0
VBLP
MIO
MIOB
MIOT
LIO0
LIO0B
LIO0T

圖 2

圖 3

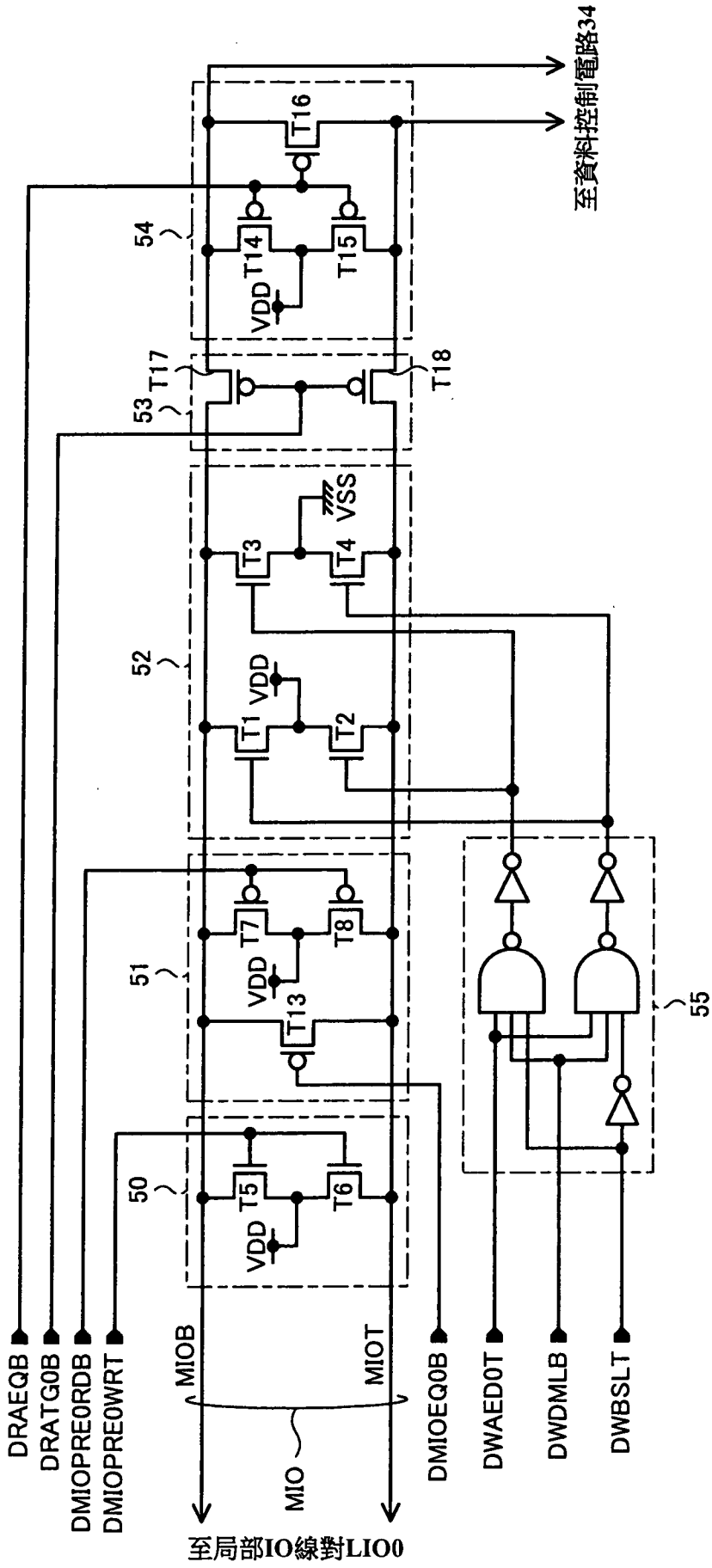

至資料控制電路34
T16
54
T14
T15
VDD
T17
T18
53
VSS
T3
T4
52
VDD
T1
T2
T7
T8
51
VDD
T13
T5
T6
50
VDD
55
DRAEQB
DRATG0B
DMIOPRE0RDB
DMIOPRE0WRT
MIOB
MIOT
MIO
DMIOEQ0B
DWAED0T
DWDMLB
DWBSLT
至局部IO線對LIO0

圖 4



圖 5

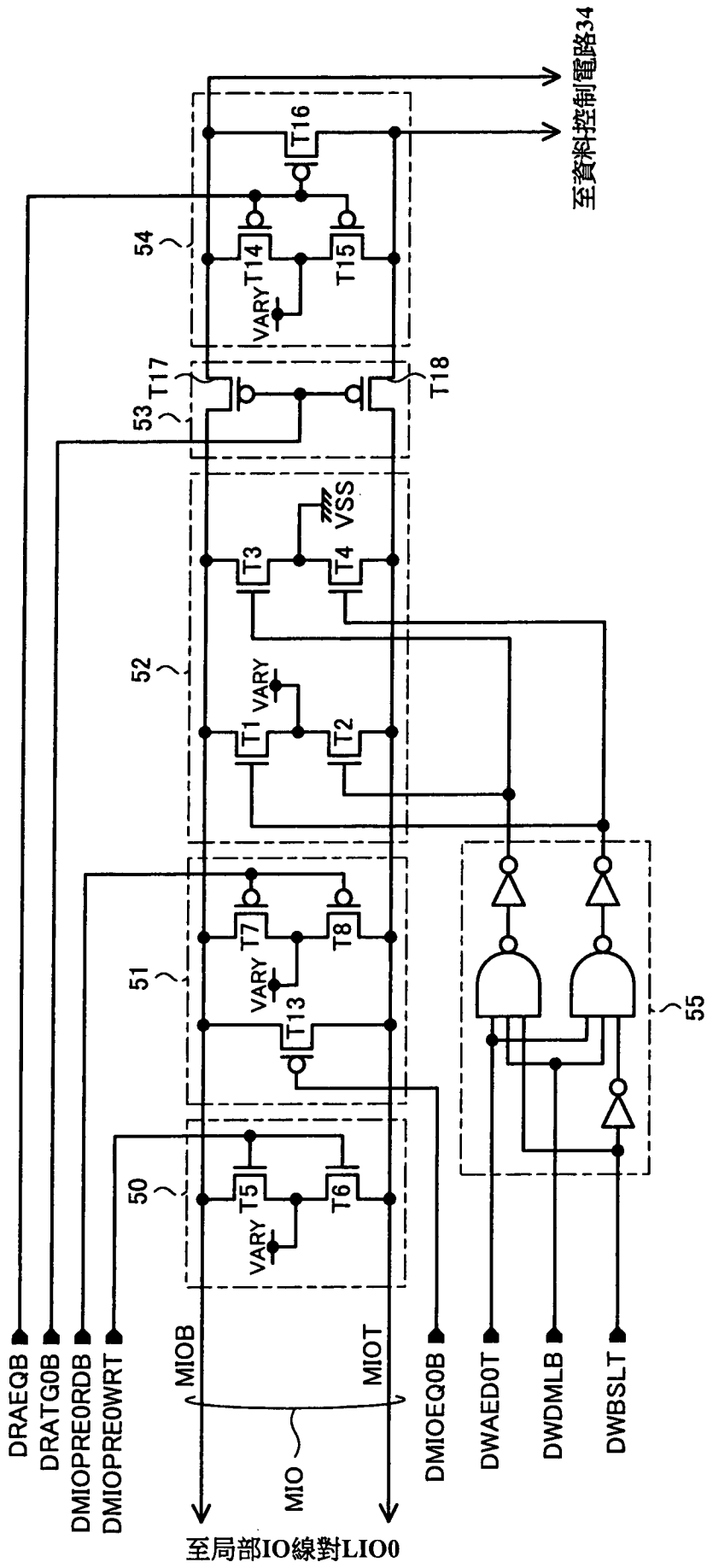
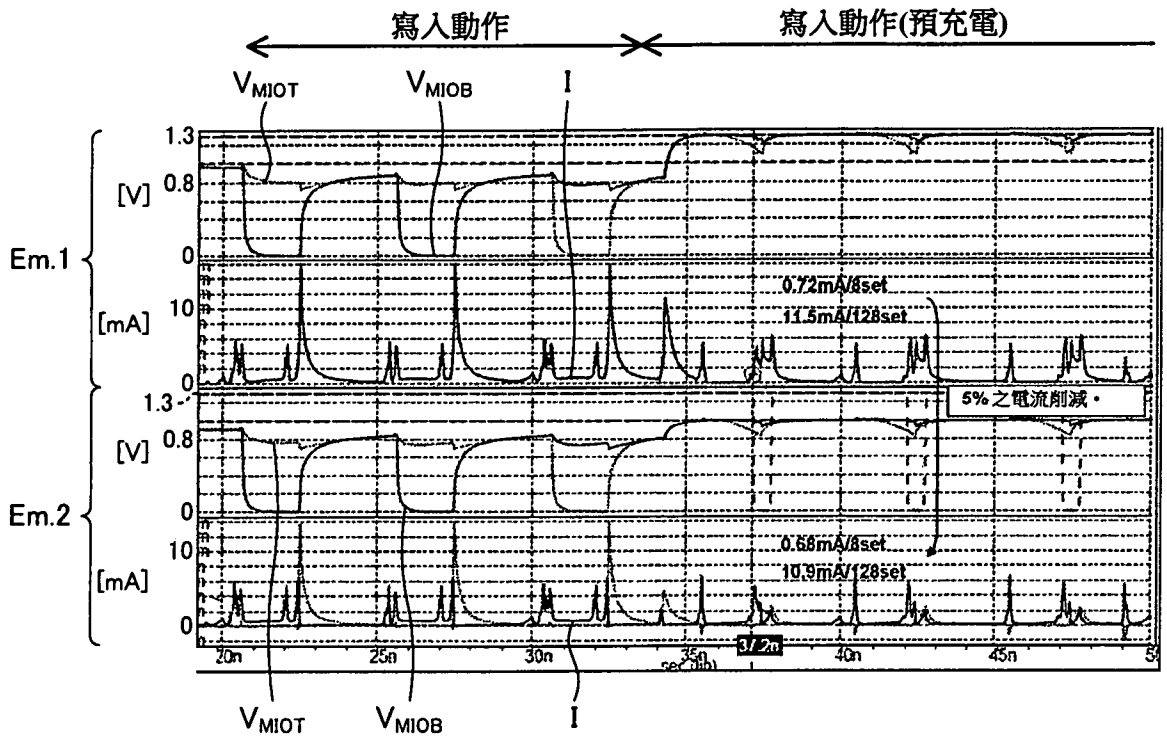

至資料控制電路34
DRAEQB
DRATG0B
DMIOPRE0RDB
DMIOPRE0WRT
MIOB
MIOT
MIO
DMIOEQ0B
DWAED0T
DWDMLB
DWBSLT
至局部IO線對LIO0
VARY
VSS
T1
T2
T3
T4
T5
T6
T7
T8
T13
T14
T15
T16
T17
T18
50
51
52
53
54
55

圖 6


寫入動作
寫入動作(預充電)
VMIOT
VMIOB
I
Em.1
Em.2
[V]
[mA]
1.3
0.8
0
10
0.72mA/8set
11.5mA/128set
5%之電流削減
0.68mA/8set
10.9mA/128set
20n
25n
30n
35n
40n
45n