



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0077464
(43) 공개일자 2014년06월24일

(51) 국제특허분류(Int. Cl.)
H03K 3/037 (2006.01) H03K 3/356 (2006.01)
(21) 출원번호 10-2012-0146304
(22) 출원일자 2012년12월14일
심사청구일자 2012년12월14일

(71) 출원인
금오공과대학교 산학협력단
경상북도 구미시 대학로 61 (양호동)
(72) 발명자
장영찬
경북 구미시 옥계북로 69, 110동 802호 (옥계동,
현진에버빌엠피아아파트)
이한열
경북 구미시 인동20길 18-4, 505호 (진평동, 목화
빌)
(74) 대리인
고윤희, 이철희

전체 청구항 수 : 총 7 항

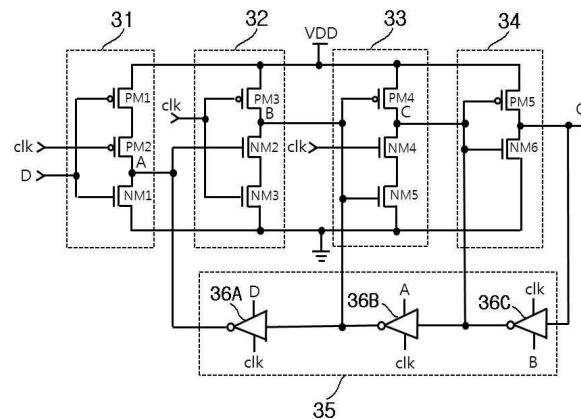
(54) 발명의 명칭 누설전류 보상기능을 구비한 티에스피씨 동적 플립플롭

(57) 요약

본 발명은, 티에스피씨 동적 플립플롭에 피드백 회로 구조의 누설전류 보상회로를 추가하여 미세공정에서 제작된 CMOS 트랜지스터를 포함하는 티에스피씨 동적 플립플롭이 저속 동작부터 고속 동작까지 가능하도록 하는 기술에 관한 것이다.

이러한 본 발명은, 입력데이터와 클럭신호에 따른 로직값을 A 노드에 출력하는 제1로직부; 상기 클럭신호와 상기 A 노드로부터 공급되는 신호에 따른 로직값을 B 노드에 출력하는 제2로직부; 상기 B 노드로부터 공급되는 신호와 상기 클럭신호에 따른 로직값을 C 노드에 출력하는 제3로직부; 상기 C 노드로부터 공급되는 로직 값에 따라 Q 노드에 해당 데이터를 출력하는 출력부; 및 상기 제1-3 로직부의 A 내지 C 노드 중 임의의 노드가 플로팅 상태에 있을 때, 해당 노드의 논리값과 반대 논리값을 갖는 후단 노드의 신호를 해당 노드로 피드백시켜 해당 노드의 누설전류를 보상하는 누설전류 보상부;를 포함한다.

대표도 - 도3



특허청구의 범위

청구항 1

전원단자와 접지단자의 사이에 순차적으로 직렬접속된 제1,2 피모스 트랜지스터 및 제1엔모스 트랜지스터를 구비하여, 입력데이터와 클럭신호에 따른 로직값을 상기 제2 피모스 트랜지스터의 타측 단자와 상기 제1엔모스 트랜지스터의 일측단자의 공통접속 노드인 A 노드에 출력하는 제1로직부;

상기 전원단자와 접지단자의 사이에 순차적으로 직렬접속된 제3 피모스 트랜지스터 및 제2,3 엔모스 트랜지스터를 구비하여, 상기 클럭신호와 상기 A 노드로부터 공급되는 신호에 따른 로직값을 상기 제3 피모스 트랜지스터의 타측 단자와 상기 제2 엔모스 트랜지스터의 일측단자의 공통접속 노드인 B 노드에 출력하는 제2로직부;

상기 전원단자와 접지단자의 사이에 순차적으로 직렬접속된 제4 피모스 트랜지스터 및 제4,5 엔모스 트랜지스터를 구비하여, 상기 B 노드로부터 공급되는 신호와 상기 클럭신호에 따른 로직값을 상기 제4 피모스 트랜지스터의 타측 단자와 상기 제4 엔모스 트랜지스터의 일측단자의 공통접속 노드인 C 노드에 출력하는 제3로직부;

상기 전원단자와 접지단자의 사이에 순차적으로 직렬접속된 제5 피모스 트랜지스터 및 제6 엔모스 트랜지스터를 구비하여, 상기 C 노드로부터 공급되는 로직 값에 따라 상기 제5 피모스 트랜지스터의 타측 단자와 상기 제6 엔모스 트랜지스터의 일측 단자의 공통 접속점 노드인 Q 노드에 해당 데이터를 출력하는 출력부; 및

상기 제1-3 로직부의 A 내지 C 노드 중 임의의 노드가 플로팅 상태에 있을 때, 해당 노드의 논리값과 반대 논리값을 갖는 후단 노드의 신호를 해당 노드로 피드백시켜 해당 노드의 누설전류를 보상하는 누설전류 보상부;를 포함하는 것을 특징으로 하는 누설전류 보상기능을 구비한 티에스피씨 동적 플립플롭.

청구항 2

제1항에 있어서, 누설전류 보상부가 상기 해당 노드로 피드백시키는 후단 노드의 신호는 로직값이 "1"인 것을 특징으로 하는 누설전류 보상기능을 구비한 티에스피씨 동적 플립플롭.

청구항 3

제1항에 있어서, 상기 누설전류 보상부는

상기 A 노드가 플로팅 상태일 때, 상기 입력데이터와 상기 클럭신호의 제어를 받아 상기 A 노드의 반전된 로직값을 갖는 상기 B 노드의 신호를 상기 A 노드로 피드백시키는 제1 인버터;

상기 B 노드가 플로팅 상태일 때, 상기 A 노드의 신호와 상기 클럭신호의 제어를 받아 상기 B 노드의 반전된 로직값을 갖는 상기 C 노드의 신호를 상기 B 노드로 피드백시키는 제2 인버터; 및

상기 C 노드가 플로팅 상태일 때, 상기 B 노드의 신호와 상기 클럭신호의 제어를 받아 상기 Q 노드의 신호를 상기 C 노드로 피드백시키는 제3 인버터를 포함하는 것을 특징으로 하는 누설전류 보상기능을 구비한 티에스피씨 동적 플립플롭.

청구항 4

제3항에 있어서, 상기 제1 인버터 내지 제3 인버터는 전원단자와 접지단자의 사이에 순차적으로 직렬접속된 제6,7 피모스 트랜지스터 및 제7,8엔모스 트랜지스터를 구비하는 인버터를 포함하되, 상기 인버터는 상기 제6 피모스 트랜지스터의 게이트와 상기 제8 엔모스 트랜지스터의 게이트에 입력전압이 공급되고, 상기 제7 피모스 트랜지스터 및 제7 엔모스 트랜지스터의 게이트에는 각각의 제어신호가 공급되고, 상기 제7피모스 트랜지스터의 타측 단자와 상기 제7 엔모스 트랜지스터의 일측 단자의 공통접속점으로부터 출력전압이 발생하는 것

을 특징으로 하는 누설전류 보상기능을 구비한 티에스피씨 동적 플립플롭.

청구항 5

제3항에 있어서, 상기 제1 인버터는 입력단자가 상기 B 노드에 연결되고, 출력단자는 상기 A 노드에 연결되며, 일측의 제어단자에 상기 입력데이터의 단자가 연결되고 타측의 제어단자에 상기 클럭신호의 단자가 연결된 것을 특징으로 하는 누설전류 보상기능을 구비한 티에스피씨 동적 플립플롭.

청구항 6

제3항에 있어서, 상기 제2 인버터는 입력단자가 상기 C 노드에 연결되고, 출력단자는 상기 B 노드에 연결되며, 일측의 제어단자에 상기 A 노드가 연결되고 타측의 제어단자에 상기 클럭신호의 단자가 연결된 것을 특징으로 하는 누설전류 보상기능을 구비한 티에스피씨 동적 플립플롭.

청구항 7

제3항에 있어서, 상기 제3 인버터는 입력단자가 상기 Q 노드에 연결되고, 출력단자는 상기 C 노드에 연결되며, 일측의 제어단자에 상기 클럭신호의 단자가 연결되고 타측의 제어단자에 상기 B 노드가 연결된 것을 특징으로 하는 누설전류 보상기능을 구비한 티에스피씨 동적 플립플롭.

명세서

기술 분야

[0001] 본 발명은 티에스피씨 동적 플립플롭(TSPC Dynamic Flip/Flop)의 설계 기술에 관한 것으로, 특히 미세 공정에서 제작된 시모스(CMOS) 트랜지스터를 포함하는 동적 플립플롭에서 누설전류 증가에 의해 오동작이 발생하는 것을 방지할 수 있도록 한 누설전류 보상기능을 구비한 티에스피씨 동적 플립플롭에 관한 것이다.

배경 기술

[0002] 도 1은 종래 기술에 의한 TSPC(True single pulse clocked) 동적 플립플롭(Dynamic Flip/Flop)의 회로 도로서 이에 도시한 바와 같이, 제1-3로직부(11-13) 및 출력부(14)를 구비한다.

[0003] 제1 로직부(11)는 전원단자(VDD)와 접지단자의 사이에 직렬접속된 제1,2 피모스 트랜지스터(PM1), (PM2) 및 제1 엔모스 트랜지스터(NM1)를 구비하여, 데이터(D)와 클럭신호(clk)에 따른 로직값을 A 노드에 출력한다.

[0004] 제1 피모스 트랜지스터(PM1) 및 제1 엔모스 트랜지스터(NM1)의 게이트에 공급되는 데이터(D)가 "1"일 때, A 노드의 로직값은 "0"이 된다. 제2 피모스 트랜지스터(PM2)의 게이트에 공급되는 클럭신호(clk)의 로직값이 "0"일 때 상기 A 노드의 로직값은 상기 데이터(D)의 반전된 값이 된다. 클럭신호(clk)의 로직값이 "1"이고, 상기 데이터(D)의 로직값이 "0"일 때 상기 A 노드는 플로팅(floating)되어 이전의 로직값을 유지(저장)한다.

[0005] 제2 로직부(12)는 전원단자(VDD)와 접지단자의 사이에 직렬접속된 제3 피모스 트랜지스터(PM3) 및 제2,3 엔모스 트랜지스터(NM2), (NM3)를 구비하여, 상기 A 노드로부터 공급되는 로직값과 상기 클럭신호(clk)에 따른 로직값을 B 노드에 출력한다.

[0006] 제3 피모스 트랜지스터(PM3) 및 제3 엔모스 트랜지스터(NM3)의 게이트에 공급되는 클럭신호(clk)의 로직값이 "0"일 때 B 노드의 로직값은 "1"이다. 상기 클럭신호(clk)의 로직값이 "1"이고, 상기 A 노드로부터 제2 엔모스 트랜지스터(NM2)의 게이트에 공급되는 로직값이 "1"일 때 상기 B 노드의 로직값은 "0"이다. 상기 A 노드의 로직값이 "0"일 때 상기 B 노드는 플로팅(floating)되어 이전의 로직값을 유지한다.

[0007] 제3 로직부(13)는 전원단자(VDD)와 접지단자의 사이에 직렬접속된 제4 피모스 트랜지스터(PM4) 및 제

4,5 엔모스 트랜지스터(NM4), (NM5)를 구비하여, 상기 B 노드로부터 공급되는 데이터와 상기 클럭신호(c1k)에 따른 로직값을 C 노드에 출력한다.

- [0008] 제4 피모스 트랜지스터(PM4) 및 제5 엔모스 트랜지스터(NM5)의 게이트에 공급되는 상기 B 노드의 로직값이 "0"일 때 상기 C 노드의 로직값은 "1"이다. 제4 엔모스 트랜지스터(NM4)의 게이트에 공급되는 상기 클럭신호(c1k)의 로직값이 "1"일 때 상기 C 노드의 로직값은 상기 B 노드의 로직값의 반전된 로직값이 된다. 상기 클럭신호(c1k)의 로직값이 "0"이고, 상기 B 노드의 로직값이 "1"일 때 상기 C 노드는 플로팅되어 이전의 로직값을 유지한다.
- [0009] 출력부(14)는 전원단자(VDD)와 접지단자의 사이에 직렬접속된 제5 피모스 트랜지스터(PM5) 및 제6 엔모스 트랜지스터(NM6)를 구비하여, 상기 C 노드로부터 공급되는 로직 값에 따라 출력단자인 Q 노드에 해당 데이터를 출력한다.
- [0010] 상기 C 노드로부터 제5 피모스 트랜지스터(PM5) 및 제6 엔모스 트랜지스터(NM6)의 게이트에 공급되는 로직값의 반전된 로직값이 Q 노드에 출력된다.
- [0011] 결국, 상기 설명에서와 같이 상기 A 내지 C 노드는 플로팅 상태(구간)에 놓여 있을 때 이전의 로직값을 저장하고, 이렇게 저장된 로직값이 상기 Q 노드 측으로 순차적으로 전달되어 클럭신호(c1k)의 한 주기 동안 저장된다.
- [0012] 도 2는 상기 도 1에서 상기 A,B,C 노드, Q 노드, 데이터(D) 및 클럭신호(c1k)의 타이밍도를 나타낸 것이다. 도 2에서 실선은 도 1의 TSPC 동적 플립플롭(10)이 정상동작 할 때의 파형도를 나타낸 것이고, 점선은 플로팅 시간이 길어져 누설전류에 의한 오동작 파형을 나타낸 것이다.
- [0013] 상기 설명에서와 같이 상기 A 노드의 플로팅 구간은 클럭신호(c1k)의 로직값이 "1"이고, 상기 데이터(D)의 로직값이 "0"일 때이며, B 노드의 로직값과 반전된 값을 가진다. 상기 B 노드의 플로팅 구간은 클럭신호(c1k)의 로직값이 "1"이고, 상기 A 노드의 로직값이 "0"일 때이며, C 노드의 로직값과 반전된 값을 가진다. 상기 C 노드의 플로팅 구간은 클럭신호(c1k)의 로직값이 "0"이고, 상기 B 노드의 로직값이 "1"일 때이며, Q 노드의 로직값과 반전된 값을 가진다.
- [0014] 결국, 상기 A,B,C 노드의 각 플로팅 구간은 클럭신호(c1k)와 바로 이전 단 노드의 로직값에 의해 결정되고, 상기 결정된 로직값은 다음 단의 노드값과 반전된 값을 가진다.
- [0015] 고속 동작을 요구하는 디지털 시스템에서 상기와 같은 TSPC 동적 플립플롭(10)이 이용된다. 이와 같은 TSPC 동적 플립플롭(10)은 상기 설명에서와 같이 플로팅 노드의 기생 커패시터에 충전되는 전하에 의해 동작한다. 상기 플로팅 노드란 상기 피모스 트랜지스터(PM2, PM3, PM4)와 같은 CMOS 트랜지스터를 각기 통해 전원단자(VDD)와 연결되는 각각의 노드(A,B,C 노드)로서 해당 CMOS 트랜지스터가 턴오프될 때 전원단자(VDD)와의 연결이 차단되는데, 이때 상기 노드의 기생 커패시터에 이전의 로직값에 해당되는 전하량이 유지된다.
- [0016] 이상적으로는 상기 노드의 기생 커패시터에 저장된 전하량이 지속적으로 유지되어야 하지만, 상기 턴오프된 CMOS 트랜지스터에 의해 누설전류가 발생되어 상기 전하량이 점차적으로 줄어드는 현상이 발생된다. 플로팅 노드의 플로팅 시간이 길어지면 상기와 같은 누설전류에 의해 오동작이 발생할 수 있다. CMOS 트랜지스터가 미세공정에서 제조되는 경우 선폭 등이 더욱 조밀하게 되어 상기와 같은 누설전류에 의한 오동작은 더욱 빈번하게 발생하는 것으로 보고되고 있다.
- [0017] 그럼에도 불구하고, 종래의 TSPC 동적 플립플롭은 누설전류에 대한 적절한 대응 기능이 구비되어 있지 않아 고속동작에만 사용이 가능하고, 저속 동작에는 사용할 수 없는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0018] 본 발명이 해결하고자 하는 과제는 티에스피씨 동적 플립플롭에 피드백 회로 구조의 누설전류 보상회로를 추가하여 미세공정에서 제작된 CMOS 트랜지스터를 포함하는 티에스피씨 동적 플립플롭이 저속 동작부터 고속 동작까지 가능하도록 하는데 있다.

과제의 해결 수단

[0019]

상기 기술적 과제를 이루기 위한 누설전류 보상기능을 구비한 티에스피씨 동적 플립플롭, 전원단자와 접지단자의 사이에 순차적으로 직렬접속된 제1,2 피모스 트랜지스터 및 제1엔모스 트랜지스터를 구비하여, 입력 데이터와 클럭신호에 따른 로직값을 A 노드에 출력하는 제1로직부; 상기 전원단자와 접지단자의 사이에 순차적으로 직렬접속된 제3 피모스 트랜지스터 및 제2,3 엔모스 트랜지스터를 구비하여, 상기 클럭신호와 상기 A 노드로부터 공급되는 신호에 따른 로직값을 B 노드에 출력하는 제2로직부; 상기 전원단자와 접지단자의 사이에 순차적으로 직렬접속된 제4 피모스 트랜지스터 및 제4,5 엔모스 트랜지스터를 구비하여, 상기 B 노드로부터 공급되는 신호와 상기 클럭신호에 따른 로직값을 C 노드에 출력하는 제3로직부; 상기 전원단자와 접지단자의 사이에 순차적으로 직렬접속된 제5 피모스 트랜지스터 및 제6 엔모스 트랜지스터를 구비하여, 상기 C 노드로부터 공급되는 로직 값에 따라 Q 노드에 해당 데이터를 출력하는 출력부; 및 상기 제1-3 로직부의 A 내지 C 노드 중 임의의 노드가 플로팅 상태에 있을 때, 해당 노드의 논리값과 반대 논리값을 갖는 후단 노드의 신호를 해당 노드로 피드백시켜 해당 노드의 누설전류를 보상하는 누설전류 보상부;를 포함한다.

발명의 효과

[0020]

본 발명은 티에스피씨 동적 플립플롭에 피드백 회로 구조의 누설전류 보상회로를 추가함으로써, 미세 공정에서 제작된 CMOS 트랜지스터를 포함하는 티에스피씨 동적 플립플롭이 저속 동작부터 고속 동작까지 가능하게 되는 이점이 있고, 누설전류에 의한 오동작을 확실하게 방지할 수 있는 효과가 있다.

도면의 간단한 설명

[0021]

도 1은 종래 기술에 의한 누설전류 보상기능을 구비한 티에스피씨 동적 플립플롭의 회로도이다.

도 2는 도 1 각부의 타이밍도이다.

도 3은 본 발명에 의한 누설전류 보상기능을 구비한 티에스피씨 동적 플립플롭의 회로도이다.

도 4의 (a)는 도 3의 인버터에 대한 상세 회로도이다.

도 4의 (b)는 도 3의 인버터에서 입출력신호 및 제어신호를 나타낸 간략도이다.

도 5는 본 발명에 의한 TSPC 동적 플립플롭과 종래의 TSPC 동적 플립플롭을 비교 설명하기 위해 시뮬레이션한 결과의 파형도이다.

발명을 실시하기 위한 구체적인 내용

[0022]

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하면 다음과 같다.

[0023]

도 3은 본 발명의 실시예에 의한 누설전류 보상기능을 구비한 티에스피씨 동적 플립플롭의 회로도로서 이에 도시한 바와 같이, 제1로직부(31), 제2로직부(32), 제3로직부(33), 출력부(34) 및 누설전류 보상부(35)를 포함한다.

[0024]

제1 로직부(31)는 전원단자(VDD)와 접지단자의 사이에 직렬접속된 제1,2 피모스 트랜지스터(PM1), (PM2) 및 제1 엔모스 트랜지스터(NM1)를 구비하여, 상기 제1 피모스 트랜지스터(PM1) 및 제1 엔모스 트랜지스터(NM1)의 게이트에 공급되는 데이터(D)와 상기 제2 피모스 트랜지스터(PM2)의 게이트에 공급되는 클럭신호(c1k)에 따른 로직값을 상기 제2 피모스 트랜지스터(PM2)의 타측 단자와 상기 제1 엔모스 트랜지스터(NM1)의 일측단자의 공통접속 노드인 A 노드에 출력한다.

[0025]

제2 로직부(32)는 전원단자(VDD)와 접지단자의 사이에 직렬접속된 제3 피모스 트랜지스터(PM3) 및 제2,3 엔모스 트랜지스터(NM2), (NM3)를 구비하여, 상기 A 노드로부터 상기 제2 엔모스 트랜지스터(NM2)의 게이트에 공급되는 로직값과 상기 제3 피모스 트랜지스터(PM3)의 게이트에 공급되는 클럭신호(c1k)에 따른 로직값을

상기 제3 피모스 트랜지스터(PM3)의 타측 단자와 상기 제2 엔모스 트랜지스터(NM2)의 일측단자의 공통접속 노드인 B 노드에 출력한다.

[0026] 제3 로직부(33)는 전원단자(VDD)와 접지단자의 사이에 직렬접속된 제4 피모스 트랜지스터(PM4) 및 제4,5 엔모스 트랜지스터(NM4), (NM5)를 구비하여, 상기 B 노드로부터 상기 제4 피모스 트랜지스터(PM4) 및 제5 엔모스 트랜지스터(NM5)의 게이트에 공급되는 로직값과 상기 제4 엔모스 트랜지스터(NM4)의 게이트에 공급되는 클럭신호(c1k)에 따른 로직값을 상기 제4 피모스 트랜지스터(PM4)의 타측 단자와 상기 제4 엔모스 트랜지스터(NM4)의 일측단자의 공통접속 노드인 C 노드에 출력한다.

[0027] 출력부(34)는 전원단자(VDD)와 접지단자의 사이에 직렬접속된 제5 피모스 트랜지스터(PM5) 및 제6 엔모스 트랜지스터(NM6)를 구비하여, 상기 C 노드로부터 상기 제5 피모스 트랜지스터(PM5) 및 제6 엔모스 트랜지스터(NM6)의 게이트에 공급되는 로직 값에 따라 상기 제5 피모스 트랜지스터(PM5)의 타측 단자와 상기 제6 엔모스 트랜지스터(NM6)의 일측 단자의 공통 접속점 노드인 Q 노드(출력 노드)에 해당 데이터를 출력한다.

[0028] 누설전류 보상부(35)는 제1 인버터(36A), 제2 인버터(36B) 및 제3 인버터(36C)를 구비하여 상기 A,B,C 노드가 플로팅 상태에 있을 때 이후 단 노드의 로직값을 이전 단의 노드로 피드백하여 누설전류에 의한 오동작이 방지된다.

[0029] 먼저, 제1로직부(31), 제2로직부(32), 제3로직부(33) 및 출력부(34)의 동작원리는 통상의 티에스피씨 동적 플립플롭의 동작원리와 유사한 것으로, 이에 대하여 설명하면 다음과 같다.

[0030] 제1로직부(31)에서, 제1 피모스 트랜지스터(PM1) 및 제1 엔모스 트랜지스터(NM1)의 게이트에 공급되는 데이터(D)가 "1"일 때, A 노드의 로직값은 "0"이 된다. 제2 피모스 트랜지스터(PM2)의 게이트에 공급되는 클럭신호(c1k)의 로직값이 "0"일 때 상기 A 노드의 로직값은 상기 데이터(D)의 반전된 값이 된다. 클럭신호(c1k)의 로직값이 "1"이고, 상기 데이터(D)의 로직값이 "0"일 때 상기 A 노드는 플로팅(floating)되어 이전의 로직값을 유지(저장)한다.

[0031] 제2 로직부(32)에서, 제3 피모스 트랜지스터(PM3) 및 제3 엔모스 트랜지스터(NM3)의 게이트에 공급되는 클럭신호(c1k)의 로직값이 "0"일 때 B 노드의 로직값은 "1"이다. 상기 클럭신호(c1k)의 로직값이 "1"이고, 상기 A 노드로부터 제2 엔모스 트랜지스터(NM2)의 게이트에 공급되는 로직값이 "1"일 때 상기 B 노드의 로직값은 "0"이다. 상기 A 노드의 로직값이 "0"일 때 상기 B 노드는 플로팅(floating)되어 이전의 로직값을 유지한다.

[0032] 제3 로직부(33)에서, 제4 피모스 트랜지스터(PM4) 및 제5 엔모스 트랜지스터(NM5)의 게이트에 공급되는 상기 B 노드의 로직값이 "0"일 때 상기 C 노드의 로직값은 "1"이다. 제4 엔모스 트랜지스터(NM4)의 게이트에 공급되는 상기 클럭신호(c1k)의 로직값이 "1"일 때 상기 C 노드의 로직값은 상기 B 노드의 로직값의 반전된 로직값이 된다. 상기 클럭신호(c1k)의 로직값이 "0"이고, 상기 B 노드의 로직값이 "1"일 때 상기 C 노드는 플로팅되어 이전의 로직값을 유지한다.

[0033] 출력부(34)에서, 상기 C 노드로부터 제5 피모스 트랜지스터(PM5) 및 제6 엔모스 트랜지스터(NM6)의 게이트에 공급되는 로직값의 반전된 로직값이 Q 노드에 출력된다.

[0034] 결국, 상기 설명에서와 같이 상기 A 내지 C 노드는 플로팅 구간에 이전의 로직값을 저장하고, 이렇게 저장된 로직값이 상기 Q 노드 측으로 순차적으로 전달되어 클럭신호(c1k)의 한 주기 동안 저장된다.

[0035] 상기 설명에서와 같이 상기 A 노드의 플로팅 구간은 클럭신호(c1k)의 로직값이 "1"이고, 상기 데이터(D)의 로직값이 "0"일 때이며, B 노드의 로직값과 반전된 값을 가진다. 상기 B 노드의 플로팅 구간은 클럭신호(c1k)의 로직값이 "1"이고, 상기 A 노드의 로직값이 "0"일 때이며, C 노드의 로직값과 반전된 값을 가진다. 상기 C 노드의 플로팅 구간은 클럭신호(c1k)의 로직값이 "0"이고, 상기 B 노드의 로직값이 "1"일 때이며, Q 노드의 로직값과 반전된 값을 가진다.

[0036] 상기 A,B,C 노드의 각 플로팅 구간은 클럭신호(c1k)와 바로 이전 단 노드의 로직값에 의해 결정되고, 상기 결정된 로직값은 다음 단의 노드값과 반전된 값을 가진다.

[0037] 한편, 상기 누설전류 보상부(35)에 의해 상기 A,B,C 노드의 누설전류가 보상(억제)되는데, 이에 대하여 상세히 설명하면 다음과 같다.

[0038] 상기 누설전류 보상부(35)는 제1-3 인버터(36A-36C)를 구비하는데, 도 4의 (a)는 상기 제1-3 인버터(36A-36C)를 CMOS 트랜지스터로 구현한 예를 나타낸 것이다.

[0039] 도 4의 (a)를 참조하면, 인버터(35)는 전원단자(VDD)와 접지단자의 사이에 직렬접속된 제6,7 피모스 트랜지스터(PM6,PM7) 및 제7,8엔모스 트랜지스터(NM7,NM8)를 구비한다. 상기 제6 피모스 트랜지스터(PM6)의 게이트와 상기 제8 엔모스 트랜지스터(NM8)의 게이트에 입력전압(Vin)이 공급된다. 상기 제7 피모스 트랜지스터(PM7)의 게이트에는 제어신호(a)가 공급되고, 상기 제7 엔모스 트랜지스터(NM7)의 게이트에 제어신호(b)가 공급된다. 상기 제7피모스 트랜지스터(PM7)의 타측 단자와 상기 제7 엔모스 트랜지스터(NM7)의 일측 단자의 공통접속점으로부터 출력전압(Vout)이 발생된다.

[0040] 도 4의 (b)는 상기 도 4의 (a)를 블록도로 표현한 것으로, 여기서 "a"는 상기 제7피모스 트랜지스터(PM7)의 게이트에 공급되는 제어신호로서 상기 도 3에서 데이터(D), 노드신호(A) 및 클럭신호(clk) 중 하나에 해당된다. 그리고, "b"는 상기 제7엔모스 트랜지스터(NM7)의 게이트에 공급되는 제어신호로서 상기 도 3에서 노드신호(B) 및 클럭신호(clk) 중 하나에 해당된다.

[0041] 상기 도 4의 (a)에 도시한 인버터(35)의 동작은 아래의 [표 1]에 도시한 진리표와 같다. 예를 들어, 제어신호(a)의 로직값은 '0'이고, 제어신호(b)의 로직값은 '1'인 경우 출력전압(Vout)의 로직값은 입력전압(Vin)의 반전된 로직값이 된다. 입력전압(Vin), 제어신호(a)(b)의 로직값이 모두 '0'인 경우 출력전압(Vout)의 로직값은 '1'이 된다. 입력전압(Vin), 제어신호(a)(b)의 로직값이 모두 '1'인 경우 출력전압(Vout)의 로직값은 '0'이 된다. 나머지의 경우 출력전압(Vout)의 단자는 오픈(Open)상태(High Impedance = High-Z)가 된다.

[0042] **표 1**

인버터의 진리표			
Vin	a	b	Vout
0	0	0	1
0	0	1	1
0	1	0	High-z
0	1	1	High-z
1	0	0	High-z
1	0	1	0
1	1	0	High-z
1	1	1	0

[0043] 아래의 [표 2]는 상기 도 3에 도시된 티에스피씨 동적 플립플롭(30)의 진리표를 나타낸 것이다.

[0044] **표 2**

TSPC F/F 진리표					
clk	D	A	B	C	Q
0	0	1	1	0	1
				1	0
0	1	0	1	0	1
				1	0
1	0	0	0	1	0
			1	0	1
1	1	0	0	1	0
			1	0	1

[0045] 제1-3 인버터(36A-36C)를 이용하여 상기 A,B,C 노드의 누설전류를 보상하는 동작을 설명하면 다음과 같다.

35 : 누설전류 보상부

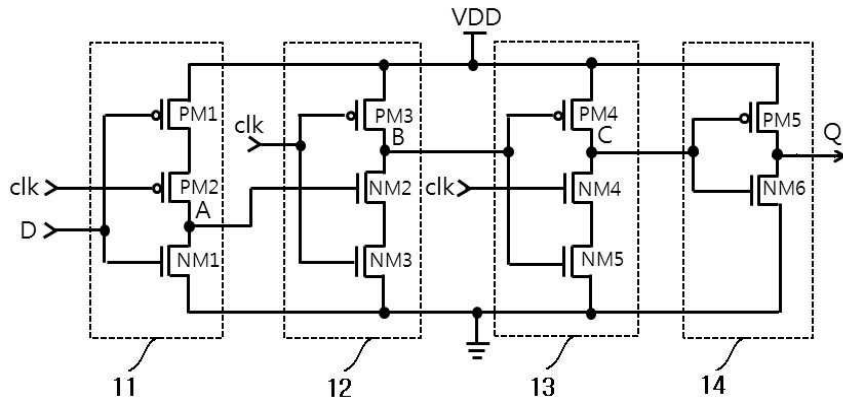
36A : 제1 인버터

36B : 제2 인버터

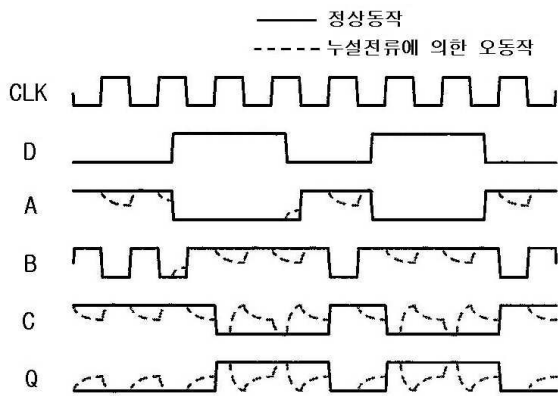
36C : 제3 인버터

도면

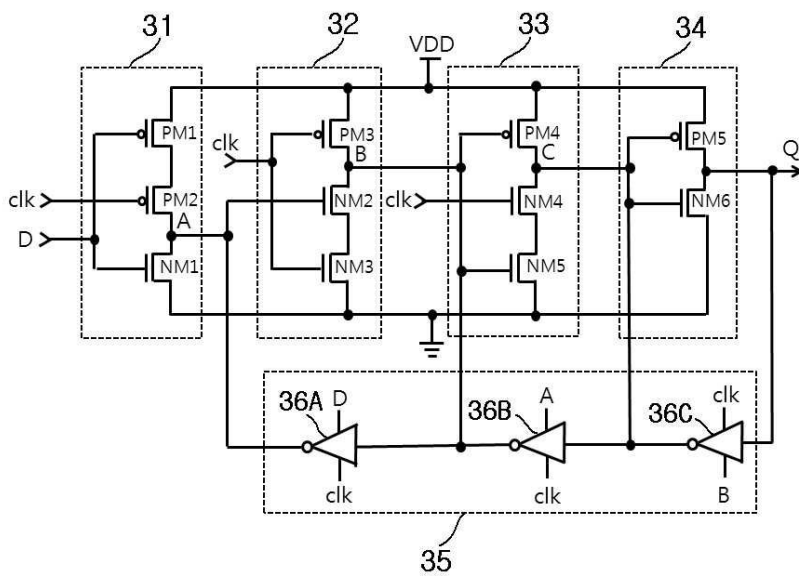
도면1



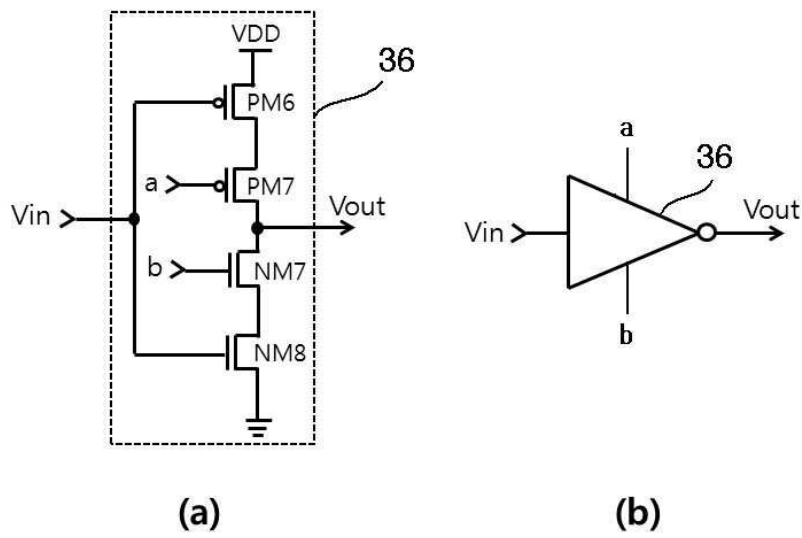
도면2



도면3



도면4



도면5

