



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

198 987

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 29 11 78
(21) PV 7831-78

(51) Int. Cl.³ G 06 F 1/04

(40) Zveřejněno 17 09 79
(45) Vydáno 01 8 82

(75)
Autor vynálezu

BUREŠ JAROSLAV ing., BRNO

(54) Zapojení časového zdroje mikroprocesoru pro inteligentní terminál

1

Vynález se týká zapojení časového zdroje mikroprocesoru pro inteligentní terminál.

Známa zapojení časového zdroje mikroprocesoru pro inteligentní terminál jsou vytvořena tak, že umožňují řídit mikroprocesorový systém se stejnou šířkou vnitřních mikroprocesorových sběrnic. Mikroprocesorové systémy, pracující s šestnáctibitovým slovem a používající tři vnitřních sběrnic, lze rozdělit zhruba na dva typy. První typ používá dvou šestnáctibitových sběrnic, označovaných R a S, a které tvoří vstup do aritmetické a logické jednotky mikroprocesorového systému a jedné šestnáctibitové sběrnice, označované T, jež tvoří výstup výsledku operace a současně vstup do pracovních registrů mikroprocesoru. U prvního typu se provádí paralelní zpracování informace. Druhý typ používá sériového zpracování šestnáctibitového slova, kde šířka každé ze tří sběrnic je jedno-bitová. Oba uvedené typy mikroprocesorových systémů jsou v důsledku stávajících zapojení časového zdroje buď složité, neboť sestávají z nadměrného množství prvků, anebo nejsou pro malou rychlost operací v některých případech použitelné. U prvního typu je systém značně rozsáhlý, neboť vyžaduje paralelní cesty pro všech šestnáct bitů slova. Tato nevýhoda se projeví zejména tam, kde se vyžaduje od aritmetické jednotky přímé provádění dekadických operací. U druhého typu se kromě malé rychlosti zpracování slova projevuje nepříznivý vliv jednobitové výstupní sběrnice T, která umožňuje rychlé přesuvy mezi

198 987

pracovními registry a ostatními bloky mikroprocesorového systému.

Uvedené nevýhody odstraňuje zapojení časového zdroje mikroprocesoru pro inteligentní terminál podle vynálezu, jehož podstatou je, že druhý vstup šestého třívstupového obvodu typu negace logického součinu tvoří současně první vstup zapojení, první vstup sedmého dvouvstupového obvodu typu negace logického součinu tvoří současně druhý vstup zapojení, první vstup osmého dvouvstupového obvodu typu negace logického součinu tvoří třetí vstup zapojení, druhý vstup sedmého dvouvstupového obvodu typu negace logického součinu, druhý vstup osmého dvouvstupového obvodu typu negace logického součinu a třetí vstup šestého třívstupového obvodu typu negace logického součinu jsou spojeny a tvoří současně čtvrtý vstup zapojení, vstup patnáctého invertoru tvoří současně pátý vstup zapojení, druhý vstup čtvrtého třívstupového obvodu typu negace logického součinu tvoří současně šestý vstup zapojení, přičemž první vstup pátého třívstupového obvodu typu negace logického součinu je připojen na třetí vstup čtvrtého třívstupového obvodu typu negace logického součinu, na druhý vstup třetího dvouvstupového obvodu typu negace logického součinu, na druhý vstup čtvrtého dvouvstupového obvodu typu negace logického součinu a na nastavovací vstup pátého klopného obvodu typu D a tvoří současně sedmý vstup zapojení, druhý vstup prvního dvouvstupového obvodu typu negace logického součinu tvoří současně osmý vstup zapojení, přičemž výstup sedmého dvouvstupového obvodu typu negace logického součinu je připojen na první a druhý vstup druhého expanderu a na vstup třináctého invertoru, jehož výstup je připojen na první a druhý vstup prvního expanderu a na první a druhý vstup třetího expanderu, výstup osmého dvouvstupového obvodu typu negace logického součinu je připojen na třetí vstup prvního expanderu a na vstup čtrnáctého invertoru, jehož výstup je připojen na třetí vstup druhého expanderu a na třetí vstup třetího expanderu, výstup patnáctého invertoru je připojen na první vstup šestého třívstupového obvodu typu negace logického součinu, jehož výstup je připojen na základní vstup sedmého klopného obvodu typu D a na základní vstup šestého klopného obvodu typu D, jedničkový výstup šestého klopného obvodu typu D je připojen na první vstup prvního dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na vstup čtvrtého invertoru, jedničkový výstup sedmého klopného obvodu typu D je připojen na první vstup čtvrtého třívstupového obvodu typu negace logického součinu, jehož výstup je připojen na třetí a čtvrtý vstup součtové součinového hradla a na vstup šestého invertoru, jehož výstup je připojen na třetí vstup třetího třívstupového obvodu typu negace logického součinu, výstup prvního třívstupového obvodu typu negace logického součinu je připojen na vstup prvního invertoru, jehož výstup tvoří současně devátý výstup zapojení, přičemž výstup prvního čtyřvstupového obvodu typu negace logického součinu je připojen na nastavovací vstup třetího klopného obvodu typu D a na vstup druhého invertoru, jehož výstup tvoří současně desátý výstup zapojení, výstup druhého třívstupového obvodu typu negace logického součinu je připojen na vstup třetího invertoru a tvoří současně dvanáctý výstup zapojení, výstup třetího invertoru tvoří současně

jedenáctý výstup zapojení, výstup druhého čtyřvstupového obvodu typu negace logického součinu tvoří současně třináctý výstup zapojení, výstup čtvrtého invertoru je připojen na třetí vstup prvního třívstupového obvodu typu negace logického součinu, na čtvrtý vstup prvního čtyřvstupového obvodu typu negace logického součinu, na třetí vstup druhého třívstupového obvodu typu negace logického součinu a na čtvrtý vstup druhého čtyřvstupového obvodu typu negace logického součinu, výstup dvouvstupového obvodu typu negace logického součinu je připojen na základní vstup čtvrtého klopného obvodu typu D, jehož jedničkový výstup je připojen na základní vstup pátého klopného obvodu typu D, kdežto jeho nulový výstup je připojen na první vstup druhého třívstupového obvodu typu negace logického součinu a tvoří současně čtrnáctý výstup zapojení, jedničkový výstup pátého klopného obvodu typu D tvoří současně šestnáctý výstup zapojení, kdežto jeho nulový výstup je připojen na druhý vstup třetího třívstupového obvodu typu negace logického součinu, na druhý vstup pátého třívstupového obvodu typu negace logického součinu a na hodinový vstup sedmého klopného obvodu typu D a tvoří současně patnáctý výstup zapojení, jedničkový výstup prvního klopného obvodu typu D je připojen na základní vstup druhého klopného obvodu typu D, na první vstup prvního třívstupového obvodu typu negace logického součinu a tvoří současně čtvrtý výstup zapojení, kdežto jeho nulový výstup je připojen na první vstup prvního čtyřvstupového obvodu typu negace logického součinu, na první vstup druhého dvouvstupového obvodu typu negace logického součinu, na čtvrtý vstup třetího expanderu, na druhý vstup součtově součinnového hradla a přes derivační článek na první vstup čtvrtého dvouvstupového obvodu typu negace logického součinu, jehož výstup tvoří současně druhý výstup zapojení, jedničkový výstup druhého klopného obvodu typu D je připojen na základní vstup třetího klopného obvodu typu D, na druhý vstup prvního čtyřvstupového obvodu typu negace logického součinu a na druhý vstup druhého dvouvstupového obvodu typu negace logického součinu a současně tvoří pátý výstup zapojení, kdežto jeho nulový výstup je připojen na první vstup druhého čtyřvstupového obvodu typu negace logického součinu a na čtvrtý vstup druhého expanderu a tvoří současně šestý výstup zapojení, jedničkový výstup třetího klopného obvodu typu D je připojen na druhý vstup prvního třívstupového obvodu typu negace logického součinu, na druhý vstup druhého čtyřvstupového obvodu typu negace logického součinu, na první vstup součtově součinnového hradla a tvoří současně sedmý výstup zapojení, kdežto jeho nulový výstup je připojen na základní vstup prvního klopného obvodu typu D, na čtvrtý vstup prvního expanderu a na první vstup třetího dvouvstupového obvodu typu negace logického součinu, přímý výstup prvního expanderu je připojen na přímý výstup druhého expanderu, na přímý výstup třetího expanderu a na přímý vstup součtově součinnového hradla, negovací výstup prvního expanderu je spojen s negovacím výstupem druhého expanderu, s negovacím výstupem třetího expanderu a s negovacím vstupem součtově součinnového hradla, jehož výstup tvoří současně třetí výstup zapojení, výstup třetího třívstupového obvodu typu negace logického součinu je připojen na vstup pátého invertoru, jehož výstup tvoří

současné osmý výstup zapojení, výstup pátého třívstupového obvodu typu negace logického součinu je připojen na vstup sedmého invertoru, jehož výstup je připojen na hodinový vstup šestého klopného obvodu typu D a tvoří současně sedmnáctý výstup zapojení, výstup třetího dvouvstupového obvodu typu negace logického součinu je připojen jednak přes první kondenzátor na nulový potenciál, jednak na vstup osmého invertoru, jehož výstup tvoří současně první výstup zapojení, výstup oscilátoru je připojen na druhý vstup šestého dvouvstupového obvodu typu negace logického součinu a na vstup desátého invertoru, jehož výstup je připojen na druhý vstup pátého dvouvstupového obvodu typu negace logického součinu, výstup šestého dvouvstupového obvodu typu negace logického součinu je připojen na třetí vstup prvního čtyřvstupového obvodu typu negace logického součinu, na třetí vstup druhého čtyřvstupového obvodu typu negace logického součinu a na hodinový vstup čtvrtého klopného obvodu typu D, na hodinový vstup pátého klopného obvodu typu D, na první vstup pátého dvouvstupového obvodu typu negace logického součinu a na vstup jedenáctého invertoru, jehož výstup tvoří současně devatenáctý výstup zapojení, výstup pátého dvouvstupového obvodu typu negace logického součinu je připojen na první vstup šestého dvouvstupového obvodu typu negace logického součinu, na hodinový vstup prvního klopného obvodu typu D, na hodinový vstup druhého klopného obvodu typu D, na hodinový vstup třetího klopného obvodu typu D, na druhý vstup druhého třívstupového obvodu typu negace logického součinu, na první vstup třetího třívstupového obvodu typu negace logického součinu, na třetí vstup pátého třívstupového obvodu typu negace logického součinu a na vstup dvanáctého invertoru, jehož výstup tvoří současně osmnáctý výstup zapojení. Výstup čtyřvstupového součtově součinného hradla je dále připojen na první vstupy sedmého až čtrnáctého třívstupového obvodu typu negace logického součinu, výstup dvanáctého invertoru je dále připojen na druhé vstupy sedmého až čtrnáctého třívstupového obvodu typu negace logického součinu, vstup prvního bitu kódu prvního dekodéru tvoří současně devátý vstup zapojení, vstup druhého bitu kódu prvního dekodéru tvoří současně desátý vstup zapojení, vstup třetího bitu kódu prvního dekodéru tvoří současně jedenáctý vstup zapojení, vstup čtvrtého bitu kódu prvního dekodéru je připojen na nulový potenciál, první výstup prvního dekodéru je připojen přes šestnáctý invertor na třetí vstup sedmého třívstupového obvodu typu negace logického součinu, jehož výstup tvoří současně dvacátý výstup zapojení, druhý výstup prvního dekodéru je připojen přes sedmnáctý invertor na třetí vstup osmého třívstupového obvodu typu negace logického součinu, jehož výstup tvoří současně dvacátý první výstup zapojení, třetí výstup prvního dekodéru je připojen přes osmnáctý invertor na třetí vstup devátého třívstupového obvodu typu negace logického součinu, jehož výstup tvoří současně dvacátý druhý výstup zapojení, čtvrtý výstup prvního dekodéru je připojen přes devatenáctý invertor na třetí vstup desátého třívstupového obvodu typu negace logického součinu, jehož výstup tvoří současně dvacátý třetí výstup zapojení, pátý výstup prvního dekodéru je připojen přes dvacátý invertor na třetí vstup jedenáctého třívstupového obvodu typu negace logického součinu, jehož výstup tvoří současně dvacátý čtvrtý výstup zapojení, šestý výstup prvního dekodéru je připojen přes

dvacátý první invertor na třetí vstup dvanáctého třívstupového obvodu typu negace logického součinu, jehož výstup tvoří současně dvacátý pátý výstup zapojení, první vstup patnáctého třívstupového obvodu typu negace logického součinu tvoří současně dvanáctý vstup zapojení, druhý vstup patnáctého třívstupového obvodu typu negace logického součinu tvoří současně třináctý vstup zapojení, třetí vstup patnáctého třívstupového obvodu typu negace logického součinu tvoří současně čtrnáctý vstup zapojení, kdežto jeho výstup je připojen jednak na vstup dvacátého druhého invertoru, jehož výstup je připojen na třetí vstup třináctého třívstupového obvodu typu negace logického součinu, jednak na vstup čtrnáctého třívstupového obvodu typu negace logického součinu, výstup třináctého třívstupového obvodu typu negace logického součinu tvoří současně dvacátý šestý výstup, výstup čtrnáctého třívstupového obvodu typu negace logického součinu tvoří současně dvacátý sedmý výstup zapojení. Výstup třetího invertoru je dále připojen na druhé vstupy devatenáctého až dvacátého čtvrtého dvouvstupového obvodu typu negace logického součinu, výstup druhého invertoru je dále připojen na první vstupy jedenáctého až sedmnáctého dvouvstupového obvodu a na druhý vstup dvacátého šestého dvouvstupového obvodu typu negace logického součinu, výstup sedmého invertoru je dále připojen na hodinové vstupy šestého až desátého klopného obvodu typu D, výstup prvního invertoru je dále připojen na druhý vstup osmnáctého dvouvstupového obvodu typu negace logického součinu a na první vstup dvacátého pátého dvouvstupového obvodu typu negace logického součinu, jehož výstup tvoří současně dvacátý osmý výstup zapojení, výstup dvacátého druhého invertoru je dále připojen na první vstup dvacátého sedmého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na základní vstup desátého klopného obvodu typu D, základní vstup šestého klopného obvodu typu D tvoří současně patnáctý vstup zapojení, základní vstup sedmého klopného obvodu typu D tvoří současně šestnáctý vstup zapojení, základní vstup osmého klopného obvodu typu D tvoří současně sedmnáctý vstup zapojení, základní vstup devátého klopného obvodu typu D tvoří současně osmnáctý vstup zapojení, druhý vstup dvacátého sedmého dvouvstupového obvodu typu negace logického součinu tvoří současně devatenáctý vstup zapojení, jedničkový výstup šestého klopného obvodu typu D je připojen na vstup prvního bitu kódu druhého dekodéru, jedničkový výstup sedmého klopného obvodu typu D je připojen na vstup druhého bitu druhého dekodéru, jedničkový výstup osmého klopného obvodu typu D je připojen na vstup třetího bitu kódu druhého dekodéru, jehož vstup čtvrtého bitu kódu je připojen na nulový potenciál, jedničkový výstup devátého klopného obvodu typu D je připojen na druhý vstup sedmnáctého dvouvstupového obvodu typu negace logického součinu a na první vstup osmnáctého dvouvstupového obvodu typu negace logického součinu, jehož výstup tvoří současně třicátý výstup zapojení, první výstup druhého dekodéru je připojen na vstup dvacátého třetího invertoru, jehož výstup je připojen na druhý vstup jedenáctého dvouvstupového obvodu typu negace logického součinu a na první vstup devatenáctého dvouvstupového obvodu typu negace logického součinu, jehož výstup tvoří současně třicátý druhý výstup zapojení, druhý výstup druhého

198 987

dekodéru je připojen na vstup dvacátého čtvrtého invertoru, jehož výstup je připojen na druhý vstup dvanáctého dvouvstupového obvodu typu negace logického součinu a na první vstup dvacátého dvouvstupového obvodu typu negace logického součinu, jehož výstup tvoří současně třicátý čtvrtý výstup zapojení, třetí výstup druhého dekodéru je připojen na první vstup devátého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na druhý vstup třináctého dvouvstupového obvodu typu negace logického součinu, a na první vstup dvacátého prvního dvouvstupového obvodu typu negace logického součinu, jehož výstup tvoří současně třicátý šestý výstup zapojení, čtvrtý výstup druhého dekodéru je připojen na druhý vstup devátého dvouvstupového obvodu typu negace logického součinu a na první vstup desátého dvouvstupového obvodu typu negace logického součinu, pátý výstup druhého dekodéru je připojen na druhý vstup desátého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na druhý vstup čtrnáctého dvouvstupového obvodu typu negace logického součinu a na první vstup dvacátého druhého dvouvstupového obvodu typu negace logického součinu, jehož výstup tvoří současně třicátý osmý výstup zapojení, šestý výstup druhého dekodéru je připojen na vstup dvacátého pátého invertoru, jehož výstup je připojen na druhý vstup patnáctého dvouvstupového obvodu typu negace logického součinu a na první vstup dvacátého třetího dvouvstupového obvodu typu negace logického součinu, jehož výstup tvoří současně čtyřicátý výstup zapojení, sedmý výstup druhého dekodéru je připojen na vstup dvacátého šestého invertoru, jehož výstup je připojen na druhý vstup šestnáctého dvouvstupového obvodu typu negace logického součinu a na první vstup dvacátého čtvrtého obvodu typu negace logického součinu, jehož výstup tvoří současně čtyřicátý druhý výstup zapojení, výstup jedenáctého dvouvstupového obvodu typu negace logického součinu tvoří současně třicátý první výstup zapojení, výstup dvanáctého dvouvstupového obvodu typu negace logického součinu tvoří současně třicátý třetí výstup zapojení, výstup třináctého dvouvstupového obvodu typu negace logického součinu tvoří současně třicátý pátý výstup zapojení, výstup čtrnáctého dvouvstupového obvodu typu negace logického součinu tvoří současně třicátý sedmý výstup zapojení, výstup patnáctého dvouvstupového obvodu typu negace logického součinu tvoří současně třicátý devátý výstup zapojení, výstup šestnáctého dvouvstupového obvodu typu negace logického součinu tvoří současně čtyřicátý první výstup zapojení, výstup sedmnáctého dvouvstupového obvodu typu negace logického součinu tvoří současně čtyřicátý třetí výstup zapojení, nulový výstup desátého klopného obvodu typu D je připojen na druhý vstup dvacátého pátého dvouvstupového obvodu typu negace logického součinu a na první vstup dvacátého šestého dvouvstupového obvodu typu negace logického součinu, jehož výstup tvoří současně dvacátý devátý výstup zapojení.

Zapojením časového zdroje podle vynálezu se umožňuje řídit mikroprocesorové systémy s různou šířkou jejich vnitřních sběrnic a mimo to se dosahuje řady dalších výhod. Za prvé se umožní zapojit registry řízeného mikroprocesoru sérioparalelním způsobem, při kterém se posunují registry po čtyřbitových sběrnicích přes aritmetickou jednotku a po

šestnáctibitové sběrnici vzájemně mezi sebou, což má za následek pronikavé snížení nutných obvodů jak v aritmetické jednotce, která je čtyřbitová, tak i v obvodech řízení čtyřbitových sběrnic. Za druhé se umožní jednoduché provádění dekadických operací. Za třetí se dosáhne velké rychlosti přesuvu dat mezi registry, neboť tyto přesuvy probíhají po pošestnácti bitové sběrnici. Uvedených vlastností je dosaženo tím, že zapojení časového zdroje umožnilo rozdělit časový cyklus mikroprocesoru, řízeného tímto zapojením časového zdroje na šest časových intervalů, z nichž v prvních čtyřech časových intervalech jsou časovým zdrojem ovládány dvě čtyřbitové sběrnice, zapojené na vstupy aritmetické a logické jednotky a v posledních dvou časových intervalech je řízena jedna šestnáctibitová sběrnice, která umožňuje paralelní přenos mezi registry a střadačem, který je zapojen na výstupu aritmetické a logické jednotky.

Příklad zapojení časového zdroje mikroprocesoru pro inteligentní terminál podle vynálezu je znázorněn na připojených výkresech, na nichž

obr. 1a až 1g znázorňují základní schéma zapojení časového zdroje,

obr. 2 přídatné schéma zapojení časového zdroje,

obr. 3 další přídatné schéma zapojení časového zdroje,

obr. 4 časový diagram časového zdroje a

obr. 5 skladbu mikroinstrukce.

Druhý vstup šestého třívstupového obvodu NST6 typu negace logického součinu pro signál ROM(14) tvoří současně první vstup O1 zapojení, připojitelný na neznázorněnou řídicí paměť typu ROM, (obr. 1a až 1g) první vstup sedmého dvouvstupového obvodu NSD7 typu negace logického součinu pro signál ROM(8) tvoří současně druhý vstup O2 zapojení, připojitelný na řídicí paměť typu ROM. První vstup osmého dvouvstupového obvodu NSD8 typu negace logického součinu pro signál ROM(19) tvoří současně třetí vstup O3 zapojení, připojitelný na řídicí paměť typu ROM. Druhý vstup sedmého dvouvstupového obvodu NSD7 typu negace logického součinu, druhý vstup osmého dvouvstupového obvodu NSD8 typu negace logického součinu a třetí vstup šestého třívstupového obvodu NST6 typu negace logického součinu pro signál ROM(22) a jsou spojeny a tvoří současně čtvrtý vstup O4 zapojení, připojitelný na řídicí paměť typu ROM. Vstup patnáctého invertoru INV15 pro signál NESPL1 tvoří současně pátý vstup O5 zapojení, připojitelný na neznázorněný dekodér podmínky. Druhý vstup čtvrtého třívstupového obvodu NST4 typu negace logického součinu pro signál HPOV(VV) tvoří současně šestý vstup O6 zapojení, připojitelný na neznázorněný řadič vstupu a výstupu. První vstup pátého třívstupového obvodu NST5 typu negace logického součinu pro signál NUL(ST) je připojen na třetí vstup čtvrtého třívstupového obvodu NST4 typu negace logického součinu, na druhý vstup třetího dvouvstupového obvodu NSD3 typu negace logického součinu, na druhý vstup čtvrtého dvouvstupového obvodu NSD4 typu negace logického součinu a na nastavovací vstup 54 pátého klopného obvodu ATE typu D a tvoří současně sedmý vstup O7 zapojení, připojitelný na neznázorněný obvod pro řízení rychlého kanálu. Druhý vstup prvního dvouvstupového obvodu NSD1 typu negace

logického součinu pro signál NUL(T35) tvoří současně osmý vstup 08 zapojení, připojitelný na obvod pro řízení rychlého kanálu. Výstup sedmého dvouvstupového obvodu NSD7 typu negace logického součinu pro signál H1 je připojen na první a druhý vstup druhého expanderu EXP2 a na vstup třináctého invertoru INV13, jehož výstup pro signál H1 je připojen na první a druhý vstup prvního expanderu EXP1 a na první a druhý vstup třetího expanderu EXP3. Výstup osmého dvouvstupového obvodu NSD8 typu negace logického součinu pro signál H2 je připojen na třetí vstup prvního expanderu EXP1 a na vstup čtrnáctého invertoru INV14, jehož výstup pro signál H2 je připojen na třetí vstup druhého expanderu EXP2 a na třetí vstup třetího expanderu EXP3. Výstup patnáctého invertoru INV15 je připojen na první vstup šestého třívstupového obvodu NST6 typu negace logického součinu, jehož výstup je připojen na základní vstup 71 sedmého klopného obvodu AHPOV typu D a na základní vstup 61 šestého klopného obvodu ATPOV typu D. Jedničkový výstup 601 šestého klopného obvodu ATPOV typu D pro signál TPOV je připojen na první vstup prvního dvouvstupového obvodu NSD1 typu negace logického součinu, jehož výstup je připojen na vstup čtvrtého invertoru INV4. Jedničkový výstup 701 sedmého klopného obvodu AHPOV typu D pro signál HPOV je připojen na první vstup čtvrtého třívstupového obvodu NST4 typu negace logického součinu, jehož výstup je připojen na třetí a čtvrtý vstup součtové součinnového hradla SSHC a na vstup šestého invertoru INV6, jehož výstup je připojen na třetí vstup třetího třívstupového obvodu NST3 typu negace logického součinu. Výstup prvního třívstupového obvodu NST1 typu negace logického součinu je připojen na vstup prvního invertoru INV1, jehož výstup pro signál T3AB tvoří současně devátý výstup 009 zapojení, připojitelný na neznázorněný mikroprocesor. Výstup prvního čtyřvstupového obvodu NSC1 typu negace logického součinu pro signál T4B je připojen na nastavovací vstup 34 třetího klopného obvodu ATC typu D a na vstup druhého invertoru INV2, jehož výstup pro signál T4B tvoří současně desátý výstup 0010 zapojení, připojitelný na mikroprocesor. Výstup druhého třívstupového obvodu NST2 typu negace logického součinu pro signál T5A je připojen na vstup třetího invertoru INV3 a tvoří současně dvanáctý výstup 0012 zapojení, připojitelný na mikroprocesor. Výstup třetího invertoru INV3 pro signál T5A tvoří současně jedenáctý výstup 0011 zapojení, připojitelný na mikroprocesor. Výstup druhého čtyřvstupového obvodu NSC2 typu negace logického součinu pro signál T5B tvoří současně třináctý výstup 0013 zapojení, připojitelný na mikroprocesor. Výstup čtvrtého invertoru INV4 je připojen na třetí vstup prvního třívstupového obvodu NST1 typu negace logického součinu, na čtvrtý vstup prvního čtyřvstupového obvodu NSC1 typu negace logického součinu, na třetí vstup druhého třívstupového obvodu NST2 typu negace logického součinu a na čtvrtý vstup druhého čtyřvstupového obvodu NSC2 typu negace logického součinu. Výstup dvouvstupového obvodu NSD2 typu negace logického součinu je připojen na základní vstup 41 čtvrtého klopného obvodu ATD typu D, jehož jedničkový výstup 401 pro signál TD je připojen na základní vstup 51 pátého klopného obvodu ATE typu D, kdežto jeho nulový výstup 402 pro signál TD je připojen na první

vstup druhého třívstupového obvodu NST2 typu negace logického součinu a tvoří současně čtrnáctý výstup 0014 zapojení, připojitelný na mikroprocesor. Jedničkový výstup 501 pátého klopného obvodu ATE typu D pro signál TE tvoří současně šestnáctý výstup 0016 zapojení, připojitelný na mikroprocesor, kdežto jeho nulový výstup 502 pro signál TE je připojen na druhý vstup třetího třívstupového obvodu NST3 typu negace logického součinu, na druhý vstup pátého třívstupového obvodu NST5 typu negace logického součinu a na hodinový vstup 72 sedmého klopného obvodu AHPOV typu D a tvoří současně patnáctý výstup 0015 zapojení, připojitelný na mikroprocesor. Jedničkový výstup 101 prvního klopného obvodu ATA typu D pro signál TA je připojen na základní vstup 21 druhého klopného obvodu ATB typu D, na první vstup prvního třívstupového obvodu NST1 typu negace logického součinu a tvoří současně čtvrtý výstup 004 zapojení, připojitelný na mikroprocesor, kdežto jeho nulový výstup 102 pro signál TA je připojen na první vstup prvního čtyřvstupového obvodu NSC1 typu negace logického součinu, na první vstup druhého dvouvstupového obvodu NSD2 typu negace logického součinu, na čtvrtý vstup třetího expanderu EXP3, na druhý vstup součtově součinnového hradla SSHC a přes derivační článek, tvořený druhým kondenzátorem C2, prvním odporem R1 a ochrannou diodou D, na první vstup čtvrtého dvouvstupového obvodu NSD4 typu negace logického součinu, jehož výstup pro signál STROB ROM tvoří současně druhý výstup 002 zapojení, připojitelný na neznázorněnou řídicí paměť ROM. Jedničkový výstup 201 druhého klopného obvodu ATB typu D pro signál TB je připojen na základní vstup 31 třetího klopného obvodu ATC typu D, na druhý vstup prvního čtyřvstupového obvodu NSC1 typu negace logického součinu a na druhý vstup druhého dvouvstupového obvodu NSD2 typu negace logického součinu a současně tvoří pátý výstup 005 zapojení, připojitelný na mikroprocesor, kdežto jeho nulový výstup 202 pro signál TB je připojen na první vstup druhého čtyřvstupového obvodu NSC2 typu negace logického součinu a na čtvrtý vstup druhého expanderu EXP2 a tvoří současně šestý výstup 006 zapojení, připojitelný na mikroprocesor. Jedničkový výstup 301 třetího klopného obvodu ATC typu D pro signál TC je připojen na druhý vstup prvního třívstupového obvodu NST1 typu negace logického součinu, na druhý vstup druhého čtyřvstupového obvodu NSC2 typu negace logického součinu, na první vstup součtově součinnového hradla SSHC a tvoří současně sedmý výstup 007 zapojení, připojitelný na mikroprocesor, kdežto jeho nulový výstup 302 pro signál TC je připojen na základní vstup 11 prvního klopného obvodu ATA typu D, na čtvrtý vstup prvního expanderu EXP1 a na první vstup třetího dvouvstupového obvodu NSD3 typu negace logického součinu. Přímý výstup 81 prvního expanderu EXP1 je připojen na přímý výstup 91 druhého expanderu EXP2, na přímý výstup 101 třetího expanderu EXP3 a na přímý vstup 111 součtově součinnového hradla SSHC. Negovací výstup 82 prvního expanderu EXP1 je spojen s negovacím výstupem 92 druhého expanderu EXP2, s negovacím výstupem třetího expanderu EXP3 a s negovacím vstupem součtově součinnového hradla SSHC, jehož výstup pro signál HODP tvoří současně třetí výstup 003 zapojení, připojitelný na mikroprocesor. Výstup třetího třívstupového obvodu NST3 typu negace logického součinu

je připojen na vstup pátého invertoru INV5, jehož výstup pro signál TOA tvoří současně osmý výstup 008 zapojení, připojitelný na mikroprocesor. Výstup pátého třívstupového obvodu NST5 typu negace logického součinu je připojen na vstup sedmého invertoru INV7, jehož výstup pro signál TAKT je připojen na hodinový vstup 62 šestého klopného obvodu ATPOV typu D a tvoří současně sedmnáctý výstup 0017 zapojení, připojitelný na mikroprocesor. Výstup třetího dvouvstupového obvodu NSD3 typu negace logického součinu je připojen jednak přes první kondenzátor 01 na nulový potenciál, jednak na vstup osmého invertoru INV8, jehož výstup pro signál START ROM tvoří současně první výstup 001 zapojení, připojitelný na řídicí paměť typu ROM. Oscilátor OSC je řízen krystalem K, na jehož jeden vývod je připojen přes třetí odpor R3 vstup šestnáctého invertoru INV16, jehož výstup je připojen přes pátý odpor R5 na vstup devátého invertoru INV9. Výstup devátého invertoru INV9 je připojen na druhý vývod krystalu K, dále na druhý vstup šestého dvouvstupového obvodu NSD6 typu negace logického součinu a na vstup desátého invertoru INV10, jehož výstup je připojen na druhý vstup pátého dvouvstupového obvodu NSD5 typu negace logického součinu, šestnáctý invertor INV16 je přemostěn druhým odporem R2 a devátý invertor INV9 je přemostěn čtvrtým odporem R4. Výstup šestého dvouvstupového obvodu NSD6 typu negace logického součinu pro signál TOSC(1) je připojen na třetí vstup prvního čtyřvstupového obvodu NSC1 typu negace logického součinu, na třetí vstup druhého čtyřvstupového obvodu NSC2 typu negace logického součinu a na hodinový vstup 42 čtvrtého klopného obvodu ATD typu D, na hodinový vstup 52 pátého klopného obvodu ATE typu D, na první vstup pátého dvouvstupového obvodu NSD5 typu negace logického součinu a na vstup jedenáctého invertoru INV11, jehož výstup pro signál TOSC tvoří současně devatenáctý výstup 0019 zapojení, připojitelný na mikroprocesor. Výstup pátého dvouvstupového obvodu NSD5 typu negace logického součinu pro signál TOSC(1) je připojen na první vstup šestého dvouvstupového obvodu NSD6 typu negace logického součinu, na hodinový vstup 12 prvního klopného obvodu ATA typu D, na hodinový vstup 22 druhého klopného obvodu ATB typu D, na hodinový vstup 32 třetího klopného obvodu ATC typu D, na druhý vstup druhého třívstupového obvodu NST2 typu negace logického součinu, na první vstup třetího třívstupového obvodu NST3 typu negace logického součinu, na třetí vstup pátého třívstupového obvodu NST5 typu negace logického součinu a na vstup dvanáctého invertoru INV12, jehož výstup pro signál TOSC tvoří současně osmnáctý výstup 0018 zapojení, připojitelný na mikroprocesor.

Výstup čtyřvstupového součtově součinnového hradla SSHC pro signál HODP je dále připojen na první vstupy sedmého až čtrnáctého třívstupového obvodu NST7, NST8, NST9, NST10, NST11, NST12, NST13, NST14 typu negace logického součinu (obr. 2). Výstup dvanáctého invertoru INV12 pro signál TOSC je dále připojen na druhé vstupy sedmého až čtrnáctého třívstupového obvodu NST7 až NST14 typu negace logického součinu. Vstup 111 prvního bitu kódu prvního dekodéru LDK4:10 pro signál ROM(29) tvoří současně devátý vstup 09 zapojení, připojitelný na řídicí paměť typu ROM. Vstup 112 druhého bitu kódu

prvního dekodéru LDK4:10 pro signál ROM(30) tvoří současně desátý vstup O10 zapojení, připojitelný na řídicí paměť typu ROM. Vstup 113 třetího bitu kódu prvního dekodéru LDK4:10 pro signál ROM(31) tvoří současně jedenáctý vstup O11 zapojení, připojitelný na řídicí paměť typu ROM. Vstup 114 čtvrtého bitu kódu prvního dekodéru LDK4:10 je připojen na nulový potenciál. První výstup 1 prvního dekodéru LDK4:10 je připojen přes šestnáctý invertor INV16 na třetí vstup sedmého třívstupového obvodu NST7 typu negace logického součinu, jehož výstup pro signál R1(HOD) tvoří současně dvacátý výstup 0020, připojitelný na mikroprocesor. Druhý výstup 2 prvního dekodéru LDK4:10 je připojen přes sedmnáctý invertor INV17 na třetí vstup osmého třívstupového obvodu NST8 typu negace logického součinu, jehož výstup pro signál R2(HOD) tvoří současně dvacátý první výstup 0021 zapojení, připojitelný na mikroprocesor. Třetí výstup 3 prvního dekodéru LDK4:10 je připojen přes osmnáctý invertor INV18 na třetí vstup devátého třívstupového obvodu NST9 typu negace logického součinu, jehož výstup pro signál R3(HOD) tvoří současně dvacátý druhý výstup 0022 zapojení, připojitelný na mikroprocesor. Čtvrtý výstup 5 prvního dekodéru LDK4:10 je připojen přes devatenáctý invertor INV19 na třetí vstup desátého třívstupového obvodu NST10 typu negace logického součinu, jehož výstup pro signál P(HOD) tvoří současně dvacátý třetí výstup 0023 zapojení, připojitelný na mikroprocesor. Pátý výstup 6 prvního dekodéru LDK4:10 je připojen přes dvacátý invertor INV20 na třetí vstup jedenáctého třívstupového obvodu NST11 typu negace logického součinu, jehož výstup pro signál Q(HOD) tvoří současně dvacátý čtvrtý výstup 0024 zapojení, připojitelný na mikroprocesor. Šestý výstup 7 prvního dekodéru LDK4:10 je připojen přes dvacátý první invertor INV21 na třetí vstup dvanáctého třívstupového obvodu NST12 typu negace logického součinu, jehož výstup pro signál E(HOD) tvoří současně dvacátý pátý výstup 0025 zapojení, připojitelný na mikroprocesor. První vstup patnáctého třívstupového obvodu NST15 typu negace logického součinu pro signál ROM(20) tvoří současně dvanáctý vstup O12 zapojení, připojitelný na řídicí paměť typu ROM. Druhý vstup patnáctého třívstupového obvodu NST15 typu negace logického součinu pro signál ROM(21) tvoří současně třináctý vstup O13 zapojení, připojitelný na řídicí paměť typu ROM. Třetí vstup patnáctého třívstupového obvodu NST15 typu negace logického součinu pro signál ROM(22) tvoří současně čtrnáctý vstup O14 zapojení, připojitelný na řídicí paměť typu ROM, kdežto jeho výstup je připojen jednak na vstup dvacátého druhého invertoru INV22, jehož výstup pro signál HDOT2 je připojen na třetí vstup třináctého třívstupového obvodu NST13 typu negace logického součinu, jednak na třetí vstup čtrnáctého třívstupového obvodu NST14 typu negace logického součinu. Výstup třináctého třívstupového obvodu NST13 typu negace logického součinu pro signál T2(HOD) tvoří současně dvacátý šestý výstup 0026 zapojení, připojitelný na mikroprocesor. Výstup čtrnáctého třívstupového obvodu NST14 typu negace logického součinu pro signál T1(HOD) tvoří současně dvacátý sedmý výstup 0027 zapojení připojitelný na mikroprocesor.

Výstup třetího invertoru INV3 pro signál T5A je dále připojen na druhé vstupy

devatenáctého až dvacátého čtvrtého dvouvstupového obvodu NSD19 až NSD24 typu negace logického součinu (obr. 4). Výstup druhého invertoru INV2 pro signál T4B je dále připojen na první vstupy jedenáctého až sedmnáctého dvouvstupového obvodu NSD11 až NSD17 a na druhý vstup dvacátého šestého dvouvstupového obvodu NSD26 typu negace logického součinu. Výstup sedmého invertoru INV7 pro signál TAKT je dále připojen na hodinové vstupy 62, 72, 82, 92, 102 šestého až desátého klopného obvodu KO6 až KO10 typu D. Výstup prvního invertoru INV1 pro signál T3AB je dále připojen na druhý vstup osmnáctého dvouvstupového obvodu NSD18 typu negace logického součinu a na první vstup dvacátého pátého dvouvstupového obvodu NSD25 typu negace logického součinu, jehož výstup pro signál T1(NUL) tvoří současně dvacátý osmý výstup 0028 zapojení, připojitelný na mikroprocesor. Výstup dvacátého druhého invertoru INV22 pro signál HDOT2 je dále připojen na první vstup dvacátého sedmého dvouvstupového obvodu NSD27 typu negace logického součinu, jehož výstup je připojen na základní vstup 101 desátého klopného obvodu KO10 typu D. Základní vstup 61 šestého klopného obvodu KO6 typu D pro signál ROM(26) tvoří současně patnáctý vstup 015 zapojení, připojitelný na řídicí paměť typu ROM. Základní vstup 71 sedmého klopného obvodu KO7 typu D pro signál ROM(27) tvoří současně šestnáctý vstup 016 zapojení, připojitelný na řídicí paměť typu ROM. Základní vstup 81 osmého klopného obvodu KO8 typu D pro signál ROM(28) tvoří současně sedmnáctý vstup 017 zapojení připojitelný na řídicí paměť typu ROM. Základní vstup 91 devátého klopného obvodu KO9 typu D pro signál ROM(32) tvoří současně osmnáctý vstup 018 zapojení, připojitelný na řídicí paměť typu ROM. Druhý vstup dvacátého sedmého dvouvstupového obvodu NSD27 typu negace logického součinu pro signál ØDOR tvoří současně devatenáctý vstup 019 zapojení, připojitelný na řídicí paměť typu ROM. Jedničkový výstup 601 šestého klopného obvodu KO6 typu D je připojen na vstup 121 prvního bitu kódu druhého dekodéru 2DK4:10. Jedničkový výstup 701 sedmého klopného obvodu KO7 typu D je připojen na vstup 122 druhého bitu kódu druhého dekodéru 2DK4:10. Jedničkový výstup osmého klopného obvodu KO8 typu D je připojen na vstup 123 třetího bitu kódu druhého dekodéru 2DK4:10, jehož vstup 124 čtvrtého bitu kódu je připojen na nulový potenciál. Jedničkový výstup 901 devátého klopného obvodu KO9 typu D pro signál T1DOT2 je připojen na druhý vstup sedmnáctého dvouvstupového obvodu NSD17 typu negace logického součinu a na první vstup osmnáctého dvouvstupového obvodu NSD18 typu negace logického součinu, jehož výstup pro signál T2(NUL) tvoří současně třicátý výstup 0030 zapojení, připojitelný na mikroprocesor. První výstup 10 druhého dekodéru 2DK4:10 je připojen na vstup dvacátého třetího invertoru INV23, jehož výstup pro signál T1DOR1 je připojen na druhý vstup jedenáctého dvouvstupového obvodu NSD11 typu negace logického součinu a na první vstup devatenáctého dvouvstupového obvodu NSD19 typu negace logického součinu, jehož výstup pro signál R1(NAS) tvoří současně třicátý druhý výstup 0032 zapojení, připojitelný na mikroprocesor. Druhý výstup 20 druhého dekodéru 2DK4:10 je připojen na vstup dvacátého čtvrtého invertoru INV24, jehož výstup pro signál T1DOR2 je připojen na

druhý vstup dvanáctého dvouvstupového obvodu NSD12 typu negace logického součinu a na první vstup dvacátého dvouvstupového obvodu NSD20 typu negace logického součinu, jehož výstup pro signál R2(NAS) tvoří současně třicátý čtvrtý výstup 0034 zapojení, připojitelný na mikroprocesor. Třetí výstup 30 druhého dekodéru 2DK4:10 je připojen na první vstup devátého dvouvstupového obvodu NSD9 typu negace logického součinu, jehož výstup pro signál T1DOR3 je připojen na druhý vstup třináctého dvouvstupového obvodu NSD13 typu negace logického součinu a na první vstup dvacátého prvního dvouvstupového obvodu NSD21 typu negace logického součinu, jehož výstup pro signál R3(NAS) tvoří současně třicátý šestý výstup 0036 zapojení, připojitelný na mikroprocesor. Čtvrtý výstup 40 druhého dekodéru 2DK4:10 je připojen na druhý vstup devátého dvouvstupového obvodu NSD9 typu negace logického součinu a na první vstup desátého dvouvstupového obvodu NSD10 typu negace logického součinu. Pátý výstup 50 druhého dekodéru 2DK4:10 je připojen na druhý vstup desátého dvouvstupového obvodu NSD10 typu negace logického součinu, jehož výstup pro signál T1DOP je připojen na druhý vstup čtrnáctého dvouvstupového obvodu NSD14 typu negace logického součinu a na první vstup dvacátého druhého dvouvstupového obvodu NSD22 typu negace logického součinu, jehož výstup pro signál P(NAS) tvoří současně třicátý osmý výstup 0038 zapojení, připojitelný na mikroprocesor. Šestý výstup 60 druhého dekodéru 2DK4:10 je připojen na vstup dvacátého pátého invertoru INV25, jehož výstup pro signál T1DQ je připojen na druhý vstup patnáctého dvouvstupového obvodu NSD15 typu negace logického součinu a na první vstup dvacátého třetího dvouvstupového obvodu NSD23 typu negace logického součinu, jehož výstup pro signál Q(NAS) tvoří současně čtyřicátý výstup 0040 zapojení, připojitelný na mikroprocesor. Sedmý výstup 70 druhého dekodéru 2DK4:10 je připojen na vstup dvacátého šestého invertoru INV26, jehož výstup pro signál T1DOE je připojen na druhý vstup šestnáctého dvouvstupového obvodu NSD16 typu negace logického součinu a na první vstup dvacátého čtvrtého dvouvstupového obvodu NSD24 typu negace logického součinu, jehož výstup pro signál E(NAS) tvoří současně čtyřicátý druhý výstup 0042 zapojení, připojitelný na mikroprocesor. Výstup jedenáctého dvouvstupového obvodu NSD11 typu negace logického součinu pro signál R1(NUL) tvoří současně třicátý první výstup 0031 zapojení, připojitelný na mikroprocesor. Výstup dvanáctého dvouvstupového obvodu NSD12 typu negace logického součinu pro signál R2(NUL) tvoří současně třicátý třetí výstup 0033 zapojení, připojitelný na mikroprocesor. Výstup třináctého dvouvstupového obvodu NSD13 typu negace logického součinu pro signál R3(NUL) tvoří současně třicátý pátý výstup 0035 zapojení, připojitelný na mikroprocesor. Výstup čtrnáctého dvouvstupového obvodu NSD14 typu negace logického součinu pro signál P(NUL) tvoří současně třicátý sedmý výstup 0037 zapojení, připojitelný na mikroprocesor. Výstup patnáctého dvouvstupového obvodu NSD15 typu negace logického součinu pro signál Q(NUL) tvoří současně třicátý devátý výstup 0039 zapojení, připojitelný na mikroprocesor. Výstup šestnáctého dvouvstupového obvodu NSD16 typu negace logického součinu pro signál E(NUL) tvoří současně čtyřicátý první

výstup 0041 zapojení, připojitelný na mikroprocesor. Výstup sedmáctého dvouvstupového obvodu NSD17 typu negace logického součinu pro signál T2(NAS) tvoří současně čtyřicátý třetí výstup 0043 zapojení, připojitelný na mikroprocesor. Nulový výstup 1002 desátého klopného obvodu KO10 typu D pro signál T2DOT1 je připojen na druhý vstup dvacátého pátého dvouvstupového obvodu NSD25 typu negace logického součinu a na první vstup dvacátého šestého dvouvstupového obvodu NSD26 typu negace logického součinu, jehož výstup pro signál T1(NAS) tvoří současně dvacátý devátý výstup 0029 zapojení, připojitelný na mikroprocesor.

Činnost časového zdroje je ovládána z řídicí paměti typu ROM, z níž jsou do časového zdroje přiváděny (obr. 1a až 1g) tyto signály: ROM(14), který znamená povel pro podmíněné nastavení časového zdroje, ROM(18), ROM(19), jež představují kód určující počet vyslaných hodinových impulsů v prvních čtyřech časových intervalech. Mohou být vyslány jeden až čtyři hodinové impulsy. Signál ROM(22) znamená povel pro změnu formátu mikroinstrukce. Se změnou formátu se změní význam bitů ROM(18) a ROM(19). Z neznázorněného dekodéru podmínky přichází signál NESPL1, který oznamuje splnění nebo nesplnění podmínky, která má způsobit zastavení časového zdroje. Z neznázorněného řadiče vstupů a výstupů je přiváděn signál HPOV(VV), který povoluje výstup hodinových impulsů v závislosti na činnosti řadiče vstupu a výstupu. Z neznázorněného obvodu pro řízení rychlého kanálu přicházejí signály NUL(ST) a NUL(T35), které přerušují činnost časového zdroje při asynchronním přenosu dat rychlým kanálem. Naproti tomu časový zdroj vysílá signály START ROM, STROB ROM, pro výběr mikroinstrukce z řídicí paměti typu ROM, HODP pro povolení nebo hradlování hodinových impulsů, TAKT udávající základní krok mikroprocesoru, T3AB pro nulování výstupních registrů mikroprocesoru, T4B, T5A pro posuv informace přes výstupní šestnáctibitovou sběrnici, TA, TB, TC, TD, TE, TB, TOA, T5A, TE, TOSC, TOSC, což jsou další signály pro ovládání mikroprocesoru.

Základní oscilátor OSC budí svými dvěma signály TOSC(1), TOSC(1), dva kruhové čítače. Jeden čítač je tvořen klopnými obvody ATA, ATB, ATC typu D a druhý ATD, ATE typu D. Tyto kruhové čítače generují signály TA, TB, TC, TD, TE, jak je zřejmé z časového diagramu na obr. 4, na němž signál HODPATOSC platí pro různé kombinace vstupů pro signály ROM(18), ROM(19). Jeden oběh prvního kruhového čítače udává cyklus mikroprocesoru, který je tím rozdělen na šest časových intervalů T0, T1, až T5. Ze signálů TC a T4 jsou vytvářeny výstupní signály START ROM, STROB ROM, které jsou zavedeny do řídicí paměti typu ROM, v nichž jsou uloženy mikroinstrukce, které zpětně řídí časový zdroj a také celý mikroprocesor. Formáty mikroinstrukcí čtených z řídicí paměti typu ROM jsou uvedeny na obr. 5, kde F1 znamená formát 1 a F2 formát 2. U formátu F1 představuje výstup 0 až 8 řídicí paměti typu ROM adresu ADR, v níž výstupy 0 a 1 představují sloupec SL, výstupy 2 až 5 řádek Ř - výstupy 6 až 8 stránku STR. Výstupy 9 až 13 představují kód podmínky PODM. U formátu F2 představují výstupy 0 až 5 řídicí paměti typu ROM adresu ADR, v níž výstupy 0 až 1 představují sloupec SL, výstupy 2 až 5 řádek Ř.

Mikroprocesor, který je ovládán časovým zdrojem, obsahuje 6 vstupních recirkulačních registrů R1, R2, R3, P, Q, E, které jsou programově připojovány na dvě čtyřbitové sběrnice R a S, a které jsou připojeny na vstup aritmetické a logické jednotky. Dále obsahují dva výstupní registry RT1 a RT2, z nichž registr RT1 je připojen svými vstupy na čtyřbitový výstup neznázorněné aritmetické a logické jednotky ALU a výstup registru RT1 tvoří šestnáctibitovou sběrnici T, která je spojena se vstupy všech registrů mikroprocesoru, včetně RT2. Uvedené sběrnice jsou přidělovány registrům pomocí kódu R, kódu S a kódu T v mikroinstrukci (obr. 5) a jsou časově řízeny časovým zdrojem, který je rovněž ovládán z mikroinstrukce pomocí kódu podmínky bitů H=0, kódu H a bitu T1→T2. Časový zdroj řídí činnost mikroprocesoru v šesti uvedených časových intervalech, tak, že v prvních čtyřech časových intervalech T0, T1, T2, T3 vyše v závislosti na kódu H mikroinstrukce proměnný počet hodinových impulsů, a sice 1 až 4, buď do jednoho ze vstupních recirkulačních registrů a současně do výstupního registru RT1 anebo pouze do výstupního registru RT2. Druh podmínky, počet impulsů, adresa recirkulačního registru, nebo výstupního registru RT2 je dána kódem podmínky a kódem H, R, X. V prvních čtyřech časových intervalech se současně vybere další mikroinstrukce pro následující cyklus mikroprocesoru pomocí signálu START ROM. Ve čtvrtém časovém intervalu T3 se současně vyše nulovací signál T3AB do výstupního registru RT2 má-li řídicí bit T1→T2 v mikroinstrukci hodnotu 1 a do výstupního registru RT1 v závislosti na kódu R a kódu X. V pátém časovém intervalu T4 vyše časový zdroj nulovací impuls T4B do jednoho ze vstupních recirkulačních registrů podle kódu T a současně se provede paralelní přenos mezi výstupními registry, přičemž směr přenosu je určen řídicím bitem T1→T2 a kódem X v mikroinstrukci. V šestém časovém intervalu T5 vysílá časový zdroj prepisovací impuls T5A do jednoho ze vstupních recirkulačních registrů, čímž provede paralelní přenos dat po sběrnici T. Adresa vstupního registru je určena kódem T v mikroinstrukci.

Zapojením na obr. 2 se provádí přepínání signálu HODP v součinu se signálem TOSC do jednotlivých vstupních recirkulačních registrů R1, R2, R3, P, Q, E pomocí kódu R, který je vyjádřen signály ROM(29), ROM(30), ROM(31), přiváděnými na první dekodér 1DK4:10. Dále provádí řízení hodinových vstupů pro výstupní registry RT1, RT2 pomocí kódu X vyjádřeného signály ROM(20), ROM(21), jakož i modifikaci při změně na formát 2 signálem ROM(22).

Zapojením na obr. 3 se provádí přepínání nulovacího signálu T4B do jednoho ze vstupních registrů R1, R2, R3, P, Q, E pomocí kódu T daného signály ROM(26), ROM(27) a ROM(28), dále prepisovacího signálu T5A do jednoho ze vstupních recirkulačních registrů pomocí kódu T a přepínání nulovacího signálu T3AB pomocí řídicího bitu T1→T2 daného signálem ROM(32) a pomocí kódu X daného signálem HDOT2 nebo kódu R daného signálem QDOR. Signály na výstupech 0031, 0033, 0035, 0037, 0039, 0041, 0030 a 0028 znamenají signály pro nulování příslušných registrů, kdežto signály na výstupech 0032, 0034, 0036, 0038, 0040, 0042, 0043 a 0029 znamenají signály pro nastavení příslušných registrů.

PŘEDMĚT VYNÁLEZU

1. Zapojení časového zdroje mikroprocesoru pro inteligentní terminál, vyznačující se tím, že druhý vstup šestého třívstupového obvodu (NST6) typu negace logického součinu tvoří současně první vstup (C1) zapojení, první vstup sedmého dvouvstupového obvodu (NSD7) typu negace logického součinu tvoří současně druhý vstup (O2) zapojení, první vstup osmého dvouvstupového obvodu (NSD8) typu negace logického součinu tvoří současně třetí vstup (O3) zapojení, druhý vstup sedmého dvouvstupového obvodu (NSD7) typu negace logického součinu, druhý vstup osmého dvouvstupového obvodu (NSD8) typu negace logického součinu a třetí vstup šestého třívstupového obvodu (NST6) typu negace logického součinu jsou spojeny a tvoří současně čtvrtý vstup (O4) zapojení, vstup patnáctého invertoru (INV15) tvoří současně pátý vstup (O5) zapojení, druhý vstup čtvrtého třívstupového obvodu (NST4) typu negace logického součinu tvoří současně šestý vstup (O6) zapojení, přičemž první vstup pátého třívstupového obvodu (NST5) typu negace logického součinu je připojen na třetí vstup čtvrtého třívstupového obvodu (NST4) typu negace logického součinu, na druhý vstup třetího dvouvstupového obvodu (NSD3) typu negace logického součinu, na druhý vstup čtvrtého dvouvstupového obvodu (NSD4) typu negace logického součinu a na nastavovací vstup (54) pátého klopného obvodu (ATE) typu D a tvoří současně sedmý vstup (O7) zapojení, druhý vstup prvního dvouvstupového obvodu (NSD1) typu negace logického součinu tvoří současně osmý vstup (O8) zapojení, přičemž výstup sedmého dvouvstupového obvodu (NSD7) typu negace logického součinu je připojen na první a druhý vstup druhého expanderu (EXP2) a na vstup třináctého invertoru (INV13), jehož výstup je připojen na první a druhý vstup prvního expanderu (EXP1) a na první a druhý vstup třetího expanderu (EXP3), výstup osmého dvouvstupového obvodu (NSD8) typu negace logického součinu je připojen na třetí vstup prvního expanderu (EXP1) a na vstup čtrnáctého invertoru (INV14), jehož výstup je připojen na třetí vstup druhého expanderu (EXP2) a na třetí vstup třetího expanderu (EXP3), výstup patnáctého invertoru (INV15) je připojen na první vstup šestého třívstupového obvodu (NST6) typu negace logického součinu, jehož výstup je připojen na základní vstup (71) sedmého klopného obvodu (AHPOV) typu D a na základní vstup (61) šestého klopného obvodu (ATPOV) typu D, jedničkový výstup (601) šestého klopného obvodu (ATPOV) typu D je připojen na první vstup prvního dvouvstupového obvodu (NSD1) typu negace logického součinu, jehož výstup je připojen na vstup čtvrtého invertoru (INV4), jedničkový výstup (701) sedmého klopného obvodu (AHPOV) typu D je připojen na první vstup čtvrtého třívstupového obvodu (NST4) typu negace logického součinu, jehož výstup je připojen na třetí a čtvrtý vstup součtové součinnového hradla (SSHC) a na vstup šestého invertoru (INV6), jehož výstup je připojen na třetí vstup třetího třívstupového obvodu (NST3) typu negace logického součinu, výstup prvního třívstupového obvodu (NST1) typu negace logického součinu je připojen na vstup prvního invertoru (INV1), jehož výstup tvoří

současně devátý výstup (009) zapojení, přičemž výstup prvního čtyřvstupového obvodu (NSC1) typu negace logického součinu je připojen na nastavovací vstup (34) třetího klopného obvodu (ATC) typu D a na vstup druhého invertoru (INV2), jehož výstup tvoří současně desátý výstup (0010) zapojení, výstup druhého třívstupového obvodu (NST2) typu negace logického součinu je připojen na vstup třetího invertoru (INV3) a tvoří současně dvanáctý výstup (0012) zapojení, výstup třetího invertoru (INV3) tvoří současně jedenáctý výstup (0011) zapojení, výstup druhého čtyřvstupového obvodu (NSC2) typu negace logického součinu tvoří současně třináctý výstup (0013) zapojení, výstup čtvrtého invertoru (INV4) je připojen na třetí vstup prvního třívstupového obvodu (NST1) typu negace logického součinu, na čtvrtý vstup prvního čtyřvstupového obvodu (NSC1) typu negace logického součinu, na třetí vstup druhého třívstupového obvodu (NST2) typu negace logického součinu a na čtvrtý vstup druhého čtyřvstupového obvodu (NSC2) typu negace logického součinu, výstup dvouvstupového obvodu (NSD2) typu negace logického součinu je připojen na základní vstup (41) čtvrtého klopného obvodu ($\overline{ATD}$) typu D, jehož jedničkový výstup (401) je připojen na základní vstup (51) pátého klopného obvodu ($\overline{AT}$) typu D, kdežto jeho nulový výstup (402) je připojen na první vstup druhého třívstupového obvodu (NST2) typu negace logického součinu a tvoří současně čtrnáctý výstup (0014) zapojení, jedničkový výstup (501) pátého klopného obvodu ($\overline{AT}$) typu D tvoří současně šestnáctý výstup (0016) zapojení, kdežto jeho nulový výstup (502) je připojen na druhý vstup třetího třívstupového obvodu (NST3) typu negace logického součinu, na druhý vstup pátého třívstupového obvodu (NST5) typu negace logického součinu a na hodinový vstup (72) sedmého klopného obvodu (AHPOV) typu D a tvoří současně patnáctý výstup (0015) zapojení, jedničkový výstup (101) prvního klopného obvodu (ATA) typu D je připojen na základní vstup (21) druhého klopného obvodu (ATB) typu D, na první vstup prvního třívstupového obvodu (NST1) typu negace logického součinu a tvoří současně čtvrtý výstup (004) zapojení, kdežto jeho nulový výstup (102) je připojen na první vstup prvního čtyřvstupového obvodu (NSC1) typu negace logického součinu, na první vstup druhého dvouvstupového obvodu (NSD2) typu negace logického součinu, na čtvrtý vstup třetího expanderu (EXP3), na druhý vstup součtové součtinového hradla (SSHC) a přes derivační článek na první vstup čtvrtého dvouvstupového obvodu (NSD4) typu negace logického součinu, jehož výstup tvoří současně druhý výstup (002) zapojení, jedničkový výstup (201) druhého klopného obvodu (ATB) typu D je připojen na základní vstup (31) třetího klopného obvodu (ATC) typu D, na druhý vstup prvního čtyřvstupového obvodu (NSC1) typu negace logického součinu a na druhý vstup druhého dvouvstupového obvodu (NSD2) typu negace logického součinu a současně tvoří pátý výstup (005) zapojení, kdežto jeho nulový výstup (202) je připojen na první vstup druhého čtyřvstupového obvodu (NSC2) typu negace logického součinu a na čtvrtý vstup druhého expanderu (EXP2) a tvoří současně šestý výstup (006) zapojení, jedničkový výstup (301) třetího klopného obvodu (ATC) typu D je připojen na druhý vstup prvního třívstupového obvodu (NST1)

typu negace logického součinu, na druhý vstup druhého čtyřvstupového obvodu (NSC2) typu negace logického součinu, na první vstup součtové součinnového hradla (SSHC) a tvoří současně sedmý výstup (007) zapojení, kdežto jeho nulový výstup (302) je připojen na základní vstup (11) prvního klopného obvodu (ATA) typu D, na čtvrtý vstup prvního expanderu (EXP1) a na první vstup třetího dvouvstupového obvodu (NSD3) typu negace logického součinu, přímý výstup (81) prvního expanderu (EXP1) je připojen na přímý výstup (91) druhého expanderu (EXP2), na přímý výstup (101) třetího expanderu (EXP3) a na přímý vstup (111) součtové součinnového hradla (SSHC), negovací výstup (82) prvního expanderu (EXP1) je spojen s negovacím výstupem (92) druhého expanderu (EXP2), a negovacím výstupem třetího expanderu (EXP3) a s negovacím vstupem součtové součinnového hradla (SSHC), jehož výstup tvoří současně třetí výstup (003) zapojení, výstup třetího třívstupového obvodu (NST3) typu negace logického součinu je připojen na vstup pátého invertoru (INV5), jehož výstup tvoří současně osmý výstup (008) zapojení, výstup pátého třívstupového obvodu (NST5) typu negace logického součinu je připojen na vstup sedmého invertoru (INV7), jehož výstup je připojen na hodinový vstup (62) šestého klopného obvodu (ATPOV) typu D a tvoří současně sedmáctý výstup (0017) zapojení, výstup třetího dvouvstupového obvodu (NSD3) typu negace logického součinu je připojen jednak přes první kondenzátor (C1) na nulový potenciál, jednak na vstup osmého invertoru (INV8), jehož výstup tvoří současně první výstup (001) zapojení, výstup oscilátoru (OSC) je připojen na druhý vstup šestého dvouvstupového obvodu (NSD6) typu negace logického součinu a na vstup desátého invertoru (INV10), jehož výstup je připojen na druhý vstup pátého dvouvstupového obvodu (NSD5) typu negace logického součinu, výstup šestého dvouvstupového obvodu (NSD6) typu negace logického součinu je připojen na třetí vstup prvního čtyřvstupového obvodu (NSC1) typu negace logického součinu, na třetí vstup druhého čtyřvstupového obvodu (NSC2) typu negace logického součinu a na hodinový vstup (42) čtvrtého klopného obvodu (ATD) typu D, na hodinový vstup (52) pátého klopného obvodu (ATE) typu D, na první vstup pátého dvouvstupového obvodu (NSD5) typu negace logického součinu a na vstup jedenáctého invertoru (INV11), jehož výstup tvoří současně devatenáctý výstup (0019) zapojení, výstup pátého dvouvstupového obvodu (NSD5) typu negace logického součinu je připojen na první vstup šestého dvouvstupového obvodu (NSD6) typu negace logického součinu, na hodinový vstup (12) prvního klopného obvodu (ATA) typu D, na hodinový vstup (22) druhého klopného obvodu (ATB) typu D, na hodinový vstup (32) třetího klopného obvodu (ATC) typu D, na druhý vstup druhého třívstupového obvodu (NST2) typu negace logického součinu, na první vstup třetího třívstupového obvodu (NST3) typu negace logického součinu, na třetí vstup pátého třívstupového obvodu (NST5) typu negace logického součinu a na vstup dvanáctého invertoru (INV12), jehož výstup tvoří současně osmnáctý výstup (0018) zapojení.

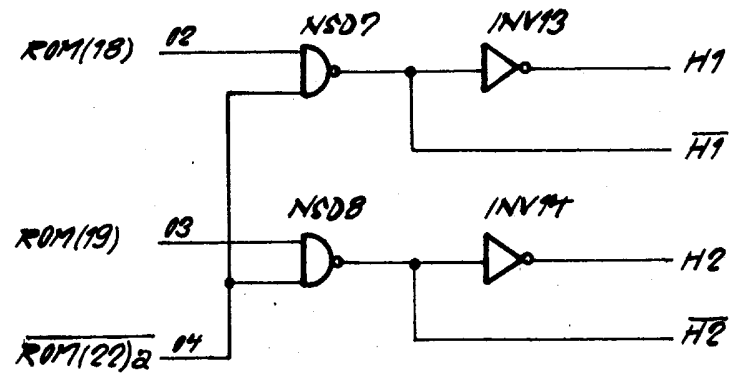
2. Zapojení časového zdroje mikroprocesoru pro inteligentní terminál podle bodu 1, vyznačené tím, že výstup čtyřvstupového součtové součinnového hradla (SSHC) je dále

připojen na první vstupy sedmého až čtrnáctého třívstupového obvodu (NST7 až NST14) typu negace logického součinu, výstup dvanáctého invertoru (INV12) je dále připojen na druhé vstupy sedmého až čtrnáctého třívstupového obvodu (NST7 až NST14) typu negace logického součinu, vstup (111) prvního bitu kódu prvního dekodéru (LDK4:10) tvoří současně devátý vstup (09) zapojení, vstup (112) druhého bitu kódu prvního dekodéru (LDK4:10) tvoří současně desátý vstup (010) zapojení, vstup (113) třetího bitu kódu prvního dekodéru (LDK4:10) tvoří současně jedenáctý vstup (011) zapojení, vstup (114) čtvrtého bitu kódu prvního dekodéru (LDK4:10) je připojen na nulový potenciál, první výstup (1) prvního dekodéru (LDK4:10) je připojen přes šestnáctý invertor (INV16) na třetí vstup sedmého třívstupového obvodu (NST7) typu negace logického součinu, jehož výstup tvoří současně dvacátý výstup (0020) zapojení, druhý výstup (2) prvního dekodéru (LDK4:10) je připojen přes sedmnáctý invertor (INV17) na třetí vstup osmého třívstupového obvodu (NST8) typu negace logického součinu, jehož výstup tvoří současně dvacátý první výstup (0021) zapojení, třetí výstup (3) prvního dekodéru (LDK4:10) je připojen přes osmnáctý invertor (INV18) na třetí vstup devátého třívstupového obvodu (NST9) typu negace logického součinu, jehož výstup tvoří současně dvacátý druhý výstup (0022) zapojení, čtvrtý výstup (5) prvního dekodéru (LDK4:10) je připojen přes devatenáctý invertor (INV19) na třetí vstup desátého třívstupového obvodu (NST10) typu negace logického součinu, jehož výstup tvoří současně dvacátý třetí výstup (0023) zapojení, pátý výstup (6) prvního dekodéru (LDK4:10) je připojen přes dvacátý invertor (INV20) na třetí vstup jedenáctého třívstupového obvodu (NST11) typu negace logického součinu, jehož výstup tvoří současně dvacátý čtvrtý výstup (0024) zapojení, šestý výstup (7) prvního dekodéru (LDK4:10) je připojen přes dvacátý první invertor (INV21) na třetí vstup dvanáctého třívstupového obvodu (NST12) typu negace logického součinu, jehož vstup tvoří současně dvacátý pátý výstup (0025) zapojení, první vstup patnáctého třívstupového obvodu (NST15) typu negace logického součinu tvoří současně dvanáctý vstup (012) zapojení, druhý vstup patnáctého třívstupového obvodu (NST15) typu negace logického součinu tvoří současně třináctý vstup (013) zapojení, třetí vstup patnáctého třívstupového obvodu (NST15) typu negace logického součinu tvoří současně čtrnáctý vstup (014) zapojení, kdežto jeho výstup je připojen jednak na vstup dvacátého druhého invertoru (INV22), jehož výstup je připojen na třetí vstup třináctého třívstupového obvodu (NST13) typu negace logického součinu, jednak na třetí vstup čtrnáctého třívstupového obvodu (NST14) typu negace logického součinu, výstup třináctého třívstupového obvodu (NST13) typu negace logického součinu tvoří současně dvacátý šestý výstup (0026) zapojení, výstup čtrnáctého třívstupového obvodu (NST14) typu negace logického součinu, tvoří současně dvacátý sedmý výstup (0027) zapojení.

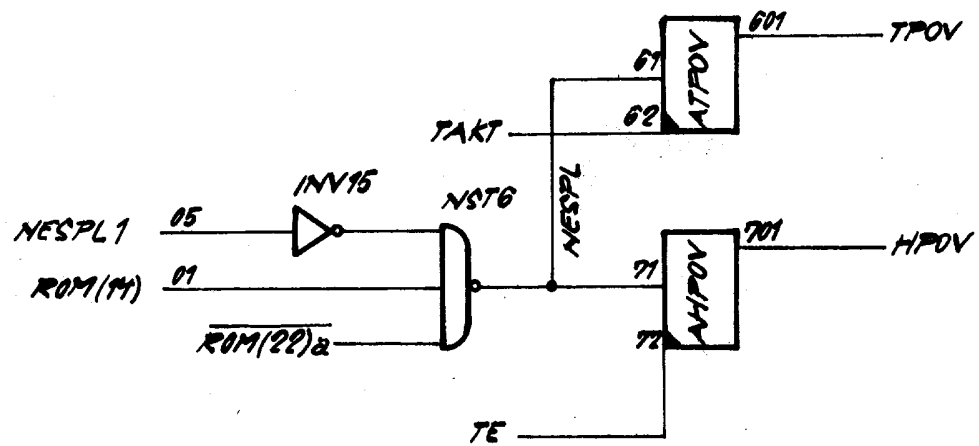
3. Zapojení časového zdroje mikroprocesoru pro inteligentní terminál podle bodu 1 nebo 2, vyznačené tím, že výstup třetího invertoru (INV3) je dále připojen na druhé vstupy devatenáctého až dvacátého čtvrtého dvouvstupového obvodu (NSD19 až NSD24)

typu negace logického součinu, výstup druhého invertoru (INV2) je dále připojen na první vstupy jedenáctého až sedmnáctého dvouvstupového obvodu (NSD11 až NSD17) typu negace logického součinu a na druhý vstup dvacátého šestého dvouvstupového obvodu (NSD26) typu negace logického součinu, výstup sedmého invertoru (INV7) je dále připojen na hodinové vstupy (62, 72, 82, 92, 102) šestého až desátého klopného obvodu (KO6 až KO10) typu D, výstup prvního invertoru (INV1) je dále připojen na druhý vstup osmnáctého dvouvstupového obvodu (NSD18) typu negace logického součinu a na první vstup dvacátého pátého dvouvstupového obvodu (NSD25) typu negace logického součinu, jehož výstup tvoří současně dvacátý osmý výstup (0028) zapojení, výstup dvacátého druhého invertoru (INV22) je dále připojen na první vstup dvacátého sedmého dvouvstupového obvodu (NSD27) typu negace logického součinu, jehož výstup je připojen na základní vstup (101) desátého klopného obvodu (KO10) typu D, základní vstup (61) šestého klopného obvodu (KO6) typu D tvoří současně patnáctý vstup (015) zapojení, základní vstup (71) sedmého klopného obvodu (KO7) typu D tvoří současně šestnáctý vstup (016) zapojení, základní vstup (81) osmého klopného obvodu (KO8) typu D tvoří současně sedmnáctý vstup (017) zapojení, základní vstup (91) devátého klopného obvodu (KO9) typu D tvoří současně osmnáctý vstup (018) zapojení, druhý vstup dvacátého sedmého dvouvstupového obvodu (NSD27) typu negace logického součinu tvoří současně devatenáctý vstup (019) zapojení, jedničkový výstup (601) šestého klopného obvodu (KO6) typu D je připojen na vstup (121) prvního bitu kódu druhého dekodéru (2DK4:10), jedničkový výstup (701) sedmého klopného obvodu (KO7) typu D je připojen na vstup (122) druhého bitu kódu druhého dekodéru (2DK4:10), jedničkový výstup osmého klopného obvodu (KO8) typu D je připojen na vstup (123) třetího bitu kódu druhého dekodéru (2DK4:10), jehož vstup (124) čtvrtého bitu kódu je připojen na nulový potenciál, jedničkový výstup (901) devátého klopného obvodu (KO9) typu D je připojen na druhý vstup sedmnáctého dvouvstupového obvodu (NSD17) typu negace logického součinu a na první vstup osmnáctého dvouvstupového obvodu (NSD18) typu negace logického součinu, jehož výstup tvoří současně třicátý výstup (0030) zapojení, první výstup (10) druhého dekodéru (2DK4:10) je připojen na vstup dvacátého třetího invertoru (INV23), jehož výstup je připojen na druhý vstup jedenáctého dvouvstupového obvodu (NSD11) typu negace logického součinu a na první vstup devatenáctého dvouvstupového obvodu (NSD19) typu negace logického součinu, jehož výstup tvoří současně třicátý druhý výstup (0032) zapojení, druhý výstup (20) druhého dekodéru (2DK4:10) je připojen na vstup dvacátého čtvrtého invertoru (INV24), jehož výstup je připojen na druhý vstup dvanáctého dvouvstupového obvodu (NSD12) typu negace logického součinu a na první vstup dvacátého dvouvstupového obvodu (NSD20) typu negace logického součinu, jehož výstup tvoří současně třicátý čtvrtý výstup (0034) zapojení, třetí výstup (30) druhého dekodéru (2DK4:10) je připojen na první vstup devátého dvouvstupového obvodu (NSD9) typu negace logického součinu, jehož výstup je připojen na druhý vstup třináctého dvouvstupového obvodu (NSD13) typu negace logického součinu a na první vstup dvacá-

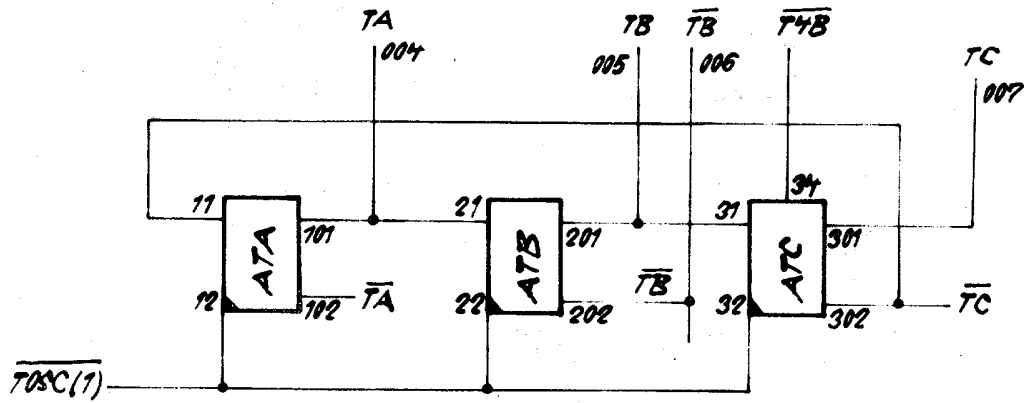
tého prvního dvouvstupového obvodu (NSD21) typu negace logického součinu, jehož výstup tvoří současně třicátý šestý výstup (0036) zapojení, čtvrtý výstup (40) druhého dekodéru (2DK4:10) je připojen na druhý vstup devátého dvouvstupového obvodu (NSD9) typu negace logického součinu a na první vstup desátého dvouvstupového obvodu (NSD10) typu negace logického součinu, pátý výstup (50) druhého dekodéru (2DK4:10) je připojen na druhý vstup desátého dvouvstupového obvodu (NSD10) typu negace logického součinu, jehož výstup je připojen na druhý vstup čtrnáctého dvouvstupového obvodu (NSD14) typu negace logického součinu a na první vstup dvacátého druhého dvouvstupového obvodu (NSD22) typu negace logického součinu, jehož výstup tvoří současně třicátý osmý výstup (0038) zapojení, šestý výstup (60) druhého dekodéru (2DK4:10) je připojen na vstup dvacátého pátého invertoru (INV25), jehož výstup je připojen na druhý vstup patnáctého dvouvstupového obvodu (NSD15) typu negace logického součinu a na první vstup dvacátého třetího dvouvstupového obvodu (NSD23) typu negace logického součinu, jehož výstup tvoří současně čtyřicátý výstup (0040) zapojení, sedmý výstup (70) druhého dekodéru (2DK4:10) je připojen na vstup dvacátého šestého invertoru (INV26), jehož výstup je připojen na druhý vstup šestnáctého dvouvstupového obvodu (NSD16) typu negace logického součinu a na první vstup dvacátého čtvrtého obvodu (NSD24) typu negace logického součinu, jehož výstup tvoří současně čtyřicátý druhý výstup (0042) zapojení výstup jedenáctého dvouvstupového obvodu (NSD11) typu negace logického součinu tvoří současně třicátý první výstup (0031) zapojení, výstup dvanáctého dvouvstupového obvodu (NSD12) typu negace logického součinu tvoří současně třicátý třetí výstup (0033) zapojení, výstup třináctého dvouvstupového obvodu (NSD13) typu negace logického součinu tvoří současně třicátý pátý výstup (0035) zapojení, výstup čtrnáctého dvouvstupového obvodu (NSD14) typu negace logického součinu tvoří současně třicátý sedmý výstup (0037) zapojení, výstup patnáctého dvouvstupového obvodu (NSD15) typu negace logického součinu tvoří současně třicátý devátý výstup (0039) zapojení, výstup šestnáctého dvouvstupového obvodu (NSD16) typu negace logického součinu tvoří současně čtyřicátý první výstup (0041) zapojení, výstup sedmnáctého dvouvstupového obvodu (NSD17) typu negace logického součinu tvoří současně čtyřicátý třetí výstup (0043) zapojení, nulový výstup (1002) desátého klopného obvodu (K010) typu D je připojen na druhý vstup dvacátého pátého dvouvstupového obvodu (NSD25) typu negace logického součinu a na první vstup dvacátého šestého dvouvstupového obvodu (NSD26) typu negace logického součinu, jehož výstup tvoří současně dvacátý devátý výstup (0029) zapojení.



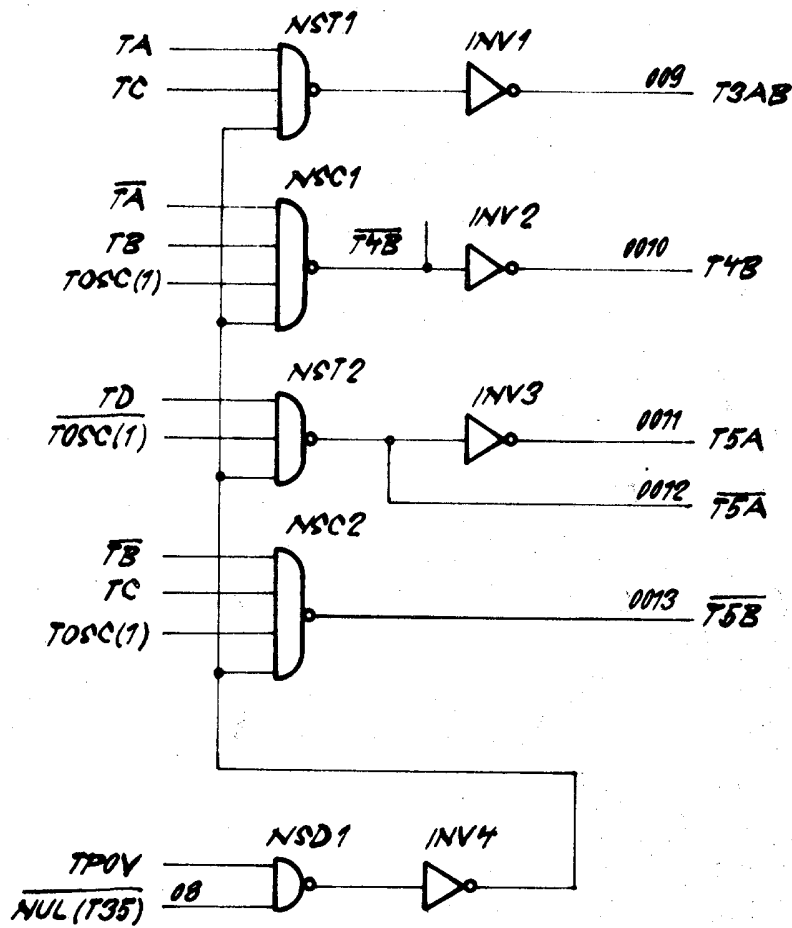
OBR. 1a



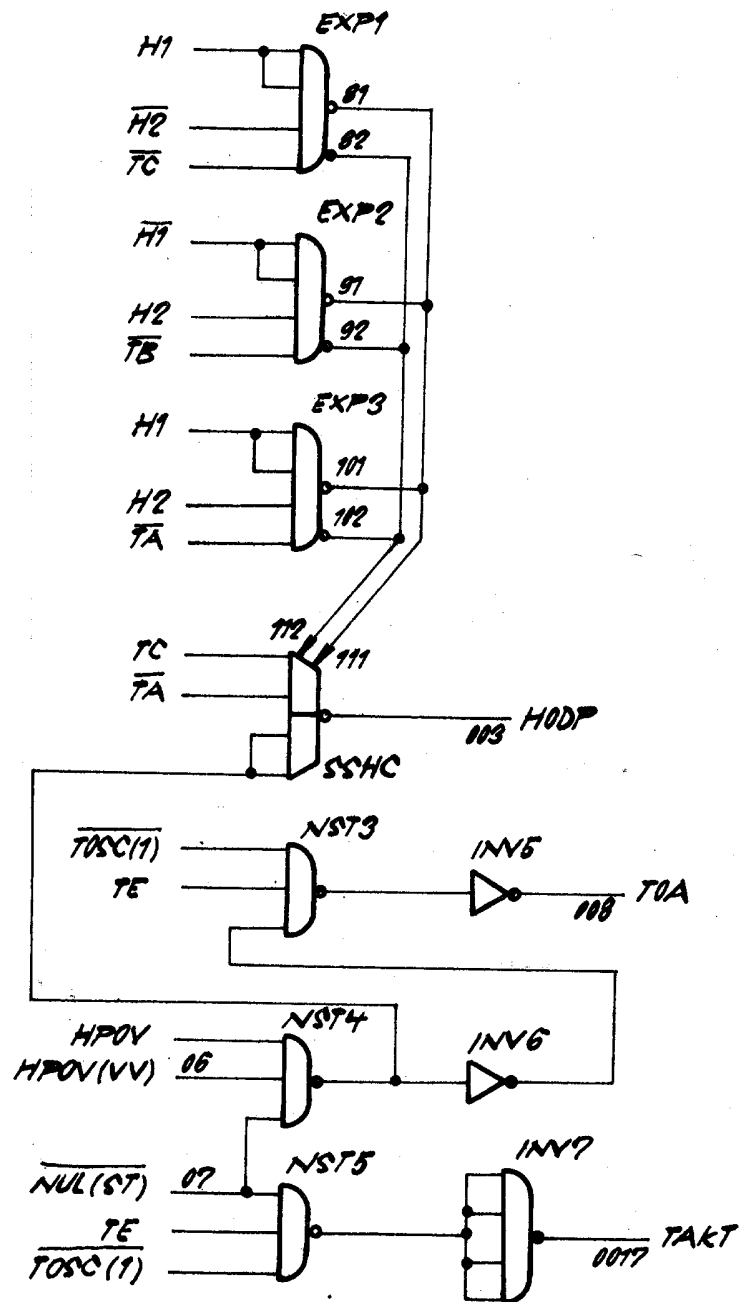
OBR. 1b



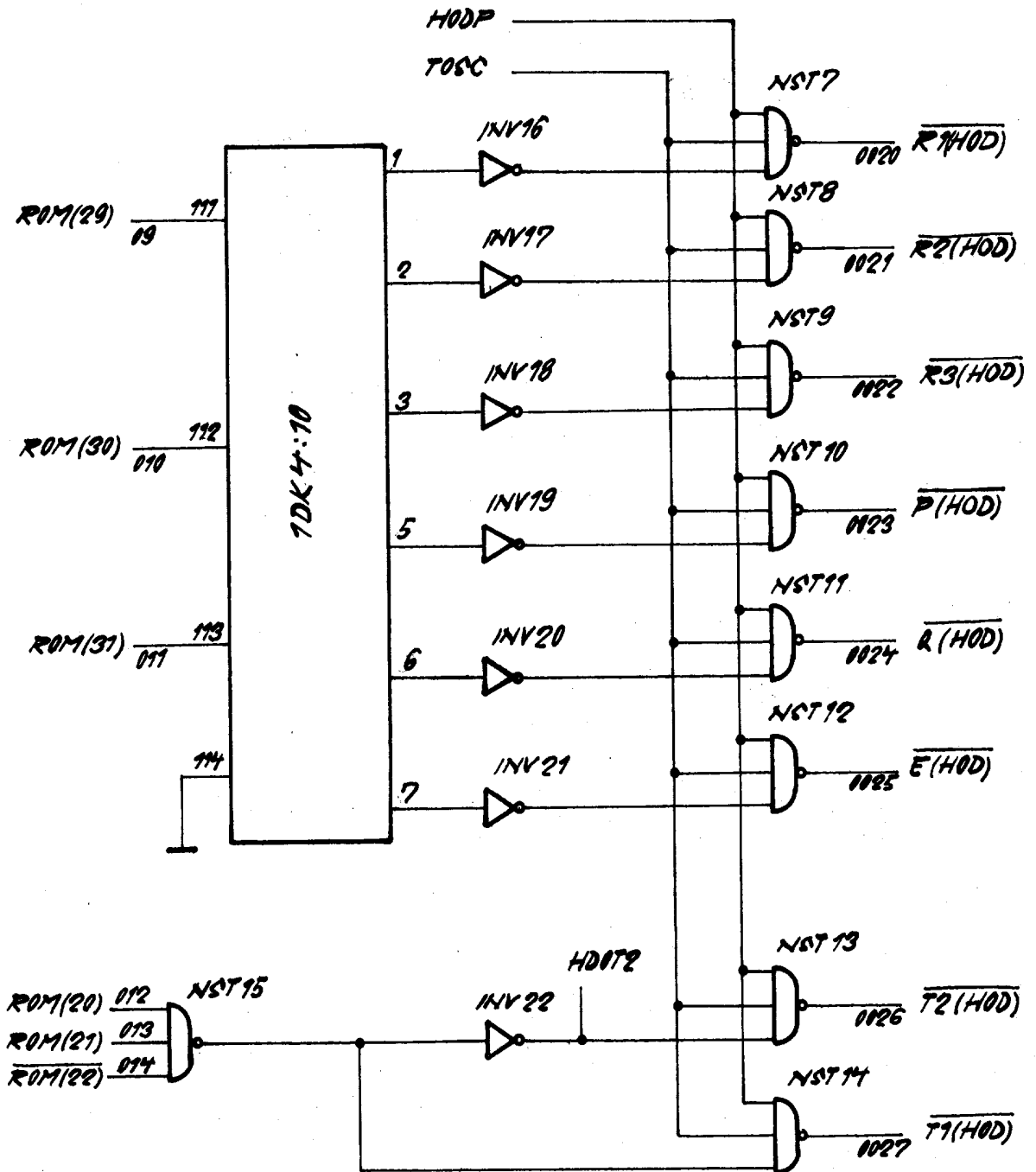
OBR.1c



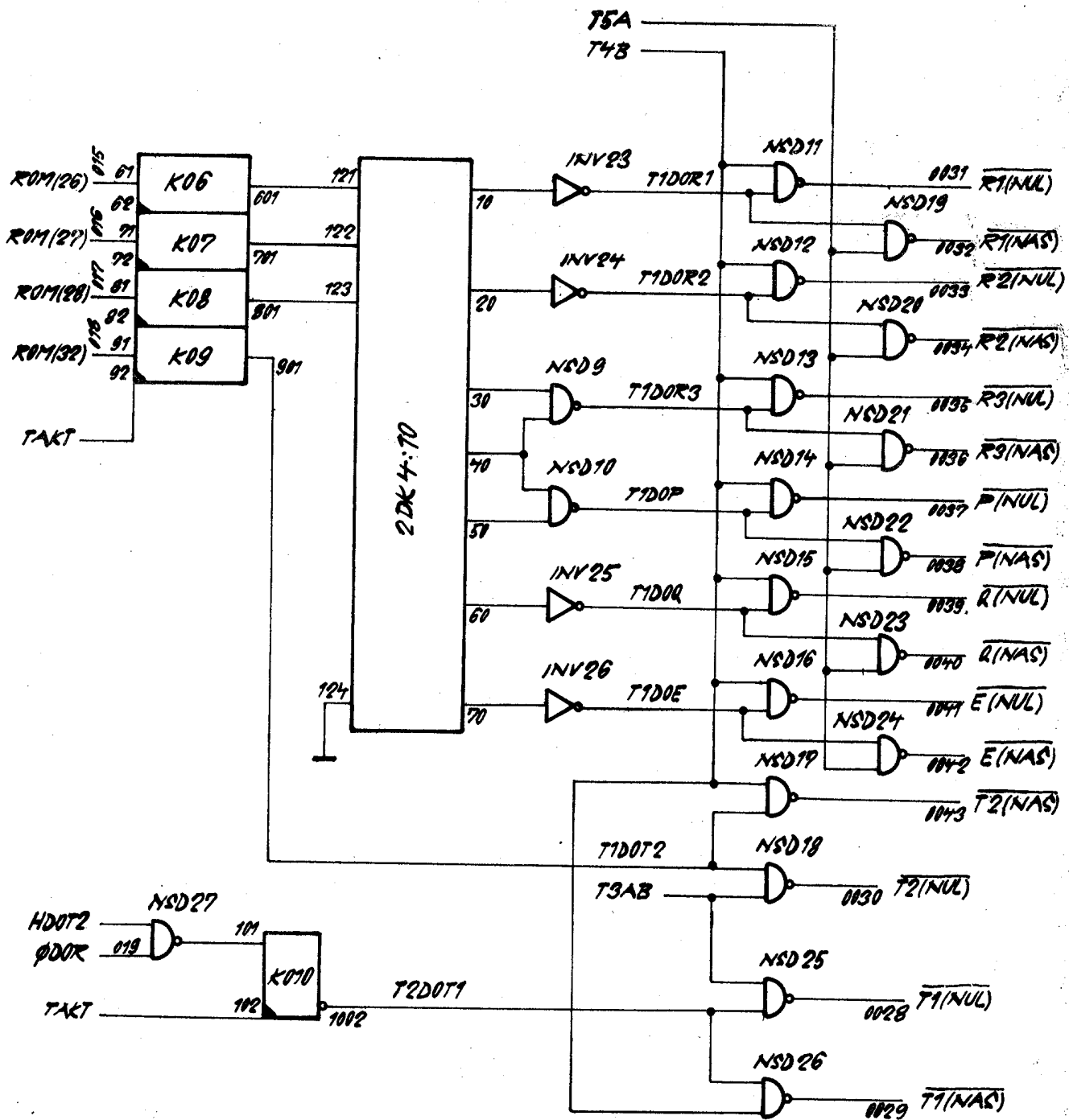
OBR.1d



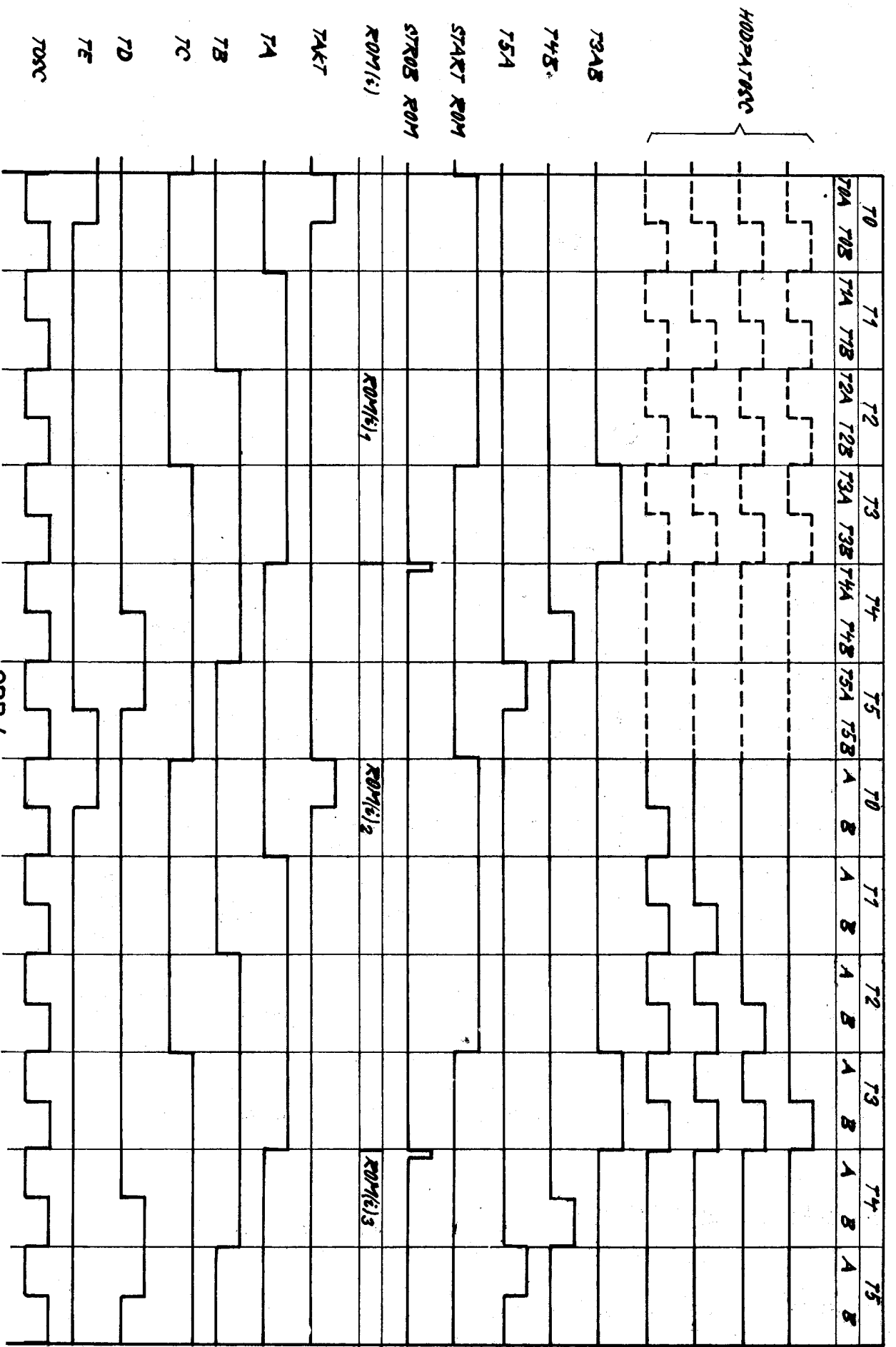
OBR. 1g



OBR. 2



OBR. 3



OBR.4

