

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-221448
(P2004-221448A)

(43) 公開日 平成16年8月5日(2004.8.5)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/8247	HO 1 L 29/78 3 7 1	5 F 0 5 8
HO 1 L 21/318	HO 1 L 21/318 B	5 F 0 8 3
HO 1 L 27/115	HO 1 L 27/10 4 3 4	5 F 1 0 1
HO 1 L 29/788		
HO 1 L 29/792		

審査請求 未請求 請求項の数 6 O L (全 14 頁)

(21) 出願番号	特願2003-9212 (P2003-9212)	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成15年1月17日 (2003.1.17)	(74) 代理人	100094053 弁理士 佐藤 隆久
		(72) 発明者	野本 和正 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	浅山 豪 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		Fターム(参考)	5F058 BC08 BD01 BD04 BD10 BF04 BJ10

最終頁に続く

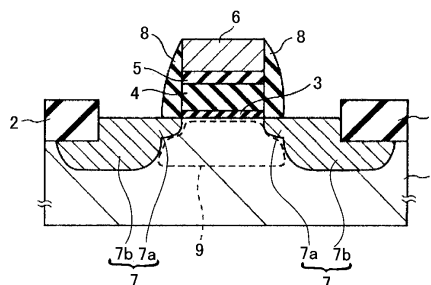
(54) 【発明の名称】 不揮発性半導体記憶装置およびその製造方法

(57) 【要約】

【課題】 電荷蓄積層を構成する窒化珪素膜の電荷保持特性を向上させることができる不揮発性半導体記憶装置およびその製造方法を提供する。

【解決手段】 MNOSメモリまたはMONOSメモリ等の不揮発性メモリの電荷蓄積層4としてSi-H結合密度が $1 \times 10^{19} \text{ cm}^{-3}$ 以下の窒化珪素膜を用いることにより、データ保持特性の改善を図る。この窒化珪素膜を形成するために、四塩化珪素(SiCl_4)とアンモニア(NH_3)を原料ガスとしたLPCVD法を好適に用いることができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板の活性領域上に形成された第 1 の誘電体層と、
前記第 1 の誘電体層上に形成され、窒化珪素層を含む電荷蓄積層と、
前記電荷蓄積層上に形成されたゲート電極と、
前記ゲート電極の両側の前記半導体基板に形成され、ソースあるいはドレインとなる 2 つの半導体領域とを有し、
前記窒化珪素層の Si - H 結合密度が、 $1 \times 10^{19} \text{ cm}^{-3}$ 以下に規定されている
不揮発性半導体記憶装置。

【請求項 2】

前記電荷蓄積層と前記ゲート電極との間に形成された第 2 の誘電体層をさらに有する
請求項 1 記載の不揮発性半導体記憶装置。

10

【請求項 3】

半導体基板の活性領域上に第 1 の誘電体層を形成する工程と、
前記第 1 の誘電体層上に、成膜直後の Si - H 結合密度が $1 \times 10^{19} \text{ cm}^{-3}$ 以下となるように窒化珪素層を成膜して電荷蓄積層を形成する工程と、
前記電荷蓄積層上にゲート電極を形成する工程と、
前記ゲート電極の両側の前記半導体基板に、ソースあるいはドレインとなる 2 つの半導体領域を形成する工程と
を有する不揮発性半導体記憶装置の製造方法。

20

【請求項 4】

前記電荷蓄積層を形成する工程において、四塩化珪素とアンモニアを原料ガスとして前記窒化珪素層を成膜する
請求項 3 記載の不揮発性半導体記憶装置の製造方法。

【請求項 5】

前記電荷蓄積層を形成する工程の後、前記ゲート電極を形成する工程の前に、前記電荷蓄積層上に第 2 の誘電体層を形成する工程をさらに有し、
前記ゲート電極を形成する工程において、前記第 2 の誘電体層上に前記ゲート電極を形成する
請求項 3 記載の不揮発性半導体記憶装置の製造方法。

30

【請求項 6】

前記第 2 の誘電体層を形成する工程において、ジクロルシランまたは四塩化珪素と、一酸化二窒素を原料とした減圧化学気相堆積により二酸化珪素層を成膜する
請求項 5 記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性半導体記憶装置およびその製造方法に関し、特に、フラッシュメモリあるいはEEPROM (Electric Erasable - Programmable Read Only Memory) に代表される不揮発性半導体記憶装置およびその製造方法に関する。

40

【0002】

【従来の技術】

MNOS (Metal - Nitride - Oxide - Semiconductor)、またはMONOS (Metal - Oxide - Nitride - Oxide - Semiconductor) 不揮発性メモリにおける情報の保持は、電荷を窒化珪素膜に蓄積することにより行われている。

【0003】

この不揮発性メモリの電荷蓄積層に用いる窒化珪素膜は、従来はモノシラン (SiH₄) またはジクロルシラン (SiH₂Cl₂) と、アンモニア (NH₃) を原料ガス

50

として用いていた（特許文献1参照）。また、電荷蓄積層上のトップ誘電体層と称される誘電体層には、電荷蓄積層である窒化珪素膜を酸化することにより形成された二酸化珪素膜を用いていた。

【0004】

【特許文献1】

特開2002-203917号公報

【0005】

【発明が解決しようとする課題】

ジクロルシランやモノシランを原料として窒化珪素膜を成膜する場合、窒化珪素膜中に $1 \times 10^{20} \text{ cm}^{-3}$ 以上の Si-H 結合が含まれる。窒化珪素膜形成後の熱工程により、Si-H 結合の水素（H）が脱離することによって形成された Si のダングリングボンドは浅い準位を形成すると考えられている。

【0006】

蓄積された電荷は浅い準位を介して容易に窒化珪素膜から脱離することが可能になる。実際に成膜直後の窒化珪素中の Si-H 結合密度が高いほど MNOS メモリあるいは MONOS メモリの保持特性は劣ることとなる。

【0007】

また、トップ誘電体層と称される誘電体層を電荷蓄積層である窒化珪素膜を酸化することにより形成しようとする、その酸化工程により窒化珪素膜中の Si-H 結合からの H 基の脱離が促進される。その結果、形成された浅い準位により、メモリの保持特性は劣化してしまう。このようにメモリの電荷保持特性が劣化してしまうと、高速アクセスを達成することができない。

【0008】

本発明は上記の事情に鑑みてなされたものであり、その目的は、電荷蓄積層を構成する窒化珪素層の電荷保持特性を向上させることができる不揮発性半導体記憶装置およびその製造方法を提供することにある。

【0009】

【課題を解決するための手段】

上記の目的を達成するため、本発明の不揮発性半導体記憶装置は、半導体基板の活性領域上に形成された第1の誘電体層と、前記第1の誘電体層上に形成され、窒化珪素層を含む電荷蓄積層と、前記電荷蓄積層上に形成されたゲート電極と、前記ゲート電極の両側の前記半導体基板に形成され、ソースあるいはドレインとなる2つの半導体領域とを有し、前記窒化珪素層の Si-H 結合密度が、 $1 \times 10^{19} \text{ cm}^{-3}$ 以下に規定されている。

【0010】

前記電荷蓄積層と前記ゲート電極との間に形成された第2の誘電体層をさらに有する。

【0011】

上記の本発明の不揮発性半導体記憶装置では、電荷蓄積層となる窒化珪素層の Si-H 結合密度を、 $1 \times 10^{19} \text{ cm}^{-3}$ 以下と低く規定している。

Si-H 結合における H 基が脱離すると浅い準位が形成される。浅い準位が電荷蓄積層中に形成されると、蓄積された電荷は浅い準位を介して電荷蓄積層中から脱離することが可能となる。

本発明では、電荷蓄積層となる窒化珪素層自体の Si-H 結合密度を $1 \times 10^{19} \text{ cm}^{-3}$ 以下と低く規定することにより、H 基が脱離することによる浅い準位の形成が抑制される。

【0012】

さらに、上記の目的を達成するため、本発明の不揮発性半導体記憶装置の製造方法は、半導体基板の活性領域上に第1の誘電体層を形成する工程と、前記第1の誘電体層上に、成膜直後の Si-H 結合密度が $1 \times 10^{19} \text{ cm}^{-3}$ 以下となるように窒化珪素層を成膜して電荷蓄積層を形成する工程と、前記電荷蓄積層上にゲート電極を形成する工程と、前記ゲート電極の両側の前記半導体基板に、ソースあるいはドレインとなる2つの半導体領域

10

20

30

40

50

を形成する工程とを有する。

【0013】

前記電荷蓄積層を形成する工程において、四塩化珪素とアンモニアを原料ガスとして前記窒化珪素層を成膜する。

【0014】

前記電荷蓄積層を形成する工程の後、前記ゲート電極を形成する工程の前に、前記電荷蓄積層上に第2の誘電体層を形成する工程をさらに有し、前記ゲート電極を形成する工程において、前記第2の誘電体層上に前記ゲート電極を形成する。

【0015】

前記第2の誘電体層を形成する工程において、ジクロルシランまたは四塩化珪素と、一酸化二窒素を原料とした減圧化学気相堆積により二酸化珪素層を成膜する。 10

【0016】

上記の本発明の不揮発性半導体記憶装置の製造方法では、成膜直後のSi-H結合密度が $1 \times 10^{19} \text{ cm}^{-3}$ 以下となるように窒化珪素層を成膜して電荷蓄積層を形成する。Si-H結合におけるH基が脱離すると浅い準位が形成される。浅い準位が電荷蓄積層中に形成されると、蓄積された電荷は浅い準位を介して電荷蓄積層中から脱離することが可能となる。

本発明では、電荷蓄積層となる窒化珪素層自体のSi-H結合密度が $1 \times 10^{19} \text{ cm}^{-3}$ 以下と低くなるように形成することにより、H基が脱離することによる浅い準位の形成が抑制される。 20

また、第2の誘電体層を形成する工程において、減圧化学気相堆積により二酸化珪素層を成膜し、酸化による形成法よりも成膜温度の低温化を図ることにより、蓄積された電荷が放出されやすくなる浅い準位の形成が抑制される。

【0017】

【発明の実施の形態】

以下、本発明の実施形態について、記憶素子としてnチャネル型のメモリトランジスタを有する場合を例に図面を参照しながら説明する。なお、pチャネル型のメモリトランジスタは、以下の説明で不純物導電型および印加電圧の極性を逆にすることで実現される。

【0018】

第1実施形態

図1は、第1実施形態に係る不揮発性メモリトランジスタの断面構造を示す図である。 30

【0019】

このメモリトランジスタは、例えばp型シリコンウエハなどの半導体基板、半導体基板内表面に形成されたpウエル、またはSOI型基板分離構造のp型シリコン層（以下、単に基板1という）に形成されている。基板1の表面に、必要に応じて、例えばLOCOS（Local Oxidation of Silicon）またはSTI（Shallow Trench Isolation）などにより形成された素子分離絶縁膜2が形成されている。この素子分離絶縁膜2が形成されていない基板表面部分が当該メモリトランジスタを含む素子が形成される活性領域となる。

【0020】

活性領域上に、第1の誘電体層3、電荷蓄積層4、第2の誘電体層5、およびゲート電極6が積層されている。このゲート電極6自身、あるいは、ゲート電極6に接続された図示しない上層配線層により、メモリセルアレイのワード線が構成される。 40

【0021】

第1の誘電体層3は、ポテンシャルバリアとして機能し、例えば1nm～12nm程度の膜厚を有する二酸化珪素 SiO_2 の膜からなる。

電荷蓄積層4は、電荷蓄積手段として機能し、窒化珪素 SiN_x （ $x > 0$ ）からなる。本実施形態では、電荷蓄積層4となる窒化珪素膜中のSi-H結合密度が、 $1 \times 10^{19} \text{ cm}^{-3}$ 以下に規定されている点に特徴を有する。

第2の誘電体層5は、例えば二酸化珪素膜からなり、その膜厚は3nm～10nm程度で 50

ある。

ゲート電極 6 は、高濃度に不純物がドーピングされた多結晶珪素、または、多結晶珪素 Si と、その上に形成された $CoSi_x$, WSi_2 , TiN , $TaSi_2$, $TiSi_2$, Ti , W , Cu , Al , Au 等との積層膜からなる。

【0022】

このような構成のゲート積層構造の両側のシリコン活性領域内表面に、いわゆる LDD (Lightly Doped Drain) を有した 2 つのソース・ドレイン領域 7 が互いに離れて形成されている。動作時の電圧印加方向に応じて、この 2 つのソース・ドレイン領域 7 の一方がソース、他方がドレインとして機能する。

また、ゲート積層構造の両側面には、いわゆるサイドウォール絶縁膜と称せられる絶縁層 8 が形成されている。サイドウォール絶縁膜 8 直下に位置する活性領域に、 n 型不純物が比較的 low 濃度で浅く導入されることにより、ソース・ドレイン領域 7 の n^- 不純物領域 (LDD) 7 a が形成されている。また、サイドウォール絶縁膜 8 を自己整合マスクとして、その両外側に n 型不純物を比較的高濃度で深くまで導入することにより、ソース・ドレイン領域 7 の主体をなす n^+ 不純物領域 7 b が形成されている。

なお、2 つのソース・ドレイン領域 7 の間の活性領域部分が、当該メモリトランジスタのチャネル形成領域 9 となる。

【0023】

次に、上記のメモリトランジスタの製造方法を、図面を参照しながら説明する。ここで、図 2 ~ 図 4 は、第 1 実施形態に係るメモリトランジスタの製造における断面図である。図 2 (a) に示すように、基板 1 上に $LOCOS$ 法または STI 法により素子分離絶縁膜 2 を形成する。その後、必要に応じて、メモリトランジスタのしきい値電圧を調整するための不純物ドーピングを、例えばイオン注入法により行う。

【0024】

次に、図 2 (b) に示すように、800 から 1000 に昇温した基板 1 の表面を O_2 または N_2O に曝すことにより、1 nm ~ 12 nm 程度の二酸化珪素膜を成膜して、第 1 の誘電体層 3 を形成する。続いて、基板温度を 700 から 1000 に保った状態で、二酸化珪素膜の表面をアンモニア NH_3 に数 10 分間曝し、二酸化珪素膜表面を窒化する。この高温窒化処理は、つぎの窒化珪素膜の堆積時のインキュベーション時間を低減するためである。

【0025】

次に、図 2 (c) に示すように、第 1 の誘電体層 3 上に電荷蓄積層 4 を形成する。電荷蓄積層 4 の形成では、基板温度を 600 から 800 程度にし、四塩化珪素 (テトラクロロシラン) $SiCl_4$ とアンモニア NH_3 をチャンバ内の全圧力が数 100 Pa となる条件で流して、 CVD (Chemical Vapor Deposition) 法により窒化珪素膜を 2 nm ~ 30 nm 程度成膜する。例えば、四塩化珪素の流量を 50 sccm とし、アンモニアの流量を 50 sccm とし、チャンバ内の圧力が 100 Pa となるようにガスを流す。

上記の条件で作製した電荷蓄積層 4 を構成する窒化珪素膜の $Si-H$ 結合密度は、後述するように $1 \times 10^{19} \text{ cm}^{-3}$ 以下となる。

【0026】

次に、図 3 (d) に示すように、基板温度を 900 ~ 950 程度にし、電荷蓄積層 4 を構成する窒化珪素膜の表面を熱酸化することにより、第 2 の誘電体層 5 を形成する。この熱酸化時の窒化珪素膜の膜減りを考慮して、図 2 (c) に示す工程で予め、窒化珪素膜を最終膜厚より厚く堆積しておく。

【0027】

次に、図 3 (e) に示すように、第 2 の誘電体層 5 上に 50 nm ~ 200 nm 程度の膜厚のゲート電極 6 を形成する。ゲート電極 6 の形成では、例えば、高濃度不純物がドーピングされた多結晶珪素を、第 2 の誘電体層 5 上に CVD する。この多結晶珪素の形成では、モノシラン (SiH_4) , ジクロロシラン ($SiCl_2H_2$) , テトラクロロシラ

ン (SiCl_4) などの珪素原子を含むガスを原料とした CVD 法、または、多結晶珪素をターゲットとしたスパッタリング法を用いる。ここでは、基板温度 650 とした CVD により多結晶珪素を堆積し、必要に応じて、多結晶珪素上に、金属、高融点金属、その金属シリサイドを含む合金などからなる低抵抗化層を形成する。低抵抗化層の材料としては、 CoSi_x , WSi_2 , TiN , TaSi_2 , TiSi_2 , Ti , W , Cu , Al , Au などを用いる。

【0028】

次に、図 4 (f) に示すように、必要に応じてドライエッチング耐性の優れた誘電体膜のパターンを形成し、この誘電体膜あるいはレジストをマスクとして異方性のあるエッチング、例えば RIE (Reactive Ion Etching) を行うことにより、ゲート電極 6, 第 2 の誘電体層 5, 電荷蓄積層 4 をパターンニングする。

10

【0029】

次に、ゲート積層膜を自己整合マスクとし第 1 の誘電体層 3 をスルー膜として、Si 活性領域の表面に n 型不純物を低濃度でイオン注入し、 n^- 不純物領域 (LDD 領域) 7a を形成する。このイオン注入では、例えば砒素イオン (As^+) を $1 \sim 5 \times 10^{13} \text{ cm}^{-2}$ ほどの密度でドーピングする。

その後、全面に CVD により SiO_2 膜を 100 nm ~ 200 nm 程度堆積し、これを RIE 等の異方性エッチングによりエッチバックする。これにより、図 4 (g) に示すように、ゲートの積層膜 6, 5, 4 の側面にサイドウォール絶縁膜 8 が形成される。

【0030】

20

以降の工程としては、サイドウォール絶縁膜 8 外側の Si 活性領域に n 型不純物を高濃度でイオン注入し、 n^+ 不純物領域 7b を形成する。これにより、LDD 構造のソース・ドレイン領域 7 が形成される (図 1)。このイオン注入では、例えば、ゲートの積層膜およびサイドウォール絶縁膜 8 をマスクとして自己整合的に As^+ を $1 \sim 5 \times 10^{15} \text{ cm}^{-2}$ ほどの密度でドーピングする。

その後、層間誘電体膜および配線層の形成を行って、当該メモリトランジスタを完成させる。

【0031】

次に、第 1 実施形態に係るメモリトランジスタの動作のための第 1 のバイアス設定例を説明する。

30

書き込み時に、基板 1 の電位を基準として 2 つのソース・ドレイン領域 7 を 0 V で保持し、ゲート電極 6 に正の電圧、例えば 10 V を印加する。このとき、チャネル形成領域 9 に電子が蓄積されて反転層が形成され、その反転層内の電子の一部が第 1 の誘電体層 3 をトンネル効果により伝導し、電荷蓄積層 4 である窒化珪素膜に形成された電荷トラップに捕獲される。

【0032】

読み出し時に、基板 1 の電位を基準としてソース・ドレイン領域 7 の一方に 0 V を印加し、他方に例えば 1.5 V を印加し、電荷蓄積層 4 内の捕獲電子数をしきい値電圧に影響がでるまで変化させない範囲の電圧、例えば 2.5 V をゲート電極 6 に印加する。このバイアス条件下、電荷蓄積層 4 内の捕獲電子の有無または捕獲電子量に応じてチャネルの導電率が顕著に変化する。すなわち、電荷蓄積層 4 に電子が十分注入されている場合、電荷蓄積層 4 に電子が十分注入されていない場合と比較して蓄積電子がチャネルの電位を相対的に上昇させチャネル内の電子密度を減少させるためソースとドレイン間の伝導度が小さい。逆に、電荷蓄積層 4 に電子が十分注入されていない場合は、チャネルの電位が相対的に低く、ソースとドレイン間の伝導度が大きくなる。このチャネルの伝導度の差は、チャネルの電流量またはドレイン電圧変化に効果的に変換される。このチャネルの電流量またはドレイン電圧変化を、例えばセンスアンプなどの検出回路で増幅し記憶情報として外部に読み出す。

40

なお、この第 1 のバイアス設定例では、書き込みをチャネル全面で行ったため、ソースとドレインの電圧印加方向を上記と逆にしても読み出しが可能である。

50

【0033】

消去時に、基板1の電位を基準とし2つのソース・ドレイン領域7の双方に0Vを印加し、ゲート電極6に負の電圧、例えば-10Vを印加する。このとき、電荷蓄積層4内で保持されていた電子が第1の誘電体層3をトンネルしてチャンネル形成領域9に強制的に引き抜かれる。これにより、メモリトランジスタは、その電荷蓄積層4内の捕獲電子量が十分低い書き込み前の状態(消去状態)に戻される。

【0034】

次に、第1実施形態に係るメモリトランジスタの動作のための第2のバイアス設定例を説明する。

書き込み時に、基板1の電位を基準として2つのソース・ドレイン領域7の一方に0V、他方に5Vを印加し、ゲート電極6に正の電圧、例えば10Vを印加する。このとき、チャンネル形成領域9に電子が蓄積されて反転層が形成され、その反転層内にソースから供給された電子がソースとドレイン間の電界により加速されてドレイン端部側で高い運動エネルギーを得てホットエレクトロンとなる。ホットエレクトロンの一部が、第1の誘電体層3で規定されるポテンシャル障壁高さより高いエネルギーを持つと、それらの電子は散乱過程によって第1の誘電体層3のポテンシャル障壁を乗り越え、電荷蓄積層4である窒化珪素膜内に形成された電荷トラップに捕獲される。

【0035】

読み出しは、第1のバイアス設定例と同様に行う。ただし、第2のバイアス設定例では、書き込み時に5Vを印加したドレイン側に電荷が蓄積されるため、読み出しでは、この電荷蓄積側がソースとなるようにソースとドレイン間に電圧を印加する必要がある。

消去時では、第1のバイアス設定例と同様にFNトンネリングを用いるか、または、バンド-バンド間トンネリングを用いる。後者の方法では、基板電位を基準としてソース・ドレイン領域7の一方または双方に5Vを印加し、5Vを印加しないソース・ドレイン領域7は0Vで保持し、ゲート電極6に-5Vを印加する。5Vを印加したソース・ドレイン領域7の表面が空乏化し、その空乏層内が高電界となるためにバンド-バンド間トンネル電流が発生する。バンド-バンド間トンネル電流に起因した正孔は電界で加速されて高エネルギーを得る。この高いエネルギーの正孔はゲート電圧に引きつけられて電荷蓄積層4を構成する窒化珪素膜内の電荷トラップに注入される。その結果、電荷蓄積層内の蓄積電子は注入された正孔により電荷が打ち消され、当該メモリトランジスタが消去状態、すなわちしきい値電圧が低い状態に戻される。

【0036】

つぎに、第1実施形態に係るメモリトランジスタの動作のための第3のバイアス設定例を説明する。バイアス設定の基本は第2のバイアス設定例と同様であるが、この第3のバイアス設定例では2ビットを1メモリトランジスタ内に記憶する動作を説明する。

第1の情報の書き込み時に、基板1の電位を基準として2つのソース・ドレイン領域7の一方に0V、他方に5Vを印加し、ゲート電極6に正の電圧、例えば10Vを印加する。このとき、チャンネル形成領域9に電子が蓄積されて反転層が形成され、その反転層内にソースから供給された電子がソースとドレイン間の電界により加速されてドレイン端部側で高い運動エネルギーを得てホットエレクトロンとなる。ホットエレクトロンの一部が、第1の誘電体層3で規定されるポテンシャル障壁高さより高いエネルギーを持つと、それらの電子は散乱過程によって第1の誘電体層3のポテンシャル障壁を乗り越え、電荷蓄積層4を構成する窒化珪素膜内に形成された電荷トラップに捕獲される。

第2の情報の書き込み時に、2つのソース・ドレイン領域7の電圧を上記した第1の情報の書き込み時と逆にする。上記した第1の情報の書き込み時には、5Vを印加したソース・ドレイン領域7側からチャンネルホットエレクトロンが注入され、電荷蓄積層4の他方端部を中心とした一部の領域に電子が捕獲されている。これに対し、この第2の情報の書き込みでは、電荷蓄積層4の一方端部側に第1の情報とは独立に2値情報(第2の情報)を書き込むために、2つのソース・ドレイン領域7の他方に0Vを印加し、一方に5Vを印加する。0Vを印加した他方のソース・ドレイン領域7から供給された電子は、5Vを印

加した一方のソース・ドレイン領域 7 側でホットエレクトロン化し、電荷蓄積層の一方側の一部に注入される。なお、この第 3 の動作例で 2 つの 2 ビット情報が互いに重ならないように、電子の注入量およびメモリトランジスタのゲート長が決められる。

【 0 0 3 7 】

この 2 ビット情報の読み出しでは、読み出し対象の情報が書き込まれた側に近いほうのソース・ドレイン領域 7 がソースとなるように、ソースとドレイン間の電圧印加方向が決められる。

第 1 の情報を読み出す際には、第 1 の情報に近い他方のソース・ドレイン領域 7 に 0 V を印加し、一方のソース・ドレイン領域 7 に 1 . 5 V を印加し、電荷蓄積層 4 内の捕獲電子数をしきい値電圧に影響がでるまで変化させない範囲の電圧、例えば 2 . 5 V をゲート電極 6 に印加する。このバイアス条件下、電荷蓄積層 4 内のソース側端部に存在する捕獲電子の有無または捕獲電子量に応じてチャンネルの導電率が顕著に変化する。すなわち、電荷蓄積層 4 のソース側端部に電子が十分注入されている場合、電荷蓄積層 4 のソース側端部に電子が十分注入されていない場合と比較して蓄積電子がチャンネルのソース側部分の電位を相対的に上昇させチャンネル内の電子密度を減少させるためソースとドレイン間の伝導度が小さい。このとき、ドレイン側近傍ではドレイン電圧によって電子に対するポテンシャルが、電荷蓄積層 4 のドレイン側端部の電子の有無にかかわらず低くなっている。また、この読み出し時にドレイン端部がピンチオフ状態となるため、電荷蓄積層 4 のドレイン側端部の電子の有無がチャンネルの伝導度に対する影響が小さくなる。すなわち、トランジスタのしきい値電圧は、より低い電界のソース側の捕獲電子の量を反映したものとなるため、このバイアス条件下では第 1 の情報が検出回路によって読み出される。

一方、第 2 の情報を読み出す際には、第 2 の情報に近い一方のソース・ドレイン領域 7 に 0 V を印加し、他方のソース・ドレイン領域 7 に 1 . 5 V を印加し、ゲート電極 6 に 2 . 5 V を印加する。このバイアス条件下では、一方のソース・ドレイン領域 7 側が低電界となるため、上記した第 1 の情報の読み出し時と同様な原理で第 2 の情報が読み出される。

【 0 0 3 8 】

消去時では、第 1 のバイアス設定例と同様に F N トンネリングを用いるか、または、第 2 のバイアス設定例と同様にバンド - バンド間トンネリングを用いる。

【 0 0 3 9 】

次に、上記の本実施形態の不揮発性半導体記憶装置およびその製造方法の効果について、図面を参照して説明する。

【 0 0 4 0 】

図 5 は、本実施形態に係る不揮発性メモリのデータ保持特性を説明するための図である。図 5 の横軸は、時間 (s) を示し、縦軸は、データ書き込み時におけるしきい値電圧 (V) を示す。図 5 は、8 5 でデータを保持した場合におけるしきい値電圧の時間依存性を示している。

【 0 0 4 1 】

図 5 において、グラフ C V 1 は本実施形態に係る不揮発性メモリのデータ保持特性を示し、上記したように電荷蓄積層 4 となる窒化珪素膜を四塩化珪素 (SiCl_4) とアンモニア (NH_3) を原料ガスとして作製したものである。この電荷蓄積層 4 となる窒化珪素膜は、後述するように $\text{Si} - \text{H}$ 結合を $1 \times 10^{19} \text{ cm}^{-3}$ 以下の密度でしか含んでいないものである。

また、図 5 において、グラフ C V 2 は比較例の不揮発性メモリのデータ保持特性を示し、電荷蓄積層 4 となる窒化珪素膜をジクロロシラン (SiH_2Cl_2) とアンモニア (NH_3) を原料ガスとして作製したものである。この窒化珪素膜は、後述するように、 $\text{Si} - \text{H}$ 結合を $1 \times 10^{20} \text{ cm}^{-3}$ 以上の密度で含んでいるものである。なお、両者とも、第 1 の誘電体層 3 として膜厚が 1 . 8 nm の酸化シリコン膜を用い、電荷蓄積層 4 となる窒化シリコン膜の膜厚を 2 0 nm とし、第 2 の誘電体層 5 として 3 . 5 nm の膜厚を有する酸化シリコン膜を用いた。

【 0 0 4 2 】

10

20

30

40

50

図5に示すように、四塩化珪素 (SiCl_4) とアンモニア (NH_3) を原料ガスとして作製した窒化珪素膜からなる電荷蓄積層を有する不揮発性メモリは、10年後の時点Y10においても、1.5V以上のしきい値ウィンドウが得られていることがわかる。なお、図中においてV0は、チャンネルのしきい値電圧を示し、V1は、データ消去時のしきい値電圧を示す。しきい値ウィンドウは、データ書き込み時の電圧からデータ消去時のしきい値電圧の差として算出される。

【0043】

これに対し、四塩化珪素 (SiCl_4) とアンモニア (NH_3) を原料ガスとして作製した窒化珪素膜からなる電荷蓄積層を有する比較例の不揮発性メモリは、10年後の時点Y10において、0.5V程度のしきい値ウィンドウしか得られず、1.5V以上のしきい値ウィンドウが得られていない。

10

【0044】

図6は、電荷蓄積層となる窒化珪素膜のSi-H結合密度とデータ保持特性との関係を示す図である。図6の横軸は、窒化珪素膜のSi-H結合密度 (cm^{-3}) を示し、縦軸は、しきい値ウィンドウを示す。図6では、85で10年間データを保持した場合におけるしきい値ウィンドウの測定値を示している。

【0045】

図6に示すしきい値ウィンドウの測定では、第1の誘電体層3として1.8nmの酸化シリコン膜を用い、電荷蓄積層4として20nmの窒化珪素膜を用い、第2の誘電体層5として3.5nmの酸化シリコン膜を用いた。

20

【0046】

図6において、測定値W1は、四塩化珪素 (SiCl_4) とアンモニア (NH_3) を原料ガスとして作製した窒化珪素膜からなる電荷蓄積層のSi-H結合密度およびしきい値ウィンドウを示す。

また、図6において、測定値W2は、ジクロルシラン (SiH_2Cl_2) とアンモニア (NH_3) を原料ガスとして作製した窒化珪素膜からなる電荷蓄積層のSi-H結合密度およびしきい値ウィンドウを示す。

【0047】

図6に示すように、四塩化珪素 (SiCl_4) とアンモニア (NH_3) を原料ガスとして作製した窒化珪素膜からなる電荷蓄積層4は、Si-H結合密度が $1 \times 10^{19} \text{ cm}^{-3}$ 以下となっている。また、ジクロルシラン (SiH_2Cl_2) とアンモニア (NH_3) を原料ガスとして作製した窒化珪素膜からなる電荷蓄積層は、Si-H結合密度が $1 \times 10^{20} \text{ cm}^{-3}$ 以上となっている。

30

このように、四塩化珪素 (SiCl_4) とアンモニア (NH_3) を原料ガスとして作製した窒化珪素膜中のSi-H結合密度が $1 \times 10^{19} \text{ cm}^{-3}$ 以下と少ないのは、原料ガスである四塩化珪素 (SiCl_4) 自体がSi-H結合をもたないためと考えられる。反対に、ジクロルシラン (SiH_2Cl_2) とアンモニア (NH_3) を原料ガスとして作製した窒化珪素膜中のSi-H結合密度が $1 \times 10^{20} \text{ cm}^{-3}$ 以上と多いのは、原料ガスであるジクロルシラン (SiH_2Cl_2) 自体にSi-H結合が含まれているためと考えられる。

40

【0048】

そして、窒化珪素膜中のSi-H結合密度が $1 \times 10^{19} \text{ cm}^{-3}$ 以下の電荷蓄積層をもつ不揮発性メモリは、10年後においてもしきい値ウィンドウが2.0V程度維持していることがわかる。これに対し、窒化珪素膜中のSi-H結合密度が $1 \times 10^{20} \text{ cm}^{-3}$ 以上の電荷蓄積層をもつ不揮発性メモリは、10年後においてしきい値ウィンドウが1.0V以下となってしまうことがわかる。

【0049】

不揮発性メモリにおいて、約200ns以下の高速アクセスを達成するためには、しきい値ウィンドウが1.5V以上あることが必要であり、これを実現するためには、Si-H結合密度を $1 \times 10^{19} \text{ cm}^{-3}$ 以下にすることが必要であることがわかる。なお、Si

50

- H結合密度の下限を規定していないのは、そのようなSi-H結合密度をもつ窒化珪素膜を作製できないことによる。

【0050】

以上のように、MNOSメモリまたはMONOSメモリ等の不揮発性メモリの電荷蓄積層4としてSi-H結合密度が $1 \times 10^{19} \text{ cm}^{-3}$ 以下の窒化珪素膜を用いることにより、データ保持特性の改善を図ることができる。この窒化珪素膜を形成するために、四塩化珪素(SiCl_4)とアンモニア(NH_3)を原料ガスとしたLPCVD法を好適に用いることができる。

【0051】

第2実施形態

本実施形態に係る不揮発性メモリトランジスタの断面構造は、実質的に図1に示す第1実施形態と同様であるが、第2の誘電体層5の作製法が異なる。

本実施形態では、図3(d)に示す第2の誘電体層5の形成工程において、ジクロルシラン(SiH_2Cl_2)と一酸化二窒素(N_2O)を原料ガスとしたLPCVD法により750で二酸化珪素膜を成膜することにより第2の誘電体層5を形成する。あるいは、四塩化珪素(SiCl_4)と一酸化二窒素(N_2O)を原料ガスとしたLPCVD法により750で二酸化珪素膜を成膜することにより第2の誘電体層5を形成する。その他の工程については、第1実施形態と実質的に同一であることから、重複説明は省略する。

【0052】

図7は、本実施形態に係る不揮発性メモリのデータ保持特性を説明するための図である。図7の横軸は、時間(s)を示し、縦軸は、データ書き込み時におけるしきい値電圧(V)を示す。図7は、85でデータを保持した場合におけるしきい値電圧の時間依存性を示している。

【0053】

図7において、グラフCV3は第2実施形態に係る不揮発性メモリのデータ保持特性を示し、第2の誘電体層5としてジクロルシラン(SiH_2Cl_2)と一酸化二窒素(N_2O)を原料ガスとしたLPCVD法により750で成膜した二酸化珪素膜を用いたものである。

また、図5において、グラフCV4は第1実施形態に係る不揮発性メモリのデータ保持特性を示し、第2の誘電体層5として電荷蓄積層4である窒化珪素膜を950で酸化して作製した二酸化珪素膜を用いたものである。

なお、両者とも、第1の誘電体層3として膜厚が2.4nmの酸化シリコン膜を用い、電荷蓄積層4となる窒化シリコン膜の膜厚を9nmとし、第2の誘電体層5として4nmの膜厚をもつ酸化シリコン膜を用いた。

【0054】

図7に示すように、LPCVD法により低温下において形成した二酸化珪素膜からなる第2の誘電体層5を有する不揮発性メモリの方が、熱酸化法により高温下において形成した二酸化珪素膜からなる第2の誘電体層5を有する不揮発性メモリに比べて、10年後の時点Y10までのしきい値電圧の減少の傾きが小さく、データ保持特性に優れているといえる。

【0055】

上述したように、第2の誘電体層5を下地の窒化珪素膜を熱酸化することにより形成しようとする、その酸化工程により窒化珪素膜中のSi-H結合からのH基の脱離が促進されてしまい、その結果、電荷蓄積層4となる窒化珪素膜中に形成された浅い準位によりメモリの保持特性が劣化してしまうと考えられる。

これに対し、第2の誘電体層5をLPCVD法を用いて形成することにより、熱酸化法に比べて低温化を図ることができることから、電荷蓄積層4である窒化珪素膜中のSi-H結合のH基の脱離を抑制することができ、データ保持特性の向上を図ることができる。

【0056】

10

20

30

40

50

以上のように、電荷蓄積層 4 として第 1 実施形態において説明した窒化珪素膜を用いて不揮発性メモリを作製する場合に、第 2 の誘電体層 5 を熱酸化法よりも温度の低い LPCVD 法を用いて成膜することにより、さらにデータ保持特性を向上させることができる。

【0057】

本発明は、上述の第 1 ~ 第 2 実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

例えば、電荷蓄積層 4 となる窒化珪素膜の成膜直後の Si-H 結合密度が、 $1 \times 10^{19} \text{ cm}^{-3}$ 以下となるように窒化珪素膜を形成することができれば、上述した実施形態とは原料ガスを変えることも可能である。

【0058】

第 1 の誘電体層 3 および第 2 の誘電体層 5 は、二酸化珪素に限定されず、たとえば、窒化珪素 SiN_x 、酸化窒化珪素 SiN_xO_y 、酸化アルミニウム Al_2O_3 、酸化タンタル Ta_2O_5 、酸化ジルコニウム ZrO_2 、酸化ハフニウム HfO_2 のいずれかの材料から形成してもよい。

【0059】

図 1 に示すメモリトランジスタが行列状に多数配置されてメモリセルアレイが構成されるが、そのセル方式に限定はない。NOR 型では、ソース線が分離された方式、ソース線およびビット線がワード方向のセル間で共通化されたバーチャルグランドセル方式の何れも採用できる。また、NOR 型の一つである、いわゆる AND 型、HiCR 型、DINOR 型の何れでもよい。さらに、NAND 型の採用も可能である。

その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

【0060】

【発明の効果】

本発明の不揮発性半導体記憶装置およびその製造方法によれば、従来の電荷蓄積層を構成する窒化珪素膜の電荷保持特性を向上させることができる。

【図面の簡単な説明】

【図 1】第 1 および第 2 実施形態に係る不揮発性メモリトランジスタの断面図である。

【図 2】第 1 および第 2 実施形態に係るメモリトランジスタの製造において、電荷蓄積層の形成までの断面図である。

【図 3】第 1 および第 2 実施形態に係るメモリトランジスタの製造において、ゲート電極の形成までの断面図である。

【図 4】第 1 および第 2 実施形態に係るメモリトランジスタの製造において、サイドウォール絶縁膜の形成までの断面図である。

【図 5】第 1 実施形態に係る不揮発性メモリのデータ保持特性を説明するための図である。

【図 6】電荷蓄積層となる窒化珪素膜の Si-H 結合密度とデータ保持特性との関係を示す図である。

【図 7】第 2 実施形態に係る不揮発性メモリのデータ保持特性を説明するための図である。

【符号の説明】

1 ... 基板、2 ... 素子分離絶縁膜、3 ... 第 1 の誘電体層、4 ... 電荷蓄積層、5 ... 第 2 の誘電体層、6 ... ゲート電極、7 ... ソース・ドレイン領域、8 ... サイドウォール絶縁膜、9 ... チャンネル形成領域。

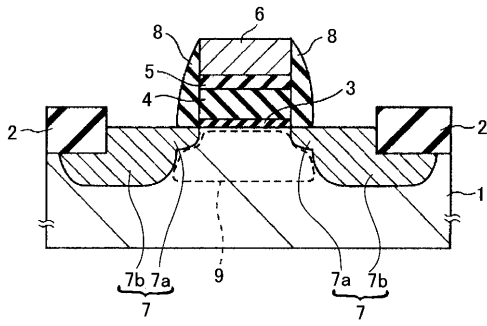
10

20

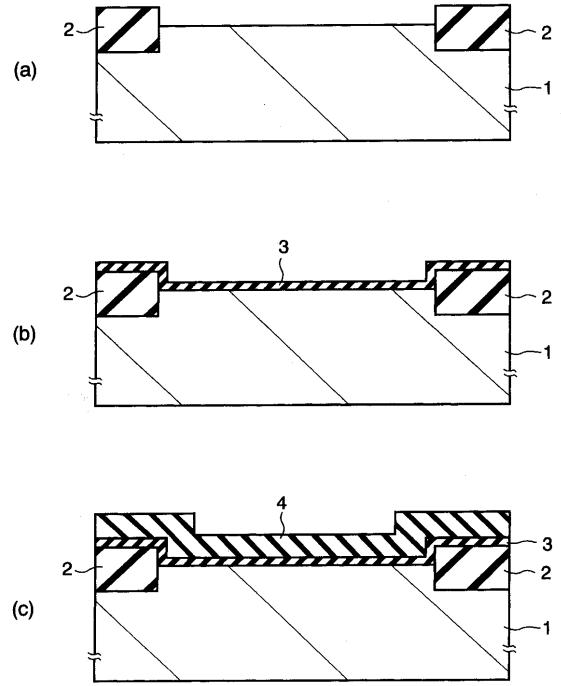
30

40

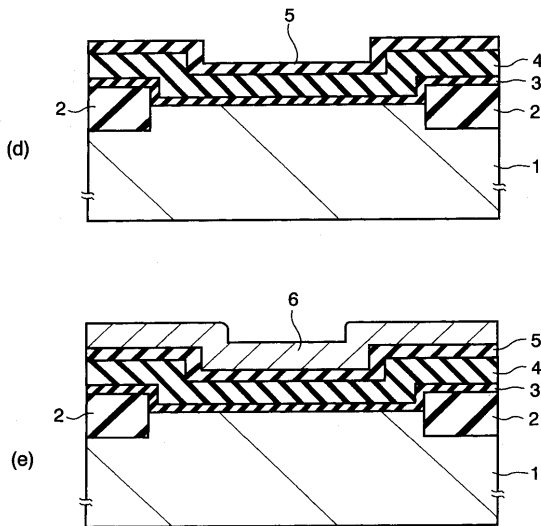
【 図 1 】



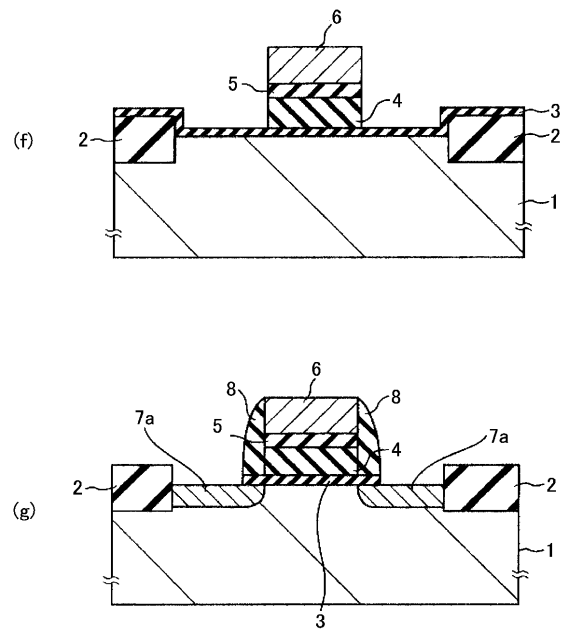
【 図 2 】



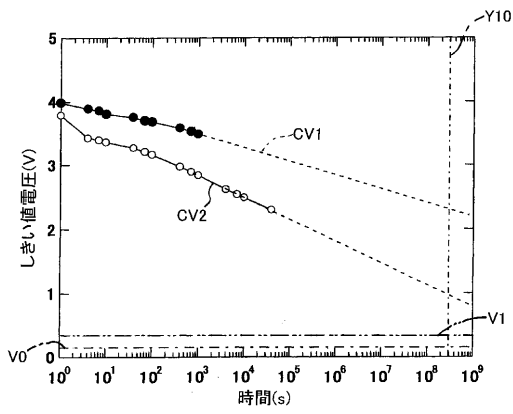
【 図 3 】



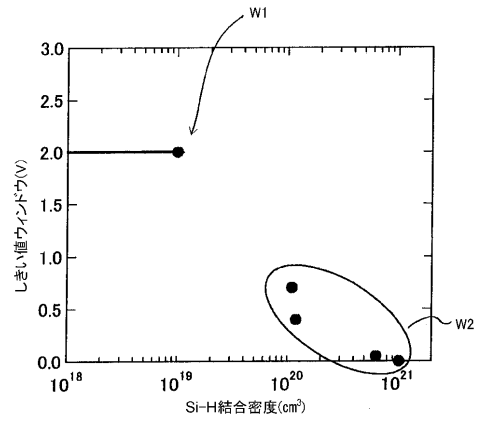
【 図 4 】



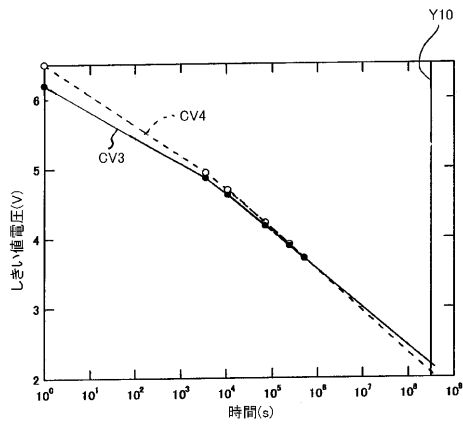
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

F ターム(参考) 5F083 EP18 EP23 EP49 EP63 EP68 EP76 EP77 EP78 EP79 ER02
ER14 ER21 GA30 JA02 JA04 JA05 JA06 JA35 JA36 JA37
JA38 JA39 JA40 NA01 PR21 ZA21
5F101 BA45 BA46 BB05 BC11 BD07 BD34 BD35 BE02 BE05 BE07
BF03 BF05 BH02