(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년08월01일
(11) 등록번호 10-0849960
(24) 등록일자 2008년07월28일

(51) Int. Cl.
H01L 27/105 (2006.01)
(21) 출원번호 10-2002-7012315
(22) 출원일자 2002년09월18일
심사청구일자 2007년01월02일
번역문제출일자 2002년09월18일
(65) 공개번호 10-2002-0080004
(43) 공개일자 2002년10월21일
(86) 국제출원번호 PCT/JP2002/000256
국제출원일자 2002년01월17일
(87) 국제공개번호 WO 2002/59900
국제공개일자 2002년08월01일
(30) 우선권주장
JP-P-2001-00015053 2001년01월23일 일본(JP)
(56) 선행기술조사문헌
JP12349248 A*
KR1020010007157 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
소니 가부시끼 가이샤
일본국 도쿄도 미나토쿠 코난 1-7-1
(72) 발명자
니시하라도시유키
일본국도쿄도시나가와쿠키타시나가와6쵸메7반35고 소니가부시끼가이샤내
(74) 대리인
김재만, 유미특허법인

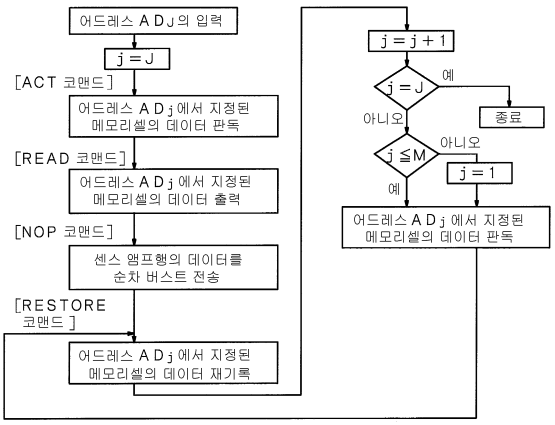
전체 청구항 수 : 총 11 항 심사관 : 이우식

(54) 강유전체형 불휘발성 반도체 메모리 및 그 구동방법

(57) 요 약

본 발명은, 비트선과, 선택용 트랜지스터와, M개의 메모리셀로 구성된 서브 메모리 유닛과, M개의 플레이트선과, 비트선에 접속된 센스앰프로 이루어지는 메모리 유닛으로 구성되고, 각 메모리셀은, 제1 전극과 강유전체층과 제2 전극으로 이루어지고, 서브 메모리 유닛을 구성하는 메모리셀의 제1 전극은, 서브 메모리 유닛에 있어서 공통이며, 상기 공통의 제1 전극은, 선택용 트랜지스터를 통하여 비트선에 접속되며, 제2 전극은 플레이트선에 접속되는 강유전체형 불휘발성 반도체 메모리의 구동방법에서는, 외부로부터 지정된 지정어드레스의 메모리셀에 기억된 데이터를 판독하고, 센스앰프에 래치한 후, 센스앰프에 래치된 상기 데이터를 출력한다.

대표도 - 도1



(81) 지정국
국내특허 : 독일, 대한민국, 미국

특허청구의 범위

청구항 1

(A) 비트선과,

(B) 선택용 트랜지스터와,

(C) M개(단, M≥2)의 메모리셀로 구성된 서브 메모리 유닛과,

(D) M개의 플레이트선과,

(E) 비트선에 접속된 센스앰프

를 포함하는 메모리 유닛으로 구성되며,

각 메모리셀은 제1 전극과 강유전체층과 제2 전극으로 이루어지며,

상기 서브 메모리 유닛을 구성하는 메모리셀의 제1 전극은 상기 서브 메모리 유닛에 있어서 공통이며, 상기 공통의 제1 전극은 선택용 트랜지스터를 통하여 비트선에 접속되며, 상기 제2 전극은 플레이트선에 접속되는 강유전체형 불휘발성 반도체 메모리의 구동방법으로서,

외부로부터 지정된 지정어드레스의 메모리셀에 기억된 데이터를 판독하고, 상기 센스앰프에 래치한 후, 센스앰프에 래치된 상기 데이터를 출력하고,

상기 센스앰프에 래치된 데이터를 출력한 후, 센스앰프에 래치된 상기 데이터를 상기 지정어드레스의 메모리셀에 재기록하며,

이어서 외부로부터 어드레스를 지정하지 않고, 상기 서브 메모리 유닛을 구성하는 다른 메모리셀에 기억된 데이터를 판독하고, 센스앰프에 래치하는, 강유전체형 불휘발성 반도체 메모리의 구동방법.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 서브 메모리 유닛을 구성하는 다른 메모리셀에 기억된 데이터를 판독하고, 센스앰프에 래치한 후, 센스앰프에 래치된 상기 데이터를 상기 다른 메모리셀에 재기록하는, 강유전체형 불휘발성 반도체 메모리의 구동방법.

청구항 4

제3항에 있어서,

상기 서브 메모리 유닛을 구성하는 모든 다른 메모리셀에 있어서, 외부로부터 어드레스를 지정하지 않고, 순차 데이터의 판독 및 데이터의 재기록을 행하는, 강유전체형 불휘발성 반도체 메모리의 구동방법.

청구항 5

제1항에 있어서,

상기 서브 메모리 유닛을 구성하는 다른 메모리셀에 기억된 데이터를 판독하고, 센스앰프에 래치한 후, 센스앰프에 래치된 상기 데이터를 출력하는, 강유전체형 불휘발성 반도체 메모리의 구동방법.

청구항 6

제5항에 있어서,

상기 서브 메모리 유닛을 구성하는 다른 메모리셀에 기억된 데이터를 판독하고, 센스앰프에 래치하고, 이어서 센스앰프에 래치된 상기 데이터를 출력한 후, 센스앰프에 래치된 상기 데이터를 상기 다른 메모리셀에 재기록하

는, 강유전체형 불휘발성 반도체 메모리의 구동방법.

청구항 7

제6항에 있어서,

상기 서브 메모리 유닛을 구성하는 모든 다른 메모리셀에 있어서, 외부로부터 어드레스를 지정하지 않고, 순차 데이터의 판독, 출력 및 데이터의 재기록을 행하는, 강유전체형 불휘발성 반도체 메모리의 구동방법.

청구항 8

(A) 비트선과,

(B) 선택용 트랜지스터와,

(C) M개(단, M≥2)의 메모리셀로 구성된 서브 메모리 유닛과,

(D) M개의 플레이트선과,

(E) 비트선에 접속된 센스앰프

를 포함하는 메모리 유닛으로 구성되며,

각 메모리셀은 제1 전극과 강유전체층과 제2 전극으로 이루어지며,

상기 서브 메모리 유닛을 구성하는 메모리셀의 제1 전극은 상기 서브 메모리 유닛에 있어서 공통이며, 상기 공통의 제1 전극은 선택용 트랜지스터를 통하여 비트선에 접속되며, 제2 전극은 플레이트선에 접속되는 강유전체형 불휘발성 반도체 메모리의 구동방법으로서,

기록할 데이터를 센스앰프에 래치한 후, 외부로부터 지정된 지정어드레스의 메모리셀에 상기 데이터를 기록하고,

상기 센스앰프에 래치된 데이터를 상기 지정어드레스의 메모리셀에 기록한 후, 기록할 센스앰프에 래치하고,

이어서 외부로부터 어드레스를 지정하지 않고, 상기 서브 메모리 유닛을 구성하는 다른 메모리셀에 상기 데이터를 기록하는, 강유전체형 불휘발성 반도체 메모리의 구동방법.

청구항 9

삭제

청구항 10

제8항에 있어서,

상기 서브 메모리 유닛을 구성하는 모든 다른 메모리셀에 있어서, 외부로부터 어드레스를 지정하지 않고, 순차 데이터의 기록을 행하는, 강유전체형 불휘발성 반도체 메모리의 구동방법.

청구항 11

제8항에 있어서,

상기 센스앰프에 래치된 데이터를 상기 지정어드레스의 메모리셀에 기록한 후, 외부로부터 어드레스를 지정하지 않고, 상기 서브 메모리 유닛을 구성하는 다른 메모리셀에 기억된 데이터를 판독하고, 센스앰프에 래치한 후, 센스앰프에 래치된 상기 데이터를 상기 다른 메모리셀에 재기록하는, 강유전체형 불휘발성 반도체 메모리의 구동방법.

청구항 12

제11항에 있어서,

상기 서브 메모리 유닛을 구성하는 모든 다른 메모리셀에 있어서, 외부로부터 어드레스를 지정하지 않고, 순차 데이터의 판독 및 재기록을 행하는, 강유전체형 불휘발성 반도체 메모리의 구동방법.

청구항 13

(A) 비트선과,

(B) 선택용 트랜지스터와,

(C) M개(단, M≥2)의 메모리셀로 구성된 서브 메모리 유닛과,

(D) M개의 플레이트선과,

(E) 비트선에 접속된 센스앰프

를 포함하는 메모리 유닛으로 구성되며,

각 메모리셀은 제1 전극과 강유전체층과 제2 전극으로 이루어지며,

상기 서브 메모리 유닛을 구성하는 메모리셀의 제1 전극은 상기 서브 메모리 유닛에 있어서 공통이며, 상기 공통의 제1 전극은 선택용 트랜지스터를 통하여 비트선에 접속되며, 제2 전극은 플레이트선에 접속되는 강유전체형 불휘발성 반도체 메모리로서,

(F) 외부로부터 지정된 플레이트선의 어드레스를 기억하는 지정 플레이트선 어드레스 레지스터와,

(G) 상기 플레이트선을 지정하는 플레이트선 어드레스를 순차 증가시키는 플레이트선 어드레스 카운터

를 포함하고,

상기 지정 플레이트선 어드레스 레지스터 및 플레이트선 어드레스 카운터에 접속되며,

상기 지정 플레이트선 어드레스 레지스터에 기억된 지정 플레이트선 어드레스의 값과, 상기 플레이트선 어드레스 카운터에 있어서의 플레이트선 어드레스의 값을 비교하는 콤퍼레이터를 더 포함하는, 강유전체형 불휘발성 반도체 메모리.

청구항 14

삭제

명 세 서

기 술 분 야

<1> 본 발명은, 강유전체형 불휘발성 반도체 메모리 및 그 구동방법에 관한 것이다.

배 경 기 술

<2> 근년, 대용량의 강유전체형 불휘발성 반도체 메모리에 관한 연구가 활발히 행해지고 있다. 강유전체형 불휘발성 반도체 메모리(이하, 불휘발성 메모리라고 하는 경우가 있음)는, 고속 액세스가 가능하고, 또한 불휘발성이며, 또한 소형으로 저소비 전력이며, 또한 충격에도 강하여, 예를 들면, 파일의 스토리지나 재개(resume)기능을 가지는 각종 전자 기기, 예를 들면, 휴대용 컴퓨터나 휴대전화, 게임기의 주기억장치로서의 사용, 또는 음성이나 영상을 기록하기 위한 기록 미디어로서의 사용이 기대되고 있다.

<3> 이 불휘발성 메모리는, 강유전체 박막의 고속분극반전과 그 잔류분극을 사용하여, 강유전체층을 가지는 메모리셀(커패시터부)의 축적전하량의 변화를 검출하는 방식의, 고속 재기록이 가능한 불휘발성 메모리이며, 기본적으로는, 메모리셀과 선택용 트랜지스터(스위칭용 트랜지스터)로 구성되어 있다. 메모리셀은, 예를 들면, 하부전극, 상부전극, 및 이들 전극간에 협지된 강유전체층으로 구성되어 있다. 이 불휘발성 메모리에 있어서의 데이터의 기록이나 판독은, 도 27에 나타낸 강유전체의 P-E 히스테리시스 루프를 응용하여 행해진다. 즉, 강유전체층에 외부전계를 가한 후, 외부전계를 제했을 때, 강유전체층은 잔류분극을 나타낸다. 그리고, 강유전체층의 잔류분극은, 플러스방향의 외부전계가 인가되었을 때 $+P_r$, 마이너스방향의 외부전계가 인가되었을 때 $-P_r$로 된다. 여기서, 잔류분극이 $+P_r$의 상태(도 27의「D」참조)의 경우를「0」으로 하고, 잔류분극이 $-P_r$의 상태(도 27의「A」참조)의 경우를「1」로 한다.

<4> 「1」또는「0」의 상태를 판별하기 위해, 강유전체층에 예를 들면 플러스방향의 외부전계를 인가한다. 이로 인

해, 강유전체층의 분극은 도 27의「C」의 상태가 된다. 이 때, 데이터가「0」이면, 강유전체층의 분극상태는,「D」로부터「C」의 상태로 변화된다. 한편, 데이터가「1」이면, 강유전체층의 분극상태는,「A」로부터「B」를 경유하여「C」의 상태로 변화된다. 데이터가「0」의 경우에는, 강유전체층의 분극반전은 생기지 않는다. 한편, 데이터가「1」의 경우에는, 강유전체층에 분극반전이 생긴다. 그 결과, 메모리셀의 축적전하량에 차이가 생긴다. 선택된 불휘발성 메모리의 선택용 트랜지스터를 온으로 함으로써 이 축적전하를 신호전류로서 검출한다. 데이터의 판독 후, 외부전계를 0으로 하면, 데이터가「0」일 때도「1」일 때도 그렇지만, 강유전체층의 분극상태는 도 27의「D」의 상태가 되어 버린다. 즉, 판독시, 데이터「1」은 일단 파괴되어 버린다. 따라서, 데이터가「1」일 경우, 마이너스방향의 외부전계를 인가하여,「D」,「E」라고 하는 경로에서「A」의 상태로 하고, 데이터「1」을 다시 기록한다.

<5> 현재 주류로 되어있는 불휘발성 메모리의 구조 및 그 동작은, 미국 특허 제4 ,873,664호에 있어서, S. Sheffiled 등이 제안한 것이다. 이 불휘발성 메모리는, 도 28에 등가 회로도를 나타낸 바와 같이, 2개의 불휘발성 메모리셀로 구성되어 있다. 또한, 도 28에 있어서, 하나의 불휘발성 메모리를 점선으로 에워쌌다. 각 불휘발성 메모리셀은, 예를 들면, 선택용 트랜지스터 TR_{11},TR_{12}, 메모리셀 MC_{11}, MC_{12}로 구성되어 있다.

<6> 또한, 2자리수 또는 3자리수의 첨자, 예를 들면 첨자「11」은, 원래, 첨자「1,1」이라고 표시할 첨자이며, 예를 들면「111」은, 원래, 첨자「1,1,1」이라고 표시할 첨자이지만, 표시의 간소화를 위해, 경우에 따라서는, 2자리수 또는 3자리수의 첨자로 표시한다. 또, 첨자「M」을, 예를 들면 복수의 메모리셀이나 플레이트선을 총괄적으로 표시하는 경우에 사용하고, 첨자「m」을, 예를 들면 복수의 메모리셀이나 플레이트선을 개개로 표시하는 경우에 사용하고, 첨자「N」을, 예를 들면 선택용 트랜지스터나 서브 메모리 유닛을 총괄적으로 표시하는 경우에 사용하고, 첨자「n」을, 예를 들면 선택용 트랜지스터나 서브 메모리 유닛을 개개로 표시하는 경우에 사용한다.

<7> 그리고, 각각의 불휘발성 메모리셀에 상보적인 데이터를 기록함으로써, 1비트를 기억한다. 도 28에 있어서, 부호「WL」은 워드선을 나타내고, 부호「BL」은 비트선을 나타내고, 부호「PL」은 플레이트선을 의미한다. 하나의 불휘발성 메모리에 착안하면, 워드선 W_1는, 워드선 디코더/드라이버 WD에 접속되어 있다. 또, 비트선 BL_1,BL_2은, 센스앰프 SA에 접속되어 있다. 또한 플레이트선 PL_1은, 플레이트선 디코더/드라이버 PD에 접속되어 있다.

<8> 이러한 구조를 가지는 불휘발성 메모리에 있어서, 기억된 데이터를 판독하는 경우, 워드선 WL_1을 선택하고, 나아가서 플레이트선 PL_1을 구동하면, 상보적인 데이터가, 쌍으로 된 메모리셀 MC_{11},MC_{12}로부터 선택용 트랜지스터 TR_{11},TR_{12}를 통하여 쌍으로 된 비트선 BL_1,BL_2에 전압(비트선 전위)으로서 나타난다. 이러한 쌍으로 된 비트선 BL_1,BL_2의 전압(비트선 전위)을, 센스앰프 SA로 검출한다.

<9> 하나의 불휘발성 메모리는, 워드선 WL_1, 및 한 쌍으로 된 비트선 BL_1,BL_2 에 의해 에워싸인 영역을 점하고 있다. 따라서, 만일, 워드선 및 비트선이 최단피치로 배치되는 것으로 하면, 하나의 불휘발성 메모리의 최소면적은, 가공최소치수를 F로 했을 때, $8F^2$이다. 따라서, 이러한 구조를 가지는 불휘발성 메모리의 최소면적은 $8F^2$이다.

<10> 이러한 구조의 불휘발성 메모리를 대용량화하려고 한 경우, 사실은 현재는 가공치수의 미세화에 의존할 수 밖에 없다. 또, 하나의 불휘발성 메모리를 구성하기 위해 2개의 선택용 트랜지스터 및 2개의 메모리셀이 필요로 된다. 또한 워드선과 동일 피치로 플레이트선을 배치해야 한다. 따라서, 불휘발성 메모리를 최소 피치로 배치하는 것은 거의 불가능하며, 현실적으로는, 하나의 불휘발성 메모리가 차지하는 면적은, $8F^2$보다도 대폭 증가하여 버린다.

<11> 또한, 불휘발성 메모리와 동등한 피치로, 워드선 디코더/드라이버 WD 및 플레이트선 디코더/드라이버 PD를 배치해야 한다. 바꿔 말하면, 하나의 로·어드레스를 선택하기 위해 2개의 디코더/드라이버가 필요로 된다. 따라서, 주변 회로의 레이아웃이 곤란하게 되고, 또한 주변 회로의 점유면적도 큰 것으로 된다.

<12> 불휘발성 메모리의 면적을 축소하는 수단의 하나가, 일본국 특개평 9(1997)-121032호 공보로부터 공지된 것이다. 도 29에 등가회로를 나타낸 바와 같이, 이 특허공개공보에 개시된 불휘발성 메모리는, 하나의 선택용 트랜지스터 TR_1의 일단에 병렬로 복수의 메모리셀의 각각의 일단이 접속된 메모리셀 MC_{1M} (예를 들면, m = 4)로 구성되고, 이러한 불휘발성 메모리와 쌍으로 된 불휘발성 메모리도, 하나의 선택용 트랜지스터 TR_2의 일단에 병

렬로 복수의 메모리셀의 각각의 일단이 접속된 메모리셀 MC_{2M} 로 구성되어 있다. 선택용 트랜지스터 TR_1,TR_2의 타단은, 각각, 비트선 BL_1,BL_2에 접속되어 있다. 쌍으로 된 비트선 BL_1,BL_2은, 센스앰프 SA에 접속되어 있다. 또, 메모리셀 MC_{1m},MC_{2m}(m =1,2・・・M)의 타단은 플레이트선 PL_m에 접속되어 있고, 플레이트선 PL_m은 플레이트선 디코더/드라이버 PD에 접속되어 있다. 또한 워드선 WL은, 워드선 디코더/드라이버 WD에 접속되어 있다.

<13> 그리고, 쌍으로 된 메모리셀 MC_{1m},MC_{2m}(m =1,2・・・M)에 상보적인 데이터가 기억된다. 예를 들면, 메모리셀 MC_{1m},MC_{2m}(여기서, m은 1,2,3,4 중 어느 하나)에 기억된 데이터를 판독하는 경우, 워드선 WL을 선택하여, 플레이트선 PL_k(k≠ m)에는 1/2 V_{cc}의 전압을 인가한 상태에서 플레이트선 PL_m을 구동한다. 여기서, V_{cc} 는, 예를 들면, 전원 전압이다. 이로 인해, 상보적인 데이터가, 쌍으로 된 메모리셀 MC_{1m},MC_{2m}로부터 선택용 트랜지스터 TR_1,TR_2를 통하여 쌍으로 된 비트선 BL_1,BL_2에 전압(비트선 전위)으로서 나타난다. 그리고, 이러한 쌍으로 된 비트선 BL_1,BL_2의 전압(비트선 전위)를 센스앰프 SA에서 검출한다.

<14> 쌍으로 된 불휘발성 메모리에 있어서의 한 쌍의 선택용 트랜지스터 TR_1 및 TR_2은, 워드선 WL, 및 한 쌍으로 된 비트선 BL_1,BL_2에 의해 에워싸인 영역을 차지하고 있다. 따라서, 만일, 워드선 및 비트선이 최단피치로 배치되는 것으로 하면 한 쌍으로 된 불휘발성 메모리에 있어서의 한쌍의 선택용 트랜지스터 TR1 및 TR2의 최소면적은, $8F^2$이다. 그러나, 한 쌍의 선택용 트랜지스터 TR_1,TR_2을, M조의 쌍으로 된 메모리셀 MC_{1m},MC_{2m}(m =1,2・・・M)으로 공유하는 때문에, 1비트당의 선택용 트랜지스터 TR_1,TR_2의 수가 적어도 되어, 또 워드선 WL의 배치도 느슨하므로, 불휘발성 메모리의 축소화를 도모하기 쉽다. 또한, 주변 회로에 관해서도, 1개의 워드선 디코더/드라이버 WD와 M개의 플레이트선 디코더/드라이버 PD에서 M비트를 선택할 수가 있다. 따라서, 이러한 구성을 채용함으로써, 셀면적이 $8F^2$에 가까운 레이아웃을 실현가능하고, DRAM 보통의 칩사이즈를 실현할 수 있다.

<15> 일본국 특개평 9(1997)-121032호 공보에 개시된 불휘발성 메모리에 데이터를 기록하는 방법을 다음에 설명한다. 또한, 일례로서, 쌍으로 된 메모리셀 MC_{11},MC_{21}데이터를 기록하는 것으로 하고, 메모리셀 MC_{11}에 데이터「1」를, 메모리셀 MC_{21} 에 데이터「0」를 기록하는 것으로 한다. 도 11에 동작파형을 나타낸다. 또한, 도 11중, 괄호 내의 숫자는, 다음에 설명하는 공정의 번호와 대응하고 있다.

<16> (1) 대기상태에서는, 워드선, 전체 플레이트선은 0볼트로 되어 있다. 또, 비트선 BL_1,BL_2은 0볼트로 균등하게 되어 있다. 또한, 센스앰프 SA에는, 기록해야 할 데이터가 유지되고 있는 것으로 한다.

<17> (2) 데이터기록의 개시시, 비트선 BL_1에 고전위 V_{BL-H}(= V_{cc})를 인가하고, 비트선 BL_2에 저전위 V_{BL-L}(= 0볼트)를 인가한다. 여기서, V_{cc}는 전원 전압이다.

<18> (3) 이어서, 워드선 WL을 하이레벨로 함으로써, 선택용 트랜지스터 TR_1,TR_2을 온상태로 한다. 더불어, 선택 플레이트선 PL_1에 고전위 V_{PL-H}(= V_{cc})를 인가하고, 비선택 플레이트선 PL_k(k=2,3,4)에는 중간전위 V_{PL-M} [=1/2 V_{cc}]를 인가한다. 이로 인해, 메모리셀 MC_{21}에서는, 선택 플레이트선 PL_1의 전위가 고전위 V_{PL-H} 이며, 비트선 BL_2의 전위가 저전위 V_{BL-L}이므로, 데이터「0」이 기록된다.

<19> (4) 그 후, 선택 플레이트선 PL_1을 저전위 V_{PL-L}(= 0볼트)로 한다. 이로 인해, 메모리셀 MC_{11}에서는, 선택 플레이트선 PL_1의 전위가 저전위 V_{PL-L}이며, 비트선 BL_1의 전위가 고전위 V_{BL-H} 이므로, 데이터「1」이 기록된다.

<20> (5) 데이터의 기록을 종료하는 경우에는, 이어서, 워드선 WL을 로레벨로 함으로써, 선택용 트랜지스터 TR_1,TR_2을 오프상태로 한 후, 비트선 BL_1을 0볼트까지 방전하고, 비선택 플레이트선 PL_k (k=2,3,4)을 0볼트까지 방전한다.

<21> 이상의 기록 동작에 있어서, 비선택 플레이트선 PL_k (k=2,3,4)에는 1/2 V_{cc}이 인가된다. 따라서, 비선택 메모리셀 MC_{1k}, MC_{2k}(k=2,3,4)에서는, ±(1/2) V_{cc}의 전압이 가해진다. 따라서, 비선택 메모리셀 MC_{1k},MC_{2k}(k=2,3,4)에 기억되어 있는 데이터에 따라서는, 비선택 메모리셀 MC_{1k},MC_{2k}의 메모리셀을 구성하는 강유전체층에 대하여, 분극

이 반전하는 방향으로 전계가 가해져, 디스터브에 의한 데이터 유지상태의 열화가 발생할 우려가 있다. 여기서, 디스터브란, 비선택 메모리셀의 메모리셀을 구성하는 강유전체층에 대하여, 분극이 반전하는 방향으로, 즉, 보존되어 있던 데이터가 열화 또는 파괴되는 방향으로, 전계가 가해지는 현상을 가르킨다.

<22> 이러한 디스터브에 대한 대책으로서, 일본국 특개평 9(1997)-121032호 공보에 개시된 불휘발성 메모리에서는, 메모리셀 MC_{1m} 및 메모리셀 MC_{2m} 로 구성된 메모리 유닛에 있어서, m = 1로부터 m = M까지, 순차, 또한, 일괄해서 메모리셀 MC_{1m},MC_{2m}에 액세스한다. 이로 인해, 각 메모리셀 MC_{1m},MC_{2m}가 받는 디스터브의 회수를(M-1)회에 제한하고 있다. 여기서, 특히 외부로부터 어드레스의 지정을 행하지 않고, 1번째의 메모리셀 MC_{11},MC_{21}로부터 M 번째의 메모리셀 MC_{1M},MC_{2M}까지, 순차, 데이터의 기록을 행한다. 즉, m = 1의 각 메모리셀 MC_{11},MC_{21}에 있어서 데이터의 기록을 행한 후, m = 2의 각 메모리셀 MC_{12},MC_{22}에 있어서 데이터의 기록을 행하고, 이 동작을, m = M으로 될 때까지 반복한다. 이로 인해, 각 메모리셀 MC_{1M},MC_{2M}가 받는 디스터브의 회수를(M-1)회로 하고 있다. 각 메모리셀 MC_{1m},MC_{2m}의 데이터 판독 및 데이터의 재기록에 있어서도, 마찬가지로, m = 1로부터 m = M까지, 순차, 또한, 일괄해서 메모리셀 MC_{1m},MC_{2m}에 액세스한다.

<23> 일본국 특개평 9(1997)-121032호 공보에 개시된 불휘발성 메모리의 면적을 축소하는 방법은, 대단히 효과적인 방법이다. 그러나, 데이터의 기록이나, 데이터의 판독 및 재기록은, 1번째의 메모리셀로부터 순차 시작된다. 각 메모리셀 MC_{1m},MC_{2m}에의 데이터의 판독 및 재기록에는, 예를 들면, 100나노초 정도의 시간이 필요하게 된다. 따라서, 예를 들면, 8번째의 메모리셀 MC_{18},MC_{28}에의 데이터의 판독 및 재기록은, 데이터의 판독 및 재기록을 개시한 후 약 0.8 마이크로초후로 되어 버려, 원하는 메모리셀로부터의 데이터의 판독 및 재기록에 시간을 요하는 문제가 있다. 또, 데이터의 기록에서는, 메모리 유닛을 구성하는 메모리셀의 모두에 있어서 데이터의 기록을 행한다. 따라서, 역시, 원하는 메모리셀에의 데이터의 기록에 시간을 요하는 문제가 있다. 메모리 유닛을 구성하는 메모리셀의 수가 많아지는 만큼, 면적효율은 높아지지만, 한편, 메모리셀에의 액세스가 느려져 버린다.

<24> 따라서, 본 발명의 목적은, 디스터브의 영향을 억제하면서, 원하는 메모리셀에 즉시 액세스가능한 강유전체형 불휘발성 반도체 메모리 및 그 구동방법을 제공함에 있다.

발명의 상세한 설명

<25> 상기의 목적을 달성하기 위해의 본 발명의 제1 양태에 관한 강유전체형 불휘발성 반도체 메모리의 구동방법은, 데이터의 판독에 관한 것으로,

<26> (A) 비트선과,

<27> (B) 선택용 트랜지스터와,

<28> (C) M개(단, M≥ 2)의 메모리셀로 구성된 서브 메모리 유닛과,

<29> (D) M개의 플레이트선과,

<30> (E) 비트선에 접속된 센스앰프

<31> 를 포함하는 메모리 유닛으로 구성되며,

<32> 각 메모리셀은 제1 전극과 강유전체층과 제2 전극으로 이루어지며,

<33> 서브 메모리 유닛을 구성하는 메모리셀의 제1 전극은 서브 메모리 유닛에 있어서 공통이며, 상기 공통의 제1 전극은 선택용 트랜지스터를 통하여 비트선에 접속되며, 제2 전극은 플레이트선에 접속되는 강유전체형 불휘발성 반도체 메모리의 구동방법으로서,

<34> 외부로부터 지정된 지정어드레스의 메모리셀에 기억된 데이터를 판독하고, 센스앰프에 래치한 후, 센스앰프에 래치된 상기 데이터를 출력하는 것을 특징으로 한다.

<35> 다음의 설명에서는, 지정어드레스의 메모리셀을 MC_J ($1 \leq J \leq M$)로 나타내고, 서브 메모리 유닛을 구성하는 다른 메모리셀(지정어드레스의 메모리셀 이외의 메모리셀)을 MC_k ($k \neq J$)로 나타낸다.

<36> 본 발명의 제1 양태에 관한 강유전체형 불휘발성 반도체 메모리의 구동방법(다음에, 본 발명의 제1 양태에 관한

불휘발성 메모리의 구동방법이라고 함)에서는, 상기 센스앰프에 래치된 데이터를 출력한 후, 센스앰프에 래치된 상기 데이터를 상기 지정어드레스의 메모리셀 MC_J에 재기록하고, 이어서, 외부로부터 어드레스를 지정하지 않고, 서브 메모리 유닛을 구성하는 다른 메모리셀 MC_k에 기억된 데이터를 판독하고, 센스앰프에 래치하는 구성으로 할 수 있다.

<37> 그리고, 이 경우, 또한 서브 메모리 유닛을 구성하는 다른 메모리셀 MC_k에 기억된 데이터를 판독하고, 센스앰프에 래치한 후, 센스앰프에 래치된 상기 데이터를 상기 다른 메모리셀 MC_k에 재기록하는 구성으로 할 수 있다. 이러한 구성을, 편의상, 제1A의 구성이라고 한다. 이 제1A의 구성에서는, 메모리셀은, 말하자면, 랜덤 액세스되어, 데이터의 판독 및 재기록이 행해진다. 또한, 이 경우, 서브 메모리 유닛을 구성하는 모든 다른 메모리셀에 있어서, 외부로부터 어드레스를 지정하지 않고, 순차[즉, (J+1)번째의 메모리셀 MC_{J+1}, (J+2)번째의 메모리셀 MC_{J+2}, · · ·, M 번째의 메모리셀 MC_M, 1번째의 메모리셀 MC_1, 2번째의 메모리셀 MC_2, · · ·, (J-2)번째의 메모리셀 MC_{J-2}, (J-1)번째의 메모리셀 MC_{J-1}까지 순차], 데이터의 판독 및 데이터의 재기록을 행하는 것이 바람직하다. 이로 인해, 다른 메모리셀 MC_k 에서의 디스터브의 발생을 확실하게 억제할 수 있다.

<38> 또한, 이 경우, 서브 메모리 유닛을 구성하는 다른 메모리셀 MC_k에 기억된 데이터를 판독하고, 센스앰프에 래치한 후, 센스앰프에 래치된 상기 데이터를 출력하는 구성으로 할 수 있다. 그리고, 또한 서브 메모리 유닛을 구성하는 다른 메모리셀 MC_k에 기억된 데이터를 판독하고, 센스앰프에 래치하고, 이어서, 센스앰프에 래치된 상기 데이터를 출력한 후, 센스앰프에 래치된 상기 데이터를 상기 다른 메모리셀 MC_k에 재기록하는 구성으로 할 수 있다. 이러한 구성을, 편의상, 제1B의 구성이라고 한다. 이 제1B의 구성에서는, 메모리셀은, 말하자면 시퀀셜 액세스되어, 데이터의 판독, 출력 및 재기록이 행해진다. 또한, 이 경우, 서브 메모리 유닛을 구성하는 모든 다른 메모리셀에 있어서, 외부로부터 어드레스를 지정하지 않고, 순차 즉, J+1번째의 메모리셀 MC_{J+1}, J+2번째의 메모리셀 MC_{J+2}, · · ·, M번째의 메모리셀 MC_M, 1번째의 메모리셀 MC_1, 2번째의 메모리셀 MC_2, · · ·, (J-2)번째의 메모리셀 MC_{J-2}, (J-1)번째의 메모리셀 MC_{J-1}까지 순차], 데이터의 판독, 출력 및 데이터의 재기록을 행하는 것이 바람직하다. 이로 인해, 다른 메모리셀 MC_k 에서의 디스터브의 발생을 확실하게 억제할 수 있다.

<39> 또한, 본 발명의 제1 양태에 관한 불휘발성 메모리의 구동방법에서는, 제1A의 구성과 제1B의 구성을 조합할 수도 있다. 즉, (J+1)번째의 메모리셀 MC_{J+1}로부터 소정의 수의 메모리셀까지 제1B의 구성의 구동방법을 순차 실행한 후, 나머지의 다른 메모리셀에 관해서는 제1A의 구성의 구동방법을 순차 실행할 수도 있고, (J+1)번째의 메모리셀 MC_{J+1}로부터 소정의 수의 메모리셀까지 제1A의 구성의 구동방법을 순차 실행한 후, 나머지의 다른 메모리셀에 관해서는 제1B의 구성의 구동방법을 순차 실행할 수도 있다.

<40> 상기의 목적을 달성하기 위해의 본 발명의 제2 양태에 관한 강유전체형 불휘발성 반도체 메모리의 구동방법은, 데이터의 기록에 관한 것으로,

<41> (A) 비트선과,

<42> (B) 선택용 트랜지스터와,

<43> (C) M개(단, M≥ 2)의 메모리셀로 구성된 서브 메모리 유닛과,

<44> (D) M개의 플레이트선과,

<45> (E) 비트선에 접속된 센스앰프

<46> 를 포함하는 메모리 유닛으로 구성되며,

<47> 각 메모리셀은 제1 전극과 강유전체층과 제2 전극으로 이루어지며,

<48> 서브 메모리 유닛을 구성하는 메모리셀의 제1 전극은 서브 메모리 유닛에 있어서 공통이며, 상기 공통의 제1 전극은 선택용 트랜지스터를 통하여 비트선에 접속되며, 제2 전극은 플레이트선에 접속되는 강유전체형 불휘발성 반도체 메모리의 구동방법으로서,

<49> 기록할 데이터를 센스앰프에 래치한 후, 외부로부터 지정된 지정어드레스의 메모리셀에 상기 데이터를 기록하는

것을 특징으로 한다.

<50> 본 발명의 제2 양태에 관한 강유전체형 불휘발성 반도체 메모리의 구동방법(다음에, 본 발명의 제2 양태에 관한 불휘발성 메모리의 구동방법이라고 함)에서는, 센스앰프에 래치된 데이터를 상기 지정어드레스의 메모리셀 MC_J에 기록한 후, 기록할 데이터를 센스앰프에 래치하고, 이어서, 외부로부터 어드레스를 지정하지 않고, 서브 메모리 유닛을 구성하는 다른 메모리셀 MC_k에 상기 데이터를 기록하는 구성으로 할 수 있다. 이러한 구성을, 편의상, 제2A의 구성이라고 한다. 이 제2A의 구성에서는, 서브 메모리 유닛을 구성하는 모든 메모리셀에 데이터의 기록이 행해진다. 또한, 이 경우, 서브 메모리 유닛을 구성하는 모든 다른 메모리셀에 있어서, 외부로부터 어드레스를 지정하지 않고, 순차[즉, (J+1)번째의 메모리셀 MC_{J+1}, (J+2)번째의 메모리셀 MC_{J+2}, · · · , M번째의 메모리셀 MC_M, 1번째의 메모리셀 MC_1 , 2번째의 메모리셀 MC_2, · · · , (J-2)번째의 메모리셀 MC_{J-2}, (J-1)번째의 메모리셀 MC_{J-1}까지 순차], 데이터의 기록을 행하는 것이 바람직하다.

<51> 또한, 본 발명의 제2 양태에 관한 불휘발성 메모리의 구동방법에서는, 센스앰프에 래치된 데이터를 상기 지정어드레스의 메모리셀 MC_J에 기록한 후, 외부로부터 어드레스를 지정하지 않고, 서브 메모리 유닛을 구성하는 다른 메모리셀 MC_k에 기억된 데이터를 판독하고, 센스앰프에 래치한 후, 센스앰프에 래치된 상기 데이터를 상기 다른 메모리셀 MC_k에 재기록하는 구성으로 할 수 있다. 이러한 구성을, 편의상, 제2B의 구성이라고 한다. 이 제2B의 구성에서는, 지정어드레스의 메모리셀 MC_J에만 데이터가 기록되어, 다른 메모리셀 MC_k에서는, 데이터의 판독 및 재기록이 행해진다. 또한, 이 경우, 서브 메모리 유닛을 구성하는 모든 다른 메모리셀에 있어서, 외부로부터 어드레스를 지정하지 않고, 순차[즉, (J+1)번째의 메모리셀 MC_{J+1}, (J+2)번째의 메모리셀 MC_{J+2}, · · · , M 번째의 메모리셀 MC_M, 1번째의 메모리셀 MC_1, 2번째의 메모리셀 MC_2, · · · , (J-2)번째의 메모리셀 MC_{J-2}, (J-1)번째의 메모리셀 MC_{J-1}까지 순차], 데이터의 판독 및 재기록을 행하는 것이 바람직하다. 이로 인해, 다른 메모리셀 MC_k에서의 디스터브의 발생을 확실하게 억제할 수 있다.

<52> 또한, 본 발명의 제2 양태에 관한 불휘발성 메모리의 구동방법에서는, 제2A의 구성과 제2B의 구성을 조합할 수도 있다. 즉, (J+1)번째의 메모리셀 MC_{J+1}로부터 소정의 수의 메모리셀까지 제2B의 구성의 구동방법을 순차 실행한 후, 나머지의 다른 메모리셀에 관해서는 제2A의 구성의 구동방법을 순차 실행할 수도 있고, (J+1)번째의 메모리셀 MC_{J+1}로부터 소정의 수의 메모리셀까지 제2A의 구성의 구동방법을 순차 실행한 후, 나머지의 다른 메모리셀에 관해서는 제2B의 구성의 구동방법을 순차 실행할 수도 있다.

<53> 상기의 목적을 달성하기 위한 본 발명의 강유전체형 불휘발성 반도체 메모리는,

<54> (A) 비트선과,

<55> (B) 선택용 트랜지스터와,

<56> (C) M개(단, M≥ 2)의 메모리셀로 구성된 서브 메모리 유닛과,

<57> (D) M개의 플레이트선과,

<58> (E) 비트선에 접속된 센스앰프

<59> 를 포함하는 메모리 유닛으로 구성되며,

<60> 각 메모리셀은, 제1 전극과 강유전체층과 제2 전극으로 이루어지며,

<61> 서브 메모리 유닛을 구성하는 메모리셀의 제1 전극은 서브 메모리 유닛에 있어서 공통이며, 상기 공통의 제1 전극은 선택용 트랜지스터를 통하여 비트선에 접속되며, 제2 전극은 플레이트선에 접속되어 있는 강유전체형 불휘발성 반도체 메모리로서,

<62> (F) 외부로부터 지정된 플레이트선의 어드레스를 기억하는 지정 플레이트선 어드레스 레지스터와,

<63> (G) 플레이트선을 지정하는 플레이트선 어드레스를 순차 증가시키는 플레이트선 어드레스 카운터

<64> 를 추가로 포함하는 것을 특징으로 한다.

<65> 본 발명의 강유전체형 불휘발성 반도체 메모리(이하, 본 발명의 불휘발성 메모리라고 하는 경우가 있음)에서는,

지정 플레이트선 어드레스 레지스터 및 플레이트선 어드레스 카운터에 접속되어, 지정 플레이트선 어드레스 레지스터에 기억된 지정 플레이트선 어드레스의 값과, 플레이트선 어드레스 카운터에 있어서의 플레이트선 어드레스의 값을 비교하는 콤퍼레이터를 추가로 포함하는 것이 바람직하다.

<66> 본 발명의 제1 양태 또는 제2 양태에 관한 불휘발성 메모리의 구동방법에 있어서의 불휘발성 메모리를,

<67> (A-1) 제1 비트선과,

<68> (B-1) N개(단, N≥ 1)의 제1 선택용 트랜지스터와,

<69> (C-1) 각각이 M개(단, M≥ 2)의 제1 메모리셀로 구성된 N개의 제1 서브 메모리 유닛과,

<70> (D-1) N개의 서브 메모리 유닛의 각각을 구성하는 제1 메모리셀로 공통으로 된 M개의 플레이트선

<71> 을 포함하는 제1 메모리 유닛, 및

<72> (A-2) 제2 비트선과,

<73> (B-2) N개의 제2 선택용 트랜지스터와,

<74> (C-2)각각이 M개의 제2 메모리셀로 구성된 N개의 제2 서브 메모리 유닛과,

<75> (D-2) N개의 서브 메모리 유닛의 각각을 구성하는 제2 메모리셀에 의해 공통으로 되고, 또한 상기 제1 메모리 유닛을 구성하는 M개의 플레이트선과 공통의 M개의 플레이트선

<76> 을 포함하는 제2 메모리 유닛으로 구성되고,

<77> 또한,

<78> (E) 제1 및 제2 비트선에 접속되는 센스앰프

<79> 로 구성되고,

<80> 각 메모리셀은 제1 전극과 강유전체층과 제2 전극으로 이루어지고,

<81> 제1 메모리 유닛에 있어서, 제n 번째(단, n =1,2・・・N)의 제1 서브 메모리 유닛을 구성하는 제1 메모리셀의 제1 전극은 제n 번째의 제1 서브 메모리 유닛에 있어서 공통이며, 상기 공통의 제1 전극은 제n 번째의 제1 선택용 트랜지스터를 통하여 제1 비트선에 접속되며, 제2 전극은 공통의 플레이트선에 접속되며,

<82> 제2 메모리 유닛에 있어서, 제n 번째의 제2 서브 메모리 유닛을 구성하는 제2 메모리셀의 제1 전극은 제n 번째의 제2 서브 메모리 유닛에 있어서 공통이며, 상기 공통의 제1 전극은 제n 번째의 제2 선택용 트랜지스터를 통하여 제2 비트선에 접속되며, 제2 전극은 공통의 플레이트선에 접속되는 구성으로 해도 된다.

<83> 또한, 본 발명의 불휘발성 메모리에 있어도, 메모리 유닛을, 전술한 2개의 메모리 유닛(제1 메모리 유닛 및 제2 메모리 유닛)으로 구성할 수 있다.

<84> 그리고, 이러한 구성에 있어서, 본 발명의 제1 양태에 관한 구동방법에서는, 제1 메모리셀에 기억된 데이터의 판독을 행할 때, 제1 선택용 트랜지스터를 온상태로 하고, 제2 선택용 트랜지스터를 오프상태로 하고, 또한, 제2 비트선에 참조전위를 인가하여, 제2 메모리셀에 기억된 데이터의 판독을 행할 때, 제2 선택용 트랜지스터를 온상태로 하여, 제1 선택용 트랜지스터를 오프상태로 하여, 또한, 제1 비트선에 참조전위를 인가하는 구성으로 할 수 있다.

<85> 또한, 본 발명의 제1 양태에 관한 구동방법에서는, 제n 번째의 제1 서브 메모리 유닛을 구성하는 제m 번째(단, m = 1,2・・・M)의 제1 메모리셀과, 제n 번째의 제2 서브 메모리 유닛을 구성하는 제m 번째의 제2 메모리셀을 쌍으로 하여, 상보적인 데이터를 판독하는 구성으로 해도 된다.

<86> 또, 이러한 구성에 있어서, 본 발명의 제2 양태에 관한 구동방법에서는, 제1 메모리셀에 데이터의 기록을 행할 때, 제1 선택용 트랜지스터를 온상태로 하고, 제2 선택용 트랜지스터를 오프상태로 하고, 제2 메모리셀에 데이터의 기록을 행할 때, 제2 선택용 트랜지스터를 온상태로 하고, 제1 선택용 트랜지스터를 오프상태로 할 수 있다.

<87> 또한, 본 발명의 제2 양태에 관한 구동방법에서는, 제n 번째의 제1 서브 메모리 유닛을 구성하는 제m 번째(단, m =1,2・・・M)의 제1 메모리셀과, 제n 번째의 제2 서브 메모리 유닛을 구성하는 제m 번째의 제2 메모리셀을 쌍

으로 하여, 상보적인 데이터를 기록하는 구성으로 해도 된다.

<88> 본 발명의 불휘발성 메모리 또는 그 구동방법(이하, 이들을 총칭하여, 단지 본 발명이라고 하는 경우가 있음)에 있어서의 불휘발성 메모리에서는, 한층 더 고집적화를 달성하기 위하여, 불휘발성 메모리를 적층하거나, 또는 불휘발성 메모리를 구성하는 제1 메모리 유닛과, 이 불휘발성 메모리와 제1 비트선이 연장되는 방향에 인접한 불휘발성 메모리를 구성하는 제1 메모리 유닛을 층간절연층을 통하여 적층하고, 불휘발성 메모리를 구성하는 제2 메모리 유닛과, 이 불휘발성 메모리와 제2 비트선이 연장되는 방향에 인접한 불휘발성 메모리를 구성하는 제2 메모리 유닛을 층간절연층을 통하여 적층한 구성으로 할 수 있다. 또는, 제1 메모리 유닛을 구성하는 제1 서브 메모리 유닛의 각각은 층간절연층을 통하여 적층되어 있고, 제2 메모리 유닛을 구성하는 제2 서브 메모리 유닛의 각각은 층간절연층을 통하여 적층되어 있는 구성으로 해도 된다. 또는, 제1 메모리 유닛을 구성하는 제1 서브 메모리 유닛 및 제2 메모리 유닛을 구성하는 제2 서브 메모리 유닛의 각각이 층간절연층을 통하여 적층되어 있는 구성으로 해도 된다.

<89> 본 발명에서는, M≥ 2을 만족시키면 되고, 실제적인 M의 값으로서, 예를 들면, 2의 누승(累乘)(2,4,8,16,32・・・)을 들 수 있다. 또, N≥ 1를 만족시키면 되고, 실제적인 N의 값으로서, 예를 들면 2의 누승(1,2,4,8・・・)을 들 수 있다.

<90> 본 발명에 있어서의 강유전체층을 구성하는 재료로서, 비스무스층형 화합물, 보다 구체적으로는, Bi계 층형 구조 페로브스카이트형의 강유전체 재료를 들 수 있다. Bi계 층형 구조 페로브스카이트형의 강유전체 재료는, 이른바 부정비 화합물에 속하고, 금속원소, 음이온(O 등) 원소의 양 사이트에 있어서의 조성 어긋남에 대한 관용성이 있다. 또, 화학량론적 조성으로부터 약간 벗어난 곳에서 최적의 전기적 특성을 나타내는 것도 드물지 않다. Bi계 층형 구조 페로브스카이트형의 강유전체 재료는, 예를 들면, 일반식$(Bi_2O_2)^{2+}(A_{m-1}B_mO_{3m+1})^{2-}$로 나타낼 수 있다. 여기서,「A」는, Bi, Pb, Ba, Sr, Ca, Na, K, Cd 등의 금속으로 구성된 군으로부터 선택된 1종류의 금속을 나타내고, 「B」는, Ti, Nb, Ta, W, Mo, Fe, Co, Cr로 이루어지는 군으로부터 선택된 1종류, 또는 복수 종류의 임의의 비율에 의한 조합을 나타낸다. 또, m은 1이상의 정수이다.

<91> 또한, 강유전체층을 구성하는 재료는,

<92> $(Bi_x,Sr_{1-X})_2(Sr_Y,Bi_{1-Y})(Ta_z, Nb_{1-Z})_2O_d$ ... 식 (1)

<93> (단, 0.9≤X≤1.0, 0.7≤Y≤1.0, 0≤Z≤1.0, 8.7≤d≤9.3)으로 표현되는 결정상을 주된 결정상으로서 포함하고 있는 것이 바람직하다. 또한, 강유전체층을 구성하는 재료는,

<94> $Bi_xSr_YTa_2O_d$ ... 식 (2)

<95> (단, X+Y=3, 0.7≤Y≤1.3, 8.7≤d≤9.3)으로 표현되는 결정상을 주된 결정상으로서 포함하고 있는 것이 바람직하다. 이들 경우, 식 (1) 또는 식 (2)로 표현되는 결정상을 주된 결정상으로 하여 85% 이상 포함하고 있는 것이 한층 바람직하다. 또한, 식 (1) 중, (Bi_x,Sr_{1-x})의 의미는, 결정구조에 있어서의 원래 Bi가 차지하는 사이트를 Sr가 점하고, 이 때의 Bi와 Sr의 비율이 X:(1-X)인 것을 의미한다. 또,(Sr_Y,Bi_{1-Y})의 의미는, 결정구조에 있어서의 원래 Sr가 차지하는 사이트를 Bi가 점하고, 이 때의 Sr와 Bi의 비율이 Y:(1-Y)인 것을 의미한다. 식 (1) 또는 식 (2)로 표현되는 결정상을 주된 결정상으로서 포함하는 강유전체층을 구성하는 재료로는, Bi의 산화물, Ta나 Nb의 산화물, Bi, Ta나 Nb의 복합산화물이 약간 포함되어 있는 경우도 있을 수 있다.

<96> 또한, 강유전체층을 구성하는 재료는,

<97> $Bi_x(Sr,Ca,Ba)_Y(Ta_z,Nb_{1-z})_2O_d$ ...식 (3)

<98> (단, 1.7≤X≤2.5, 0.6≤Y≤1.2, 0≤Z≤1.0, 8.0≤d≤10.0)으로 표현되는 결정상을 포함하고 있어도 된다. 또한, 「(Sr, Ca, Ba)」는, Sr, Ca 및 Ba 로 구성된 군으로부터 선택된 1종류의 원소를 의미한다. 이들 각 식으로 표현되는 강유전체층을 구성하는 재료의 조성을 화학량론적 조성으로 나타내면, 예를 들면, $Bi_2SrTa_2O_9$, $Bi_2SrNb_2O_9$, $Bi_2BaTa_2O_9$, $Bi_2SrTaNbO_9$ 등을 들 수 있다. 또는, 강유전체층을 구성하는 재료로서, $Bi_4SrTi_4O_{15}$, $Bi_4Ti_3O_{12}$, $Bi_2PbTa_2O_9$ 등을 예시할 수가 있지만, 이들 경우에 있어서도, 각 금속원소의 비율은, 결정구조가 변화되지 않는 정도로 변화시켜 얻는다. 즉, 금속원소 및 산소원소의 양 사이트에 있어서의 조성어긋남이 있어도 된다.

<99> 또한, 강유전체층을 구성하는 재료로서, $PbTiO_3$, 페로브스카이트형 구조를 가지는 $PbZrO_3$과 $PbTiO_3$의 고용체인 리드 티타네이트 지르코네이트[PZT, $Pb(Zr_{1-y}, Ti_y)O_3$ (단, $0<y<1$)], PZT에 La를 첨가한 금속산화물인 PLZT, 또는 PZT에 Nb를 첨가한 금속산화물인 PNZT라고 하는 PZT 계 화합물을 들 수 있다.

<100> 강유전체층을 얻기 위해서는, 강유전체 박막을 형성한 후의 공정에서, 강유전체 박막을 패터닝하면 된다. 경우에 따라서는, 강유전체 박막의 패터닝은 불필요하다. 강유전체 박막의 형성은, 예를 들면, MOCVD법, 펄스레이저 애블레이션법, 스퍼터법, 졸-겔법, 비스무스-산소결합을 가지는 비스무스 유기금속 화합물(비스무스 알콕시드 화합물)을 원료로 한 MOD(Metal Organic Decomposition)법, LSMCD (Liquid Source Mist Chemical Deposition)법이라고 하는 강유전체 박막을 구성하는 재료에 적절한 알맞은 방법으로 행할 수 있다. 또, 강유전체 박막의 패터닝은, 예를 들면 이방성 이온 에칭(RIE)법으로 행할 수 있다.

<101> 본 발명에 있어서의 제1 전극 및 제2 전극을 구성하는 재료로서, 예를 들면, Ir, IrO_{2-x}, $SrIrO_3$, Ru, RuO_{2-x}, $SrRuO_3$, Pt, Pt/IrO_{2-x}, Pt/RuO_{2-x}, Pd, Pt/Ti의 적층 구조, Pt/Ta의 적층 구조, Pt/Ti/Ta의 적층 구조, $La_{0.5}Sr_{0.5}CoO_3$(LSCO), Pt/LSCO의 적층 구조, $YBa_2Cu_3O_7$를 들 수 있다. 여기서, X의 값은, $0 \leq X<2$이다. 또한, 적층 구조에서는, 「/」의 전에 기재된 재료가 상층을 구성하고,「/」의 뒤에 기재된 재료가 하층을 구성한다. 제1 전극과 제2 전극은, 동일 재료로 구성해도 되고, 동종의 재료로 구성해도 되고, 이종의 재료로 구성해도 되고. 제1 전극 또는 제2 전극을 형성하기 위해서는, 제1 전극재료층 또는 제2 전극재료층을 형성한 후의 공정에서, 제1 전극재료층 또는 제2 전극재료층을 패터닝하면 된다. 제1 전극재료층 또는 제2 전극재료층의 형성은, 예를 들면 스퍼터법, 반응성 스퍼터법, 전자빔증착법, MOCVD법, 또는 펄스레이저 애블레이션법이라고 하는, 제1 전극재료층이나 제2 전극재료층을 구성하는 재료에 적절한 알맞은 방법으로 행할 수 있다. 또, 제1 전극재료층이나 제2 전극재료층의 패터닝은, 예를 들면 이온밀링법이나 RIE 법으로 행할 수 있다.

<102> 본 발명의 불휘발성 메모리에 있어서의 층간절연층을 구성하는 재료로서, 산화 실리콘(SiO_2),질화 실리콘(SiN), SiON, SOG, NSG, BPSG, PSG, BSG 및 LTO를 예시할 수 있다.

<103> 본 발명의 불휘발성 메모리에서는, 강유전체층의 아래에 제1 전극을 형성하고, 강유전체층 상에 제2 전극을 형성하는 구성(즉, 제1 전극은 하부전극에 상당하고, 제2 전극은 상부전극에 상당함)로 하는 것도 가능하고, 강유전체층 상에 제1 전극을 형성하고, 강유전체층의 아래에 제2 전극을 형성하는 구성(즉, 제1 전극은 상부전극에 상당하고, 제2 전극은 하부전극에 상당함)로 해도 된다. 플레이트선은, 제2 전극으로부터 연장되고 있는 구성으로 하는 것도 가능하고, 제2 전극과는 별개로 형성되고, 제2 전극과 접속된 구성으로 해도 된다. 후자의 경우, 플레이트선을 구성하는 배선재료로서, 예를 들면 알루미늄이나 알루미늄계 합금을 예시할 수가 있다. 제1 전극이 공통인 구조로서, 구체적으로는, 스트라이프형의 제1 전극을 형성하고, 이러한 스트라이프형의 제1 전극의 전체면을 덮도록 강유전체층을 형성하는 구성을 들 수 있다. 또한, 이러한 구조에서는, 제1 전극과 강유전체층과 제2 전극의 중복영역이 메모리셀에 상당한다. 제1 전극이 공통인 구조로서, 기타 제1 전극의 소정의 영역에, 각각의 강유전체층이 형성되고, 강유전체층상에 제2 전극이 형성된 구조, 또는, 배선층의 소정의 표면영역에, 각각의 제1 전극이 형성되고, 이러한 각각의 제1 전극상에 강유전체층이 형성되고, 강유전체층상에 제2 전극이 형성된 구조를 들 수 있지만, 이들 구성에 한정하는 것이 아니다.

<104> 선택용 트랜지스터(스위칭용 트랜지스터)는, 예를 들면, 주지의 MIS 형 FET나 MOS형 FET 로 구성할 수가 있다. 비트선을 구성하는 재료로서, 불순물이 도핑된 폴리실리콘이나 고융점 금속재료를 들 수 있다. 공통의 제1 전극과 선택용 트랜지스터와의 전기적인 접속은, 공통의 제1 전극과 선택용 트랜지스터와의 사이에 형성된 절연층에 형성된 접속공(컨택트홀)을 통하여, 또는, 이러한 절연층에 형성된 접속공(컨택트홀) 및 절연층 상에 형성된 배선층을 통하여 행할 수 있다. 또한, 절연층을 구성하는 재료로서, 산화 실리콘(SiO_2),질화 실리콘(SiN), SiON, SOG, NSG, BPSG, PSG, BSG 및 LTO를 예시할 수 있다.

<105> 센스앰프는 주지의 래치회로로 할 수 있고, 지정 플레이트선 어드레스 레지스터나 플레이트선 어드레스 카운터, 콤퍼레이터도 주지의 레지스터, 카운터, 콤퍼레이터로 할 수 있다.

<106> 본 발명의 제1 양태에 관한 불휘발성 메모리의 구동방법에서는, 외부로부터 지정된 지정어드레스의 메모리셀에 기억된 데이터를 판독하고, 센스앰프에 래치한 후, 센스앰프에 래치된 상기 데이터를 출력하고, 또 본 발명의 제2 양태에 관한 불휘발성 메모리의 구동방법에서는, 기록할 데이터를 센스앰프에 래치한 후, 외부로부터 지정된 지정어드레스의 메모리셀에 상기 데이터를 기록하므로, 원하는 메모리셀에 즉시 액세스가 가능하게 된다. 또한, 본 발명의 제1A의 구성, 제1B의 구성, 제2A의 구성, 제2B의 구성에서는, 다른 메모리셀에 데이터의 기록 또

는 재기록을 행하기 때문에, 다른 메모리셀에 있어서의 디스터브의 발생을 확실하게 억제할 수 있다.

실 시 예

<137> (실시예 1)

<138> 실시예 1은, 본 발명의 제1 양태에 관한 불휘발성 메모리의 구동방법 및 본 발명의 불휘발성 메모리에 관한 것으로, 보다 상세하게는, 제1A의 구성에 관한 불휘발성 메모리의 구동방법에 관한 것이다. 도 1에 실시예 1의 불휘발성 메모리의 구동방법의 플로차트를 나타내고, 도 5에 실시예 1의 불휘발성 메모리의 등가 회로도를 나타내고, 메모리 유닛의 모식적인 일부단면도를 도 6에 나타낸다.

<139> 도 5 및 도 6에 나타낸 불휘발성 메모리는, (A)비트선 BL_L과, (B)선택용 트랜지스터 TR_L과, (C)M개(단, M≥ 2이며, 실시예 1에서는, m = 8)의 메모리셀 MC_{LM} 로 구성된 서브 메모리 유닛 SMU_L과, (D)M개(실시예 1에서는, 8개)의 플레이트선 PL_M과, (E)비트선 BL에 접속된 센스앰프 SA_L로 이루어지는 메모리 유닛으로 구성되어 있다. 또한, 도 5에서는, 서브 메모리 유닛 SMU_L에 인접하여, 워드선 WL 및 플레이트선 PL_M을 공통으로 한 서브 메모리 유닛 SMU_{L+1}도 더불어 도시했다.

<140> 그리고, 각 메모리셀 MC_{LM}은, 제1 전극(31)(하부전극)과 강유전체층(32)과 제2 전극(33) (상부전극)으로 이루어지고, 서브 메모리 유닛 SMU_L을 구성하는 메모리셀 MC_{LM}의 제1 전극(31)은, 서브 메모리 유닛 SMU_L에서 공통이며, 이 공통의 제1 전극(31)(공통노드 CN_L라고 함)는, 선택용 트랜지스터 TR_L을 통하여 비트선 BL_L에 접속되고, 제2 전극(33)은 플레이트선 PL_m에 접속되어 있다.

<141> 또, 이 불휘발성 메모리는, 외부로부터 지정된 플레이트선의 어드레스를 기억하는 지정 플레이트선 어드레스 레지스터(11)와, 플레이트선을 지정하는 플레이트선 어드레스를 순차 증가시키는 플레이트선 어드레스 카운터(12)와, 콤퍼레이터(14)를 구비하고 있다. 콤퍼레이터(14)는, 지정 플레이트선 어드레스 레지스터(11) 및 플레이트선 어드레스 카운터(12)에 접속되고, 지정 플레이트선 어드레스 레지스터(11)에 기억된 지정 플레이트선 어드레스의 값과, 플레이트선 어드레스 카운터(12)에 있어서의 플레이트선 어드레스의 값을 비교한다. 지정 플레이트선 어드레스 레지스터(11)는 주지의 레지스터로 구성되고, 플레이트선 어드레스 카운터(12)는 주지의 2비트의 순환형 카운터로 구성되고, 콤퍼레이터(14)는 주지의 콤퍼레이터로 구성되어 있다.

<142> 또한 이 불휘발성 메모리는, 외부로부터의 코맨드를 수취, 코맨드를 디코드로 하는 코맨드 디코더(10), 유닛 어드레스 레지스터(13), 유닛콘트롤러(15), 유닛디코더(16), 워드선 디코더/드라이버 WD, 플레이트선 디코더/드라이버 PD로 구성되어 있다. 코맨드 디코더(10)는, 유닛콘트롤러(15), 지정 플레이트선 어드레스 레지스터(11), 플레이트선 어드레스 카운터(12) 및 유닛 어드레스 레지스터(13)에 접속되어 있다. 또, 유닛 어드레스 레지스터(13)는 유닛디코더(16)에 접속되어 있다. 또한 플레이트선 어드레스 카운터(12)는 플레이트선 디코더/드라이버 PD에 접속되고, 콤퍼레이터(14)는 유닛콘트롤러(15)에 접속되고, 유닛콘트롤러(15)는 유닛디코더(16)에 접속되고, 유닛디코더(16)는 워드선 디코더/드라이버 WD 및 플레이트선 디코더/드라이버 PD에 접속되어 있다. 그리고, 워드선 WL은, 워드선 디코더/드라이버 WD에 접속되고 있고, M개의 플레이트선 PL_m은, 플레이트선 디코더/드라이버 PD에 접속되어 있다. 또한, 이들 각 구성 요소도 주지의 회로로 구성할 수 있다.

<143> 또한, 도 6에서는, 선택용 트랜지스터 TR_L 및 메모리셀 MC_{Lm}, 및 비트선 BL_L이 연장되는 방향으로 인접하는 선택용 트랜지스터 TR'_L 및 메모리셀 MC'_{Lm}의 일부분을 더불어 도시했다. 비트선 BL_L이 연장되는 방향으로 인접하는 메모리셀 MC_{Lm}, MC'_{Lm} · · · 에 있어서의 비트선 BL_L은 공통화되어 있다.

<144> 실시예 1의 불휘발성 메모리의 구동방법에서는, 외부로부터 지정된 지정어드레스(J, 단 1≤ J≤ M이다)의 메모리셀을 메모리셀 MC_{LJ}로 한다. 또, 어드레스지정된 서브 메모리 유닛을 서브 메모리 유닛 SMU_L로 한다. 그리고, 실시예 1에서는, 외부로부터 어드레스를 지정된 메모리셀 MC_{LJ}에 기억된 데이터를 판독하고, 센스앰프 SA_L에 래치한 후, 센스앰프 SA_L에 래치된 데이터를 외부로 출력한다.

<145> 실시예 1에서는, 또한 센스앰프 SA_L에 래치된 데이터를 출력한 후, 센스앰프 SA_L에 래치된 데이터를 외부로부터 어드레스를 지정된 메모리셀 MC_{LJ}에 재기록한다. 그 후, 외부로부터 어드레스를 지정하지 않고, 서브 메모리 유

닛 SMU_L을 구성하는 다른 메모리셀 $MC_{Lk}(k \neq J)$에 기억된 데이터를 판독하고, 센스앰프 SA_L에 래치한다. 그리고, 그 후, 센스앰프 SA_L에 래치된 데이터를 다른 메모리셀 MC_{LK}에 재기록한다. 실시예 1에서는, 메모리셀은, 말하자면, 랜덤 액세스되어, 데이터의 판독 및 재기록이 행해진다.

<146> 다음에, 도 1, 도 5, 및 동작파형을 도시한 도 7을 참조하여, 실시예 1의 구동방법을 설명한다. 또한, 다음의 설명에 있어서의 코맨드와, 그 실행 내용은, 다음과 같다. 여기서, 각 코맨드는 클록에 동기하여 입력되고, 코맨드 디코더(10)를 구성하는 집적회로의 복수의 소정의 입력핀에 입력되는 「0」,「1」의 조합으로 결정된다. 또한, 어드레스에는, 로방향으로 대응하여 서브 메모리 유닛 및 플레이트선(또는 서브 메모리 유닛을 구성하는 메모리셀)을 선택하는 RAS 어드레스와, 칼럼방향에 대응하여 센스앰프를 선택하는 CAS 어드레스가 있고, 각 코맨드에 대응하여 구분하여 사용한다.

<147> ACT 코맨드・・・RAS 어드레스의 상위성분인 어드레스 $AD_j(1 \leq j \leq M)$에서 지정된 메모리셀 MC_j로부터 데이터를 판독하고, 센스앰프에 래치시키는 코맨드.

<148> RAS_INC 코맨드・・・센스앰프에 래치되어 있는 데이터를 RAS 어드레스의 상위성분인 어드레스 AD_j에서 지정된 메모리셀 MCj에 재기록하고, 이어서 어드레스를 증가시키고, 이러한 어드레스의 메모리셀에 기억된 데이터를 판독하고, 센스앰프에 래치시키는 코맨드. 데이터출력은 다음에 READ 코맨드를 실행함으로써 행해지고, 데이터(재)기록은 다음에 WRITE 코맨드를 실행함으로써 행해진다.

<149> READ 코맨드・・・센스앰프에 래치되어 있는 데이터군으로부터, 코맨드와 동시에 입력된 CAS 어드레스에 상당하는 데이터를 외부로 출력하는 코맨드. 이 코맨드는, ACT 코맨드 또는 RAS-INC 코맨드의 후에 입력된다.

<150> RESTORE 코맨드・・・센스앰프에 래치되어 있는 데이터를 어드레스 AD_j에서 지정된 메모리셀 MC_j에 (재)기록하고, 이어서 어드레스를 증가시켜, 이러한 어드레스의 메모리셀에 기억된 데이터를 판독하고, 센스앰프에 래치시키는 코맨드.

<151> WRITE 코맨드・・・외부로부터의 데이터를, CAS 어드레스에 따라서 원하는 센스앰프에 래치시키는 코맨드. 이 코맨드는, ACT 코맨드 또는 RAS_INC 코맨드의 후에 입력되고, 선택된 센스앰프의 데이터는 재기록된다. 한편, 비선택의 센스앰프에는, 판독된 채로의 데이터가 남는다.

<152> NOP 코맨드・・・전에 입력한 코맨드의 실행이 1클록으로 종료하지 않는 경우, 클록을 진행시키기 위한 NO OPERATION 코맨드. 또, 다음과 같은 버스트전송에도 사용된다. 즉, READ 코맨드의 후에서는, CAS 어드레스를 증가시키면서, 각 센스앰프의 데이터를 순차 버스트 출력한다. 또, WRITE 코맨드의 후에서는, CAS 어드레스를 증가시키면서, 각 센스앰프에 데이터를 버스트기록한다.

<153> [스텝 100]

<154> 먼저, ACT 코맨드가 코맨드 디코더(10)에 입력되고, 더불어, 서브 메모리 유닛 및 메모리셀을 지정하는 어드레스(RAS 어드레스)가 입력된다. 이 RAS 어드레스는, 도시하지 않은 시프트 레지스터에 의해 상위성분과 하위성분으로 분리되고, 메모리셀 MC_{LJ}의 어드레스 AD_J를 지정하는 상위성분은, 지정 플레이트선 어드레스 레지스터(11) 및 플레이트선 어드레스 카운터(12)에 래치된다. 한편, 서브 메모리 유닛 SMU_L의 어드레스를 지정하는 하위성분은, 유닛 어드레스 레지스터(13)에 래치된다. 여기서, 지정 플레이트선 어드레스 레지스터(11)에 래치된 메모리셀 MC_J의 어드레스를 지정하는 상위성분을 어드레스「J」,플레이트선 어드레스 카운터(12)에 래치된 메모리셀 MC_J의 어드레스를 지정하는 상위성분을 어드레스「j」(= J), 유닛 어드레스 레지스터(13)에 래치된 서브 메모리 유닛 SMU_L의 어드레스를 지정하는 하위성분을 어드레스「L」이라고한다.

<155> 또한, 코맨드 디코더(10)로부터의 신호를 받은 유닛콘트롤러(15)는, 유닛디코더(16)에 신호를 송신, 유닛디코더(16)를 활성화시킨다. 더하여, 유닛 어드레스 레지스터(13)로부터의 신호를 받은 유닛 디코더(16)는 서브 메모리 유닛 SMU_L을 선택한다. 한편, 플레이트선 어드레스 카운터(12)로부터의 신호는, 플레이트선 디코더/드라이버 PD에 보내진다. 이상에 의해 워드선 디코더/드라이버 WD 및 플레이트선 디코더/드라이버 PD가 활성화되고, 또한 플레이트선 디코더/드라이버 PD에 의해 플레이트선 PL_J가 선택된다.

<156> [스텝 110]

<157> 그리고, 어드레스 AD_j에서 지정된 메모리셀 MC_{Lj}, (구체적으로는 메모리셀 MC_{LJ}임)에 기억된 데이터를 판독하고, 센스앰프 SA에 래치한다. 구체적인 동작은 후술한다.

<158> 또한, 이상의 스텝에서는, 동일 워드선 및 동일 플레이트선에 접속된 서브 메모리 유닛 및 메모리셀이 복수 선택되어도 된다. 즉, 서브 메모리 유닛 SMU_L, SMU_{L+1}, SMU_{L+2}, · · ·의 각각에서의 메모리셀 MC_{LJ}, $MC_{L+1,J}$, $MC_{L+2,J}$, · · ·가 선택되어도 된다. 이로 인해, 센스앰프 SA_L, SA_{L+1}, SA_{L+2}, · · ·에는, 메모리셀 MC_{LJ}, $MC_{L+1,J}$, $MC_{L+2,J}$, · · ·의 데이터가 래치된다.

<159> [스텝 120]

<160> 그 후, READ 코맨드가 코맨드 디코더(10)에 입력되고, 더불어, 센스앰프 SA_L을 지정하는 CAS 어드레스가 입력된다. 이 코맨드 및 CAS 어드레스에 따라서, 도시하지 않은 라인을 지나서 센스앰프 SA_L에 명령이 발해지고, 센스앰프 SA_L에 래치된 데이터는 외부로 출력된다.

<161> [스텝 130]

<162> 센스앰프 SA_{L+1}, SA_{L+2}, · · ·에 메모리셀 $MC_{L+1,J}$, $MC_{L+2,J}$, · · ·의 데이터가 래치되어 있던 경우에는, 이어서, NOP 코맨드가 입력됨으로써, 도시하지 않은 카운터를 사용하여, 이들 센스앰프에 래치된 데이터를 순차 버스트 전송한다. 이들 센스앰프와 외부와의 액세스는, 도시하지 않고 있지만, 종래의 싱크로너스 DRAM 등과 완전히 동일한 액세스 방법으로 하면 된다.

<163> [스텝 140]

<164> 외부로의 데이터의 출력완료후, RESTORE 코맨드가 입력된다. 이로 인해, 먼 저, 센스앰프 SA_L에 래치된 데이터가 지정어드레스의 메모리셀 MC_{Lj}(구체적으로는 메모리셀 MC_{LJ}임)에 재기록된다. 구체적인 동작은 후술한다. 또한, 실제로는, RESTORE 코맨드는 1클록에서 종료하지 않기 때문에, 클록을 진행시키기 위한 NOP 코맨드를 실행한다.

<165> 이어서, 외부로부터 어드레스를 지정하지 않고, 서브 메모리 유닛 SMU_L을 구성하는 다른 메모리셀 MC_{LK}($k \neq J$)에 기억된 데이터를 판독하고, 센스앰프 SA_L에 래치한다. 그리고, 센스앰프 SA_L에 래치된 데이터를 다른 메모리셀 MC_{Lk}에 재기록한다. 구체적으로는, 플레이트선 어드레스 카운터(12)를 증가시켜, 플레이트선 어드레스 카운터(12)의 값과 지정 플레이트선 어드레스 레지스터(11)의 값을 콤퍼레이터(14)로 비교하여, 만일 값이 일치하고 있는 경우에는, 동작을 종료한다. 만일 값이 불일치한 경우에는, 플레이트선 어드레스 카운터(12)의 값이 값「M」을 넘고 있지 않는가를 판단하여, 넘고 있는 경우에는, 플레이트선 어드레스 카운터(12)의 값을「1」로 리셋하고, 어드레스 AD_j에서 지정된 메모리셀 MC_{Lj}(메모리셀 MC_{LK} 에 상당함)를 판독하고, 센스앰프 SA_L에 래치한다. 또한, 플레이트선 어드레스 카운터(12)를 증가시키므로, 외부로부터 메모리셀의 어드레스를 지정할 필요는 없다.

<166> 이 [스텝 140]의 동작을, 서브 메모리 유닛 SMU_L을 구성하는 모든 다른 메모리셀 MC_k에서, 외부로부터 어드레스를 지정하지 않고 행한다. 즉, (J+1)번째의 메모리셀 $MC_{L,J+1}$, (J+2)번째의 메모리셀 $MC_{L,J+2}$, M번째의 메모리셀 $MC_{L,M}$, 1번째의 메모리셀 $MC_{L,1}$, 2번째의 메모리셀 $MC_{L,2}$, · · ·, (J-2)번째의 메모리셀 $MC_{L,J-2}$, (J-1)번째의 메모리셀 $MC_{L,J-1}$까지 순차, 데이터의 판독 및 데이터의 재기록을 행한다. 실시예 1에서는, 센스앰프 SA_L에 래치된 데이터를 외부로 출력하지않는다.

<167> 동작의 종료에서는, 콤퍼레이터(14)는 유닛콘트롤러(15)에 그 취지를 통지하RH, 유닛콘트롤러(15)는, 유닛디코더(16)를 불활성으로 하여, 워드선 WL 및 플레이트선 PL_M의 모두를 비선택상태로 되돌린다.

<168> 이상의 스텝에 의해, 임의의 메모리셀에 신속하게 액세스할 있고, 또한 동일 서브 메모리 유닛의 다른 메모리셀에 기억된 데이터 모두에 1회씩 재기록을 행할 수 있다.

<169> 여기서, 디스터브회수의 최악치는 다음과 같게 된다. 즉, 어드레스로서「P」가 지정되어, ACT 코맨드에 의한 액세스로 메모리셀 MC_P ($1 \leq P \leq M$)이 선택되고, 그 후의 RESTORE 코맨드에 따라, 다른 메모리셀이 재기록된 경우,

메모리셀 MC_P가 받는 디스터브회수는 (M-1)회로 된다. 그 후, 이번은, 어드레스로서「P+1」가 지정되어, ACT 코맨드에 의한 액세스로 메모리셀 MC_{P+1}가 선택되고, 그 후의 RESTORE 코맨드에 따라 다른 메모리셀이 재기록된 경우, 메모리셀 MC_P은 (M-1)회의 디스터브를 받은 후에 재기록된다. 따라서, 이러한 경우에는, 메모리셀 MC_P은, 데이터의 재기록 후, 다시 데이터의 재기록을 받기 전에, 2×(M-1)회의 디스터브를 받게 된다. 디스터브에 있어서의 데이터의 열화는, 이 정도의 디스터브회수에서는 거의 생기지 않는다. 따라서, 메모리셀에의 랜덤 액세스를 가능하게 하면서, 디스터브를 억제할 수 있다.

<170> 다음에, 실시예 1의 불휘발성 메모리에 있어서의 데이터 판독 및 재기록 동작을, 동작파형을 도시한 도 7을 참조하여 설명한다. 여기서, 일례로서, 플레이트선 PL_1에 접속된 메모리셀 MC_{L1}로부터 데이터를 판독하고, 데이터를 재기록하는 것으로 한다. 또한, 동작파형을 도시한 도면에서, 괄호 내의 숫자는, 다음에 설명하는 공정의 번호와 대응하고 있다.

<171> (1A) [스텝 100]에 있어서, ACT 코맨드의 입력 이전에는, 즉, 대기상태에서는, 비트선, 워드선, 전체 플레이트선이 0볼트로 되어있다. 또한 공통노드 CN_L도 0볼트로 부유상태로 되어 있다.

<172> (2A) [스텝 100]에 있어서, ACT 코맨드가 입력되면, 워드선 디코더/드라이버 WD 및 플레이트선 디코더/드라이버 PD가 활성화되고, 또한, 플레이트선 PL_1이 선택된다. 그리고, [스텝 110]에 있어서 데이터의 판독이 시작된다. 즉, 선택 플레이트선 PL_1에 고전위 V_{PL-H}(= V_{cc})가 인가된다. 이 때, 선택 메모리셀 MC_{L1}에 데이터「1」이 기억되어 있으면, 강유전체층에 분극반전이 생겨, 축적전하량이 증가하여, 공통노드 CN_L의 전위가 상승한다. 한편, 선택 메모리셀 MC_{L1}에 데이터「0」이 기억되어 있으면, 강유전체층에 분극반전이 생기지 않아, 공통노드 CN_L의 전위는 거의 상승하지않는다. 즉, 공통노드 CN_L은, 비선택 메모리셀 MC_{Lk}의 강유전체층을 통하여 복수의 비선택 플레이트선 PL_k(k=2,3,・・・M)에 커플링되어 있기때문에, 공통노드 CN_L의 전위는 0볼트에 비교적 가까운 레벨로 유지된다. 이와 같이 하여, 선택 메모리셀 MC_{L1}에 기억된 데이터에 의존하여 공통노드 CN_L의 전위에 변화가 생긴다.

<173> (3A) 다음에, 비트선 BL_L을 부유상태로 하고, 워드선 WL을 하이레벨로 함으로써, 선택용 트랜지스터 TR_L을 온상태로 한다. 이로 인해, 선택 메모리셀 MC_{L1}에 기억된 데이터에 기초하여 공통의 제1 전극(공통노드 CN_L)에 생긴 전위가 비트선 BL_L에 나타나, 센스앰프 SA_L에 래치된다.

<174> (4A) 그 후, 워드선 WL을 로레벨로 함으로써, 선택용 트랜지스터 TR_L을 오프상태로 하여, 서브 메모리 유닛 SMU_L의 공통노드 CN_L과 비트선 BL_L과의 접속을 해제한다.

<175> (5A) 그 후, 비트선 BL_L에 접속된 센스앰프 SA_L을 활성화하여 데이터를 증폭하여, 데이터의 판독 동작을 완료한다. 그리고, [스텝 120]에 있어서의 READ 코맨드에 따라 센스앰프 SA_L에 래치된 데이터를 외부로 출력한다.

<176> 이상의 동작에 의해 선택 메모리셀 MC_{L1}에 기억되어 있던 데이터가 일단 파괴되어 버리기때문에, 데이터의 재기록 동작을 행한다.

<177> (6A) 그 때문에, [스텝 140]에서는, 먼저, 비선택 플레이트선 PL_k(k=2,3・・・M)의 전위를 V_{PL-M}[=1/2 V_{cc}]로 한다.

<178> (7A) 그 후, 워드선 WL을 하이레벨로 함으로써, 선택용 트랜지스터 TR_L을 온상태로 한다. 이로 인해, 공통노드 CN_L의 전위는 비트선 BL_L의 전위와 동등하게 된다. 즉, 선택 메모리셀 MC_{L1}에 기억되어 있던 데이터가「1」의 경우에는, 공통노드 CN_L의 전위는 V_{BL-H}(=V_{cc})이 되고, 선택 메모리셀 MC_{L1}에 기억되어 있던 데이터가「0」의 경우에는, 공통노드 CN_L의 전위는 V_{BL-L}(= 0볼트)로 된다. 선택 플레이트선 PL_1의 전위는 V_{PL-H}(=V_{cc}) 그대로 있기 때문에, 공통노드 CN_L의 전위가 0볼트의 경우, 선택 메모리셀 MC_{L1}에는 데이터「0」이 재기록된다.

<179> (8A) 다음에, 선택 플레이트선 PL_1의 전위를 V_{PL-L}(= 0볼트로 한다. 이로 인해, 선택 메모리셀 MC_{L1}에 기억되어 있던 데이터가「1」의 경우에는, 공통노드 CN_L의 전위가 V_{BL-H}(= V_{cc})인 때문에, 데이터「1」이 재기록된다. 선택

메모리셀 MC_1에 데이터「0」이 이미 재기록되어 있던 경우에는, 선택 메모리셀 MC_{LK}에 변화는 생기지 않는다.

<180> (9A) 그 후, 비트선 BL_L을 0볼트로 한다.

<181> (10A) 마지막으로, 비선택 플레이트선 PL_K을 0볼트로 하여, 선택용 트랜지스터 TR_L을 오프상태로 한다.

<182> 다른 메모리셀 MC_k(k=2,3・・・M)로부터 데이터를 판독하고, 데이터를 재기록하는 경우에는, 리스토어 코맨드에 기초하여 대략 동일한 조작을 반복 실행하면 된다.

<183> 다음에, 실시예 1의 불휘발성 메모리의 제조 방법을 설명하지만, 다른 실시예 또는 그 변형에 있어서의 불휘발성 메모리도, 실질적으로 동일한 방법으로 제조할 수 있다.

<184> 먼저, 불휘발성 메모리에 있어서의 선택용 트랜지스터로서 기능하는 MOS형 트랜지스터를 반도체기판(20)에 형성한다. 이를 위해, 예를 들면 LOCOS 구조를 가지는 소자분리영역(21)을 공지의 방법에 따라 형성한다. 또한, 소자분리영역(21)은, 트렌치 구조를 가지고 있을 수도 있고, LOCOS 구조와 트렌치 구조를 조합시켜도 된다. 그 후, 반도체기판(20)의 표면을 예를 들면 파일로제닉법에 의해 산화하여, 게이트 절연막(22)을 형성한다. 이어서, 불순물이 도핑된 폴리실리콘층을 CVD 법으로 전체면에 형성한 후, 폴리실리콘층을 패터닝하여, 게이트 전극(23)을 형성한다. 이 게이트 전극(23)은 워드선 WL을 겸하고 있다. 또한, 게이트 전극(23)을 폴리실리콘층로 구성하는 대신에, 폴리사이드나 금속실리사이드로 구성할 수도 있다. 다음에, 반도체기판(20)에 이온 주입을 행하고, LDD 구조를 형성한다. 그 후, 전체면에 CVD 법으로 SiO_2층을 형성한 후, 이 SiO_2층을 에치백함으로써, 게이트 전극(23)의 측면에 게이트사이드월(도시하지 않음)을 형성한다. 이어서, 반도체기판(20)에 이온 주입을 실시한 후, 이온 주입된 불순물의 활성화어닐링처리를 행함으로써, 소스/드레인영역(24)을 형성한다.

<185> 이어서, SiO_2로 이루어지는 하층절연층을 CVD 법으로 형성한 후, 한쪽의 소스/드레인영역(24)의 상방의 하층절연층에 개구부를 RIE 법으로 형성한다. 그리고, 이러한 개구부 내를 포함하는 하층절연층 상에 불순물이 도핑된 폴리실리콘층을 CVD 법으로 형성한다. 이에 의해, 접속공(컨택트홀)(25)을 얻을 수 있다. 다음에, 하층절연층 상의 폴리실리콘층을 패터닝함으로써, 비트선 BL_L을 형성한다. 그 후, BPSG로 이루어지는 상층절연층을 CVD 법으로 전체면에 형성한다. 또한, BPSG으로 이루어지는 상층절연층의 형성후, 질소가스 분위기 중에서 예를 들면 900℃×20분간, 상층절연층을 리플로시키는 것이 바람직하다. 또한 필요에 따라, 예를 들면 화학적 기계적 연마법(CMP법)으로 상층절연층의 정상면을 화학적 및 기계적으로 연마하여, 상층절연층을 평탄화하는 것이 바람직하다. 또한, 하층절연층과 상층절연층을 모아, 절연층(26)라고 한다.

<186> 다음에, 다른 쪽의 소스/드레인영역(24)의 상방의 절연층(26)에 개구부(27)를 RIE 법으로 형성한 후, 이러한 개구부(27) 내를, 불순물을 도핑한 폴리실리콘으로 매립, 접속공(컨택트홀)(28)을 완성시킨다. 비트선 BL_L은, 하층절연층 상을, 도면의 좌우방향으로 접속공(28)과 접촉하지 않도록 연장되어 있다.

<187> 또한, 접속공(28)은, 절연층(26)에 형성된 개구부(27) 내에, 예를 들면, 텅스텐, Ti, Pt, Pd, Cu, TiW, TiNW, WSL, $MoSi_2$ 등의 고융점 금속이나 금속실리사이드로 이루어지는 금속배선재료를 매립함으로 형성할 수도 있다. 접속공(28)의 정상면은 절연층(26)의 표면과 대략 동일 평면에 존재해도 되고, 접속공(28)의 정상부가 절연층(26)의 표면에 연장되고 있어도 된다. 텅스텐으로써 개구부(27)를 매립, 접속공(28)을 형성하는 조건을, 다음의 표 1에 예시한다. 또한, 텅스텐으로써 개구부(27)를 매립하기 전에, Ti 층 및 TiN 층을 순차로 예를 들면 마그네트론스퍼터법으로 개구부(27) 내를 포함하는 절연층(26) 상에 형성하는 것이 바람직하다. 여기서, Ti 층 및 TiN 층을 형성하는 이유는, 오믹 저컨택트저항을 얻는 것, 블랭킷텅스텐 CVD 법에 있어서의 반도체기판(20)의 손상발생의 방지, 텅스텐의 밀착성 향상을 위해서이다.

<188> [표 1]

<189> Ti층(두께:20nm)의 스퍼터조건

<190> 프로세스가스 : Ar= 35 sccm

<191> 압력 : 0.52Pa

<192> RF 파워 : 2kW

<193> 기판의 가열 : 없음

<194> TiN층(두께:100nm)의 스퍼터조건

<195> 프로세스가스 : N_2/Ar = 100/35 sccm

<196> 압력 : 1.0Pa

<197> RF 파워 : 6kW

<198> 기판의 가열 : 없음

<199> 텅스텐의 CVD 형성조건

<200> 사용가스 : $WF_6/H_2/Ar$= 40/400/2250 sccm

<201> 압력 : 10.7kPa

<202> 형성온도 : 450℃

<203> 텅스텐층 및 TiN층, Ti층의 에칭조건

<204> 제1 단계의 에칭: 텅스텐층의 에칭

<205> 사용가스 : SF_6/Ar/He= 110:90:5 sccm

<206> 압력 : 46Pa

<207> RF 파워 : 275W

<208> 제2 단계의 에칭: TiN층/Ti층의 에칭

<209> 사용가스 : Ar/Cl_2= 75/5 sccm

<210> 압력 : 6.5Pa

<211> RF 파워 : 250W

<212> 다음에, 절연층(26) 상에, TiN으로 이루어지는 밀착층(도시하지 않음)을 형성하는 것이 바람직하다. 그리고, 밀착층 상에 Ir로 이루어지는 제1 전극(하부전극)(31)을 구성하는 제1 전극재료층을, 예를 들면 스퍼터법으로 형성하고, 제1 전극재료층 및 밀착층을 포토리소그래피기술 및 드라이에칭기술에 따라 패터닝함으로써, 제1 전극(31)(공통노드 CN_L)을 얻을 수 있다.

<213> 그 후, 예를 들면, MOCVD 법에 따라, Bi계 층형 구조 페로브스카이트형의 강유전체 재료(구체적으로는, 예를 들면, $Bi_2SrTa_2O_9$)로 이루어지는 강유전체 박막을 전체면에 형성한다. 그 후, 250℃의 공기 중에서 건조처리를 행한 후, 750℃의 산소가스 분위기에서 1시간의 열처리를 실시하여, 결정화를 촉진시킨다.

<214> 다음에, IrO_{2-X}층, Pt층을, 스퍼터법으로, 순차, 전체면에 형성한 후, 포토리소그래피기술, 드라이에칭기술에 따라, Pt층, IrO_{2-X}층, 강유전체 박막을 순차, 패터닝하여, 플레이트선 PL_m을 겸한 제2 전극(33) 및 강유전체층(32)을 형성한다. 또한, 에칭에 의해 강유전체층(32)에 손상이 가해지는 경우에는, 손상회복에 필요한 온도로 열처리를 행하면 된다. 그 후, 절연층(26) 및 메모리셀 상에 상부절연층(36A)를 형성한다.

<215> 또한, 각 제2 전극(33)은 플레이트선 PL_m을 겸하고 있지 않아도 된다. 이 경우에는, 절연층(26) 및 메모리셀 상에 상층절연층을 형성한 후, 상층절연층 상에 플레이트선 PL_m을 형성하고, 더불어, 제2 전극(33)과 플레이트선 PL_m을, 상층절연층에 형성된 접속공(비어홀)에 의해 접속하면 된다. 또, 강유전체 박막은 패터닝하지않아도 된다.

<216> 예를 들면, $Bi_2SrTa_2O_9$으로 이루어지는 강유전체 박막의 형성조건을, 다음의 표 2에 예시한다. 또한, 표 2 중, 「thd」는, 테트라메틸헵탄디온의 약자이다. 또, 표 2에 나타낸 소스원료는 테트라하이드로퓨란(THF)을 주성분으로 하는 용매중에 용해되어 있다.

<217> [표 2]

<218> MOCVD 법에 의한 형성

<219> 소스재료 : $Sr(thd)_2$ - tetraglyme

<220> $Bi(C_6H_5)_3$

<221> $Ta(O\text{-}iC_3H_7)_4$ (thd)

<222> 형성온도 : 400～700℃

<223> 프로세스가스 : Ar/O_2= 1000/1000cm^3

<224> 형성속도 : 5～20nm/분

<225> 또한, $Bi_2SrTa_2O_9$로 이루어지는 강유전체 박막을 펄스레이저 애블레이션법, 졸-겔법, 또는 RF 스퍼터법으로 전체 면에 형성할 수도 있다. 이들 경우의 형성조건을, 다음의 표 3, 표 4, 표 5에 예시한다. 또한, 졸-겔법에 의해 두꺼운 강유전체 박막을 형성하는 경우, 원하는 회수, 스핀코팅 및 건조, 또는 스핀코팅 및 소성(또는, 어닐링 처리)를 반복하면 된다.

<226> [표 3]

<227> 펄스레이저 애블레이션법에 의한 형성

<228> 타겟: $Bi_2SrTa_2O_9$

<229> 사용레이저 : KrF 엑시머 레이저(파장 248nm, 펄스폭 25n초, 5Hz)

<230> 형성온도 : 400～800℃

<231> 산소농도 : 3Pa

<232> [표 4]

<233> 졸-겔법에 의한 형성

<234> 원료: $Bi(CH_3(CH_2)_3CH(C_2H_5)COO)_3$

<235> [비스무스·2에틸헥산산, $Bi(OOc)_3$]

<236> $Sr(CH_3(CH_2)_3CH(C_2H_5)COO)_2$

<237> [스트론튬·2에틸헥산산, $Sr(OOc)_2$」

<238> $Ta(OEt)_5$ [탄탈·에톡시드]

<239> 스핀코팅조건: 3000rpm×20초

<240> 건조: 250℃×7분

<241> 소성: 400～800℃×1시간(필요에 따라 RTA 처리를 가함)

<242> [표 5]

<243> RF 스퍼터법에 의한 형성

<244> 타겟 : $Bi_2SrTa_2O_9$ 세라믹타겟

<245> RF 파워 : 1.2W～2.0W/타겟1cm^2

<246> 분위기압력 : 0.2～1.3Pa

<247> 형성온도 : 실온～600℃

<248> 프로세스가스: Ar/O_2의 유량비= 2/1～9/1

<249> 강유전체층을, PZT 또는 PLZT 로 구성할 때의, 마그네트론스퍼터법에 의한 PZT 또는 PLZT의 형성조건을 다음의 표 6에 예시한다. 또는, PZT나 PLZT를, 반응성 스퍼터법, 전자빔증착법, 졸-겔법, 또는 MOCVD 법으로 형성할 수도 있다.

<250> [표 6]

<251> 타겟 : PZT 또는 PLZT

<252> 프로세스가스 : Ar/O_2 = 90체적%/10체적%

<253> 압력 : 4Pa

<254> 파워 : 50W

<255> 형성온도 : 500℃

<256> 또한 PZT나 PLZT를 펄스레이저 애블레이션법으로 형성할 수도 있다. 이 경우의 형성조건을 다음의 표 7에 예시한다.

<257> [표 7]

<258> 타겟 : PZT 또는 PLZT

<259> 사용레이저 : KrF 엑시머 레이저(파장 248nm, 펄스폭 25n초, 3HZ)

<260> 출력에너지 : 400mJ (1.1 J/cm_2)

<261> 형성온도 : 550～600℃

<262> 산소농도 : 40～120Pa

<263> (실시예 2)

<264> 실시예 2의 불휘발성 메모리의 구동방법은, 실시예 1에서 설명한 불휘발성 메모리의 구동방법의 변형이다. 또, 실시예 2에 있어서의 불휘발성 메모리는, 실시예 1에 있어서의 불휘발성 메모리의 변형이다. 실시예 2의 불휘발성 메모리는, 도 8에 등가 회로도를 나타낸 바와 같이,

<265> (A-1) 제1 비트선 BLH와,

<266> (B-1) N개(단, N≥1이며, 실시예 2에서는 n = 1)의 제1 선택용 트랜지스터 TR_{L1}와,

<267> (C-1) 각각이 M개(단, M≥2이며, 실시예 2에서는 m = 8)의 제1 메모리셀 MC_{L1m}로 구성된, N개의 제1 서브 메모리 유닛 SMU_{L1}과,

<268> (D-1) N개의 서브 메모리 유닛 SMU_{L1}의 각각을 구성하는 제1 메모리셀 MC_{L1m}에서 공통으로 된 M개의 플레이트선 PLM

<269> 으로 이루어지는 제1 메모리 유닛, 및

<270> (A-2) 제2 비트선 BL_{L2}과,

<271> (B-2) N개의 제2 선택용 트랜지스터 TR_{L2}와,

<272> (C-2) 각각이 M개의 제2 메모리셀 MC_{L2M}로 구성된 N개의 제2 서브 메모리 유닛 SMU_{L2}과,

<273> (D-2) N개의 서브 메모리 유닛 SMU_{L2}의 각각을 구성하는 제2 메모리셀 MC_{L2M}에의해 공통으로 되고, 또한 상기 제1 메모리 유닛을 구성하는 M개의 플레이트선 PL_M과 공통인 M개의 플레이트선 PL_M

<274> 으로 이루어지는 제2 메모리 유닛으로 구성되고,

<275> 또한,

<276> (E) 제1 및 제2 비트선에 접속된 센스앰프 SA_L

<277> 로 구성되어 있다.

<278> 그리고, 각 메모리셀 MC_{L1M}은, 제1 전극(하부전극)(31)과 강유전체층(32)과 제2 전극(상부전극)(33)으로 이루어진다. 제1 메모리 유닛에 있어서, 제n 번째(단, n =1,2・・・N)의 제1 서브 메모리 유닛 SMU_{L1}를 구성하는 제1 메모리셀 MC_{L1M}의 제1 전극(31)은, 제n 번째의 제1 서브 메모리 유닛 SMU_{L1}에서 공통이며(공통노드 CN_{L1}로 나타냄), 상기 공통의 제1 전극(공통노드 CN_{L1}는, 제n 번째의 제1 선택용 트랜지스터 TR_{L1}를 통하여 제1 비트선 BL_{L1}에 접속되고, 제2 전극(33)은 공통의 플레이트선 PL_m에 접속되어 있다. 또, 제2 메모리 유닛에 있어서, 제n 번째의 제2 서브 메모리 유닛 SMU_{L2}을 구성하는 제2 메모리셀 MC_{L2M}의 제1 전극(31)은, 제n 번째의 제2 서브 메모리 유닛 SMU_{L2}에 있어서 공통이며(공통노드 CN_{L2}로 나타냄), 상기 공통의 제1 전극(공통노드 CN_{L2}는, 제n 번째의 제2 선택용 트랜지스터 TR_{L2}를 통하여 제2 비트선 BL_{L2}에 접속되고, 제2 전극(33)은 공통의 플레이트선 PL_m에 접속되어 있다. 제n 번째의 제1 선택용 트랜지스터 TR_{L1}와 제n 번째의 제2 선택용 트랜지스터 TR_{L2}는 동일 워드선 WL에 접속되어 있다.

<279> 실시예 2의 불휘발성 메모리에 있어서의 기타 구성은, 실시예 1의 불휘발성 메모리와 동일하게 할 수 있기때문에, 상세한 설명은 생략한다.

<280> 그리고, 실시예 2의 불휘발성 메모리에서는, 제n 번째의 제1 서브 메모리 유닛 SMU_{L1}을 구성하는 제m 번째(단, m =1,2・・・M)의 제1 메모리셀 MC_{L1m}과, 제n 번째의 제2 서브 메모리 유닛 SMU_{L2}을 구성하는 제m 번째의 제2 메모리셀 MC_{L2m}과의 쌍으로부터, 상보적인 데이터구성의 1비트를 판독하고, 상보적인 데이터구성의 1비트를 재기록한다.

<281> 실시예 2의 불휘발성 메모리로부터 데이터를 판독하고, 데이터를 재기록하는 불휘발성 메모리의 구동방법을, 다음에 설명하지만, 데이터의 판독 및 재기록의 각 스텝은 실시예 1의 [스텝 100]~[스텝 140]과 동일하게 할 수 있기때문에, 상세한 설명은 생략한다. 또한, 일례로서, 플레이트선 PL_1을 공유한(즉 쌍으로 됨) 메모리셀(MC_{L11},MC_{L21})로부터 데이터를 판독하고, 재기록하는 것으로 한다. 여기서, 제1 메모리셀 MC_{L11}에는 데이터「1」이 기억되고, 제2 메모리셀 MC_{L21}에는 데이터「0」이 기억되어 있는 것으로 한다. 동작파형을 도 9에 나타낸다. 도 9 중, 괄호 내의 숫자는, 다음에 설명하는 공정의 번호와 대응하고 있다.

<282> 먼저, 선택된 메모리셀(MC_{L11},MC_{L21})의 데이터의 판독을 행한다.

<283> (1B) 초기 상태에서는, 전체 비트선, 전체 워드선, 전체 플레이트선이 0볼트로 되어있다. 또한 공통노드 CN_{L1}, CN_L도 0볼트로 부유상태로 되어 있다.

<284> (2B) 데이터 판독의 개시시, 워드선 WL을 하이레벨로 함으로써, 제1 선택용 트랜지스터 TR_{L1} 및 제2 선택용 트랜지스터 TR_{L2}를 온상태로 한다. 이로 인해, 제1 서브 메모리 유닛 SMU_{L1}의 공통노드 CN_{L1}가 제1 비트선 BL_{L1}에 접속되고, 제2 서브 메모리 유닛 SMU_{L2}의 공통노드 CN_{L2}가 제2 비트선 BL_{L2}에 접속된다. 또한, 제1 비트선 BL_{L1} 및 제2 비트선 BL_{L2}은, 부유상태로 둔다.

<285> (3B) 다음에, 선택된 플레이트선 PL_1에 V_{PL-H}(=V_{cc})를 인가한다. 비선택 플레이트선 PL_k을 V_{PL-L}(= 0볼트) 그대로 한다. 이 때, 제1 선택 메모리셀 MC_{L11}에는 데이터「1」이 기록되어 있었기 때문에, 강유전체층에 있어서의 분극반전이 생겨, 공통노드 CN_{L1}의 전위, 또는 제1 비트선 BL_{L1}의 전위는 상승한다. 한편,제2 선택 메모리셀 MC_{L21}에는 데이터「0」이 기록되어 있었기 때문에, 강유전체층에 있어서의 분극반전이 생기지 않고, 공통노드 CN_{L2}의 전위, 또는 제2 비트선 BL_{L2}의 전위는 0 볼트 보다도 약간 높은 정도로 된다. 이로 인해, 제1 비트선 BL_{L1}과 제2 비트선 BL_{L2}과의 사이에 전위차가 생긴다.

<286> (4B) 그 후, 워드선 WL을 로레벨로 함으로써, 제1 선택용 트랜지스터 TR_{L1} 및 제2 선택용 트랜지스터 TR_{L2}을 오

프상태로 하고, 서브 메모리 유닛 SMU_{L1}의 공통노드 CN_{L1}와 제1 비트선 BL_{L1}과의 접속을 해제하고, 서브 메모리 유닛 SMU_{L2} 의 공통노드 CN_{L2}와 제2 비트선 BL_{L2}과의 접속을 해제한다.

<287> (5B) 다음에, 센스앰프 SA_L을 활성화하여, 데이터를 확정하고, 이러한 데이터를 판독하고, 외부로 출력하는 동시에, 제1 비트선 BL_{L1} 및 제2 비트선 BL_{L2}을 충방전한다.

<288> 다음에, 선택된 메모리셀(MC_{L11},MC_{L21})에 있어서의 데이터의 재기록을 행한다.

(6B) 데이터의 재기록 개시에서는, 제1 선택용 트랜지스터 TR_{L1} 및 제2 선택용 트랜지스터 TR_{L2}는 오프상태이다. 또, 제1 및 제2 선택 메모리셀 MC_{L11},MC_{L21}에 접속된 플레이트선 PL_1에는 고전위 V_{PL-H}(=V_{cc})가 인가되어 있다. 이 상태에서 비선택 메모리셀 MC_{1k},MC_{2k}에 접속된 플레이트선 PL_k에 중간전위 V_{PL-M}[=1/2 V_{cc}]를 인가한다. 또한, 제1 선택 메모리셀 MC_{L11}에 재기록할 데이터가「1」이기때문에, 제1 비트선 BL_{L1}은 고전위 V_{BL-H}(= V_{cc})로 되고 있고, 제2 선택 메모리셀 MC_{L21}에 재기록할 데이터가「0」이기때문에, 제2 비트선 BL_{L2}은 저전위 V_{BL-L}(= 0볼트)로 되어 있다.

<289> 삭제

<290> (7B) 다음에, 워드선 WL을 하이레벨로 함으로써, 제1 선택용 트랜지스터 TR_{L1} 및 제2 선택용 트랜지스터 TR_{L2}를 온상태로 하고, 서브 메모리 유닛 SMU_{L1}의 공통노드 CN_{L1}와 제1 비트선 BL_{L1}을 제1 선택용 트랜지스터 TR_{L1}를 통하여 접속하고, 서브 메모리 유닛 SMU_{L2}의 공통노드 CN_{L2}와 제2 비트선 BL_{L2}을 제2 선택용 트랜지스터 TR_{L2}를 통하여 접속한다.

<291> (8B) 그 후, 선택 플레이트선 PL_1에 저전위 V_{PL-L} (= 0볼트)를 인가한다. 또한, 공정(6B)에 있어서, 제1 비트선 BL_{L1}에 고전위 V_{BL-H}(= V_{cc})가 인가되어 있기때문에, 공정(7B)에 있어서, 제1 선택용 트랜지스터 TR_{L1}를 온상태로 하고, 공통노드 CN_{L1}와 제1 비트선 BL_{L1}을 제1 선택용 트랜지스터 TR_{L1}를 통하여 접속했을 때, 선택 플레이트선 PL_1에 고전위 V_{PL-H}(= V_{cc})가 인가되어 있는 때문에, 제1 선택 메모리셀 MC_{L11}에는 데이터가 기록되지 않는다. 그 후, 공정(8B)에 있어서, 선택 플레이트선 PL_1에 저전위 V_{PL-L}(= 0볼트)를 인가하므로, 제1 선택 메모리셀 MC_{L11}에 데이터「1」이 재기록된다.

<292> 한편, 공정(6B)에 있어서, 제2 비트선 BL_{L2}에 저전위 V_{BL-L}이 인가되어 있기때문에, 공정(7B)에 있어서, 제2 선택용 트랜지스터 TR_{L2}를 온상태로 하고, 공통노드 CN_{L2}와 제2 비트선 BL_{L2}을 제2 선택용 트랜지스터 TR_{L2}를 통하여 접속했을 때, 선택 플레이트선 PL_1에 고전위 V_{PL-H}가 인가되어 있는 때문에, 제2 선택 메모리셀 MC_{L21}에 데이터「0」이 재기록된다. 그 후, 공정(8B)에 있어서, 선택 플레이트선 PL_1에 저전위 V_{PL-L}(= 0볼트)를 인가하지만, 제2 선택 메모리셀 MC_{L21}에 기록된 데이터「0」는 변화되는 일이 없다.

<293> (9B) 그 후, 제1 비트선 BL_{L1} 및 제2 비트선 BL_{L2}을 0 볼트로 한다.

<294> (10B) 마지막으로, 비선택 플레이트선 PL_k을 0볼트로 하고, 제1 및 제2 선택용 트랜지스터 TR_{L1}, TR_{L2}를 오프상태로 한다.

<295> 이후, 메모리셀(MC_{L1m},MC_{L2m})(m = 2,3・・・8)에 대하여, 순차, 공정(1B)~(10 B)의 조작을 행한다. 단, 데이터를 외부로 출력하지않는다.

<296> 또한, 실시예 2에 있어서의 동작파형을, 실시예 1에서 설명한 동작파형으로 해도 된다.

<297> (실시예 3)

<298> 실시예 3의 불휘발성 메모리의 구동방법도, 실시예 1에서 설명한 불휘발성 메모리의 구동방법의 변형이다. 또, 실시예 3에 있어서의 불휘발성 메모리는, 실시예 2에 있어서의 불휘발성 메모리의 변형이다. 실시예 3의 불휘발성 메모리는, 도 10에 등가 회로도를 나타낸 바와 같이, 제1 선택용 트랜지스터 TR_{L1}는 제1 워드선 WL_1에 접속되

고, 제2 선택용 트랜지스터 TR_{L2}는 제2 워드선 WL2에 접속되고, 이들은 독립해서 워드선 디코더/드라이버 WD에 의해 제어된다. 이 점을 제외하고, 실시예 3의 불휘발성 메모리의 구성은, 실시예 2에서 설명한 불휘발성 메모리의 구성과 동일하다.

<299> 실시예 3에 있어서의 불휘발성 메모리의 구동방법에서는, 제1 메모리셀 MC_{L1m}에 기억된 데이터의 판독을 행할 때, 제1 선택용 트랜지스터 TR_{L1}를 온상태로 하고, 제2 선택용 트랜지스터 TR_{L2}를 오프상태로 하고, 또한, 제2 비트선 BL_{L2}에 참조전위를 인가하고, 제2 메모리셀 MC_{L2m}에 기억된 데이터의 판독을 행할 때, 제2 선택용 트랜지스터 TR_{L2}를 온상태로 하고, 제1 선택용 트랜지스터 TR_{L1}를 오프상태로 하고, 또한, 제1 비트선 BL_{L1}에 참조전위를 인가한다.

<300> 실시예 3의 불휘발성 메모리로부터 데이터를 판독하고, 데이터를 재기록하는 불휘발성 메모리의 구동방법을, 다음에, 설명하지만, 데이터의 판독 및 재기록의 각 스텝은 실시예 1의 [스텝 100]~[스텝 140]과 동일하게 할 수 있기 때문에, 상세한 설명은 생략한다. 또한, 일례로서, 플레이트선 PL_1을 공유한(즉 쌍으로 된) 메모리셀 MC_{L11},MC_{L21} 중 메모리셀 MC_{L11}로부터 데이터를 판독하고, 재기록하는 것으로 한다. 동작파형은 도 9에 나타낸 것과 동일하다. 또한, 도 9 중, 괄호 내의 숫자는,다음에 설명하는 공정의 번호와 대응하고 있다. 단, 도 9 중의 괄호 내의 숫자의 다음 알파벳「B」는, 다음의 설명에 있어서의 공정번호의 숫자의 다음 알파벳「C」와 대응하고 있다.

<301> 먼저, 선택된 제1 메모리셀 MC_{L11}의 데이터의 판독을 행한다.

<302> (1C) 초기 상태에서는, 전체 비트선, 전체 워드선, 전체 플레이트선이 0볼트로 되어있다. 또한 공통노드 CN_{L1}, CN_{L2}도 0볼트로 부유상태로 되어 있다.

<303> (2C) 데이터 판독의 개시시, 워드선 WL_1을 하이레벨로 함으로써, 제1 선택용 트랜지스터 TR_{L1}을 온상태로 한다. 이로 인해, 제1 서브 메모리 유닛 SMU_{L1}의 공통노드 CN_{L1}가 제1 비트선 BL_{L1}에 접속된다. 또한, 제1 비트선 BL_{L1} 및 제2 비트선 BL_{L2}은, 부유상태로 둔다.

<304> (3C) 다음에, 선택된 플레이트선 PL1에 V_{PL-H}(= V_{cc})를 인가한다. 비선택 플레이트선 PL_k을 V_{PL-L}(= 0볼트) 그대로 한다. 이 때, 선택 메모리셀 MC_{L11} 에 데이터「1」이 기록되어 있었던 경우에는, 강유전체층에 있어서의 분극반전이 생겨, 서브 메모리 유닛 SMU_{L1}의 공통노드 CN_{L1}의 전위, 또는 제1 비트선 BL_{L1}의 전위는 상승한다. 한편, 선택 메모리셀 MC_{L11}에 데이터「0」이 기록되어 있었던 경우에는, 강유전체층에 있어서의 분극반전이 생기지 않고, 공통노드 CN_{L1}의 전위, 또한 제1 비트선 BL_{L1}의 전위는 0볼트보다 약간 높아지는 정도이다. 한편, 더미셀 등을 사용하여, 제2 비트선 BL_{L2}에, 데이터「1」일 때의 비트선 전위와, 데이터「0」일 때의 비트선 전위의 중간의 참조전위를 부여한다.

<305> (4C) 그 후, 워드선 WL_1을 로레벨로 함으로써, 제1 선택용 트랜지스터 TR_{L1}를 오프상태로 하고, 공통노드 CN_{L1}와 제1 비트선 BL_{L1}과의 접속을 해제한다.

<306> (5C) 다음에, 센스앰프 SA_L을 활성화하여, 데이터를 확정하고, 이러한 데이터를 판독하고, 외부로 출력하는 동시에, 제1 비트선 BL_{L1}을 충방전한다.

<307> 다음에, 선택된 메모리셀 MC_{L11}에서의 데이터의 재기록을 행한다.

<308> (6C) 데이터의 재기록 개시에서는, 제1 선택용 트랜지스터 TR_{L1}는 오프상태이다. 또, 선택 메모리셀 MC_{L11}이 접속된 플레이트선 PL_1에는 고전위 V_{PL-H} (= V_{cc})가 인가되어 있다. 이 상태에서 비선택 메모리셀 MC_{LK}에 접속된 플레이트선 PL_k에 중간전위 V_{PL-M}[=1/2 V_{cc}]를 인가한다. 또한, 선택 메모리셀 MC_{L11}에 재기록할 데이터가「1」인 경우에는, 제1 비트선 BL_{L1}는 고전위 V_{BL-H}(= V_{cc})로 되고 있고, 재기록할 데이터가「0」인 경우에는, 제1 비트선 BL_{L1}는 저전위 V_{BL-L}(= 0 볼트)로 되어있다.

<309> (7C) 다음에, 제1 선택용 트랜지스터 TR_{L1}를 온상태로 하여, 공통노드 CN_{L1}와 제1 비트선 BL_{L1}을 제1 선택용 트랜지스터 TR_{L1}를 통하여 접속한다.

<310> (8C) 그 후, 선택 플레이트선 PL_1에 저전위 V_{PL-L}(= 0볼트)를 인가한다. 또한, 공정(6C)에 있어서, 제1 비트선 BL_{L1}에 저전위 V_{BL-L}(= 0볼트)가 인가되어 있는 경우, 공정(7C)에 있어서, 제1 선택용 트랜지스터 TR_{L1}를 온상태로 하고, 공통노드 CN_{L1}와 제1 비트선 BL_{L1}을 제1 선택용 트랜지스터 TR_{L1}를 통하여 접속했을 때, 선택 플레이트선 PL_1에 고전위 V_{PL-H}(= V_{cc})가 인가되어 있는 때문에, 선택 메모리셀 MC_{L11}에 데이터「0」이 재기록된다. 그 후, 공정(8C)에 있어서, 선택 플레이트선 PL_1에 저전위 V_{PL-L}(= 0볼트)를 인가하더라도, 선택 메모리셀 MC_{L11}에 기록된 데이터「0」는 변화되는 일이 없다.

<311> 한편, 공정(6C)에 있어서, 제1 비트선 BL_{L1}에 고전위 V_{BL-H}가 인가되어 있는 경우, 공정(7C)에 있어서, 제1 선택용 트랜지스터 TR_{L1}를 온상태로 하고, 공통노드 CN_{L1}과 제1 비트선 BL_{L1}을 제1 선택용 트랜지스터 TR_{L1}을 통하여 접속했을 때, 선택 플레이트선 PL_{L1}에 고전위 V_{PL-H}가 인가되어 있는 때문에, 선택 메모리셀 MC_{L11}에는 데이터가 기록되지 않는다. 그 후, 공정(8C)에 있어서, 선택 플레이트선 PL_1에 저전위 V_{PL-L}(= 0볼트)를 인가함으로써, 선택 메모리셀 MC_{L11}에 데이터「1」이 재기록된다.

<312> (9C) 그 후, 제1 비트선 BL_{L1}을 0볼트로 한다.

<313> (10C) 마지막으로, 비선택 플레이트선 PL_k을 0볼트로 하고, 제1 선택용 트랜지스터 TR_{L1}를 오프상태로 한다.

<314> 이후, 메모리셀 MC_{L21}, MC_{L1m}, MC_{L2m}(m = 2, 3・・・8)에 대하여, 순차, 공정(1 C)~(10C)의 조작을 행한다. 단, 데이터를 외부로 출력하지 않는다.

<315> 또한, 실시예 3에 있어서의 동작파형을, 실시예 1에서 설명한 동작파형으로 해도 된다.

<316> (실시예 4)

<317> 실시예 4도, 본 발명의 제1 양태에 관한 불휘발성 메모리의 구동방법 및 본 발명의 불휘발성 메모리에 관한 것으로, 보다 상세하게는, 제1B의 구성에 관한 불휘발성 메모리의 구동방법에 관한 것이다. 도 2에 실시예 4의 불휘발성 메모리의 구동방법의 플로차트를 나타낸다. 실시예 4에서는, 도 8에 나타낸 등가회로를 가지는 불휘발성 메모리를 사용했지만, 도 5 또는 도 10에 나타낸 등가회로를 가지는 불휘발성 메모리를 사용해도 된다.

<318> 실시예 4의 불휘발성 메모리의 구동방법에서는, 외부로부터 지정된 지정어드레스(J, 단 1≤J≤M임)의 메모리셀을 메모리셀 MC_{L1}로 한다. 또, 어드레스지정된 서브 메모리 유닛을 서브 메모리 유닛 SMU_L로 한다. 그리고, 실시예 4에서는, 외부로부터 어드레스를 지정된 메모리셀 MC_{LJ}에 기억된 데이터를 판독하고, 센스앰프 SA_L에 래치한 후, 센스앰프 SA_L에 래치된 데이터를 외부로 출력한다.

<319> 실시예 4에서는, 또한 센스앰프 SA_L에 래치된 데이터를 출력한 후, 센스앰프 SA_L에 래치된 데이터를 외부로부터 어드레스를 지정된 메모리셀 MC_{LJ}에 재기록한다. 그 후, 외부로부터 어드레스를 지정하지 않고, 서브 메모리 유닛 SMU_L을 구성하는 다른 메모리셀 MC_{LK}(k≠J)에 기억된 데이터를 판독하고, 센스앰프 SA_L에 래치한 후, 센스앰프 SA_L에 래치된 데이터를 외부로 출력한다. 그리고, 그 후, 센스앰프 SA_L에 래치된 데이터를 다른 메모리셀 MC_{LK}에 재기록한다. 실시예 4에서는, 메모리셀은, 말하자면 시퀀셜 액세스되어, 데이터의 판독, 출력 및 재기록이 행해진다.

<320> 다음에, 도 2 및 도 8을 참조하여, 실시예 4의 구동방법을 설명한다. 또한, 동작파형은, 실질적으로 도 9에 나타낸 것과 동일하게 할 수 있기 때문에 상세한 설명은 생략한다.

<321> [스텝 400]

<322> 먼저, ACT 코맨드가 코맨드 디코더(10)에 입력되고, 더불어, 서브 메모리 유닛 및 메모리셀을 지정하는 어드레스(RAS 어드레스)가 입력된다. 이 RAS 어드레스는, 도시하지 않은 시프트 레지스터에 의해 상위성분과 하위성분으로 분리되고, 메모리셀 MC_{L1J},MC_{L2J}의 어드레스 AD_J를 지정하는 상위성분은, 지정 플레이트선 어드레스 레지스터

(11) 및 플레이트선 어드레스 카운터(12)에 래치된다. 한편, 서브 메모리 유닛 SMU_{L1}, SMU_{L2}의 어드레스를 지정하는 하위성분은, 유닛 어드레스 레지스터(13)에 래치된다. 여기서, 지정 플레이트선 어드레스 레지스터(11)에 래치된 메모리셀 MC_{L1J},MC_{L2J}의 어드레스를 지정하는 상위성분을 어드레스「J」,플레이트선 어드레스 카운터(12)에 래치된 메모리셀 MC_{L1J},MC_{L2J}의 어드레스를 지정하는 상위성분을 어드레스「j」(= J), 유닛 어드레스 레지스터(13)에 래치된 서브 메모리 유닛 SMU_{L1}, SMU_{L2}의 어드레스를 지정하는 하위성분을 어드레스「L」이라고한다.

<323> 또한, 코맨드 디코더(10)로부터의 신호를 받은 유닛콘트롤러(15)는, 유닛디코더(16)에 신호를 전송, 유닛디코더(16)를 활성화시킨다. 더하여, 유닛 어드레스 레지스터(13)로부터의 신호를 받은 유닛디코더(16)는 서브 메모리 유닛 SMU_{L1}, SMU_{L2}을 선택한다. 한편, 플레이트선 어드레스 카운터(12)로부터의 신호는, 플레이트선 디코더/드라이버 PD 에 보내진다. 이상에 의해 워드선 디코더/드라이버 WD 및 플레이트선 디코더/드라이버 PD가 활성화되고, 또한, 플레이트선 디코더/드라이버 PD에 의해 플레이트선 PL_J가 선택된다.

<324> [스텝 410]

<325> 그리고, 어드레스 AD_j에서 지정된 메모리셀 MC_{L1J},MC_{L2J}(구체적으로는 메모리셀 MC_{L1J},MC_{L2j}임)에 기억된 데이터를 판독하고, 센스앰프 SA_L에 래치한다.

<326> 또한, 이상의 스텝에서는, 동일 워드선 및 동일 플레이트선에 접속된 서브 메모리 유닛 및 메모리셀이 복수 선택되어도 된다. 즉, 서브 메모리 유닛 $SMU_{L,1}$, $SMU_{L,1}$, $SMU_{L+1,1}$, $SMU_{L+1,2}$, $SMU_{L+2,1}$, $SMU_{L+2,2}$, · · ·의 각각에서의 메모리셀 $MC_{L,1,J}$, $MC_{L,2,J}$, $MC_{L+1,1,J}$, $MC_{L+1,2,J}$, $MC_{L+2,1,J}$, $MC_{L+2,2,J}$, · · ·가 선택되어도 된다. 이로 인해, 센스앰프 SA_L, SA_{L+1}, SA_{L+2}, · · ·에는, 메모리셀 $MC_{L,1,J}$, $MC_{L,2,J}$, $MC_{L+1,1,J}$, $MC_{L+1,2,J}$, $MC_{L+2,1,J}$, $MC_{L+2,2,J}$, · · ·의 데이터가 래치된다.

<327> [스텝 420]

<328> 그 후, READ 코맨드가 코맨드 디코더(10)에 입력되고, 더불어, 센스앰프 SA_L을 지정하는 CAS 어드레스가 입력된다. 이 코맨드 및 CAS 어드레스에 따라서, 도시하지 않은 라인을 지나서 센스앰프 SA_L에 명령이 발해지고, 센스앰프 SA_L에 래치된 데이터는 외부로 출력된다.

<329> [스텝 430]

<330> 센스앰프 SA_{L+1}, SA_{L+2}, · · ·에 메모리셀 $MC_{L+1,1,J}$, $MC_{L+1,2,J}$, $MC_{L+2,1,J}$, $MC_{L+2,2,J}$, · · ·의 데이터가 래치되어 있던 경우에는, 이어서, NOP 코맨드가 입력됨으로써, 도시하지 않은 카운터를 사용하여, 이들 센스앰프에 래치된 데이터를 순차 버스트전송한다. 이들 센스앰프와 외부와의 액세스는, 도시하지 않고 있지만, 종래의 싱크로너스 DRAM 등과 완전히 동일한 액세스방법으로 하면 된다.

<331> [스텝 440]

<332> 외부로의 데이터의 출력완료후, RAS_INC 코맨드가 입력된다. 이로 인해, 먼저, 센스앰프 SA_L에 래치된 데이터가 지정어드레스의 메모리셀 MC_{L1J}, MC_{L2J} (구체적으로는 메모리셀 MC_{L1J}, MC_{L2J}임)에 재기록된다.

<333> 이어서, 외부로부터 어드레스를 지정하지 않고, 서브 메모리 유닛 SMU_L을 구성하는 다른 메모리셀 MC_{L1k}, MC_{L2k}($k \neq J$)에 기억된 데이터를 판독하고, 센스앰프 SA_L에 래치한다. 구체적으로는, 플레이트선 어드레스 카운터(12)를 증가시키고, 플레이트선 어드레스 카운터(12)의 값과 지정 플레이트선 어드레스 레지스터(11)의 값을 콤퍼레이터(14)로 비교하여, 만일 값이 일치하고 있는 경우에는 동작을 종료한다. 만일 값이 불일치한 경우에는 플레이트선 어드레스 카운터(12)의 값이 값「M」을 넘고 있지 않는가를 판단하여, 넘고 있는 경우에는, 플레이트선 어드레스 카운터(12)의 값을「1」로 리셋하여, 어드레스 AD_j에서 지정된 메모리셀 MC_{L1j}, MC_{L2j}(메모리셀 MC_{L1k}, MC_{L2k}에 상당함)를 판독하고, 센스앰프 SA_L에 래치한다. 또한, 플레이트선 어드레스 카운터(12)를 증가시키므로, 외부로부터 메모리셀의 어드레스를 지정할 필요는 없다.

<334> [스텝 450]

<335> 그 후, [스텝 420] 이후의 동작이 반복된다. 즉, [스텝 420]~[스텝 450]의 동작을, 서브 메모리 유닛 SMU_{L1}, SMU_{L2}을 구성하는 모든 다른 메모리셀 MC_{L1k}, MC_{L2k}에서, 외부로부터 어드레스를 지정하지 않고, 행한다. 즉, (J+1)번째의 메모리셀 $MC_{L,1,J+1}$,$MC_{L,2,J+1}$, (J+2)번째의 메모리셀 $MC_{L,1,J+2}$,$MC_{L,2,J+2}$,・・・, M번째의 메모리셀 $MC_{L,1,M}$,$MC_{L,2,M}$, 1번째의 메모리셀 $MC_{L,1,1}$,$MC_{L,2,1}$, 2번째의 메모리셀 $MC_{L,1,2}$,$MC_{L,2,2}$,・・・, (J-2)번째의 메모리셀 $MC_{L,1,J-2}$, $MC_{L,2,J-2}$, (J-1)번째의 메모리셀 $MC_{L,1,J-1}$, $MC_{L,2,J-1}$까지 순차, 데이터의 판독 및 데이터의 재기록을 행한다. 실시예 4에서는, 실시예 2와 달리, 센스앰프 SA_L에 래치된 데이터가 외부로 출력된다.

<336> 동작의 종료에서는, 콤퍼레이터(14)는 유닛콘트롤러(15)에 그 취지를 통지하여, 유닛콘트롤러(15)는, 유닛디코더(16)를 불활성으로 하고, 워드선 WL 및 플레이트선 PL_M의 모두를 비선택상태로 되돌린다.

<337> 이상의 스텝에 의해, 임의의 메모리셀에 신속하게 액세스되고, 또한 동일 서브 메모리 유닛의 다른 메모리셀에 기억된 데이터 모두를 외부로 출력할 수 있고, 또한, 1회씩 재기록을 행할 수 있다.

<338> (실시예 5)

<339> 실시예 5는, 본 발명의 제2 양태에 관한 불휘발성 메모리의 구동방법 및 본 발명의 불휘발성 메모리에 관한 것으로, 보다 상세하게는, 제2A의 구성에 관한 불휘발성 메모리의 구동방법에 관한 것이다. 도 3에 실시예 5의 불휘발성 메모리의 구동방법의 플로차트를 나타낸다. 실시예 5에서는, 도 8에 나타낸 등가회로를 가지는 불휘발성 메모리를 사용했지만, 도 5 또는 도 10에 나타낸 등가회로를 가지는 불휘발성 메모리를 사용해도 된다. 또, 도 11에 동작파형을 나타낸다. 또한, 도 11 중, 괄호 내의 숫자는, 다음에 설명하는 공정의 번호와 대응하고 있다.

<340> 실시예 5의 불휘발성 메모리의 구동방법에서는, 기록할 데이터를 센스앰프 SA_L에 래치한 후, 외부로부터 지정된 지정어드레스(J. 단, 1≤J≤M임)의 메모리셀 MC_{L1J}, MC_{L2J}에 데이터를 기록한다. 그리고, 그 후, 기록할 데이터를 센스앰프에 래치하고, 이어서 외부로부터 어드레스를 지정하지 않고, 서브 메모리 유닛 SMU_{L1}, SMU_{L2}을 구성하는 다른 메모리셀 MC_{L1k}, MC_{L2k}에 데이터를 기록한다. 실시예 5에서는, 서브 메모리 유닛 SMU_{L1}, SMU_{L2}을 구성하는 모든 메모리셀 MC_{L1k}, MC_{L2k}에 데이터의 기록이 행해진다. 또한 서브 메모리 유닛 SMU_{L1}, SMU_{L2}을 구성하는 모든 다른 메모리셀에 있어서, 외부로부터 어드레스를 지정하지 않고, 순차, 즉, (J+1)번째의 메모리셀 $MC_{L,1,J+1}$, $MC_{L,2,J+1}$, (J+2)번째의 메모리셀 $MC_{L,1,J+2}$, $MC_{L,2,J+2}$,・・・, M 번째의 메모리셀 $MC_{L1,1,H}$, $MC_{L,2,M}$, 1번째의 메모리셀 $MC_{L,1,1}$, $MC_{L,2,1}$, 2번째의 메모리셀 $MC_{L,1,2}$, $MC_{L,2,2}$,・・・, (J-2)번째의 메모리셀 $MC_{L,1,J-2}$, $MC_{L,2,J-2}$, (J-1)번째의 메모리셀 $MC_{L,1,J-1}$, $MC_{L,2,J-1}$까지 순차, 데이터의 기록을 행한다.

<341> 다음에, 도 3, 도 8, 및 동작파형을 도시한 도 11을 참조하여, 실시예 5의 구동방법을 설명한다.

<342> [스텝 500]

<343> 먼저, ACT 코맨드가 코맨드 디코더(10)에 입력되고, 더불어, 서브 메모리 유닛 및 메모리셀을 지정하는 어드레스(RAS 어드레스)가 입력된다. 이 RAS 어드레스는, 도시하지 않은 시프트 레지스터에 의해 상위성분과 하위성분으로 분리되고, 메모리셀 MC_{L1J}, MC_{L2J}의 어드레스 AD_J를 지정하는 상위성분은, 지정 플레이트선 어드레스 레지스터(11) 및 플레이트선 어드레스 카운터(12)에 래치된다. 한편, 서브 메모리 유닛 SMU_{L1},SMU_{L2}의 어드레스를 지정하는 하위성분은, 유닛 어드레스 레지스터(13)에 래치된다. 여기서, 지정 플레이트선 어드레스 레지스터(11)에 래치된 메모리셀 MC_{L1J}, MC_{L2J}의 어드레스를 지정하는 상위성분을 어드레스「J」, 플레이트선 어드레스 카운터(12)에 래치된 메모리셀 MC_{L1J}, MC_{L2J}의 어드레스를 지정하는 상위성분을 어드레스「j」(= J), 유닛 어드레스 레지스터(13)에 래치된 서브 메모리 유닛 SMU_{L1},SMU_{L2}의 어드레스를 지정하는 하위성분을 어드레스「L」이라고한다. 그리고, 어드레스 AD_j에서 지정된 메모리셀 MC_{L1j}, MC_{L2j}에 기억된 데이터를 판독하여, 센스앰프 SA_L에 래치한다.

<344> [스텝 510]

<345> 또한 WRITE 코맨드가 입력된 코맨드 디코더(10)는, 도시하지 않은 센스앰프제어회로에 신호를 전송하고, 외부로

부터의 데이터를 센스앰프 SA_L에 래치하는 처리를 실행한다. 즉, 센스앰프 SA_L에서의 데이터의 재기록을 행한다.

<346> 또한, 이상의 스텝에서는, 동일 워드선 및 동일 플레이트선에 접속된 서브 메모리 유닛 및 메모리셀이 복수 선택되어도 된다. 즉, 먼저, ACT 코맨드로 복수의 센스앰프의 데이터가 래치되어, WRITE 코맨드의 후의 NOP 코맨드로 각 센스앰프에 버스트기록을 행해도 된다.

<347> [스텝 520]

<348> 그 후, RAS_INC 코맨드가 코맨드 디코더(10)에 입력되고, 이 코맨드에 따라서, 코맨드 디코더(10)로부터의 신호를 받은 유닛콘트롤러(15)는, 유닛디코더(16)에 신호를 전송하여, 유닛디코더(16)를 활성화시킨다. 더하여, 유닛 어드레스 레지스터(13)로부터의 신호를 받은 유닛디코더(16)는 서브 메모리 유닛 SMU_{L1}, SMU_{L2}을 선택한다. 한편, 플레이트선 어드레스 카운터(12)로부터의 신호는, 플레이트선 디코더/드라이버 PD에 보내진다. 이상에 의해 워드선 디코더/드라이버 WD 및 플레이트선 디코더/드라이버 PD가 활성화되고, 또한, 플레이트선 디코더/드라이버 PD에 의해 플레이트선 PL_J가 선택된다. 그리고, 센스앰프 SA_L에 래치되어 있던 데이터가, 메모리셀 MC_{L1J}, MC_{L2J}에 기록된다.

<349> [스텝 530]

<350> 이어서, 외부로부터 어드레스를 지정하지 않고, 서브 메모리 유닛 SMU_{L1}, SMU_{L2}을 구성하는 다른 메모리셀 MC_{L1j}, MC_{L2j}(구체적으로는, MC_{L1k}, MC_{L2k}임)에 데이터를 기록한다. 구체적으로는, 플레이트선 어드레스 카운터(12)를 증가시키고, 플레이트선 어드레스 카운터(12)의 값과 지정 플레이트선 어드레스 레지스터(11)의 값을 콤퍼레이터(14)로 비교하여, 만일 값이 일치하고 있는 경우에는, 동작을 종료한다. 만일 값이 불일치한 경우에는, 플레이트선 어드레스 카운터(12)의 값이 값「M」을 넘고 있지 않은가를 판단하여, 넘고 있는 경우에는, 플레이트선 어드레스 카운터(12)의 값을「1」로 리셋한다. 그리고, 메모리셀로부터의 데이터를 센스앰프 SA_L에 래치한다. 즉, 일단, 센스앰프에 데이터를 판독하고 나서, 메모리셀에의 데이터의 기록을 행한다.

<351> 이 [스텝 510]~[스텝 530]의 동작을, 서브 메모리 유닛 SMU_{L1}, SMU_{L2}을 구성하는 모든 다른 메모리셀 MC_{L1k}, MC_{L2k}에서, 외부로부터 어드레스를 지정하지 않고, 행한다. 즉, (J+1)번째의 메모리셀 $MC_{L,1,J+1}$, $MC_{L,2,J+1}$, (J+2)번째의 메모리셀 $MC_{L,1,J+2}$, $MC_{L,2,J+2}$, · · · , M 번째의 메모리셀 $MC_{L,1,M}$, $MC_{L,2,H}$, 1번째의 메모리셀 $MC_{L,1,1}$, $MC_{L,2,1}$, 2번째의 메모리셀 $MC_{L,1,2}$, $MC_{L,2,2}$, · · ·, (J-2)번째의 메모리셀 $MC_{L,1,J-2}$, $MC_{L,2,J-2}$, (J-1)번째의 메모리셀 $MC_{L,1,J-1}$, $MC_{L,2,J-1}$까지 순차, 데이터의 기록을 행한다.

<352> 동작의 종료에서는, 콤퍼레이터(14)는 유닛콘트롤러(15)에 그 취지를 통지하고, 유닛콘트롤러(15)는, 유닛디코더(16)를 불활성으로 하고, 워드선 WL 및 플레이트선 PLH의 모두를 비선택상태로 되돌린다.

<353> 이상의 스텝에 의해 임의의 메모리셀에 신속하게 액세스되고, 또한, 동일 서브 메모리 유닛의 다른 메모리셀에도 데이터의 기록을 행할 수 있다.

<354> 다음에, 실시예 5의 불휘발성 메모리에 있어서의 데이터기록 동작을, 동작파형을 도시한 도 11을 참조하여 설명한다. 여기서, 일례로서, 플레이트선 PL_1에 접속된 메모리셀 MC_{L11}, MC_{L21}의 각각에, 데이터「1」,데이터「0」을 기록하는 것으로 한다. 또한, 동작파형을 도시한 도면에서, 괄호 내의 숫자는, 다음에 설명하는 공정의 번호와 대응하고 있다.

<355> (1) 대기상태에서는, 워드선, 전체 플레이트선은 0볼트로 되어있다. 또, 비트선 BL_{L1},BL_{L2}는 0 볼트로 균등하게 되어 있다. 또한, 센스앰프 SA_L에는, 기록할 데이터가 유지되고 있다.

<356> (2) [스텝 520]에 있어서의 데이터기록의 개시시, 비트선 BL_{L1}u에 고전위 V_{BL-H}(= V_{cc})가 인가되고, 비트선 BL_{L2}에 저전위 V_{BL-L}(= 0 볼트)가 인가된다. 여기서, V_{cc}는, 전원 전압이다.

<357> (3) 이어서, 워드선 WL을 하이레벨로 함으로써, 선택용 트랜지스터 TR_{L1}, TR_{L2}를 온상태로 한다. 더불어, 선택 플레이트선 PL_1에 고전위 V_{PL-H}(= V_{cc})를 인가하여, 비선택 플레이트선 PL_k(k = 2, 3, · · ·8)에는 중간전위 V_{PL-}

$_M$[= 1/2 V $_{cc}$]를 인가한다. 이로 인해, 메모리셀 MC_{L21}에서는, 선택 플레이트선 PL_1의 전위가 고전위 V $_{PL-H}$이며, 비트선 BL_{L2}의 전위가 저전위 V_{BL-L} 이기 때문에, 데이터「0」이 기록된다.

<358> (4) 그 후, 선택 플레이트선 PL_1을 저전위 V_{PL-L}(= 0볼트)로 한다. 이로 인해,메모리셀 MC_{L11}에서는, 선택 플레이트선 PL_1의 전위가 저전위 V_{PL-L}이며, 비트선 BL_{L1}의 전위가 고전위 V_{BL-H} 이므로, 데이터「1」이 기록된다.

<359> (5) 이어서, 워드선 WL을 로레벨로 함으로써, 선택용 트랜지스터 TR_{L1}, TR_{L2}을 오프상태로 한 후, 비트선 BL_{L1}을 0 볼트까지 방전하고, 비선택 플레이트선 PL_k(k = 2,3・・・8)을 0볼트까지 방전한다.

<360> (6) 이후, 메모리셀(MC_{L1m},MC_{L2m}) (m = 2, 3・・・8)에 대하여, 순차, 공정(1)~(5)의 조작을 행한다.

<361> (실시예 6)

<362> 실시예 6도, 본 발명의 제2 양태에 관한 불휘발성 메모리의 구동방법 및 본 발명의 불휘발성 메모리에 관한 것으로, 보다 상세하게는, 제2B의 구성에 관한 불휘발성 메모리의 구동방법에 관한 것이다. 도 4에 실시예 6의 불휘발성 메모리의 구동방법의 플로차트를 나타낸다. 실시예 6에 있어서도, 도 8에 나타낸 등가회로를 가지는 불휘발성 메모리를 사용했지만, 도 5 또는 도 10에 나타낸 등가회로를 가지는 불휘발성 메모리를 사용해도 된다.

<363> 실시예 6의 불휘발성 메모리의 구동방법에서는, 센스앰프 SA_L에 래치된 데이터를 지정어드레스의 메모리셀 MC_{L1J}, MC_{L2J}에 기록한 후, 외부로부터 어드레스를 지정하지 않고, 서브 메모리 유닛을 구성하는 다른 메모리셀 MC_{L1k}, MC_{L2k}에 기억된 데이터를 판독하고, 센스앰프 SA_L에 래치한 후, 센스앰프 SA_L에 래치된 데이터를 다른 메모리셀 MC_{L1k}, MC_{L2k}에 재기록한다. 실시예 6에서는, 지정어드레스의 메모리셀 MC_{L1J}, MC_{L2J}에만 데이터가 기록되고, 다른 메모리셀 MC_{L1k}, MC $_{L2k}$에서는, 데이터의 판독 및 재기록이 행해진다. 또한, 서브 메모리 유닛 SMU_{L1}, SMU_{L2}을 구성하는 모든 다른 메모리셀에 있어서, 외부로부터 어드레스를 지정하지 않고, 순차, 즉, (J+1)번째의 메모리셀 $MC_{L,1,J+1}$, $MC_{L,2,J+1}$, (J+2)번째의 메모리셀 $MC_{L,1,J+2}$, $MC_{L,2,J+2}$,・・・, M번째의 메모리셀 $MC_{L,1,M}$, $MC_{L,2,M}$, 1번째의 메모리셀 $MC_{L,1,1}$, MC $_{L,2,1}$, 2번째의 메모리셀 $MC_{L,1,2}$, $MC_{L,2,2}$, (J-2)번째의 메모리셀 $MC_{L,1,J.2}$, $MC_{L,2,J-2}$, (J-1)번째의 메모리셀 $MC_{L,1,J-1}$, $MC_{L,2,J-1}$까지 순차, 데이터의 판독 및 재기록을 행한다.

<364> 실시예 6의 불휘발성 메모리의 구동방법은, 도 4에 플로차트를 나타낸 바와 같이, 실질적으로, 실시예 5의 [스텝 500], [스텝 510], 실시예 1의 [스텝 140]을 순차, 실행하면 되기때문에, 상세한 설명은 생략한다.

<365> 이상, 본 발명을 실시예에 따라서 설명했지만, 본 발명은 이들에 한정되지 않는다. 실시예에서 설명한 불휘발성 메모리의 구조, 사용한 재료, 각종 형성조건, 회로 구성, 구동방법 등은 예시이며, 적절히 변경할 수 있다.

<366> 실시예 1~실시예 4에서 설명한 불휘발성 메모리의 구동방법에서는, 제1A의 구성과 제1B의 구성을 조합할 수도 있다. 이로 인해, 유연하고 자유도가 높은 불휘발성 메모리의 구동을 행하는 것이 가능하게 된다. 즉, (J+1)번째의 메모리셀 MC_{J+1}로부터 소정의 수의 메모리셀까지 제1B의 구성의 구동방법을 실행한 후, 나머지의 다른 메모리셀에 관해서는 제1A의 구성의 구동방법을 실행할 수도 있다. 구체적으로는, RAS_INC 코맨드를 소정 또는 원하는 회수, 실행한 후에, 나머지의 다른 메모리셀에 관해서는 리스토어 코맨드를 실행할 수도 있다. 또는, (J+1)번째의 메모리셀 MC_{J+1}로부터 소정의 수의 메모리셀까지 제1A의 구성의 구동방법을 실행한 후, 나머지의 다른 메모리셀에 관해서는 제1B의 구성의 구동방법을 실행할 수도 있다. 구체적으로는, 리스토어 코맨드를 중도에서 중지하고, 나머지의 다른 메모리셀에 관해서는 RAS_INC 코맨드를 실행할 수도 있다.

<367> 또, 실시예 5 및 실시예 6에서 설명한 불휘발성 메모리의 구동방법에서는, 제2A의 구성과 제2B의 구성을 조합할 수도 있다. 이로 인해, 유연하고 자유도가 높은 불휘발성 메모리의 구동을 행하는 것이 가능하게 된다. 즉, (J+1)번째의 메모리셀 MC_{J+1}로부터 소정의 수의 메모리셀까지 제2B의 구성의 구동방법을 실행한 후, 나머지의 다른 메모리셀에 관해서는 제2A의 구성의 구동방법을 실행할 수도 있다. 구체적으로는, RAS_INC 코맨드를 소정 또는 원하는 회수, 실행한 후에, 나머지의 다른 메모리셀에 관해서는 리스토어 코맨드를 실행할 수도 있다. 또는, (J+1)번째의 메모리셀 MC_{J+1}로부터 소정의 수의 메모리셀까지 제2A의 구성의 구동방법을 실행한 후, 나머지의 다른 메모리셀에 관해서는 제2B의 구성의 구동방법을 실행할 수도 있다. 구체적으로는, 리스토어 코맨드를 도중에

서 중지하고, 나머지의 다른 메모리셀에 관해서는 RAS_INC 코맨드를 실행할 수도 있다.

<368> 다음에, 불휘발성 메모리의 구조의 각종 변형예를 설명하지만, 이들 불휘발성 메모리의 각종 구동방법은, 각 실시예에서 설명한 것과 동일한 구동방법으로 할 수 있기때문에, 상세한 설명은 생략한다. 또, 도 12~도 25에서는, 서브 메모리 유닛의 어드레스를 지정하는 첨자「L」의 표시를 생략했다. 또한 도 13, 도 14, 도 16, 도 17, 도 22, 도 25에서는, 코맨드 디코더(10)등의 도시를 생략했다.

<369> 예를 들면, 도 8에 나타낸 등가회로를 가지는 불휘발성 메모리에 있어서, 제1 메모리 유닛과, 이 불휘발성 메모리와 제1 비트선 BL_{L1}가 연장되는 방향으로 인접한 불휘발성 메모리를 구성하는 제1 메모리 유닛을 층간절연층(36)을 통하여 적층하여, 불휘발성 메모리를 구성하는 제2 메모리 유닛과, 이 불휘발성 메모리와 제2 비트선 BL_{L2}가 연장되는 방향으로 인접한 불휘발성 메모리를 구성하는 제2 메모리 유닛을 층간절연층(36)을 통하여 적층한 구성을 가진다. 이러한 불휘발성 메모리가 모식적인 일부단면도를 도 12에 나타낸다. 단, 도 12에서는, 제1 메모리 유닛만을 도시했다. 제2 메모리 유닛은, 도 12의 지면의 수직방향으로 인접하고 있다. 또한, 제1 비트선 BL_{L1}가 연장되는 방향으로 인접한 불휘발성 메모리를 구성하는 제1 메모리 유닛의 구성 요소에 관한 참조 번호에는 「' 」을 붙였다.

<370> 보다 구체적으로는, 도 12에 나타낸 불휘발성 메모리에서는, p형의 실리콘 반도체기판(20)에 형성된 LOCOS구조, 샐로 트렌치(Shallow Trench)구조, 또는 LOCOS 구조와 샐로 트렌치 구조의 조합으로 이루어지는 소자분리영역(21)으로 에워싸인 활성영역에, MOS형 FET으로 이루어지는 선택용 트랜지스터 TR_1, TR'_1이 형성되어 있다. 선택용 트랜지스터 TR_1, TR'_1은, 실리콘 반도체기판(20)의 표면에 형성된 예를 들면 실리콘산화막으로 이루어지는 게이트 절연막(22), 게이트 절연막(22) 상에 형성된 게이트 전극(23)(워드선 WL_1,WL'_1을 겸하고 있다), 및 실리콘 반도체기판(20)의 활성영역에 형성되고, n+형 불순물을 함유하는 소스/드레인영역(24)으로 구성되어 있다.

<371> 그리고, 전체면에 형성된 하층 절연층 상에 비트선 BL_1이 형성되고, 비트선 BL_1은, 하층절연층에 형성된 접속공(컨택트홀)(25)을 통하여, 선택용 트랜지스터 TR_1, TR'_1의 한쪽의 소스/드레인영역(24)에 접속되어 있다. 또, 비트선 BL_1 을 포함하는 하층절연층 상에는 상층절연층이 형성되어 있다. 또한, 도면에서는, 하층절연층 및 상층절연층을 모아 절연층(26)으로 나타냈다. 또, 비트선 BL_1은, 후술하는 접속공(컨택트홀)(28)과 접촉하지않도록, 도 12의 좌우방향으로 연장되어 있다.

<372> 절연층(26) 상에는 제1 전극(하부전극)(31)이 형성되고,제1 전극(31) 상에 강유전체층(32)이 형성되고, 강유전체층(32) 상에 제2 전극(상부전극)(33)이 형성되고, 이들에 의해 메모리셀 MC_{1M}이 구성되어 있다. 제1 전극(31)은, 메모리셀 MC_{1M}에 공통이며, 스트라이프형의 평면형상을 가진다. 그리고,제1 전극(31)은, 절연층(26)에 형성된 개구부(27) 내에 형성된 접속공(28)을 통하여 선택용 트랜지스터 TR_1의 다른 쪽의 소스/드레인영역(24)에 접속되어 있다. 또한, 공통의 제1 전극(31)을, 공통노드 CN_1로 나타낸다. 강유전체층(32)은, 제2 전극(33)과 대략 동일 패턴으로 형성되어 있다.

<373> 또한, 메모리셀 MC_{1M} 및 절연층(26) 상에는 층간절연층(36)이 형성되어 있다. 그리고 층간절연층(36) 상에는 제1 전극(하부전극)(31')이 형성되고,제1 전극(31') 상에 강유전체층(32')이 형성되고, 강유전체층(32') 상에 제2 전극(상부전극)(33')이 형성되고, 이들에 의해 메모리셀 MC'_{1M}이 구성되어 있다. 제1 전극(31')은, 메모리셀 MC'_{1M}에 공통이며, 스트라이프형의 평면형상을 가진다. 그리고, 제1 전극(31')은 층간절연층(36)에 형성된 개구부(37) 내에 형성된 접속공(38), 절연층(26) 상에 형성된 패드부(35), 및 절연층(26)에 형성된 개구부(27) 내에 형성된 접속공(28)을 통하여, 선택용 트랜지스터 TR'_1의 다른 쪽의 소스/드레인영역(24)에 접속되어 있다. 또한, 공통의 제1 전극(31')을, 공통노드 CN'_1로 나타낸다. 강유전체층(32')은, 제2 전극(33')과 대략 동일 패턴으로 형성되어 있다. 또한 메모리셀 MC'_{1M} 및 층간절연층(36) 상에는, 상부절연층(46A)이 형성되어 있다.

<374> 워드선 WL_1, WL'_1은, 도 12의 지면의 수직방향으로 연장되어 있다. 또, 제2 전극(33,33')은, 도 12의 지면의 수직방향으로 인접하는 메모리셀 MC_{2m}, MC'_{2m}과 공통이며, 플레이트선 PL_m를 겸하고 있다. 또, 메모리셀 MC_{1m}과 메모리셀 MC'_{1M}은, 수직방향으로 일치되어 있다. 이러한 구조로 함으로써, 메모리셀의 점유면적을 작게 할 수가

있어, 집적도의 향상을 도모할 수 있다.

<375> 도 8 및 도 10에 나타낸 등가회로를 가지는 불휘발성 메모리의 변형예의 등가 회로도를 도 13 및 도 14에 나타내고, 이러한 불휘발성 메모리가 모식적인 일부단면도를 도 15에 나타낸다.

<376> 도 13에 등가 회로도를 나타낸 불휘발성 메모리에서는, 서브 메모리 유닛 SMU_{11}, SMU_{21}에 접속된 선택용 트랜지스터 TR_{11}, TR_{21}의 게이트 전극의 각각은, 워드선 WL_1에 접속되고, 서브 메모리 유닛 SMU_{12}, SMU_{22}에 접속된 선택용 트랜지스터 TR_{12},TR_{22}의 게이트 전극의 각각은, 워드선 WL_2에 접속되어 있다. 한편, 도 14에 등가 회로도를 나타낸 불휘발성 메모리에서는, 서브 메모리 유닛 SMU_{11}, SMU_{12}, SMU_{21}, SMU_{22}에 접속된 선택용 트랜지스터 TR_{11}, TR_{12}, TR_{21}, TR_{22}의 게이트 전극의 각각은, 워드선 WL_1,WL_2,WL_3,WL_4에 접속되어 있다.

<377> 이 불휘발성 메모리는,

<378> (A-1) 제1 비트선 BL_1과,

<379> (B-1) N개(단, N≥1이며, 도시한 예에서는, 구체적으로는, N = 2)의 제1 선택용 트랜지스터 TR_{1N}과,

<380> (C-1) 각각이 M개(단, M≥2이며, 도시한 예에서는, M = 8)의 제1 메모리셀 MC_{1nM}(n =1,2・・・N)으로 구성된, N개(단, N≥1이며, 도시한 예에서는, N = 2)의 제1 서브 메모리 유닛 SMU_{1N}과,

<381> (D-1) N개의 서브 메모리 유닛 SMU_{1N}의 각각을 구성하는 제1 메모리셀 MC_{1nm}(m = 1,2・・・M)로 공통으로 된 M개의 플레이트선 PL_m, 으로 이루어지는 제1 메모리 유닛 MU_1, 및

<382> (A-2) 제2 비트선 BL_2과,

<383> (B-2) N개의 제2 선택용 트랜지스터 TR_{2N}과,

<384> (C-2) 각각이 M개의 제2 메모리셀 MC_{2nM} 로 구성된, N개의 제2 서브 메모리 유닛 SMU_{2N}과,

<385> (D-2) N개의 서브 메모리 유닛 SMU_{2N}의 각각을 구성하는 제2 메모리셀 MC_{2nm}에서 공통으로 되어, 또한, 상기 제1 메모리 유닛 MU_1을 구성하는 M개의 플레이트선 PL_m과 공통의 M개의 플레이트선 PL_m,

<386> 으로 이루어지는 제2 메모리 유닛 MU_2로 구성되어 있다.

<387> 또한, 도 15의 모식적인 일부단면도에 있어서, 이들 제2 비트선 BL_2, 제2 선택용 트랜지스터 TR_{21}, TR_{22} 및 제2 메모리 유닛 MU_2은, 제1 비트선 BL_1,제1 선택용 트랜지스터 TR_{11},TR_{12} 및 제1 메모리 유닛 MU_1과, 지면의 수직방향으로 인접하고 있다.

<388> 그리고, 각 메모리셀 MC_{1nm}(m =1,2・・・M이며, n = 1,2・・・N이며, 도시한 예에서는, m = 1,2,・・・8, n =1,2)은, 제1 전극(하부전극)(31),(41)과, 강유전체층(32),(42)과, 제2 전극(상부전극)(33),(43)으로 이루어진다. 그리고,제1 메모리 유닛 MU_1에 있어서, 제n 번째(단, n =1,2・・・N)의 제1 서브 메모리 유닛 SMU_{1n}을 구성하는 제1 메모리셀 MC_{1nm}의 제1 전극(31),(41)은, 제n 번째의 제1 서브 메모리 유닛 SMU_{1n} 에서 공통이며, 상기 공통의 제1 전극(31),(41) (공통노드 CN_{1n}라고 하는 경우가 있음)는, 제n 번째의 제1 선택용 트랜지스터 TR_{1n}을 통하여 제1 비트선 BL_1 에 접속되어, 제2 전극(33),(43)은 공통의 플레이트선 PL_m에 접속되어 있다. 한편, 제2 메모리 유닛 MU_2에 있어서, 제n 번째의 제2 서브 메모리 유닛 SMU_{2n}을 구성하는 제2 메모리셀 MC_{2nm}의 제1 전극(31),(41)은, 제n 번째의 제2 서브 메모리 유닛 SMU_{2n}에서 공통이며, 상기 공통의 제1 전극(31),(41)(공통노드 CN_{2n}라고 하는 경우가 있음)는, 제n 번째의 제2 선택용 트랜지스터 TR_{2n}을 통하여 제2 비트선 BL_2에 접속되RH, 제2 전극(33),(43)은 공통의 플레이트선 PL_m에 접속되어 있다.

<389> 또한, 불휘발성 메모리의 메모리 유닛을 구성하는 메모리셀의 수는 8개에 한정되지 않고, 일반적으로는, 2×M개(단, m =1,2,3・・・)으로 할 수 있지만, 예를 들면, 2의 누승(2,4,8,16,32・・・)인 것이 바람직하다.

<390> 메모리셀 MC_{11m},MC_{12m},MC_{21m},MC_{22m}에서의 플레이트선 PL_m은 공통화되어 있고, 플레이트선 디코더/드라이버 PD에 접속되어 있다. 또한 제1 선택용 트랜지스터 TR_{11}의 게이트 전극과 제2 선택용 트랜지스터 TR_{21}의 게이트 전극은 워드선 WL_1에 접속되고, 제1 선택용 트랜지스터 TR_{12}의 게이트 전극과 제2 선택용 트랜지스터 TR_{22}의 게이트 전극은 워드선 WL_2에 접속되어, 워드선 WL_1,WL_2은, 워드선 디코더/드라이버 WD에 접속되어 있다. 또, 제1 비트선 BL_1 및 제2 비트선 BL_2은, 센스앰프 SA에 접속되어 있다.

<391> 도 15에 나타낸 불휘발성 메모리에서는, 제1 메모리 유닛 MU1을 구성하는 제1 서브 메모리 유닛 SMU_{11}, SMU_{12}의 각각은 층간절연층(36)을 통하여 적층되어 있고, 제2 메모리 유닛 MU_2을 구성하는 제2 서브 메모리 유닛 SMU_{21}, SMU_{22} 의 각각은 층간절연층(36)을 통하여 적층되어 있다. 즉, 제1 메모리 유닛 MU_1을 구성하는 제1 번째의 서브 메모리 유닛 SMU_{11}과 제2 번째의 서브 메모리 유닛 SMU_{12}과는 층간절연층(36)을 통하여 적층되어 있다. 또한 제2 메모리 유닛 MU_2을 구성하는 제1 번째의 서브 메모리 유닛 SMU_{21}과 제2 번째의 서브 메모리 유닛 SMU_{22}도 층간절연층(36)을 통하여 적층되어 있다. 이로 인해, 불휘발성 메모리의 고집적화를 도모할 수 있다.

<392> 다음에, 도 15에 도시한 불휘발성 메모리를 상세하게 설명한다. 그리고, 다음의 설명에서는, 제1 메모리 유닛 MU_1에 대하여 설명하지만, 제2 메모리 유닛 MU_2도 동일한 구조이다.

<393> 보다 구체적으로는, 도 15에 나타낸 불휘발성 메모리에서는, p형의 실리콘 반도체기판(20)에 형성된 LOCOS구조, 샐로 트렌치 구조, 또는 LOCOS 구조와 샐로 트렌치 구조의 조합으로 이루어지는 소자분리영역(21)으로 에워싸인 활성영역에, MOS형 FET으로 이루어지는 제1 선택용 트랜지스터 TR_{11},TR_{12}가 형성되어 있다. 제1 선택용 트랜지스터 TR_{11},TR_{12}는, 실리콘 반도체기판(20)의 표면에 형성된 예를 들면 실리콘산화막으로 이루어지는 게이트 절연막(22), 게이트 절연막(22) 상에 형성된 게이트 전극(23)(워드선 WL_1,WL_2을 겸하고 있음), 및 실리콘 반도체기판(20)의 활성영역에 형성되고, n^+ 형 불순물을 함유하는 소스/드레인영역(24)으로 구성되어 있다.

<394> 그리고, 전체면에 형성된 하층절연층 상에 비트선 BL_1이 형성되고, 비트선 BL_1은, 하층절연층에 형성된 접속공(컨택트홀)(25)을 통하여, 선택용 트랜지스터 TR_{11}, TR_{12} 러의 한쪽의 소스/드레인영역(24)에 접속되어 있다. 또, 비트선 BL_1을 포함하는 하층절연층 상에는 상층절연층이 형성되어 있다. 또한, 도면에서는, 하층절연층 및 상층절연층을 모아 절연층(26)으로 나타냈다. 또, 비트선 BL_1은 후술하는 접속공(컨택트홀)(28)과 접촉하지 않도록, 도 15의 좌우방향으로 연장되어 있다.

<395> 절연층(26) 상에는 제1 전극(하부전극)(31)이 형성되고, 제1 전극(31) 상에 강유전체층(32)이 형성되고, 강유전체층(32) 상에 제2 전극(상부전극)(33)이 형성되고,이들에 의해 메모리셀 MC_{11M}이 구성되고, 또한 제1 번째의 서브 메모리 유닛 SMU_{11}이 구성되어 있다. 제1 전극(31)은, 메모리셀 MC_{11M}에 공통이며, 스트라이프형의 평면형상을 가진다. 그리고, 제1 전극(31)은, 절연층(26)에 형성된 개구부(27) 내에 형성된 접속공(28)을 통하여 선택용 트랜지스터 TR_{11}의 다른 쪽의 소스/드레인영역(24)에 접속되어 있다. 또한, 공통의 제1 전극(31)을, 공통노드 CN_{11}로 나타낸다. 강유전체층(32)은, 제2 전극(33)과 대략 동일 패턴으로 형성되어 있다.

<396> 또한, 메모리셀 MC_{11m}(서브 메모리 유닛 SMU_{11}) 및 절연층(26) 상에는 층간절연층(36)이 형성되어 있다. 그리고 층간절연층(36) 상에는 제1 전극(하부전극)(41)이 형성되고, 제1 전극(41) 상에 강유전체층(42)이 형성되고, 강유전체층(42) 상에 제2 전극(상부전극)(43)이 형성되고, 이들에 의해 메모리셀 MC_{12M}이 구성되고, 또한 제2 번째의 서브 메모리 유닛 SMU_{12}이 구성되어 있다. 제1 전극(41)은, 메모리셀 MC_{12M}에 공통이며, 스트라이프형의 평면형상을 가진다. 그리고,제1 전극(41)은 층간절연층(36)에 형성된 개구부(37) 내에 형성된 접속공(38), 절연층(26) 상에 형성된 패드부(35), 및 절연층(26)에 형성된 개구부(27) 내에 형성된 접속공(28)을 통하여, 선택용 트랜지스터 TR_{12}의 다른 쪽의 소스/드레인영역(24)에 접속되어 있다. 또한, 공통의 제1 전극(41)을, 공통노드 CN_{12}로 나타낸다. 강유전체층(42)은, 제2 전극(43)과 대략 동일 패턴으로 형성되어 있다. 또한 메모리셀 MC_{12M} 및 층간절연층(36) 상에는, 상부절연층(46A)이 형성되어 있다.

<397> 워드선 WL_1,WL_2은, 도 15의 지면의 수직방향으로 연장되어 있다. 또, 제2 전극(33)은, 도 15의 지면의 수직방향

으로 인접하는 제2 메모리 유닛 MU_2을 구성하는 제1 번째의 서브 메모리 유닛 SMU_{21}의 메모리셀 MC_{21m}과 공통이며, 플레이트선 PL_m을 겸하고 있다. 또한 제2 전극(43)도, 도 15의 지면의 수직방향으로 인접하는 제2 메모리 유닛 MU_2을 구성하는 제2 번째의 서브 메모리 유닛 SMU_{22}의 메모리셀 MC_{22m}과 공통이며, 플레이트선 PL_m을 겸하고 있다. 각 메모리셀 MC_{11m},MC_{12m},MC_{21m},MC_{22m}에서 공유된 이들 각 플레이트선 PL_m은, 도 15의 지면의 수직방향으로 연장되어 있고, 도시하지 않은 영역에서 접속공을 통하여 접속되어 있다. 또, 메모리셀 MC_{11M}과 메모리셀 MC_{12M}와는, 수직방향으로 일치되어 있다. 이러한 구조로 함으로써, 메모리셀의 점유면적을 작게 할 수 있어, 집적도의 향상을 도모할 수 있다.

<398> 도 8 및 도 10에 나타낸 등가회로를 가지는 불휘발성 메모리의 다른 변형예의 등가 회로도를 도 16 및 도 17에 나타내고, 이러한 불휘발성 메모리의 모식적인 일부단면도를 도 18에 나타낸다.

<399> 도 16에 등가 회로도를 나타낸 불휘발성 메모리에서는, 서브 메모리 유닛 SMU_{11}, SMU_{21}에 접속된 선택용 트랜지스터 TR_{11}, TR_{21}의 게이트 전극의 각각은, 워드선 WL_1에 접속되고, 서브 메모리 유닛 SMU_{12}, SMU_{22}에 접속된 선택용 트랜지스터 TR_{12}, TR_{22}의 게이트 전극의 각각은, 워드선 WL_2에 접속되고, 서브 메모리 유닛 SMU_{13}, SMU_{23}에 접속된 선택용 트랜지스터 TR_{13}, TR_{23}의 게이트 전극의 각각은, 워드선 WL_3에 접속되고, 서브 메모리 유닛 SMU_{14}, SMU_{24}에 접속된 선택용 트랜지스터 TR_{14}, TR_{24}의 게이트 전극의 각각은, 워드선 WL_4에 접속되어 있다. 한편, 도 17에 등가 회로도를 나타낸 불휘발성 메모리에서는, 서브 메모리 유닛 SMU_{11}, SMU_{12}, SMU_{13}, SMU_{14}, SMU_{21}, SMU_{22}, SMU_{23}, SMU_{24}에 접속된 선택용 트랜지스터 TR_{11},TR_{12}, TR_{13},TR_{14}, TR_{21},TR_{22},TR_{23},TR_{24}의 게이트 전극의 각각은, 워드선 WL_1,WL_2,WL_3,WL_4,WL_5,WL_6,WL_7 ,WL_8에 접속되어 있다. 또한, 도 16 및 도 17에서는, 제1 비트선 BL_1 및 제2 비트선 BL_2가 접속된 센스앰프 SA의 도시를 생략했다.

<400> 이 불휘발성 메모리에서는, 제1 메모리 유닛 MU_1을 구성하는 서브 메모리 유닛 SMU_{11}, SMU_{12}, SMU_{13}, SMU_{14}가 4단으로 적층되어 있다. 또, 도시하지 않지만, 제2 메모리 유닛 MU_2을 구성하는 서브 메모리 유닛 SMU_{21}, SMU_{22}, SMU_{23}, SMU_{24}도 4단으로 적층되어 있다.

<401> 이 불휘발성 메모리는,

<402> (A-1) 제1 비트선 BL_1과,

<403> (B-1) N개(단, N≥1이며, 구체적으로는, n = 4)의 제1 선택용 트랜지스터 TR_{1N} (TR_{11}, TR_{12}, TR_{13}, TR_{14}) 와,

<404> (C-1) 각각이 M개(단, M≥2이며, m = 8)의 제1 메모리셀 MC_{1nM}(MC_{11M},MC_{12M},MC_{13M},MC_{14M})로 구성된, N개의 제1 서브 메모리 유닛 SMU_{1N}(SMU_{11}, SMU_{12}, SMU_{13}, SMU_{14})과,

<405> (D-1) N개의 서브 메모리 유닛 SMU_{1n}의 각각을 구성하는 제1 메모리셀 MC_{1nm} (MC_{11m},MC_{12m},MC_{13m},MC_{14m})로 공통으로 된 M개의 플레이트선 PL_m

<406> 으로 이루어지는 제1 메모리 유닛 MU_1 및

<407> (A-2) 제2 비트선 BL_2과,

<408> (B-2) N개의 제2 선택용 트랜지스터 TR_{2N}(TR_{21}, TR_{22}, TR_{23} , TR_{24})와,

<409> (C-2) 각각이 M개의 제2 메모리셀 MC_{2nM}(MC_{21M}, MC_{22M}, MC_{23M} , MC_{24M} 로 구성된 N개의 제2 서브 메모리 유닛 SMU_{2N} (SMU_{21}, SMU_{22}, SMU_{23}, SMU_{24})과,

<410> (D-2) N개의 서브 메모리 유닛 SMU2n의 각각을 구성하는 제2 메모리셀 MC_{2nm}(MC_{21m},MC_{22m},MC_{23m},MC_{24m})로 공통으로 되고, 또한, 상기 제1 메모리 유닛을 구성하는 M개의 플레이트선과 공통의 M개의 플레이트선 PL_m 으로 이루어지는 제2 메모리 유닛 MU_2로 구성되어 있다.

<411> 즉, 이 불휘발성 메모리는, 메모리 유닛을 구성하는 서브 메모리 유닛이 4층 구성이다. 또한, 서브 메모리 유닛을 구성하는 메모리셀의 수는 8개에 한정되지 않고, 또 메모리 유닛을 구성하는 메모리셀의 수는 32개에 한정되지 않는다.

<412> 그리고, 각 메모리셀은, 제1 전극과 강유전체층과 제2 전극으로 이루어진다. 구체적으로는, 메모리셀 MC_{11mm} 및 메모리셀 MC_{21M}의 각각은, 제1 전극(31)과, 강유전체층(32)과, 제2 전극(33)으로 이루어진다. 또, 메모리셀 MC_{12M} 측 및 메모리셀 MC_{22M}의 각각은, 제1 전극(41)과, 강유전체층(42)과, 제2 전극(43)으로 이루어진다. 또한 메모리셀 MC_{13M} 및 메모리셀 MC_{23M}의 각각은, 제1 전극(51)과, 강유전체층(52)과, 제2 전극(53)으로 이루어진다. 또, 메모리셀 MC_{14M} 및 메모리셀 MC_{24M}의 각각은, 제1 전극(61)과, 강유전체층(62)과, 제2 전극(63)으로 이루어진다.

<413> 제1 메모리 유닛 MU_1에 있어서, 제n 번째(n = 1,2 · · ·N)의 제1 서브 메모리 유닛 SMU_{1n}을 구성하는 제1 메모리셀 MC_{1nm}의 제1 전극(31,41,51,61)은, 제n 번째의 제1 서브 메모리 유닛 SMU_{1n} 에서 공통이며, 상기 공통의 제1 전극(31,41,51,61)은, 제n 번째의 제1 선택용 트랜지스터 TR_{1n}을 통하여 제1 비트선 BL1에 접속되고, 제2 전극(33,43,53,63)은 공통의 플레이트선 PL 용에 접속되어 있다.

<414> 제2 메모리 유닛 MU_2에 있어서, 제n 번째의 제2 서브 메모리 유닛 SMU_{2n}을 구성하는 제2 메모리셀 MC_{2nm}의 제1 전극(31,41,51,61)은, 제n 번째의 제2 서브 메모리 유닛 SMU_{2n}에서 공통이며, 상기 공통의 제1 전극(31,41,51,61)은, 제n 번째의 제2 선택용 트랜지스터 TR_{2n}을 통하여 제2 비트선 BL_2에 접속되rh, 제2 전극(33,43,53,63)은 공통의 플레이트선 PL_m에 접속되어 있다.

<415> 보다 구체적으로는, 도 18에 나타낸 불휘발성 메모리에서는, p형의 실리콘 반도체기판(20)에 형성된 LOCOS구조, 샐로 트렌치 구조, 또는 LOCOS 구조와 샐로 트렌치 구조의 조합으로 이루어지는 소자분리영역(21)으로 에워싸인 활성영역에, MOS형 FET으로 이루어지는 제1 선택용 트랜지스터 TR_{11},TR_{12},TR_{13},TR_{14}가 형성되어 있다. 제1 선택용 트랜지스터 TR_{11},TR_{12},TR_{13},TR_{14}는, 실리콘 반도체기판(20)의 표면에 형성된 예를 들면 실리콘산화막으로 이루어지는 게이트 절연막(22), 게이트 절연막(22) 상에 형성된 게이트 전극(23)(워드선 WL_1,WL_2,WL_3,WL_4을 겸하고 있음), 및 실리콘 반도체기판(20)의 활성영역에 형성되고, n^+ 형 불순물을 함유하는 소스/드레인영역(24)으로 구성되어 있다.

<416> 그리고, 전체면에 형성된 하층절연층 상에 비트선 BL_1이 형성되고, 비트선 BL_1은, 하층절연층에 형성된 접속공(25)을 통하여, 제1 번째 및 제2의 제1 선택용 트랜지스터 TR_{11},TR_{12}의 한쪽의 소스/드레인영역(24), 및 제3 번째 및 제4 번째의 제1 선택용 트랜지스터 TR_{13},TR_{14}의 한쪽의 소스/드레인영역(24)에 접속되어 있다. 또, 비트선 BL_1을 포함하는 하층절연층 상에는 상층절연층이 형성되어 있다. 비트선 BL_1은, 후술하는 접속공(28)과 접촉하지 않도록, 도 18의 좌우방향으로 연장되어 있다.

<417> 절연층(26) 상에는 제1 전극(하부전극)(31)이 형성되고, 제1 전극(31) 상에 강유전체층(32)이 형성되고, 강유전체층(32) 상에 제2 전극(상부전극)(33)이 형성되고, 이들에 의해 메모리셀 MC_{11M}이 구성되고, 서브 메모리 유닛 SMC_{11}이 구성되어 있다. 제1 전극(31)은, 서브 메모리 유닛 SMC_{11}에 공통이며, 스트라이프형의 평면형상을 가진다. 그리고, 제1 전극(31)은, 절연층(26)에 형성된 개구부(27) 내에 형성된 접속공(28)을 통하여 제1 번째의 제1 선택용 트랜지스터 TR_{11}의 다른 쪽의 소스/드레인영역(24)에 접속되어 있다. 그리고, 공통의 제1 전극(31)을, 공통노드 CN_{11}로 나타낸다. 강유전체층(32)은, 제2 전극(33)과 대략 동일 패턴으로 형성되어 있다.

<418> 또한, 서브 메모리 유닛 SMC_{11} 및 절연층(26) 상에는, 제1 층간절연층(36)이 형성되어 있다. 그리고, 제1 층간절연층(36) 상에는 제1 전극(하부전극)(41)이 형성되고, 제1 전극(41) 상에 강유전체층(42)이 형성되고, 강유전체층(42) 상에 제2 전극(상부전극)(43)이 형성되고, 이들에 의해 메모리셀 MC_{12M}, 서브 메모리 유닛 SMU_{12}이 구성되어 있다. 제1 전극(41)은, 메모리셀 MC_{12M}에 공통이며, 스트라이프형의 평면형상을 가진다. 그리고, 제1 전극(41)은, 제1 층간절연층(36)에 형성된 개구부(37) 내에 형성된 접속공(38), 절연층(26) 상에 형성된 패드부(35), 및 절연층(26)에 형성된 개구부(27) 내에 형성된 접속공(28)을 통하여, 제2 번째의 제1 선택용 트랜지스

터 TR_{12}의 다른 쪽의 소스/드레인영역(24)에 접속되어 있다. 또한, 공통의 제1 전극(41)을, 공통노드 CN_{12}로 나타낸다. 강유전체층(42)은, 제2 전극(43)과 대략 동일 패턴으로 형성되어 있다.

<419> 또한, 서브 메모리 유닛 SMC_{12} 및 제1 층간절연층(36) 상에는, 제2 층간절연층(46)이 형성되어 있다. 그리고, 제2 층간절연층(46) 상에는 제1 전극(하부전극)(51)이 형성되고,제1 전극(51) 상에 강유전체층(52)이 형성되고, 강유전체층(52) 상에 제2 전극(상부전극)(53)이 형성되고, 이들에 의해 메모리셀 MC_{13M}, 서브 메모리 유닛 SMU_{13}이 구성되어 있다. 제1 전극(51)은, 메모리셀 MC_{13M}에 공통이며, 스트라이프형의 평면형상을 가진다. 그리고, 제1 전극(51)은, 제2 층간절연층(46)에 형성된 개구부(47) 내에 형성된 접속공(48), 제1 층간절연층(36) 상에 형성된 패드부(45), 제1 층간절연층(36)에 형성된 개구부(37) 내에 형성된 접속공(38), 절연층(26) 상에 형성된 패드부(35), 및 절연층(26)에 형성된 개구부(27) 내에 형성된 접속공(28)을 통하여, 제3 번째의 제1 선택용 트랜지스터 TR_{13}의 다른 쪽의 소스/드레인영역(24)에 접속되어 있다. 또한, 공통의 제1 전극(51)을, 공통노드 CN_{13}로 나타낸다. 강유전체층(52)은, 제2 전극(53)과 대략 동일 패턴으로 형성되어 있다.

<420> 또한, 서브 메모리 유닛 SM_{13} 및 제2 층간절연층(46) 상에는, 제3 층간절연층(56)이 형성되어 있다. 그리고, 제3 층간절연층(56) 상에는 제1 전극(하부전극)(61)이 형성되고, 제1 전극(61) 상에 강유전체층(62)이 형성되고, 강유전체층(62) 상에 제2 전극(상부전극)(63)이 형성되고, 이들에 의해 메모리셀 MC_{14M}이 구성되고, 서브 메모리 유닛 SMU_{14}이 구성되어 있다. 제1 전극(61)은, 메모리셀 MC_{14M}에 공통이며, 스트라이프형의 평면형상을 가진다. 그리고, 제1 전극(61)은, 제3 층간절연층(56)에 형성된 개구부(57) 내에 형성된 접속공(58), 제2 층간절연층(46) 상에 형성된 패드부(55), 제2 층간절연층(46)에 형성된 개구부(47) 내에 형성된 접속공(48), 제1 층간절연층(36) 상에 형성된 패드부(45), 제1 층간절연층(36)에 형성된 개구부(37) 내에 형성된 접속공(38), 절연층(26) 상에 형성된 패드부(35), 및 절연층(26)에 형성된 개구부(27) 내에 형성된 접속공(28)을 통하여, 제4 번째의 제1 선택용 트랜지스터 TR_{14}의 다른 쪽의 소스/드레인영역(24)에 접속되어 있다. 또한, 공통의 제1 전극(61)을, 공통노드 CN_{14}라고 하는 경우가 있다. 강유전체층(62)은, 제2 전극(63)과 대략 동일 패턴으로 형성되어 있다. 또한 메모리셀 MC_{14Mm} 및 제3 층간절연층(56) 상에는, 상부절연층(66A)가 형성되어 있다.

<421> 워드선 WL_1,WL_2,WL_3,WL_4은, 도 18의 지면의 수직방향으로 연장되어 있다. 또,제2 전극(33)은, 도 18의 지면의 수직방향으로 인접하는 메모리셀 MC_{21m}과 공통이며, 플레이트선 PL_m을 겸하고 있다. 또한 제2 전극(43,53,63)도, 도 18의 지면의 수직방향으로 인접하는 메모리셀 MC_{22m}, MC_{23m}, MC_{24m}과 공통이며, 플레이트선 PL_m을 겸하고 있다. 각 메모리셀 MC_{11m},MC_{12m},MC_{13m},MC_{14m},MC_{21m},MC_{22m},MC_{23m},MC_{24m}에서 공유된 이들 각 플레이트선 PL_m은, 도 18의 지면의 수직방향으로 연장되어 있고, 도시하지 않은 영역에서 접속공을 통하여 접속되어 있다. 또, 메모리셀 MC_{11m}과 메모리셀 MC_{12M}과 메모리셀 MC_{13M}과 메모리셀 MC_{14M}은, 수직방향으로 일치되어 있다. 이러한 구조로 함으로써, 메모리셀의 점유면적을 더한층 작게 할 수가 있어, 집적도의 더한층의 향상을 도모할 수 있다.

<422> 이 불휘발성 메모리에서는, 제1 번째의 선택용 트랜지스터 TR_{11},TR_{21}는 워드선 WL_1에 접속되고 있고, 제2 번째의 선택용 트랜지스터 TR_{12},TR_{22}는 워드선 WL_2에 접속되고 있고, 제3 번째의 선택용 트랜지스터 TR_{13},TR_{23}는 워드선 WL_3에 접속되고 있고, 제 4 번째의 선택용 트랜지스터 TR_{14},TR_{24}는 워드선 WL_4에 접속되어 있다.

<423> 그리고, 플레이트선 PL_1을 공유한 메모리셀 MC_{11m},MC_{21m}, 플레이트선 PL_2을 공유한 메모리셀 MC_{12m},MC_{22m}, 플레이트선 PL_3을 공유한 MC_{13m} ,MC_{23},플레이트선 PL_4을 공유한 메모리셀 MC_{14m},MC_{24m}에 상보적인 데이터를 기록함으로써, 각각에 1비트를 기억하고, 하나의 메모리 유닛(액세스단위 유닛)에서는 32비트를 기억한다(도 16의 등가 회로도 참조). 또한, 제2 선택용 트랜지스터 TR_{21},TR_{22},TR_{23},TR_{24}의 구조, 메모리셀 MC_{21m},MC_{22m},MC_{23m},MC_{24m}의 구조는, 도 18에 나타낸 구조와 동일이며, 도 18의 지면의 수직방향으로 인접하고 있다. 또는, 8개의 선택용 트랜지스터 TR_{11}~TR_{14},TR_{21}~TR_{24}와, 64개의 메모리셀 MC_{11m}~MC_{14m},MC_{21m}~MC_{24m}에 따라 하나의 메모리 유닛(액세스단위 유닛)이 구성되고, 각 메모리셀에 1비트를 기억하고, 메모리 유닛에서는 64비트를 기억한다(도 17의 등가 회로도참조).

<424> 워드선 WL_1,WL_2,WL_3,WL_4은 워드선 디코더/드라이버 WD에 접속되어 있다. 또, 비트선 BL_1,BL_2은, 센스앰프(도시하

지 않음)에 접속되어 있다. 또한 플레이트선 PL_m은, 플레이트선 디코더/드라이버 PD에 접속되어 있다.

<425> 실제의 불휘발성 메모리에서는, 이 32비트 또는 64비트를 기억하는 불휘발성 메모리의 집합이 액세스단위 유닛으로서 어레이형으로 배치되어 있다.

<426> 도 18에 나타낸 불휘발성 메모리의 변형예의 모식적인 일부단면도를 도 19에 나타낸다. 도 19에 나타낸 불휘발성 메모리가, 도 18에 나타낸 불휘발성 메모리와 다른 점은, 제1 번째의 서브 메모리 유닛 SMU_{11}의 메모리셀 MC_{11m}과 제2 번째의 서브 메모리 유닛 SMU_{12}의 메모리셀 MC_{12m}에서 제2 전극(플레이트선)이 공통으로 되고, 제3 번째의 서브 메모리 유닛 SMU_{13}의 메모리셀 MC_{13m}과 제4 번째의 서브 메모리 유닛 SMU_{14}의 메모리셀 MC_{14m}에서 제2 전극(플레이트선)이 공통으로 되어 있는 점에 있다. 또, 제1 번째의 서브 메모리 유닛 SMU_{21}의 메모리셀 MC_{21m}과 제2 번째의 서브 메모리 유닛 SMU_{22}의 메모리셀 MC_{22m}에서 제2 전극(플레이트선)이 공통으로 되고, 제3 번째의 서브 메모리 유닛 SMU_{23}의 메모리셀 MC_{23m}과 제4 번째의 서브 메모리 유닛 SMU_{24}의 메모리셀 MC_{24m}에서 제2 전극(플레이트선)이 공통으로 되어 있다.

<427> 도 19에 모식적인 일부단면도를 나타낸 불휘발성 메모리는,

<428> (1) 제1 전극(31A)와 강유전체층(32A)와 제2 전극(33)으로 이루어지는 메모리셀 MC_{11m}(m =1,2,3・・・7,8이며, 구체적으로는, MC_{111}, MC_{112}, M_{113}・・・ MC_{117}, MC_{118}이며, 서브 메모리 유닛 SMU_{11}임),

<429> (2) 제1 전극(31B)와 강유전체층(32B)와 제2 전극(33)으로 이루어지는 메모리셀 MC_{12m}(m =1,2,3・・・7,8이며, 구체적으로는, MC_{121}, MC_{122}, MC_{123}・・・ MC_{127}, MC_{128}이며, 서브 메모리 유닛 SMU_{12}임),

<430> (3) 제1 전극(41A)와 강유전체층(42A)와 제2 전극(43)으로 이루어지는 메모리셀 MC_{13m}(m =1,2,3・・・7,8이며, 구체적으로는, MC_{131}, MC_{132}, MC_{133}・・・MC_{137}, MC_{138}이며, 서브 메모리 유닛 SMU_{13}임), 및

<431> (4) 제1 전극(41B)와 강유전체층(42B)와 제2 전극(43)으로 이루어지는 메모리셀 MC_{14m}(m =1,2,3・・・7,8이며, 구체적으로는, MC_{141}, MC_{142}, MC_{143}・・・ MC_{147}, MC_{148}이며, 서브 메모리 유닛 SMU_{14}임),

<432> 로 구성되어 있다.

<433> 즉, 도 19에 나타낸 불휘발성 메모리는, 각 메모리 유닛을 구성하는 서브 메모리 유닛이 4층 구성이다. 또한, 메모리 유닛을 구성하는 메모리셀의 수는 8개에 한정되지 않고, 또, 불휘발성 메모리를 구성하는 메모리셀의 수는 32개에 한정되지 않는다.

<434> 선택용 트랜지스터 TR_{11},TR_{12},TR_{13},TR_{14},TR_{21},TR_{22},TR_{23},TR_{24}의 구조는, 도 18에 나타낸 불휘발성 메모리의 구조와 동일하므로, 상세한 설명은 생략한다.

<435> 그리고, 절연층(26) 상에는 제1 전극(31A)가 형성되고, 제1 전극(31A) 상에 강유전체층(32A)가 형성되고, 강유전체층(32A) 상에 제2 전극(33)이 형성되고, 이들에 의해 메모리셀 MC_{11m}이 구성되어 있다. 제1 전극(31A)은, 메모리셀 MC_{11m}에 공통이며, 스트라이프형의 평면형상을 가진다. 그리고, 제1 전극(31A)는, 절연층(26)에 형성된 개구부(27) 내에 형성된 접속공(28)을 통하여 선택용 트랜지스터 TR_{11}의 다른 쪽의 소스/드레인영역(24)에 접속되어 있다. 강유전체층(32A)는, 제2 전극(33)과 대략 동일 패턴으로 형성되어 있다.

<436> 또한, 메모리셀 MC_{11m} 및 절연층(26) 상에는, 강유전체층(32B)이 형성되고, 그 위에는 제1 전극(31B)이 형성되어 있다. 그리고, 제1 전극(31B), 강유전체층(32B) 및 제2 전극(33)에 의해 메모리셀 MC_{12M}이 구성되어 있다. 제1 전극(31B)는, 메모리셀 MC_{12M}에 공통이며, 스트라이프형의 평면형상을 가진다. 그리고, 제1 전극(31B)는, 절연층(26)에 형성된 개구부(27) 내에 형성된 접속공(28)을 통하여, 선택용 트랜지스터 TR_{12}의 다른 쪽의 소스/드레인영역(24)에 접속되어 있다. 강유전체층(32B)는, 제1 전극(31B)와 대략 동일 패턴으로 형성되어 있다.

<437> 또한, 메모리셀 MC_{12M} 및 절연층(26) 상에는 층간절연층(36)이 형성되어 있다. 그리고 층간절연층(36) 상에는 제1 전극(41A)이 형성되고,제1 전극(41A) 상에 강유전체층(42A)이 형성되고, 강유전체층(42A) 상에 제2 전극(43)이 형성되고, 이들에 의해 메모리셀 MC_{13M}이 구성되어 있다. 제1 전극(41A)은, 메모리셀 MC_{13M}에 공통이며, 스트

라이프형의 평면형상을 가진다. 그리고, 제1 전극(41A)은 층간절연층(36)에 형성된 개구부(37) 내에 형성된 접속공(38), 절연층(26) 상에 형성된 패드부(35) 및 절연층(26)에 형성된 개구부(27) 내에 형성된 접속공(28)을 통하여, 선택용 트랜지스터 TR_{13}의 다른 쪽의 소스/드레인영역(24)에 접속되어 있다. 강유전체층(42A)은, 제2 전극(43)과 대략 동일 패턴으로 형성되어 있다.

<438> 또한, 메모리셀 MC_{13M} 및 층간절연층(36) 상에는, 강유전체층(42B)이 형성되고, 그 위에는 제1 전극(41B)이 형성되어 있다. 그리고, 제1 전극(41B), 강유전체층(42B) 및 제2 전극(43)에 의해 메모리셀 MC_{14M}이 구성되어 있다. 제1 전극(41B)는, 메모리셀 MC_{14M}에 공통이며, 스트라이프형의 평면형상을 가진다. 그리고, 제1 전극(41B)은 층간절연층(36)에 형성된 개구부(37) 내에 형성된 접속공(38), 절연층(26) 상에 형성된 패드부(35), 및 절연층(26)에 형성된 개구부(27) 내에 형성된 접속공(28)을 통하여, 선택용 트랜지스터 TR_{14}의 다른 쪽의 소스/드레인영역(24)에 접속되어 있다. 강유전체층(42B)은, 제1 전극(41B)과 대략 동일 패턴으로 형성되어 있다. 또한 메모리셀 MC_{14m} 및 층간절연층(36) 상에는, 상부절연층(46A)이 형성되어 있다.

<439> 메모리셀 MC_{11M}과 메모리셀 MC_{12M}과 메모리셀 MC_{13M}과 메모리셀 MC_{14M}은, 수직방향으로 일치되어 있다. 이러한 구조로 함으로써, 메모리셀의 점유면적을 더한층 작게 할 수가 있어, 집적도의 더한층 향상을 도모할 수 있다.

<440> 또한, 메모리 유닛 MU_2의 구성도 마찬가지로 할 수 있다. 도 19에 나타낸 불휘발성 메모리의 등가 회로도는 도 16 또는 도 17에 나타낸 것과 동일하다. 또한 워드선 WL_1~WL_4, 또는 워드선 WL_1~WL_8, 플레이트선 PL_m의 구조는, 도 18에 나타낸 불휘발성 메모리와 실질적으로 동일하게 할 수 있기 때문에, 상세한 설명은 생략한다.

<441> 또, 예를 들면, 도 20에 도시한 바와 같이, 도 12에 나타낸 불휘발성 메모리의 변형예로서, 제1 전극(31)을 상부전극으로 하고, 제2 전극(33)을 하부전극으로 해도 된다. 이러한 구조는, 다른 불휘발성 메모리에도 적용할 수가 있다. 또한, 도 20 중, 참조 번호 (80A),(80B)는, 각각, 제1 층간절연층의 하층 및 상층을 나타내고, 참조 번호 (90A),(90B)는, 각각, 상부절연층의 하층 및 상층을 나타낸다.

<442> 도 13 또는 도 14에 등가 회로도를 나타낸 불휘발성 메모리의 변형예를, 도 21에 모식적인 일부단면도로 나타낸다. 이 불휘발성 메모리에서는, 제1 메모리 유닛 MU_1을 구성하는 제1 서브 메모리 유닛 SMU_{11}(메모리셀 MC_{11M}, SMU_{12} (메모리셀 MC_{12M}) 및 제2 메모리 유닛 MU_2을 구성하는 제2 서브 메모리 유닛 SMU_{21} (메모리셀 MC_{210}, SMU_{22} (메모리셀 MC_{22M}의 각각이, 층간절연층(36),(46),(56)을 통하여 적층되어 있다. 이 점을 제외하RH, 이 불휘발성 메모리의 구조는, 도 15에 나타낸 불휘발성 메모리의 구조와 동일하게 할 수 있기 때문에, 상세한 설명은 생략한다. 또한, 이러한 구조는, 다른 불휘발성 메모리에도 적용할 수 있다.

<443> 또한 이른바 게인셀 타입의 강유전체형 불휘발성 반도체 메모리로 해도 된다. 게인셀 타입의 불휘발성 메모리의 등가 회로도를 도 22에 나타낸다. 게인셀 타입의 불휘발성 메모리는, 비트선 BL과, 기록용 트랜지스터 TRw와, M개(단, M≥2이며, 예를 들면, m = 8)의 메모리셀 MC_M로 구성된 서브 메모리 유닛 SMU와, M개의 플레이트선 PL_M로 이루어지는 메모리 유닛 MU로 구성되어 있다. 그리고, 각 메모리셀 MC_M은, 제1 전극(31)과 강유전체층(32)과 제2 전극(33)으로 이루어지고, 서브 메모리 유닛 SMU를 구성하는 메모리셀 MC_M의 제1 전극(31)은, 서브 메모리 유닛 SMU 에서 공통이며, 이 공통의 제1 전극(이하, 공통노드 CN이라고 하는 경우가 있음)는, 기록용 트랜지스터 TRw를 통하여 비트선 BL에 접속되고, 제2 전극(33)은 플레이트선 PL_m에 접속되어 있다. 또한, 불휘발성 메모리의 서브 메모리 유닛 SMU를 구성하는 메모리셀의 수(M)는 8개에 한정되지 않고, 일반적으로는, M≥2을 만족시키면 되고, 2의 누승(m =2,4,8,16,32・・・)으로 하는 것이 바람직하다.

<444> 또한 이 불휘발성 메모리는, 검출용 트랜지스터 TR_D, 및 판독용 트랜지스터 TR_R를 갖추고 있다. 그리고, 검출용 트랜지스터 TR_D의 일단은 소정의 전위 V_{cc}를 가지는 배선(예를 들면, 불순물층로 구성된 전원선)에 접속되어, 타단은 판독용 트랜지스터 TR_R를 통하여 비트선 BL에 접속되RH, 각 메모리셀 MC_m에 기억된 데이터의 판독시, 판독용 트랜지스터 TR_R가 도통상태로 되RH, 각 메모리셀 MC_m에 기억된 데이터에 따라 공통의 제1 전극(공통노드 CN)에 생긴 전위에 의해, 검출용 트랜지스터 TR_D의 동작이 제어된다. 기록용 트랜지스터 TRW와 검출용 트랜지스터 TR_D와 판독용 트랜지스터 TR_R에 의해 선택용 트랜지스터가 구성된다.

<445> 구체적으로는, 각종 트랜지스터는 MOS형 FET로 구성되어 있고, 기록용 트랜지스터 TR_W의 한쪽의 소스/드레인영역은 비트선 BL에 접속되고, 다른 쪽의 소스/드레인영역은, 공통의 제1 전극(공통노드 CN)에 접속되어 있다. 또, 검출용 트랜지스터 TR_D의 한쪽의 소스/드레인영역은, 소정의 전위 V_{cc}를 가지는 배선에 접속되고, 다른 쪽의 소스/드레인영역은, 판독용 트랜지스터 TR_R의 한쪽의 소스/드레인영역에 접속되어 있다. 보다 구체적으로는, 검출용 트랜지스터 TR_D의 다른 쪽의 소스/드레인영역과 판독용 트랜지스터 TR_R의 한쪽의 소스/드레인영역은, 하나의 소스/드레인영역을 차지하고 있다. 또한 판독용 트랜지스터 TR_R의 다른 쪽의 소스/드레인영역은 비트선 BL에 접속되고, 또한, 공통의 제1 전극(공통노드 CN, 또는 기록용 트랜지스터 TR_W의 다른 쪽의 소스/드레인영역)은, 워드선 WL_D을 통하여 검출용 트랜지스터 TR_D의 게이트부에 접속되어 있다. 또, 기록용 트랜지스터 TR_W를 구성하는 워드선 WL_W 및 판독용 트랜지스터 TR_R를 구성하는 워드선 WL_R는, 워드선 디코더/드라이버 WD에 접속되어 있다. 한편, 각 플레이트선 PL_m은, 플레이트선 디코더/드라이버 PD에 접속되어 있다. 또한 비트선 BL은 센스앰프 SA에 접속되어 있다.

<446> 이 불휘발성 메모리에의 데이터의 기록 동작을, 다음에, 설명한다. 또한, 일례로서, 플레이트선 PL_1에 접속된 메모리셀 MC_1에 데이터를 기록하는 것으로 한다. 도 23에 동작파형을 나타낸다. 또한, 도 23 및 후술하는 도 24 중, 괄호 내의 숫자는, 다음에 설명하는 공정의 번호와 대응하고 있다.

<447> (1D) 대기상태에서는, 비트선, 워드선, 전체 플레이트선이 0볼트로 되어있다. 또한 공통노드 CN도 0볼트로 부유상태로 되어 있다.

<448> (2D) 데이터기록의 개시시, 선택 플레이트선 PL_1의 전위를 V_{cc}로 하고, 비선택 플레이트선 PL(k=2,3・・・8)의 전위를 (1/2) V_{cc}로 한다. 이로 인해, 부유상태의 공통노드 CN의 전위는, 플레이트선 PL_M과의 커플링에 의해, 대략 (1/2) V_{cc} 근방까지 상승한다. 또, 선택 메모리셀 MC_1에 데이터「1」를 기록하는 경우에는, 비트선 BL의 전위를 V_{cc}로 하고, 데이터「0」를 기록하는 경우에는, 비트선 BL의 전위를 0볼트로 한다.

<449> (3D) 그 후, 기록용 트랜지스터 TR_W를 온상태로 한다. 이로 인해, 공통노드 CN의 전위는, 선택 메모리셀 MC_1에 데이터「1」를 기록하는 경우에는, V_{cc} 로 되고, 데이터「0」를 기록하는 경우에는, 0볼트로 된다. 또한, 선택 플레이트선 PL_1에는 V_{cc}이 인가된 상태에 있으므로, 공통노드 CN의 전위가 0볼트의 경우, 선택 메모리셀 MC_1에 데이터「0」이 기록된다. 한편, 공통노드 CN의 전위가 V_{cc}의 경우, 선택 메모리셀 MC_1에는 전혀 데이터가 기록되지 않는다.

<450> (4D) 이어서, 선택 플레이트선 PL_1의 전위를 0볼트로 한다. 공통노드 CN의 전위가 V_{cc}의 경우, 선택 메모리셀 MC_1에 데이터「1」이 기록된다. 선택 메모리셀 MC_1에 이미 데이터「0」이 기록되어 있는 경우에는, 선택 메모리셀 MC_1에 전혀 변화는 생기지 않는다.

<451> (5D) 그 후, 비트선 BL을 0볼트로 인가한다.

<452> (6D) 또한, 비선택 플레이트선 PL_k을 0볼트로 하고, 기록용 트랜지스터 TR_W를 오프상태로 한다.

<453> 다른 메모리셀 MC_k(k=2, 3・・・8)에 데이터를 기록하는 경우에는, 동일한 조작을 반복한다. 이러한 기록 동작에서는, 비선택 메모리셀 MC_k에 (±1/2) V_{cc}의 디스터브가 발생하지만, V_{cc}의 값을 적절히 설정함으로써, 비선택 메모리셀 MC_k 에서의 데이터의 파괴를 확실하게 방지할 수 있다.

<454> 다음에, 이 불휘발성 메모리로부터 데이터를 판독하고, 데이터를 재기록하는 동작을, 다음에 설명한다. 또한, 일례로서, 플레이트선 PL_1에 접속된 메모리셀 MC_1로부터 데이터를 판독하고, 데이터를 재기록하는 것으로 한다. 도 24에 동작파형을 나타낸다.

<455> (1E) 대기상태에서는, 비트선, 워드선, 전체 플레이트선이 0볼트로 되어있다. 또한 공통노드 CN도 0볼트로 부유상태로 되어 있다.

<456> (2E) 데이터 판독시, 선택 플레이트선 PL_1에 V_{cc}를 인가한다. 이 때, 선택 메모리셀 MC_1에 데이터「1」이 기억되어 있으면, 강유전체층에 분극반전이 생기고, 축적전하량이 증가하여, 공통노드 CN의 전위가 상승한다. 한편, 선택 메모리셀 MC_1에 데이터「0」이 기억되어 있으면, 강유전체층에 분극반전이 생기지 않고, 공통노드 CN의 전위는 거의 상승하지 않는다. 즉, 공통노드 CN은, 비선택 메모리셀의 강유전체층을 통하여 복수의 비선택 플레이트선 PL_k에 커플링되어 있기때문에, 공통노드 CN의 전위는 0볼트에 비교적 가까운 레벨로 유지된다. 이와 같이 하여, 선택 메모리셀 MC_1에 기억된 데이터에 의존하여 공통노드 CN의 전위에 변화가 생긴다. 따라서, 선택 메모리셀 MC_1의 강유전체층에는, 분극반전에 충분한 전계를 부여할 수 있다.

<457> (3E) 다음에, 비트선 BL을 부유상태로 하고, 판독용 트랜지스터 TR_R를 온상태로 한다. 이로 인해, 선택 메모리셀 MC_1에 기억된 데이터에 따라 공통의 제1 전극(공통노드 CN)에 생긴 전위에 의해, 검출용 트랜지스터 TR_D의 동작이 제어된다. 구체적으로는, 검출용 트랜지스터 TR_D의 한쪽의 소스/드레인영역은 소정의 전위 V_{cc}를 가지는 배선에 접속되고 있기때문에, 이러한 배선으로부터, 검출용 트랜지스터 TR_D 및 판독용 트랜지스터 TR_R를 통하여 비트선 BL에 전류가 흐르고, 비트선 BL의 전위가 상승한다. 여기서, 검출용 트랜지스터 TR_D의 임계치를 V_{th}, 검출용 트랜지스터 TR_D의 게이트부의 전위(즉, 공통노드 CN의 전위)를 V_g라고 하면, 비트선 BL의 전위는 대략 (V_g-V_{th})로 된다. 또한, 검출용 트랜지스터 TR_D를 디프레션형의 NMOSFET라고 하면, 임계치 V_{th}는 부(負)의 값을 취한다. 이에 따라,비트선 BL의 부하의 대소에 관계없이, 안정된 센스신호량을 확보할 수 있다. 또한, 검출용 트랜지스터 TR_D를 PMOSFET 로 구성할 수도 있다.

<458> (4E) 이어서, 판독용 트랜지스터 TR_R를 오프상태로 한다.

<459> (5E) 그 후, 비트선 BL에 접속된 센스앰프 SA를 활성화하여 데이터를 증폭하고, 데이터의 판독 동작을 완료한다.

<460> 이상의 동작에 의해 선택 메모리셀에 기억되어 있던 데이터가 일단 파괴되어 버리기때문에, 데이터의 재기록 동작을 행한다.

<461> (6E) 그 때문에, 먼저, 비선택 플레이트선 PL_k (k=2,3・・・8)의 전위를 1/2 V_{cc}로 한다.

<462> (7E) 그 후, 기록용 트랜지스터 TR_W를 온상태로 한다. 이로 인해, 공통노드 CN의 전위는 비트선 BL의 전위와 동등하게 된다. 즉, 선택 메모리셀 MC_1에 기억되어 있던 데이터가「1」의 경우에는, 공통노드 CN의 전위는 V_{cc} 로 되고, 선택 메모리셀 MC_1에 기억되어 있던 데이터가「0」의 경우에는, 공통노드 CN의 전위는 0볼트로 된다. 선택 플레이트선 PL_1의 전위는 V_{cc} 그대로 있기 때문에, 공통노드 CN의 전위가 0볼트의 경우, 선택 메모리셀 MC_1에는 데이터「0」이 재기록된다.

<463> (8E) 다음에, 선택 플레이트선 PL_1의 전위를 0볼트로 한다. 이로 인해, 선택 메모리셀 MC_1에 기억되어 있던 데이터가「1」의 경우에는, 공통노드 CN의 전위가 V_{cc} 이기 때문에, 데이터「1」이 재기록된다. 선택 메모리셀 MC_1에 데이터「0」가 이미 재기록되어 있던 경우에는, 선택 메모리셀에 변화는 생기지 않는다.

<464> (9E) 그 후, 비트선 BL을 0볼트로 한다.

<465> (10E) 마지막으로, 비선택 플레이트선 PL_k 을 0볼트로 하고, 기록용 트랜지스터 TR_W를 오프상태로 한다.

<466> 다른 메모리셀 MC_k(k=2,3・・・8)부터 데이터를 판독하고, 데이터를 재기록하는 경우에는, 동일한 조작을 반복한다.

<467> 전술한 공정(2E)에 있어서, 서브 메모리 유닛 SMU를 구성하는 메모리셀의 개수(M)는, 선택 메모리셀의 강유전체층에 충분히 큰 전계를 부여하고, 이러한 강유전체층에 확실하게 분극반전이 생기는 것 같은 개수로 할 필요가 있다. 즉, M의 값이 값이 지나치게 작으면, 공정 (2E)에 있어서, 선택 플레이트선 PL_1에 V_{cc}를 인가했을 때, 제2 전극과 제1 전극과의 커플링에 의해 부유상태에 있는 제1 전극의 전위가 크게 상승해 버려, 제2 전극과 제1 전극의 사이에 충분한 전계가 형성되지 않고, 강유전체층에 분극반전이 생기지 않는다. 한편, 제1 전극에 나타나는 전위(신호전위라고 함)는, 축적전하량을 부하용량으로 제한 것이기때문에, M의 값이 지나치게 크면, 제1 전

극에 나타나는 전위가 너무 낮아진다. M의 값은, 2≤ M≤128, 바람직하게는, 4≤M≤32을 만족하는 것이 바람직하다.

<468> 또한, 게인셀 타입의 불휘발성 메모리의 변형예의 등가 회로도를 도 25에 나타낸다. 이 게인셀 타입의 불휘발성 메모리는, 비트선 BL과, 기록용 트랜지스터 TR_W와, M개(단, M≥2이며, 예를 들면, M = 8)의 메모리셀 MC_M 로 구성된 N개(단, N≥2이며, 예를 들면, N = 2)의 서브 메모리 유닛 SMU_1, SMU_2과, N개의 스위치용 트랜지스터 TR_{SW1}, TR_{SW2}과, N개의 서브 메모리 유닛 SMU_1, SMU_2의 각각을 구성하는 메모리셀 MC_{1M},MC_{2M}에서 공통으로 된 M개의 플레이트선 PL_m으로 이루어지는 메모리 유닛 MU 로 구성되어 있다.

<469> 그리고, 각 메모리셀 MC_M은, 제1 전극(31)과 강유전체층(32)과 제2 전극(33)으로 이루어지고, 제n 번째(n =1, 2・・・N이며, n = 1 또는 2)의 서브 메모리 유닛 SMU_1, SMU_2을 구성하는 메모리셀 MC_{1M}, MC_{2M}의 제1 전극(31)은, 제n 번째의 서브 메모리 유닛 SMU_1, SMU_2에 있어서 공통이며, 이 공통의 제1 전극(공통노드 CN_1, CN_2)은, 제n 번째의 스위치용 트랜지스터 TR_{SW1}, TR_{SW2} 및 기록용 트랜지스터 TR_W를 통하여 비트선 BL에 접속되고, 제2 전극(33)은 공통의 플레이트선 PL_m에 접속되어 있다. 또한, 불휘발성 메모리의 서브 메모리 유닛 SMU_1, SMU_2을 구성하는 메모리셀의 수(M)는 8개에 한정되지 않고, 일반적으로는, M≥2을 만족시키면 되고, 2의 누승(m =2,4,8,16,32・・・)으로 하는 것이 바람직하다. 또, N의 수도 2에 한정되지 않고, 예를 들면 2의 누승(2,4,8・・・)으로 할 수 있다.

<470> 또한 이 불휘발성 메모리는, 검출용 트랜지스터 TR_D, 및 판독용 트랜지스터 TR_R를 구비하고 있다. 기록용 트랜지스터 TR_W와 검출용 트랜지스터 TR_D 와 판독용 트랜지스터 TR_R에 의해 선택용 트랜지스터가 구성된다. 그리고, 검출용 트랜지스터 TR_D의 일단은 소정의 전위 V_{cc}를 가지는 배선(불순물층로 구성된 전원선)에 접속되고, 타단은 판독용 트랜지스터 TR_R를 통하여 비트선 BL에 접속되고, 제n 번째의 서브 메모리 유닛 SMU1, SMU2을 구성하는 각 메모리셀 MC_{1m},MC_{2m}에 기억된 데이터의 판독시, 제n 번째의 스위치용 트랜지스터 TR_{SW1}, TR_{SW2} 및 판독용 트랜지스터 TR_R가 도통상태로 되고, 각 메모리셀 MC_{1m},MC_{2m}에 기억된 데이터에 따라 공통의 제1 전극(공통노드 CN_1, CN_2)에 생긴 전위에 의해, 검출용 트랜지스터 TR_D의 동작이 제어된다.

<471> 구체적으로는, 각종 트랜지스터는 MOS형 FET 로 구성되어 있고, 기록용 트랜지스터 TR_W의 한쪽의 소스/드레인영역은 비트선 BL에 접속되고, 다른 쪽의 소스/드레인영역은, 스위치용 트랜지스터 TR_{SW1}, TR_{SW2}의 각각의 한쪽의 소스/드레인영역에 접속되어 있다. 또, 스위치용 트랜지스터 TR_{SW1}, TR_{SW2}의 각각의 다른 쪽의 소스/드레인영역은, 각 서브 메모리 유닛 SMUL, SMU2의 각각을 구성하는 공통의 제1 전극(공통노드 CN_1, CN_2)에 접속되어 있다. 또한 검출용 트랜지스터 TR_D의 한쪽의 소스/드레인영역은, 소정의 전위 V_{cc}를 가지는 배선에 접속되고, 다른 쪽의 소스/드레인영역은, 판독용 트랜지스터 TR_R의 한쪽의 소스/드레인영역에 접속되어 있다. 또, 판독용 트랜지스터 TR_R의 다른 쪽의 소스/드레인영역은 비트선 BL에 접속되어 있다. 또한, 각 서브 메모리 유닛 SMU_1, SMU_2을 구성하는 공통의 제1 전극(공통노드 CN_1 ,CN_2, 또는 기록용 트랜지스터 TR_W의 다른 쪽의 소스/드레인영역)은, 검출용 트랜지스터 TR_D의 게이트부에 접속되어 있다. 검출용 트랜지스터 TR_D의 다른 쪽의 소스/드레인영역과 판독용 트랜지스터 TR_R의 한쪽의 소스/드레인영역과는, 하나의 소스/드레인영역을 차지하고 있다. 또, 기록용 트랜지스터 TR_W를 구성하는 워드선 WL_W, 판독용 트랜지스터 TR_R를 구성하는 워드선 WL_R, 및 스위치용 트랜지스터 TR_{SW1}, TR_{SW2}를 구성하는 워드선 WL_{SW1}, WL_{SW12}은, 워드선 디코더/드라이버 WD에 접속되어 있다. 한편, 각 플레이트선 PL_m은, 플레이트선 디코더/드라이버 PD에 접속되어 있다. 또한 비트선 BL은 센스앰프 SA에 접속되어 있다.

<472> 각 서브 메모리 유닛 SMU_1, SMU_2의 구조는, 실질적으로, 도 22를 참조하여 설명한 서브 메모리 유닛 SMU 과 동일한 구조로 할 수 있기때문에, 상세한 설명은 생략한다. 또한, 서브 메모리 유닛 SMU_1을 구성하는 공통의 제1 전극(공통노드 CN_1)는, 스위치용 트랜지스터 TR_{SW1}의 다른 쪽의 소스/드레인영역과, 절연층(26)에 형성된 접속공(28)을 통하여 접속되고 있고, 서브 메모리 유닛 SMU_2을 구성하는 공통의 제1 전극(공통노드 CN_2)는, 스위치용

트랜지스터 TR_{SW2}의 다른 쪽의 소스/드레인영역과, 절연층(26)에 형성된 접속공(28)을 통하여 접속되어 있다. 또, 기록용 트랜지스터 TRK의 한쪽의 소스/드레인영역, 및 판독용 트랜지스터 TR_R의 다른 쪽의 소스/드레인영역은, 하층절연층 상에 형성된 비트선 BL에, 하층절연층에 설치되다 접속공(25)을 통하여 접속되어 있다. 또한 스위치용 트랜지스터 TR_{SW1}, TR_{SW2}의 한쪽의 소스/드레인영역, 기록용 트랜지스터 TR_W의 다른 쪽의 소스/드레인영역, 검출용 트랜지스터 TR_D의 게이트부(워드선 WL_D)는, 하층절연층에 형성된 접속공을 통하여, 하층절연층 상에 형성된 부비트선에 접속되어 있다. 여기서, 부비트선은, 하층절연층상에 연장되어, 비트선 BL에 접속되어 있다. 이상 설명한 구조는, 예를 들면, 도 15에 나타낸 불휘발성 메모리와 대략 동일한 구조로 할 수 있다.

<473> 이 불휘발성 메모리에서는, 복수의 서브 메모리 유닛이 설치되어 있기때문에, 도 22를 참조하여 설명한 불휘발성 메모리 보다도 1비트당의 셀면적의 보다 축소화를 도모할 수 있다. 즉, 이 불휘발성 메모리의 크기 (점유면적)은, 기본적으로는, 일방향에서는, 플레이트선 PL_N의 피치와 개수(M의 값)로 결정되고, 이러한 방향과 직교하는 방향에서는, 공통노드 CN의 피치와 개수(N의 값)으로 결정된다. 불휘발성 메모리가 차지하는 반도체기판의 영역의 면적(크기)는, 스위치용 트랜지스터 TR_{SW1}, TR_{SW2}가 차지하는 면적(크기)에 따라 주로 결정된다. 기록용 트랜지스터 TR_W, 판독용 트랜지스터 TR_R, 검출용 트랜지스터 TR_D는, 반도체기판의 공(空;empty)영역에 형성하면 되고, 공영역의 면적은, 서브 메모리 유닛의 수(N), 서브 메모리 유닛을 구성하는 메모리셀의 수(M)가 커질 수록, 넓게 된다. 따라서, 이와 같이, 기록용 트랜지스터 TR_W, 판독용 트랜지스터 TR_R, 검출용 트랜지스터 TR_D를, 반도체기판의 공영역에 형성하면, 반도체기판을 매우 효과적으로 사용할 수 있다.

<474> 이 불휘발성 메모리에 있어서의 데이터기록 동작, 데이터 판독 및 재기록 동작은, 스위치용 트랜지스터 TR_{SW1}, TR_{SW2}에 의해 서브 메모리 유닛 SMU_1 , SMU_2을 적절히 선택하는 것을 부가한 상태에서, 도 22를 참조하여 설명한 불휘발성 메모리에서 설명한 데이터기록 동작, 데이터 판독 및 재기록 동작과 동일한 동작을 행하면 되기 때문에, 상세한 설명은 생략한다.

<475> 게인셀 타입의 불휘발성 메모리에서는, 검출용 트랜지스터의 일단이 접속 된 배선의 소정의 전위는 V_{cc}에 한정되지 않고, 예를 들면, 접지해도 되고. 즉, 검출용 트랜지스터의 일단이 접속된 배선의 소정의 전위를 0 볼트로 해도 된다. 단, 이 경우에는, 선택 메모리셀에 있어서의 데이터의 판독시에 전위(V_{cc})가 비트선에 나타난 경우, 재기록시에는, 비트선의 전위를 0볼트로 하고, 선택 메모리셀에 있어서의 데이터의 판독시에 0 볼트가 비트선에 나타난 경우, 재기록시에는, 비트선의 전위를 V_{cc}로 하는 필요가 있다. 이를 위하여는, 도 26에 예시한 바와 같은, 트랜지스터 TR_{IN-1}, TR_{IN-2}, TR_{IN-3}, TR_{IN-4}로 구성된 일종의 스위치회로(반전회로)를 비트선 간에 배치하고, 데이터의 판독시에는, 트랜지스터 TR_{IN-2}, TRI_{IN-4}를 온상태로 하고, 데이터의 재기록시에는, 트랜지스터 TR_{IN-1}, TR_{IN-3}를 온상태로 하면 된다.

<476> 게인셀 타입의 불휘발성 메모리에서는, 각 메모리셀에 기억된 데이터에 따라 공통의 제1 전극에 생긴 전위에 의해 검출용 트랜지스터의 동작이 제어되지만, 제1 전극은 M개의 메모리셀에 공통이기 때문에, 제1 전극에 일종의 추가된 부하용량이 부가된 상태로 되어 있다. 그 결과, 데이터의 판독시, 플레이트선에 전압을 인가했을 때, 제1 전극의 전위상승을 억제할 수가 있고, 제1 전극과 제2 전극과의 사이에 충분한 전위차가 생기는 결과, 강유전체층에 확실하게 분극반전이 발생한다.

<477> 본 발명의 불휘발성 메모리 또는 그 구동방법에 있어서의 불휘발성 메모리에 있어서, 불휘발성 메모리를 적층하거니, 메모리 유닛을 적층하거나, 또는 서브 메모리 유닛을 적층하는 경우, 상방에 위치하는 불휘발성 메모리, 메모리 유닛 또는 서브 메모리 유닛(이하, 이들을 총칭하여, 메모리 유닛 등이라고 함)의 메모리셀을 구성하는 강유전체층의 결정화 온도가, 하방에 위치하는 메모리 유닛 등의 메모리셀을 구성하는 강유전체층의 결정화 온도 보다도 낮은 것이 바람직하다. 여기서, 메모리셀을 구성하는 강유전체층의 결정화 온도는, 예를 들면, X선 회절장치나 표면주사형 전자 현미경을 사용하여 조사할 수 있다. 구체적으로는, 예를 들면, 강유전체 재료층을 형성한 후, 강유전체 재료층의 결정화를 행하기 위한 열처리온도를 다양하게 변화시켜 결정화 촉진을 위한 열처리를 행하고, 열처리후의 강유전체 재료층의 X선 회절분석을 하여, 강유전체 재료에 특유의 회절패턴강도(회절피크의 높이)를 평가함으로써, 강유전체층의 결정화 온도를 구할 수 있다.

<478> 그런데, 메모리 유닛 등이 적층된 구성을 가지는 강유전체형 불휘발성 반도체 메모리를 제조하는 경우, 강유전체층, 또는 강유전체층을 구성하는 강유전체 박막의 결정화를 위해, 열처리(결정화 열처리라고 함)를 적층된 메

모리 유닛 등의 단수(段數)만 행해야 한다. 따라서, 하단에 위치하는 메모리 유닛 등일수록 장시간의 결정화 열처리를 받고, 상단에 위치할 수록 메모리 유닛 등은 단시간의 결정화 열처리를 받게 된다. 따라서, 상단에 위치하는 메모리 유닛 등에 대하여 최적의 결정화 열처리를 실시하면, 하단에 위치하는 메모리 유닛 등은 과도한 열부하를 받을 우려가 있고, 하단에 위치하는 메모리 유닛 등의 특성열화가 생길 우려가 있다. 또한, 다단의 메모리 유닛 등을 제작한 후, 한번에 결정화 열처리를 행하는 방법도 고려되지만, 결정화시에 강유전체층에 큰 체적변화가 생기거나, 각 강유전체층으로부터 탈(脫)가스가 생길 가능성이 높고, 강유전체층에 크랙이나 벗겨짐이 생기는 문제가 발생하기 쉽다. 상방에 위치하는 메모리 유닛 등을 구성하는 강유전체층의 결정화 온도를, 하방에 위치하는 메모리 유닛 등을 구성하는 강유전체층의 결정화 온도보다도 낮게 하면, 적층된 메모리 유닛 등의 단수만 결정화 열처리를 행해도, 하방에 위치하는 메모리 유닛 등을 구성하는 메모리셀의 특성열화문제는 생기지 않는다. 또, 각 단에 있어서의 메모리 유닛 등을 구성하는 메모리셀에 대하여, 최적의 조건에서의 결정화 열처리를 행할 수 있어, 특성이 우수한 불휘발성 메모리를 얻을 수 있다. 다음의 표 8에, 강유전체층을 구성하는 대표적인 재료의 결정화 온도를 나타내지만, 강유전체층을 구성하는 재료를 이러한 재료에 한정하는 것이 아니다. 또한, 먼저 설명한 강유전체층을 구성하는 각종 재료에 있어서, 이들 조성을 화학량론적 조성으로부터 제외함으로써, 결정화 온도를 변화시키는 것이 가능하다.

<479> [표 8]

<480> 재료명	결정화 온도
<481> $Bi_2SrTa_2O_9$	700～800℃
<482> $Bi_2Sr(Ta_{1.5}, Nb_{0.5})O_9$	650～750℃
<483> $Bi_4Ti_3O_{12}$	600～700℃
<484> $Pb(Zr_{0.48}, Ti_{0.52})O_3$	550～650℃
<485> $PbTiO_3$	500～600℃

<486> 본 발명의 불휘발성 메모리의 구동방법에서는, 외부로부터 지정된 지정어드레스의 메모리셀에 기억된 데이터를 판독하거나 또는 이러한 메모리셀에 데이터를 기록하므로, 원하는 메모리셀에 즉시 액세스가 가능하게 된다. 또한, 본 발명의 구성에 따라서는, 다른 메모리셀에 데이터의 기록 또는 재기록을 행하므로, 다른 메모리셀에 있어서의 디스터브의 발생을 확실하게 억제할 수가 있다. 또한, 불휘발성 메모리가 복수의 메모리셀로 이루어지는 메모리 유닛으로 구성되어 있기 때문에, 1비트당의 셀면적의 감소를 도모할 수 있다.

산업상 이용 가능성

<487> 본 발명의 제1 양태에 관한 불휘발성 메모리의 구동방법에서는, 외부로부터 지정된 지정어드레스의 메모리셀에 기억된 데이터를 판독하고, 센스앰프에 래치한 후, 센스앰프에 래치된 상기 데이터를 출력하고, 또한 본 발명의 제2 양태에 관한 불휘발성 메모리의 구동방법에서는, 기록할 데이터를 센스앰프에 래치한 후, 외부로부터 지정된 지정어드레스의 메모리셀에 상기 데이터를 기록하므로, 원하는 메모리셀에 즉시 액세스가 가능하게 된다. 또한, 본 발명의 제1A의 구성, 제1B의 구성, 제2A의 구성, 제2B의 구성에서는, 다른 메모리셀에 데이터의 기록 또는 재기록을 행하기 때문에, 다른 메모리셀에 있어서의 디스터브의 발생을 확실하게 억제할 수 있다.

도면의 간단한 설명

<107> 다음에, 도면을 참조하여, 실시예에 따라서 본 발명을 설명한다.

<108> 도 1은, 실시예 1의 강유전체형 불휘발성 반도체 메모리의 구동방법의 플로차트이다.

<109> 도 2는, 실시예 4의 강유전체형 불휘발성 반도체 메모리의 구동방법의 플로차트이다.

<110> 도 3은, 실시예 5의 강유전체형 불휘발성 반도체 메모리의 구동방법의 플로차트이다.

<111> 도 4는, 실시예 6의 강유전체형 불휘발성 반도체 메모리의 구동방법의 플로차트이다.

<112> 도 5는, 실시예 1의 강유전체형 불휘발성 반도체 메모리의 등가 회로도이다.

<113> 도 6은, 실시예 1의 강유전체형 불휘발성 반도체 메모리에 있어서의 메모리 유닛의 모식적인 일부단면도이다.

<114> 도 7은, 실시예 1의 강유전체형 불휘발성 반도체 메모리의 데이터 판독 및 재기록 동작에 있어서의 동작파형을 도시한 도면이다.

<115> 도 8은, 실시예 2의 강유전체형 불휘발성 반도체 메모리의 등가 회로도이다.

<116> 도 9는, 실시예 2 및 실시예 3의 강유전체형 불휘발성 반도체 메모리의 데이터 판독 및 재기록 동작에 있어서의 동작파형을 도시한 도면이다.

<117> 도 10은, 실시예 3의 강유전체형 불휘발성 반도체 메모리의 등가 회로도이다.

<118> 도 11은, 실시예 5 및 일본국 특개평 9(1997)-121032호 공보에 개시된 강유전체형 불휘발성 반도체 메모리에 있어서의 동작파형을 도시한 도면이다.

<119> 도 12는, 도 8에 등가 회로도를 나타낸 강유전체형 불휘발성 반도체 메모리에 있어서의 메모리 유닛의 모식적인 일부단면도이다.

<120> 도 13은, 도 8에 등가 회로도를 나타낸 강유전체형 불휘발성 반도체 메모리의 변형예의 등가 회로도이다.

<121> 도 14는, 도 1 0에 등가 회로도를 나타낸 강유전체형 불휘발성 반도체 메모리의 변형예의 등가 회로도이다.

<122> 도 15는, 도 13 또는 도 14에 등가 회로도를 나타낸 강유전체형 불휘발성 반도체 메모리에 있어서의 메모리 유닛의 모식적인 일부단면도이다.

<123> 도 16은, 도 8에 등가 회로도를 나타낸 강유전체형 불휘발성 반도체 메모리의 별도의 변형예의 등가 회로도이다.

<124> 도 17은, 도 10에 등가 회로도를 나타낸 강유전체형 불휘발성 반도체 메모리의 다른 변형예의 등가 회로도이다.

<125> 도 18은, 도 16 또는 도 17에 등가 회로도를 나타낸 강유전체형 불휘발성 반도체 메모리에 있어서의 메모리 유닛의 모식적인 일부단면도이다.

<126> 도 19는, 도 18에 나타낸 강유전체형 불휘발성 반도체 메모리의 변형예에 있어서의 메모리 유닛의 모식적인 일부단면도이다.

<127> 도 20은, 도 12에 나타낸 강유전체형 불휘발성 반도체 메모리의 변형예에 있어서의 메모리 유닛의 모식적인 일부단면도이다.

<128> 도 21은, 도 13 또는 도 14에 등가 회로도를 나타낸 강유전체형 불휘발성 반도체 메모리의 변형예에 있어서의 메모리 유닛의 모식적인 일부단면도이다.

<129> 도 22는, 게인셀 타입의 강유전체형 불휘발성 반도체 메모리의 등가 회로도이다.

<130> 도 23은, 게인셀 타입의 강유전체형 불휘발성 반도체 메모리의 동작파형을 도시한 도면이다.

<131> 도 24는, 게인셀 타입의 강유전체형 불휘발성 반도체 메모리의 동작파형을 도시한 도면이다.

<132> 도 25는, 게인셀 타입의 강유전체형 불휘발성 반도체 메모리의 변형예의 등가 회로도이다.

<133> 도 26은, 게인셀 타입의 강유전체형 불휘발성 반도체 메모리에 있어서, 검출용 트랜지스터의 일단이 접속된 배선의 소정의 전위를 0볼트로 한 경우의, 비트선 간에 배치된 일종의 스위치회로를 나타낸 회로도이다.

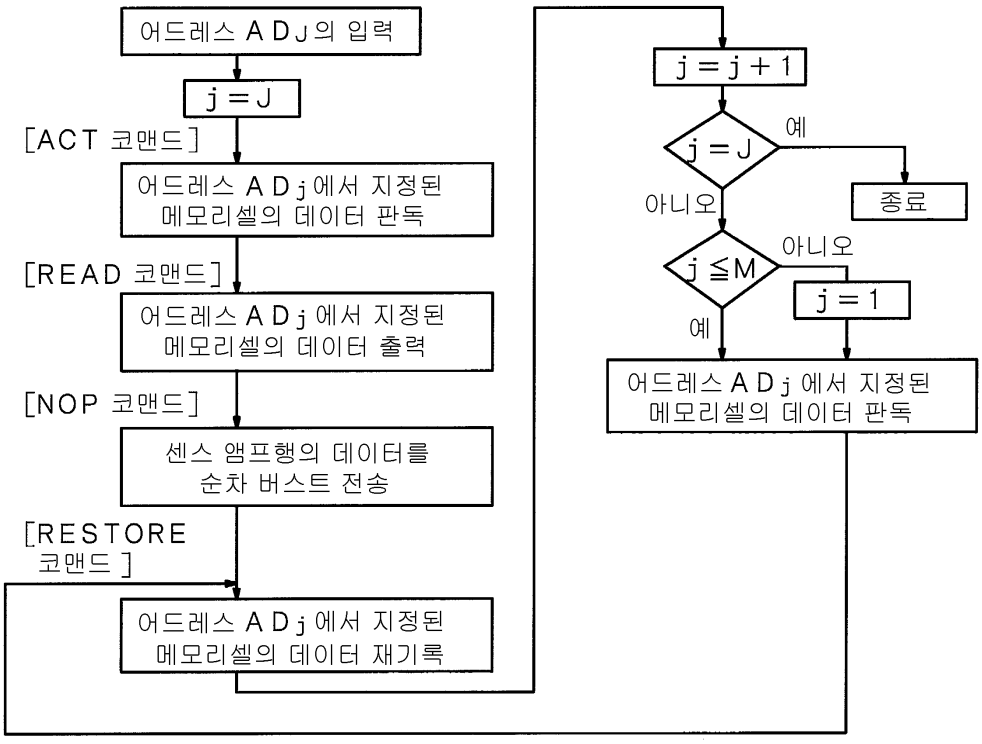
<134> 도 27은, 강유전체의 P-E 히스테리시스 루프 도면이다.

<135> 도 28은, 미국 특허 제4,873,664호에 개시된 강유전체형 불휘발성 반도체 메모리의 등가 회로도이다.

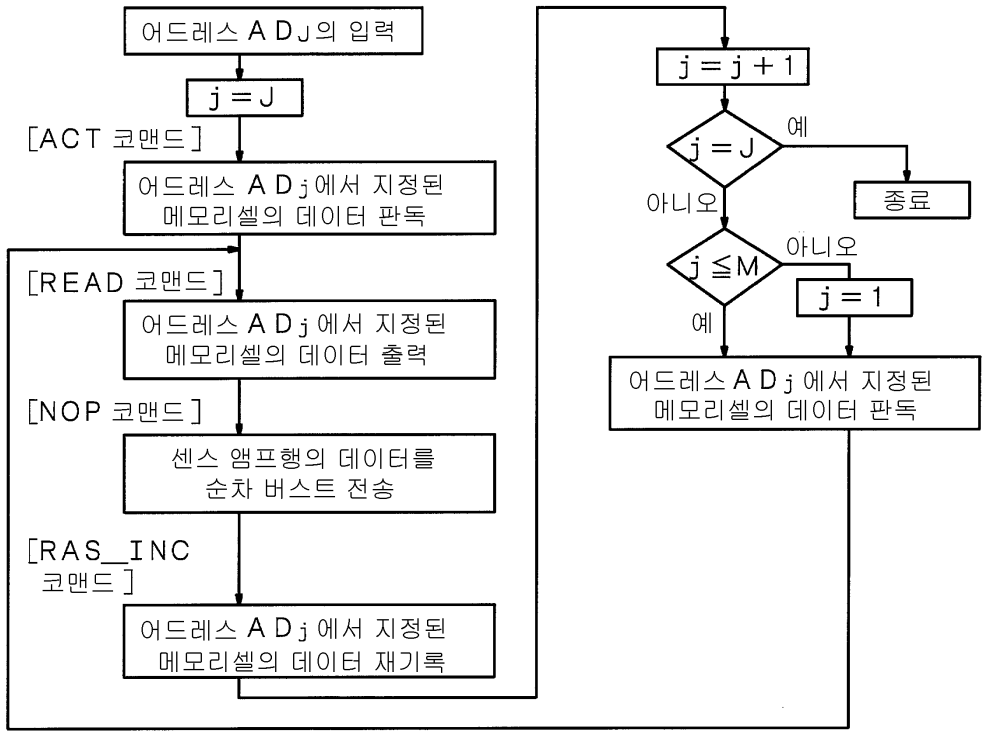
<136> 도 29는, 일본국 특개평 9(1997)-121032호 공보에 개시된 강유전체형 불휘발성 반도체 메모리의 등가 회로도이다.

도면

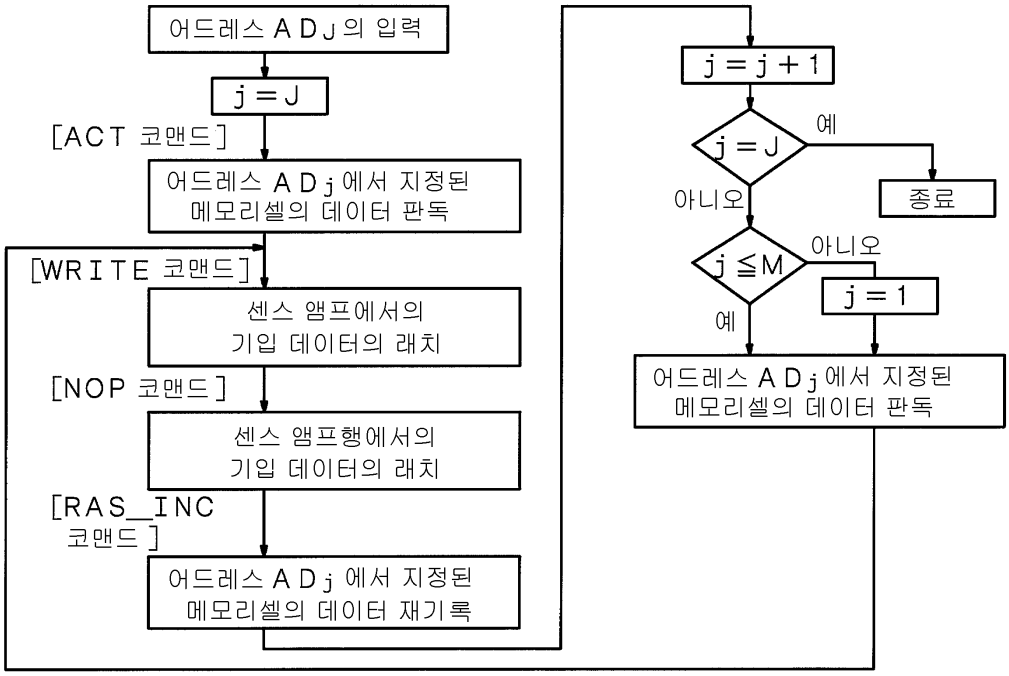
도면1


어드레스 ADJ의 입력
j = J
[ACT 코맨드]
어드레스 ADj에서 지정된 메모리셀의 데이터 판독
[READ 코맨드]
어드레스 ADj에서 지정된 메모리셀의 데이터 출력
[NOP 코맨드]
센스 앰프행의 데이터를 순차 버스트 전송
[RESTORE 코맨드]
어드레스 ADj에서 지정된 메모리셀의 데이터 재기록
j = j + 1
j = J
예
종료
아니오
j ≦ M
아니오
j = 1
예
어드레스 ADj에서 지정된 메모리셀의 데이터 판독

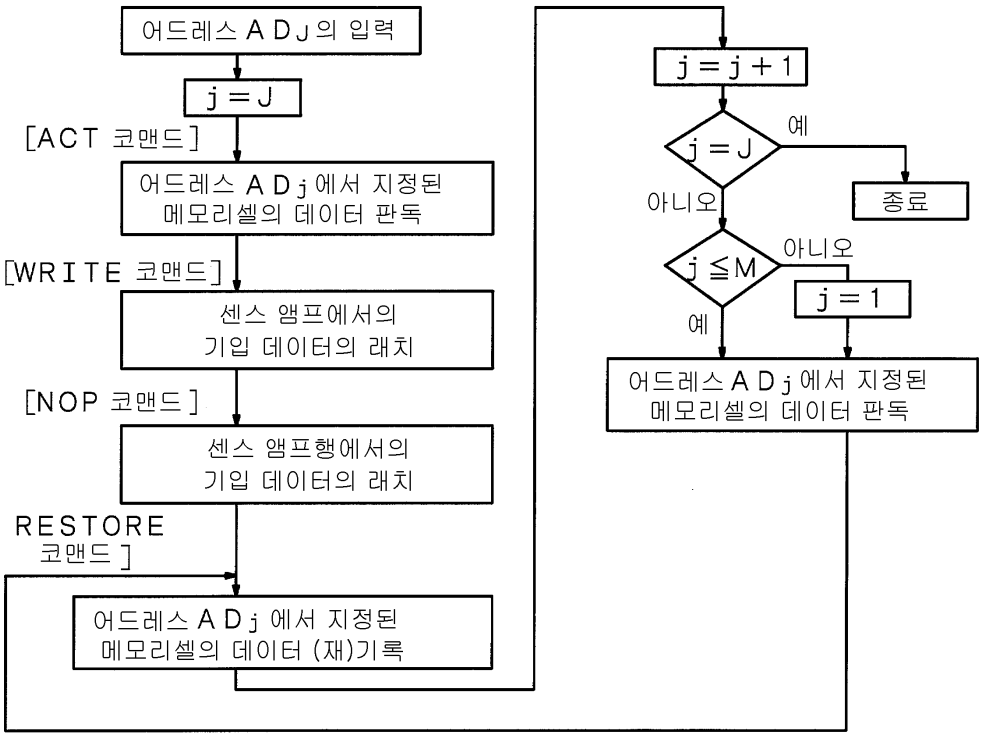
도면2


어드레스 ADJ의 입력
j = J
[ACT 코맨드]
어드레스 ADj에서 지정된 메모리셀의 데이터 판독
[READ 코맨드]
어드레스 ADj에서 지정된 메모리셀의 데이터 출력
[NOP 코맨드]
센스 앰프행의 데이터를 순차 버스트 전송
[RAS_INC 코맨드]
어드레스 ADj에서 지정된 메모리셀의 데이터 재기록
j = j + 1
j = J
예
종료
아니오
j ≦ M
아니오
j = 1
예
어드레스 ADj에서 지정된 메모리셀의 데이터 판독

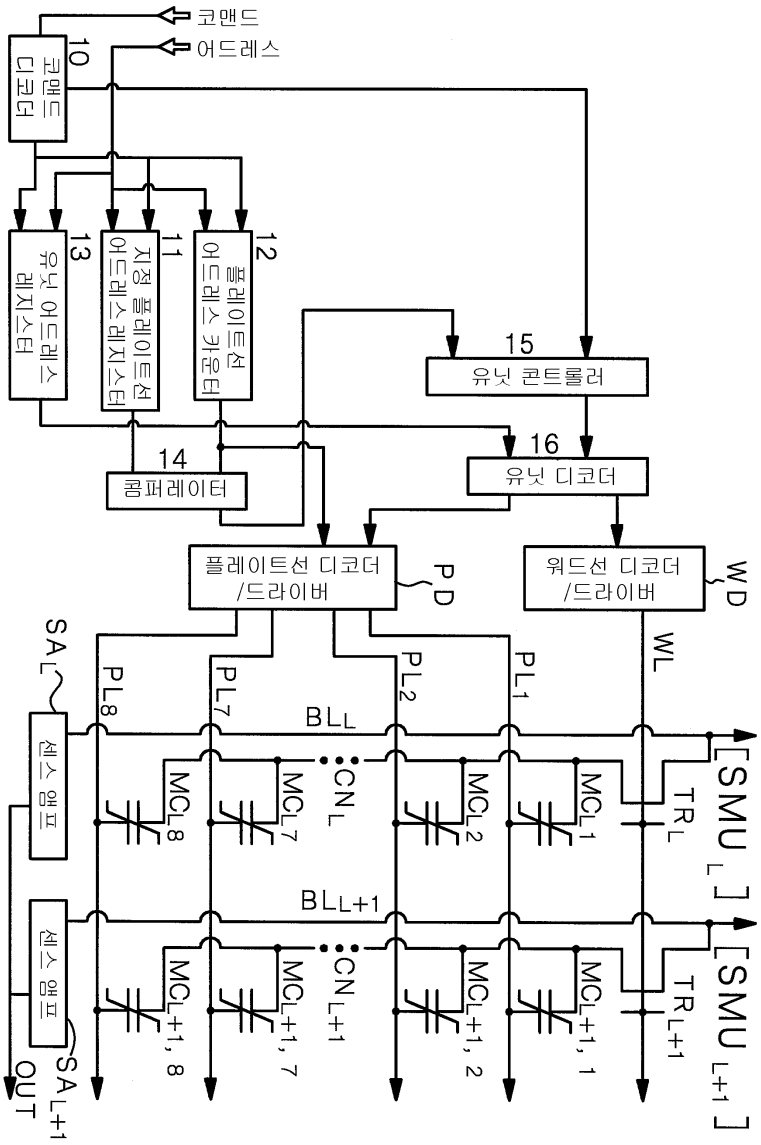
도면3


어드레스 ADJ의 입력
j = J
[ACT 코맨드]
어드레스 ADj에서 지정된 메모리셀의 데이터 판독
[WRITE 코맨드]
센스 앰프에서의 기입 데이터의 래치
[NOP 코맨드]
센스 앰프행에서의 기입 데이터의 래치
[RAS_INC 코맨드]
어드레스 ADj 에서 지정된 메모리셀의 데이터 재기록
j = j + 1
j = J
예
아니오
종료
j ≦ M
아니오
j = 1
예
어드레스 ADj에서 지정된 메모리셀의 데이터 판독

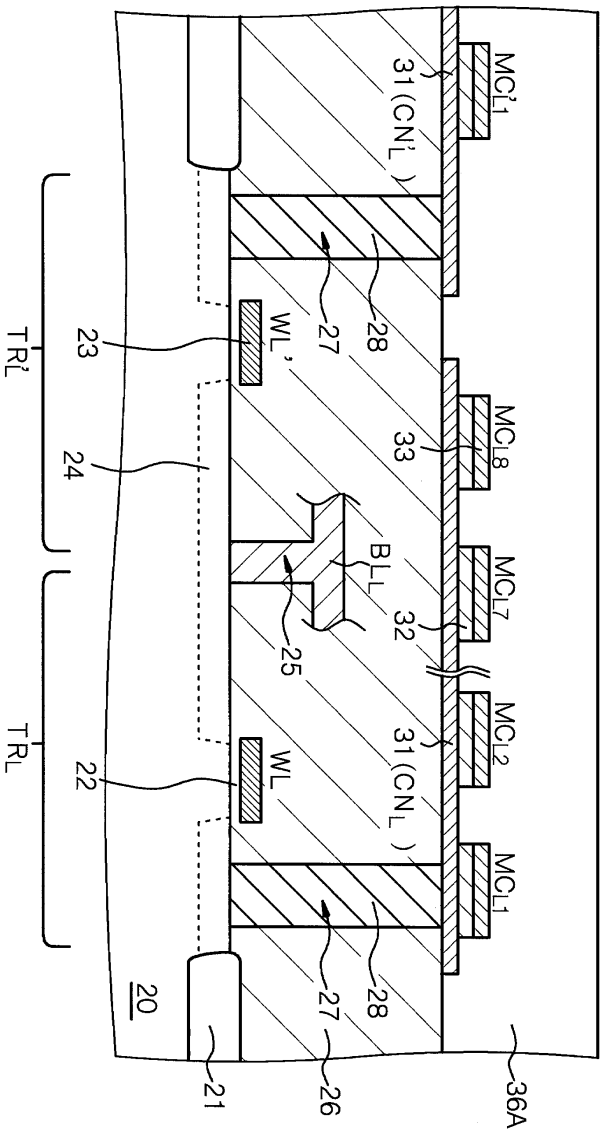
도면4


어드레스 ADJ의 입력
j = J
[ACT 코맨드]
어드레스 ADj에서 지정된 메모리셀의 데이터 판독
[WRITE 코맨드]
센스 앰프에서의 기입 데이터의 래치
[NOP 코맨드]
센스 앰프행에서의 기입 데이터의 래치
RESTORE 코맨드]
어드레스 ADj 에서 지정된 메모리셀의 데이터 (재)기록
j = j + 1
j = J
예
아니오
종료
j ≦ M
아니오
j = 1
예
어드레스 ADj에서 지정된 메모리셀의 데이터 판독

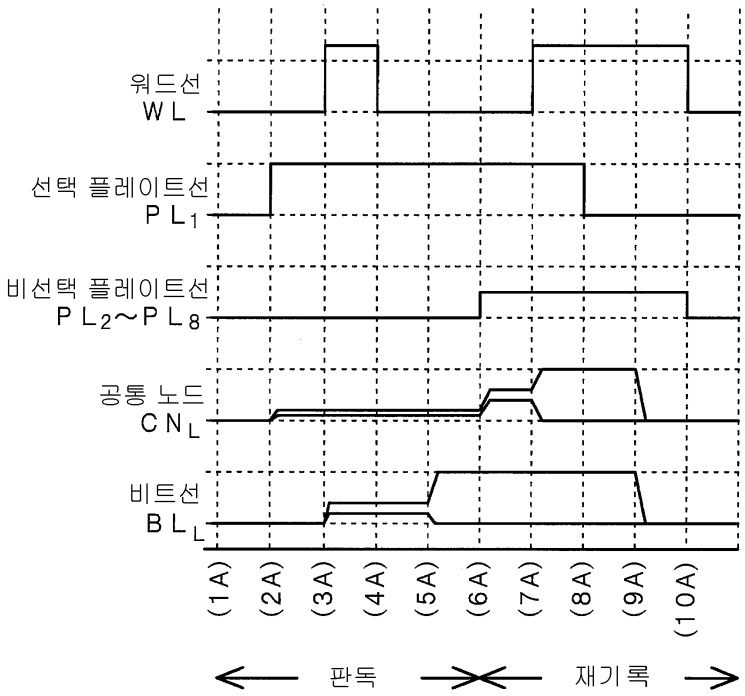
도면5


코맨드
어드레스
10
코맨드 디코더
13
유닛 어드레스 레지스터
11
지정 플레이트선 어드레스 레지스터
12
플레이트선 어드레스 카운터
15
유닛 콘트롤러
16
유닛 디코더
14
콤퍼레이터
플레이트선 디코더 /드라이버
PD
워드선 디코더 /드라이버
WD
WL
SA_L
PL8
PL7
PL2
PL1
BL_L
BL_L+1
CN_L
CN_L+1
MC_L8
MC_L7
MC_L2
MC_L1
MC_L+1, 8
MC_L+1, 7
MC_L+1, 2
MC_L+1, 1
TR_L
TR_L+1
[SMU_L]
[SMU_L+1]
센스 앰프
센스 앰프
SA_L+1
OUT

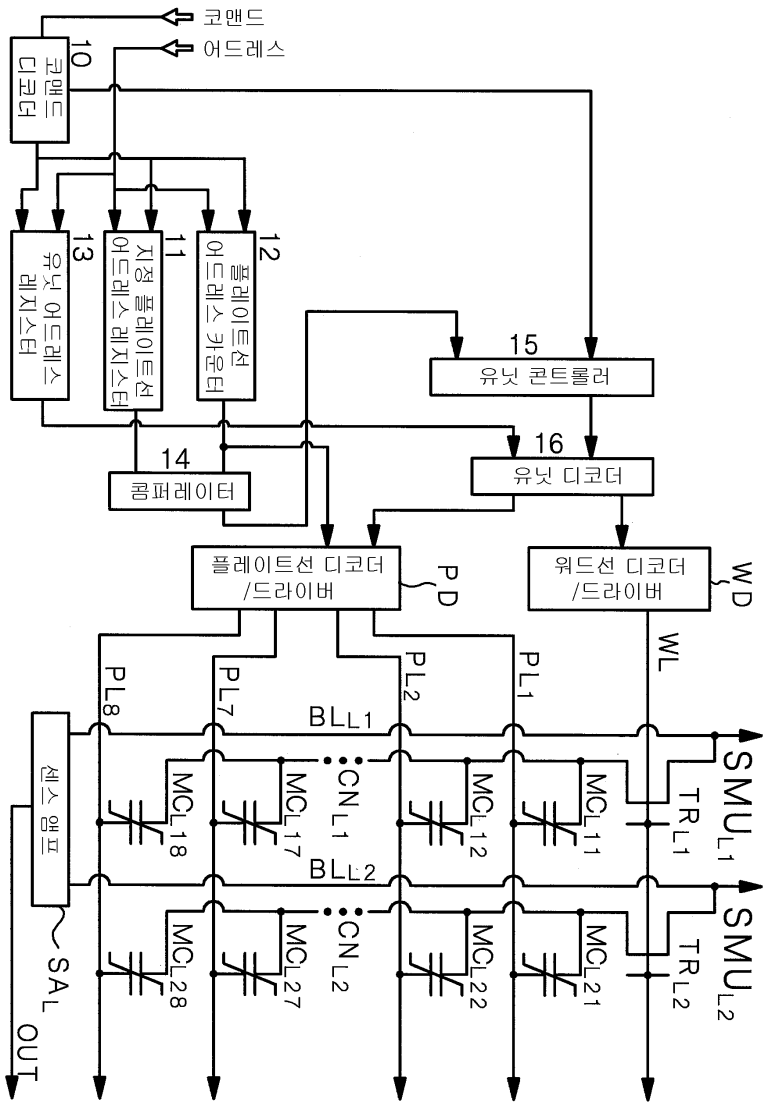
도면6


MC'L1
31 (CN'L)
27
28
WL'
23
TR'L
24
MCL8
33
BLL
MCL7
32
25
MCL2
31 (CNL)
WL
22
TRL
MCL1
20
27
28
21
26
36A

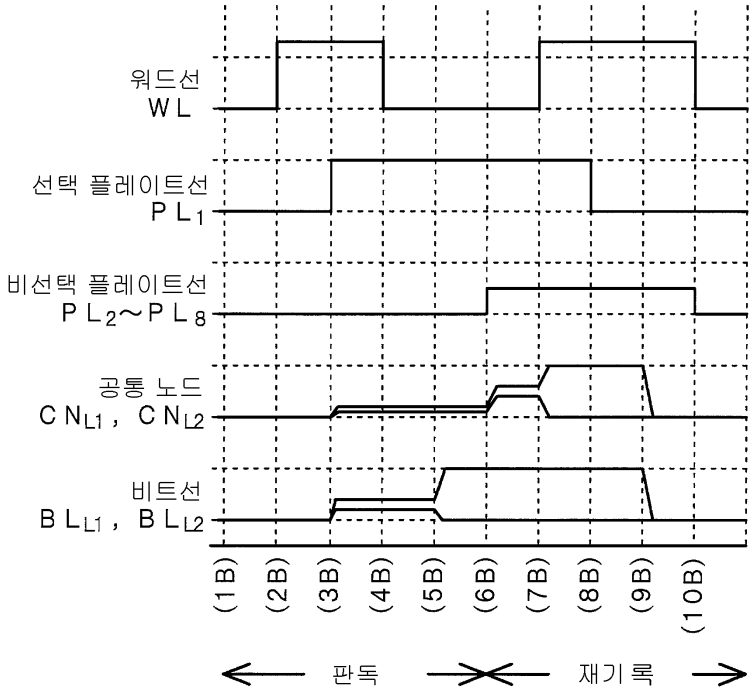
도면7


워드선
WL
선택 플레이트선
PL1
비선택 플레이트선
PL2~PL8
공통 노드
CNL
비트선
BLL
(1A)
(2A)
(3A)
(4A)
(5A)
(6A)
(7A)
(8A)
(9A)
(10A)
판독
재기록

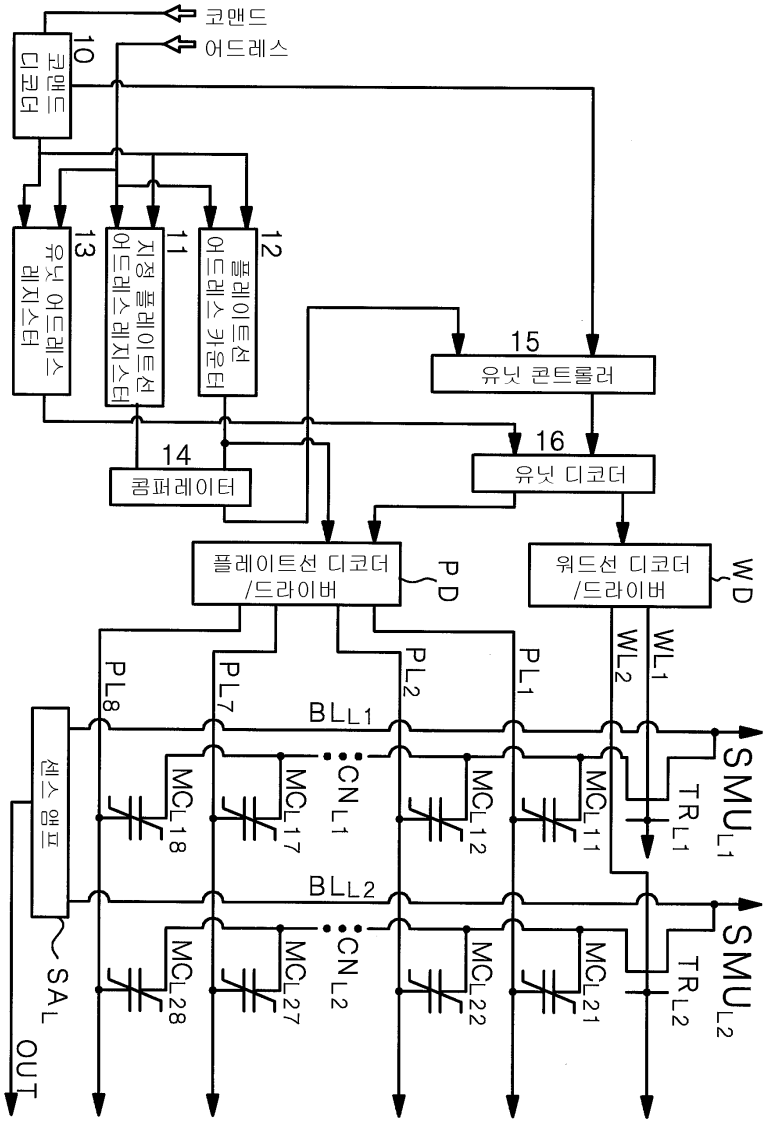
도면8


코맨드
어드레스
10
코맨드 디코더
13
유닛 어드레스 레지스터
11
지정 플레이트선 어드레스 레지스터
12
플레이트선 어드레스 카운터
15
유닛 콘트롤러
16
유닛 디코더
14
콤퍼레이터
플레이트선 디코더 /드라이버
PD
워드선 디코더 /드라이버
WD
WL
PL8
PL7
PL2
PL1
BLL1
BLL2
센스 앰프
SAL
OUT
MCL18
MCL17
CNL1
MCL12
MCL11
TRL1
SMUL1
MCL28
MCL27
CNL2
MCL22
MCL21
TRL2
SMUL2

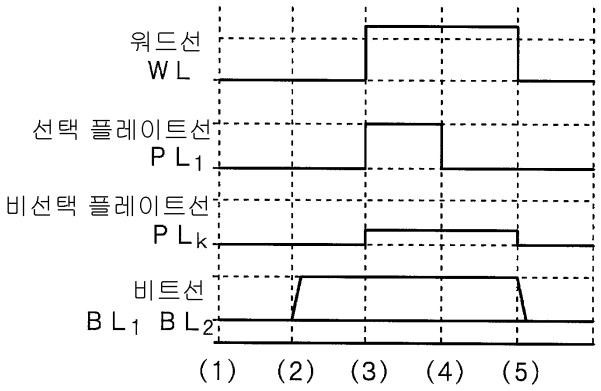
도면9


워드선
WL
선택 플레이트선
PL1
비선택 플레이트선
PL2~PL8
공통 노드
CNL1, CNL2
비트선
BLL1, BLL2
(1B)
(2B)
(3B)
(4B)
(5B)
(6B)
(7B)
(8B)
(9B)
(10B)
판독
재기록

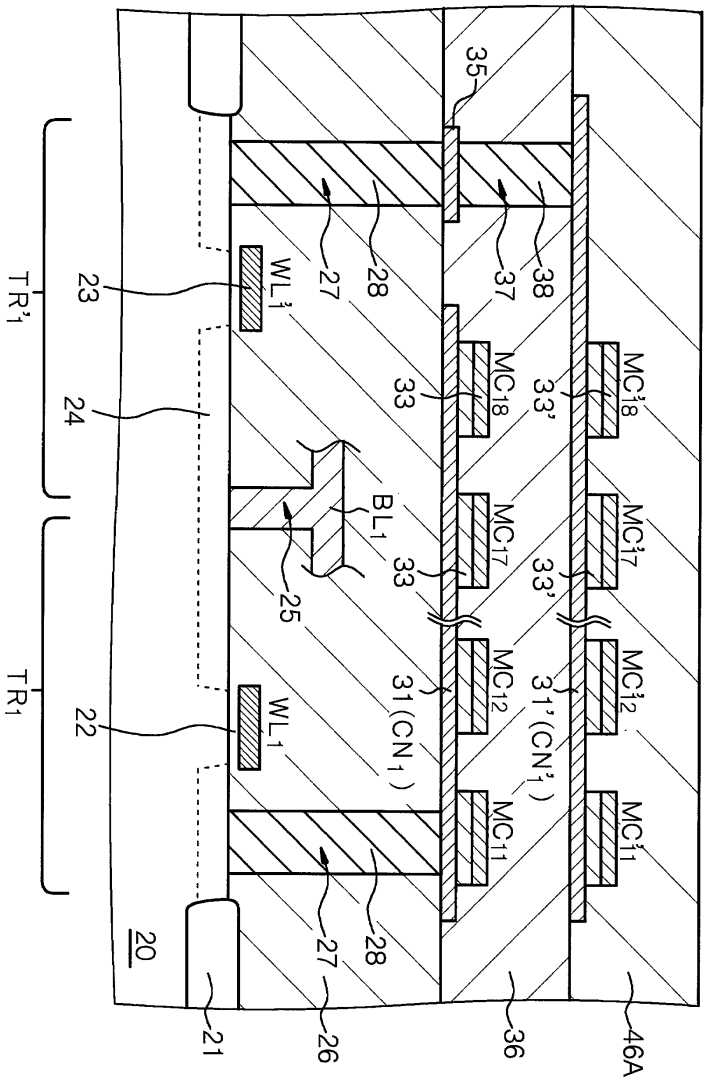
도면10


코맨드
어드레스
10
코맨드 디코더
13
유닛 어드레스 레지스터
11
지정 플레이트선 어드레스 레지스터
12
플레이트선 어드레스 카운터
15
유닛 콘트롤러
16
유닛 디코더
14
콤퍼레이터
플레이트선 디코더 /드라이버
PD
워드선 디코더 /드라이버
WD
PL8
PL7
PL2
PL1
WL2
WL1
BLL1
BLL2
센스 앰프
SAL
OUT
MCL18
MCL17
CNL1
MCL12
MCL11
TRL1
SMUL1
MCL28
MCL27
CNL2
MCL22
MCL21
TRL2
SMUL2

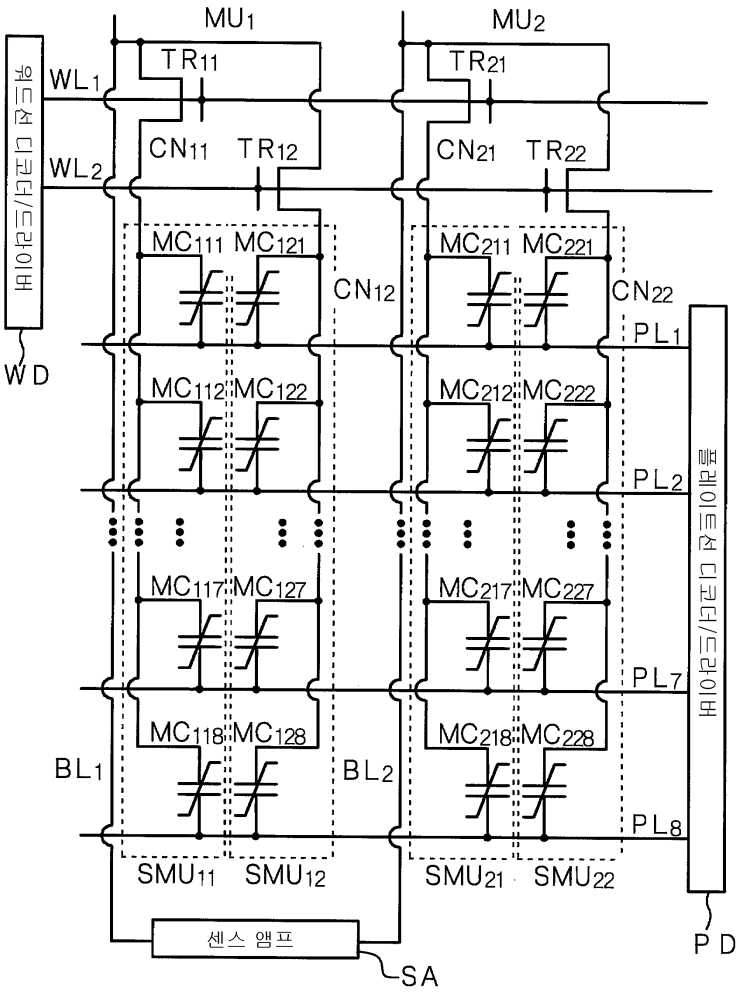
도면11


워드선
WL
선택 플레이트선
PL1
비선택 플레이트선
PLk
비트선
BL1 BL2
(1)
(2)
(3)
(4)
(5)

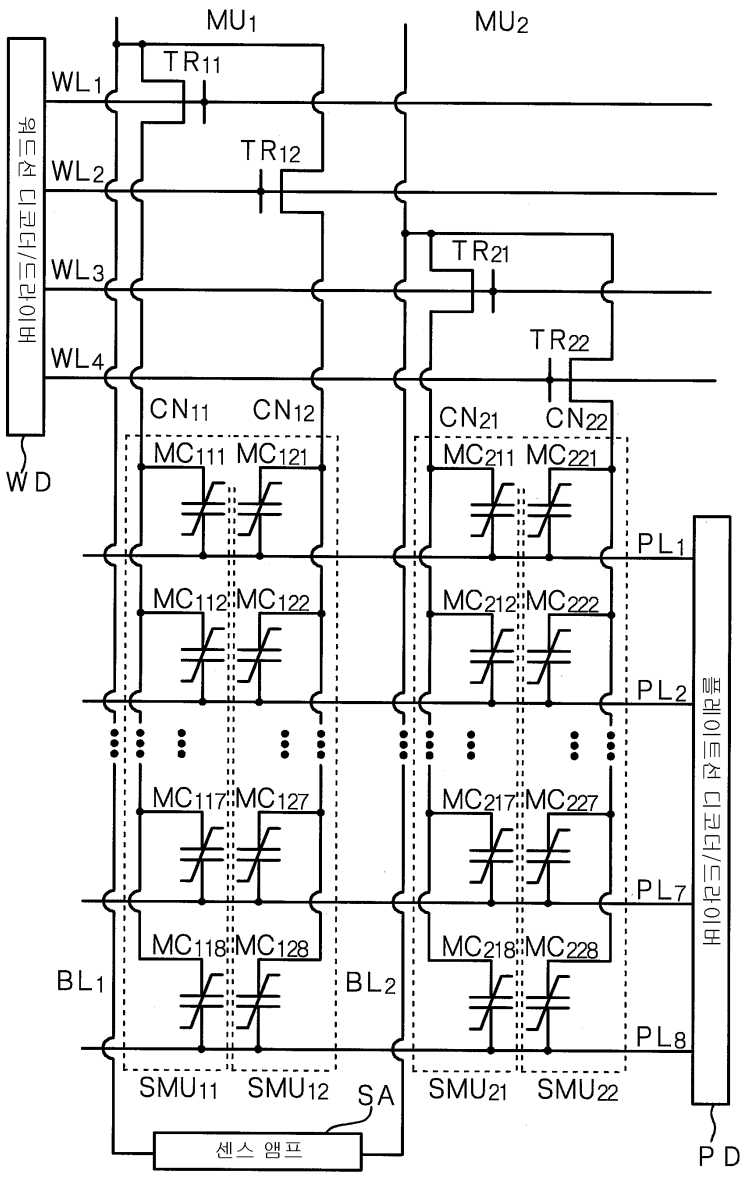
도면12


35
38
37
28
27
23
WL'1
TR'1
24
33
MC18
33'
MC'18
BL1
MC17
MC'17
25
33
33'
TR1
22
WL1
31(CN1)
MC12
31'(CN'1)
MC'12
MC11
MC'11
20
21
26
36
46A

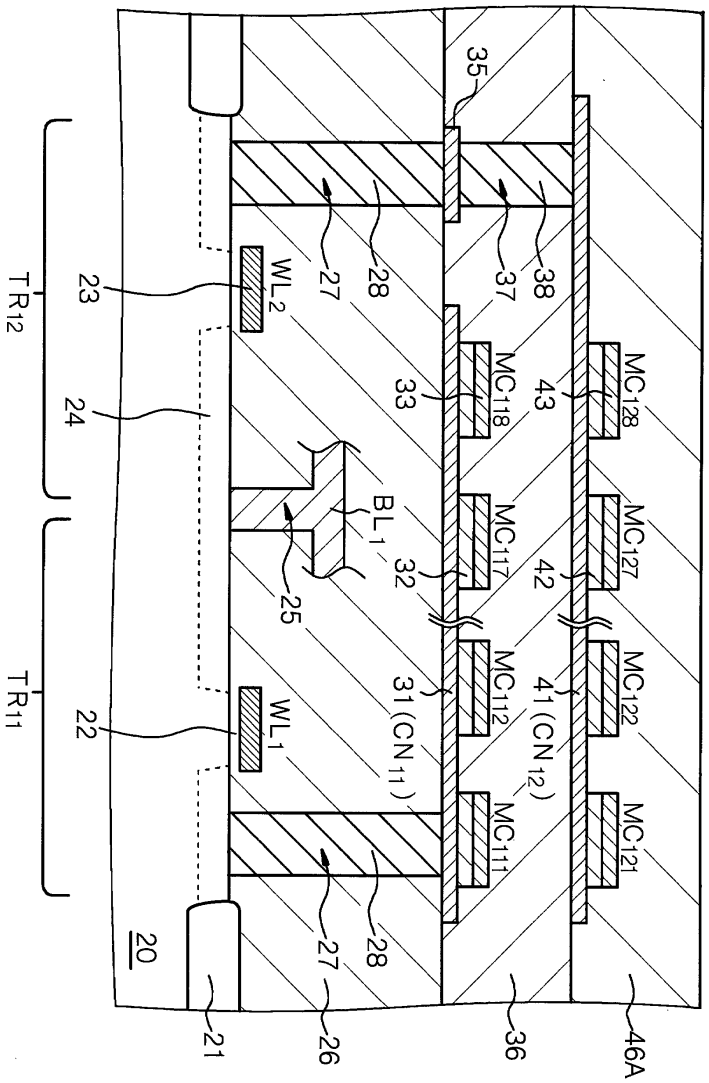
도면13


MU1
MU2
워드선 디코더/드라이버
WL1
WL2
TR11
TR21
CN11
TR12
CN21
TR22
MC111 MC121
MC211 MC221
CN12
CN22
PL1
WD
MC112 MC122
MC212 MC222
PL2
플레이트선 디코더/드라이버
MC117 MC127
MC217 MC227
PL7
MC118 MC128
MC218 MC228
BL1
BL2
PL8
SMU11
SMU12
SMU21
SMU22
센스 앰프
SA
PD

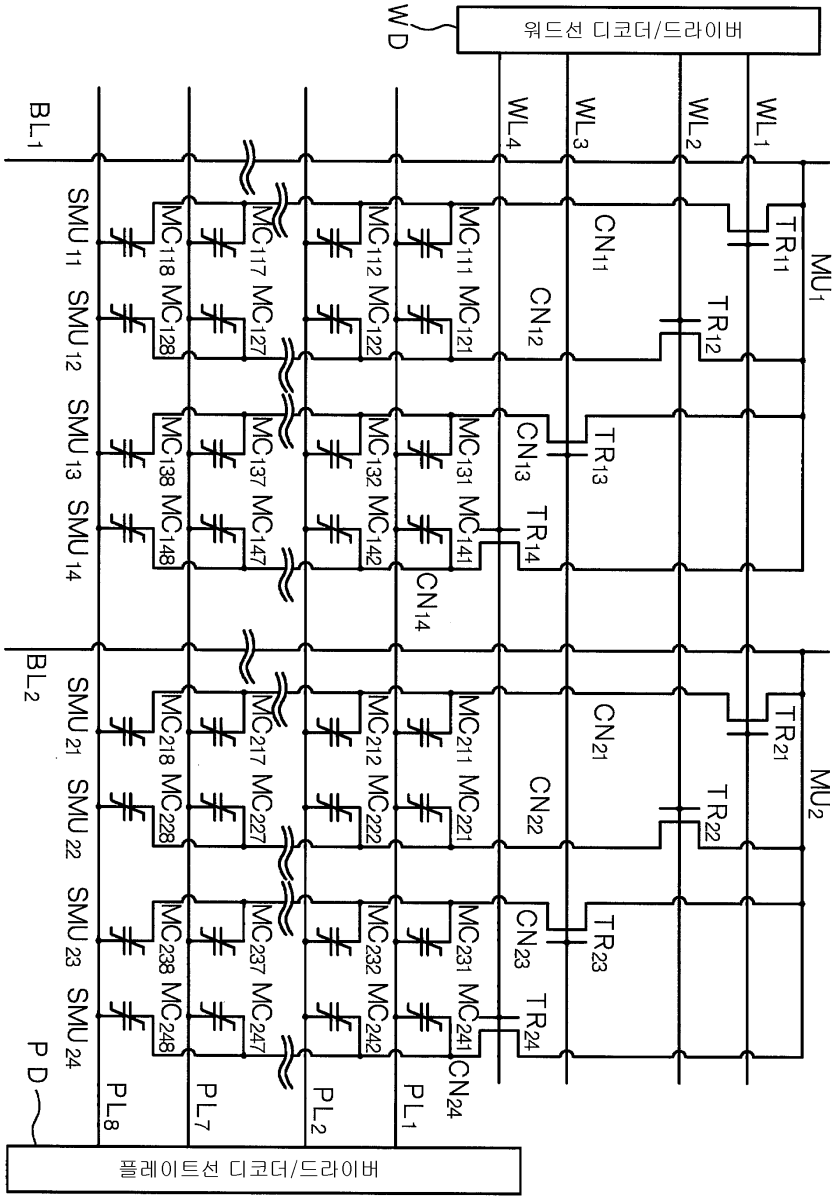
도면14


MU1
MU2
TR11
TR12
TR21
TR22
WL1
WL2
WL3
WL4
워드라인 디코더/드라이버
WD
CN11
CN12
CN21
CN22
MC111
MC121
MC211
MC221
MC112
MC122
MC212
MC222
MC117
MC127
MC217
MC227
MC118
MC128
MC218
MC228
PL1
PL2
PL7
PL8
BL1
BL2
SMU11
SMU12
SMU21
SMU22
SA
센스 앰프
플레이트라인 디코더/드라이버
PD

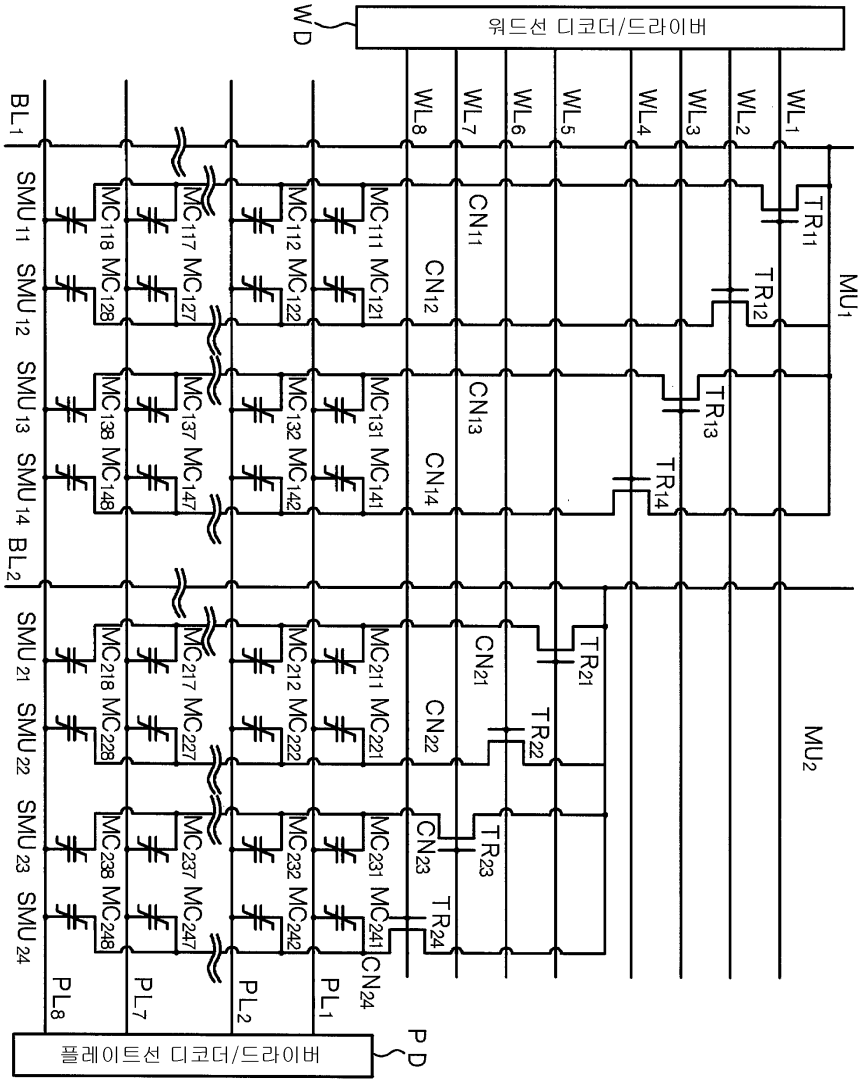
도면15


TR12
TR11
WL2
WL1
BL1
MC118
MC117
MC112
MC111
MC128
MC127
MC122
MC121
31(CN11)
41(CN12)
20
21
22
23
24
25
26
27
28
32
33
35
36
37
38
42
43
46A

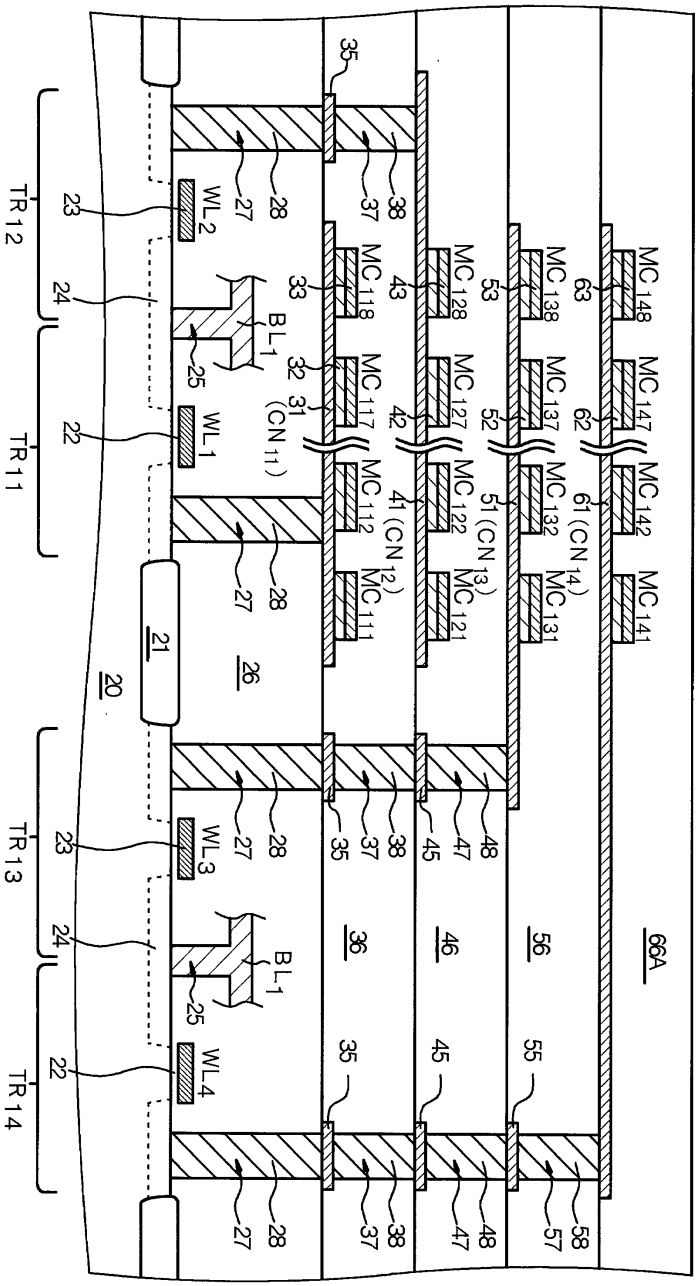
도면16


워드선 디코더/드라이버
WD
WL1
WL2
WL3
WL4
BL1
BL2
MU1
MU2
TR11
TR12
TR13
TR14
TR21
TR22
TR23
TR24
CN11
CN12
CN13
CN14
CN21
CN22
CN23
CN24
SMU11
SMU12
SMU13
SMU14
SMU21
SMU22
SMU23
SMU24
MC111
MC112
MC117
MC118
MC121
MC122
MC127
MC128
MC131
MC132
MC137
MC138
MC141
MC142
MC147
MC148
MC211
MC212
MC217
MC218
MC221
MC222
MC227
MC228
MC231
MC232
MC237
MC238
MC241
MC242
MC247
MC248
PL1
PL2
PL7
PL8
PD
플레이트선 디코더/드라이버

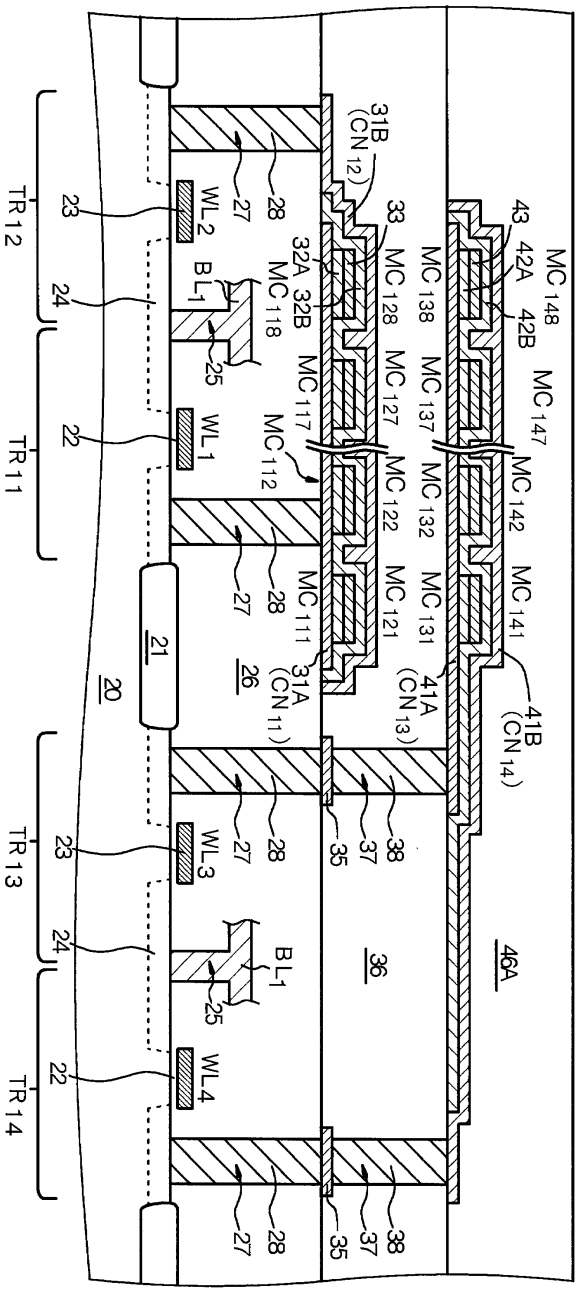
도면17


워드선 디코더/드라이버
WD
WL1
WL2
WL3
WL4
WL5
WL6
WL7
WL8
BL1
BL2
MU1
MU2
TR11
TR12
TR13
TR14
TR21
TR22
TR23
TR24
CN11
CN12
CN13
CN14
CN21
CN22
CN23
CN24
SMU11
SMU12
SMU13
SMU14
SMU21
SMU22
SMU23
SMU24
MC111 MC112 MC117 MC118 MC121 MC122 MC127 MC128
MC131 MC132 MC137 MC138 MC141 MC142 MC147 MC148
MC211 MC212 MC217 MC218 MC221 MC222 MC227 MC228
MC231 MC232 MC237 MC238 MC241 MC242 MC247 MC248
PL1
PL2
PL7
PL8
플레이트선 디코더/드라이버
PD

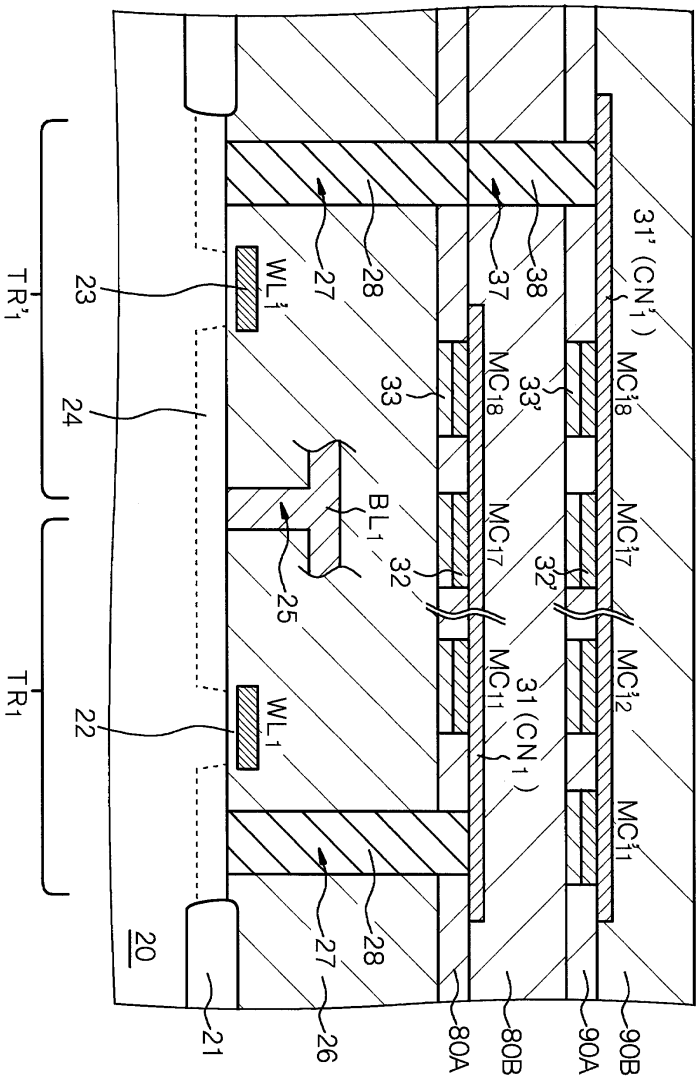
도면18


TR12
TR11
TR13
TR14
WL2
WL1
WL3
WL4
BL1
MC148
MC147
MC142
MC141
MC138
MC137
MC132
MC131
MC128
MC127
MC122
MC121
MC118
MC117
MC112
MC111
(CN11)
(CN12)
(CN13)
(CN14)
20
21
22
23
24
25
26
27
28
31
32
33
35
36
37
38
41
42
43
45
46
47
48
51
52
53
55
56
57
58
61
62
63
66A

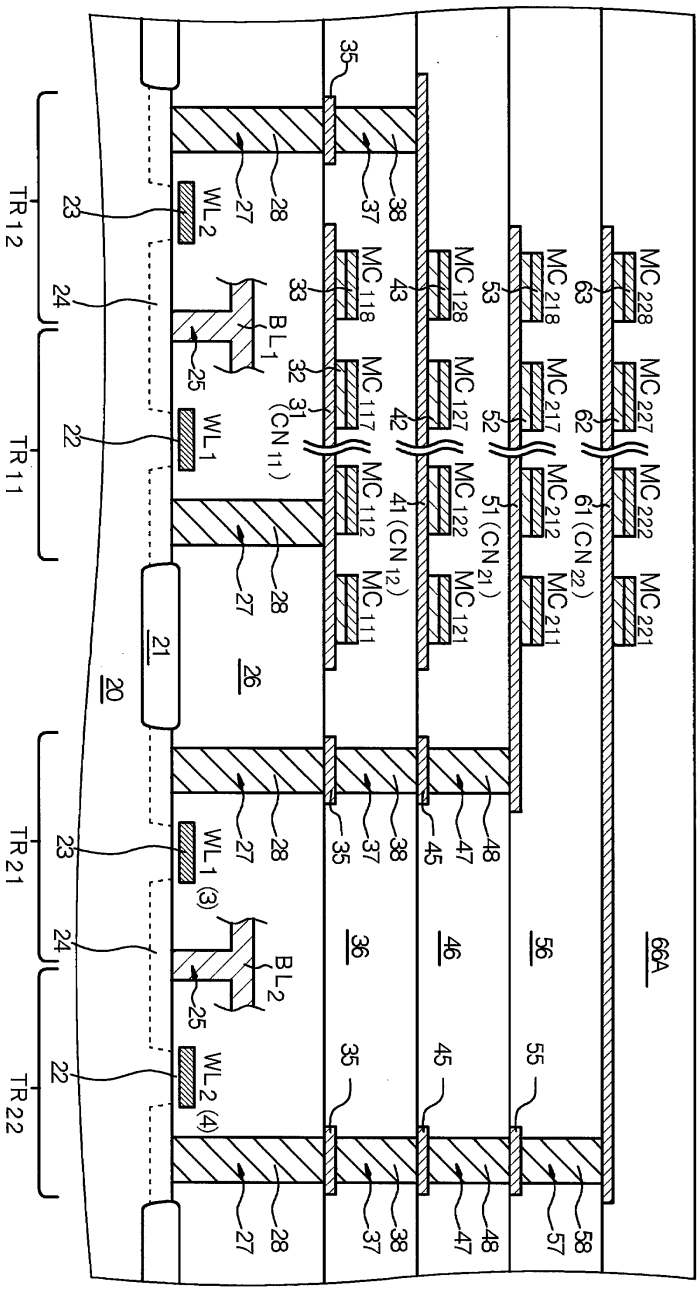
도면19


TR12
TR11
TR13
TR14
20
21
22
23
24
25
26
27
28
31A (CN11)
31B (CN12)
32A
32B
33
35
36
37
38
41A (CN13)
41B (CN14)
42A
42B
43
46A
BL1
WL1
WL2
WL3
WL4
MC111
MC112
MC117
MC118
MC121
MC122
MC127
MC128
MC131
MC132
MC137
MC138
MC141
MC142
MC147
MC148

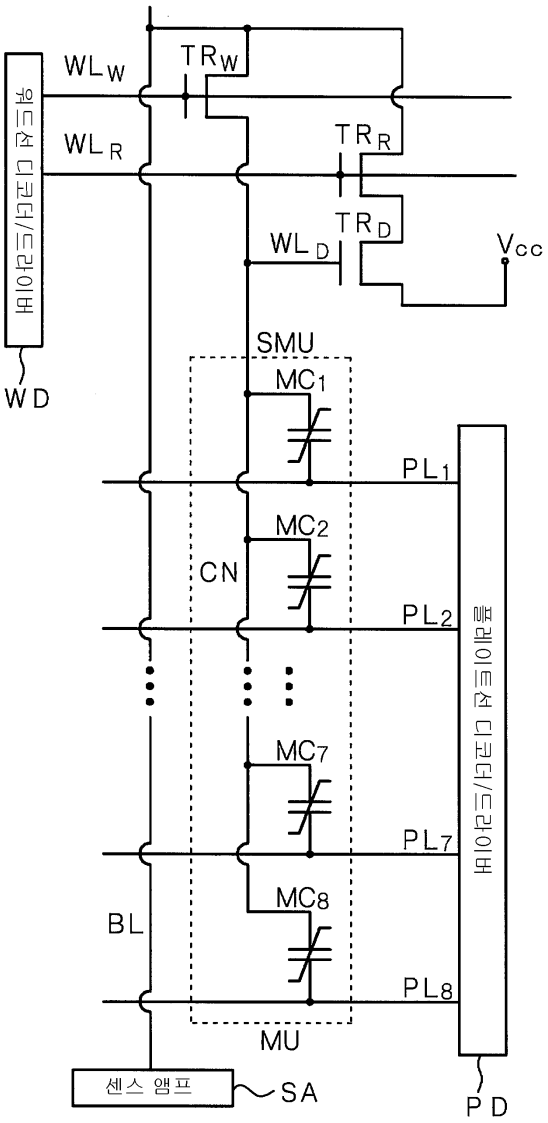
도면20


TR'1
TR1
23
24
22
WL'1
WL1
27
28
37
38
33
33'
MC18
MC'18
MC17
MC'17
MC11
MC'11
MC12
MC'12
BL1
32
32'
25
31' (CN'1)
31 (CN1)
20
21
26
80A
80B
90A
90B

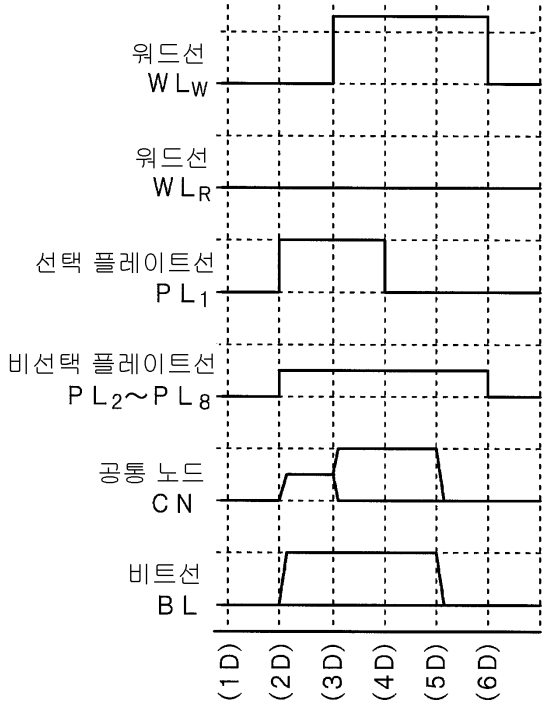
도면21


TR12
TR11
TR21
TR22
WL2
WL1
WL1 (3)
WL2 (4)
BL1
BL2
MC118
MC117
MC112
MC111
MC128
MC127
MC122
MC121
MC218
MC217
MC212
MC211
MC228
MC227
MC222
MC221
31 (CN11)
41 (CN12)
51 (CN21)
61 (CN22)
20
21
22
23
24
25
26
27
28
32
33
35
36
37
38
41
42
43
45
46
47
48
51
52
53
55
56
57
58
61
62
63
66A

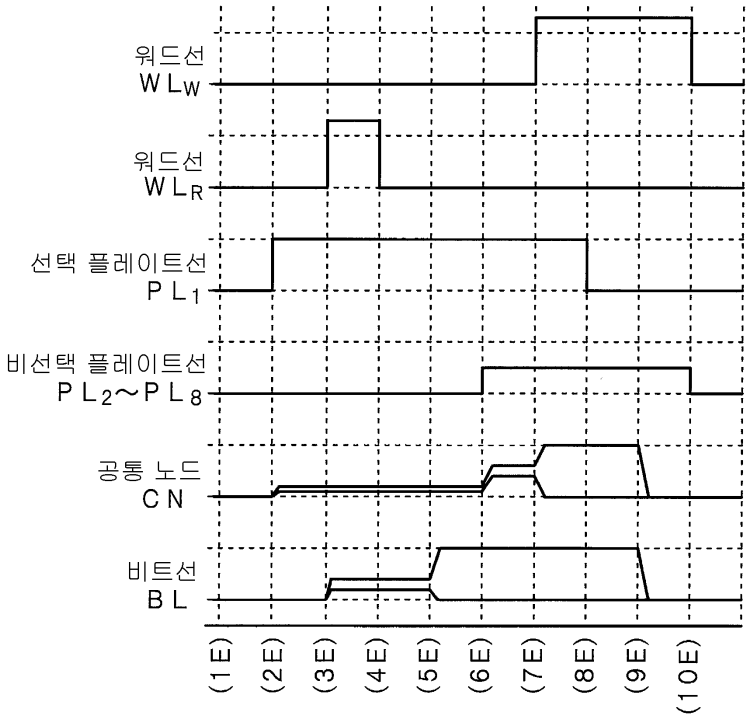
도면22


워드선 디코더/드라이버
WL W
TR W
WL R
TR R
TR D
WL D
Vcc
WD
SMU
MC1
PL1
MC2
CN
PL2
MC7
PL7
MC8
BL
PL8
MU
센스 앰프
SA
플레이트선 디코더/드라이버
PD

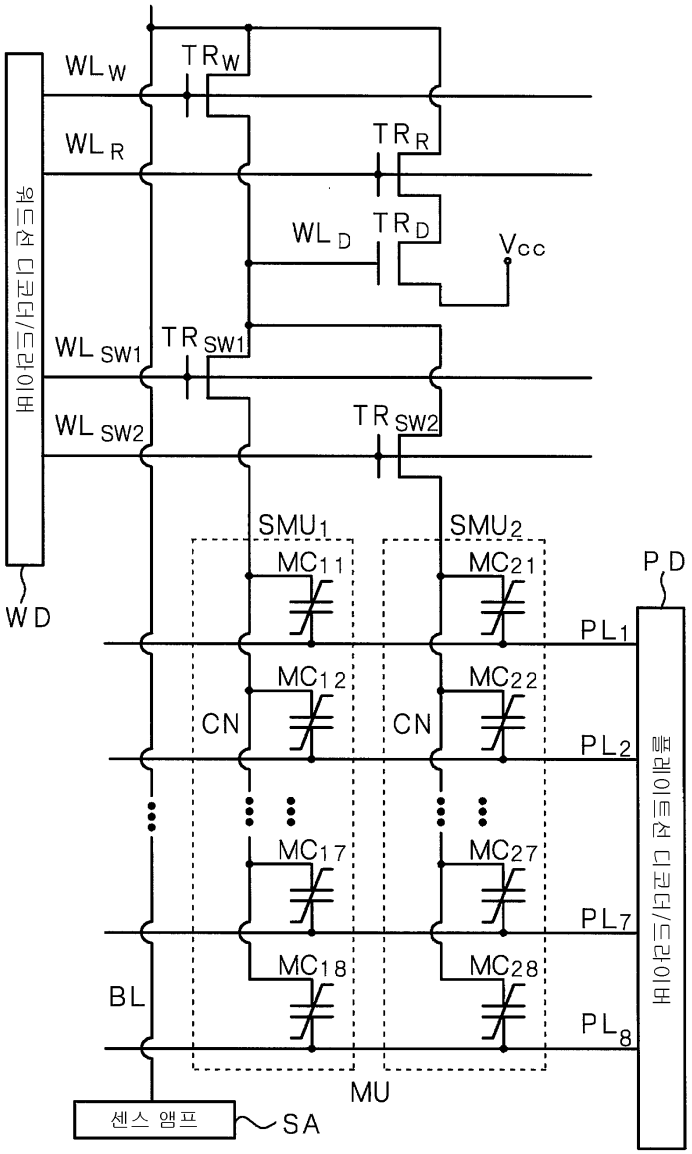
도면23


워드선
WLW
워드선
WLR
선택 플레이트선
PL1
비선택 플레이트선
PL2~PL8
공통 노드
CN
비트선
BL
(1D)
(2D)
(3D)
(4D)
(5D)
(6D)

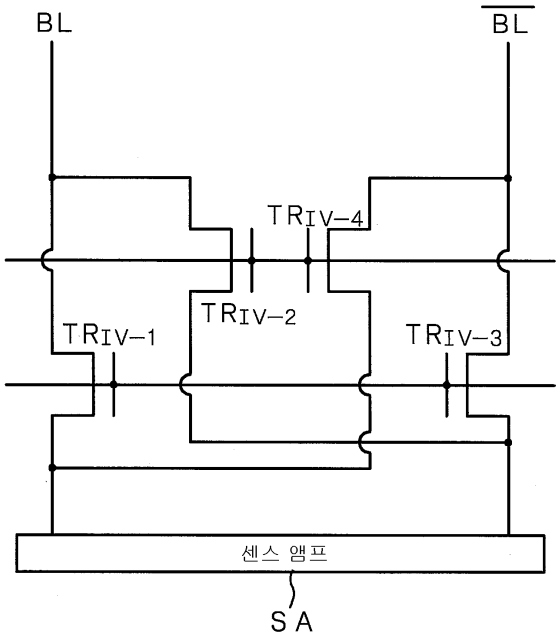
도면24


워드선
WLW
워드선
WLR
선택 플레이트선
PL1
비선택 플레이트선
PL2~PL8
공통 노드
CN
비트선
BL
(1E)
(2E)
(3E)
(4E)
(5E)
(6E)
(7E)
(8E)
(9E)
(10E)

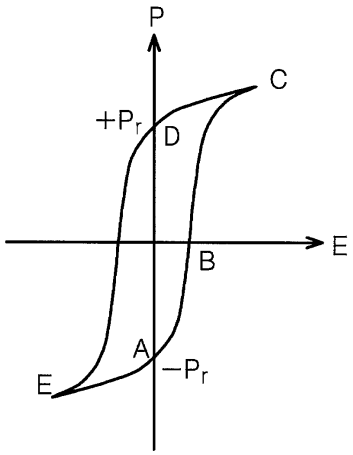
도면25


WL W
TR W
WL R
TR R
WL D
TR D
Vcc
WL SW1
TR SW1
WL SW2
TR SW2
워드선 디코더/드라이버
WD
SMU1
SMU2
MC11
MC21
PD
PL1
MC12
MC22
CN
CN
PL2
MC17
MC27
PL7
MC18
MC28
BL
PL8
MU
센스 앰프
SA
플레이트선 디코더/드라이버

도면26

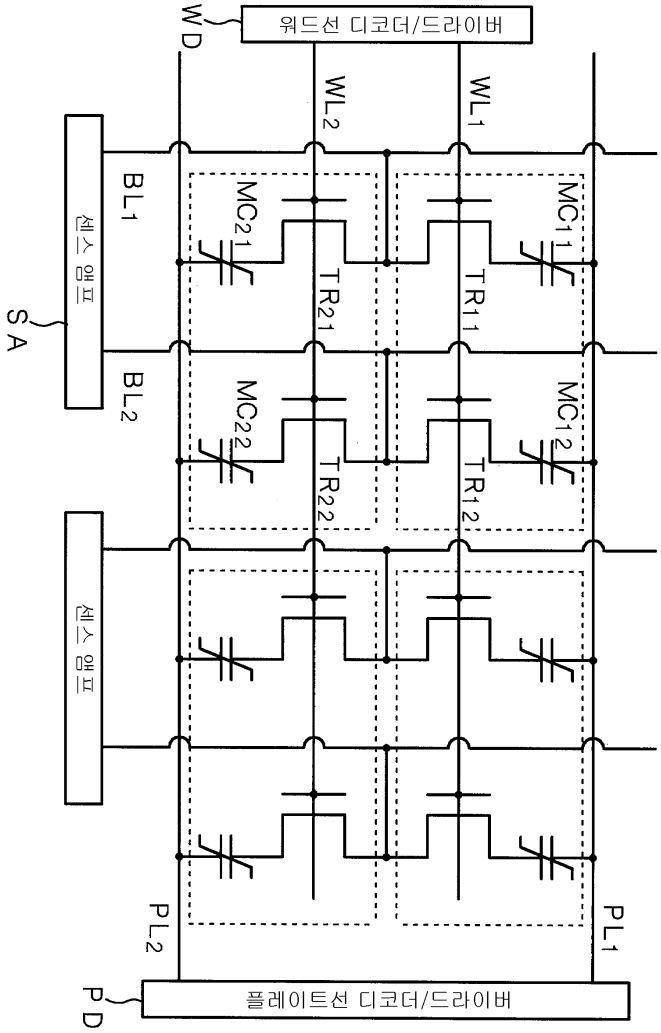


도면27



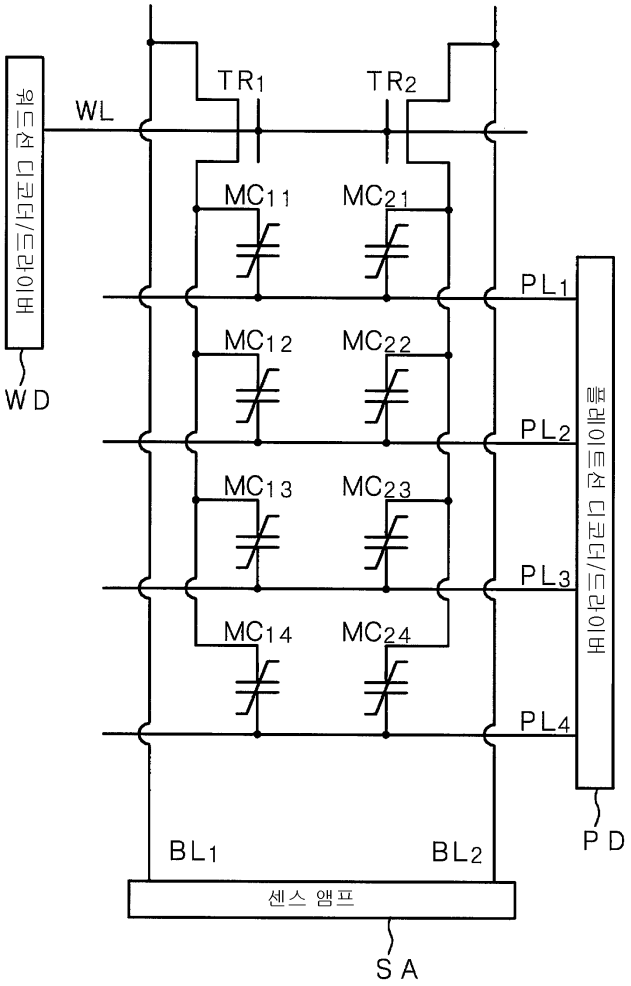
도면28

(종래의 기술)


워드선 디코더/드라이버
WD
WL2
WL1
BL1
BL2
센스 앰프
SA
MC21
MC11
MC22
MC12
TR21
TR11
TR22
TR12
PL2
PL1
플레이트선 디코더/드라이버
PD

도면29

(종래의 기술)


워드선 디코더/드라이버
WL
TR1
TR2
MC11
MC21
MC12
MC22
MC13
MC23
MC14
MC24
PL1
PL2
PL3
PL4
플레이트선 디코더/드라이버
WD
PD
BL1
BL2
센스 앰프
SA