

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2004-32875
(P2004-32875A)

(43) 公開日 平成16年1月29日(2004.1.29)

(51) Int.Cl.⁷
H02M 3/155

F I
H02M 3/155

H

テーマコード (参考)
5H730

審査請求 未請求 請求項の数 14 O L (全 19 頁)

(21) 出願番号	特願2002-184103 (P2002-184103)	(71) 出願人	000002185
(22) 出願日	平成14年6月25日 (2002. 6. 25)		ソニー株式会社
			東京都品川区北品川6丁目7番35号
		(74) 代理人	100094053
			弁理士 佐藤 隆久
		(72) 発明者	関 毅裕
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	中井 将勝
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	目黒 哲正
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		最終頁に続く	

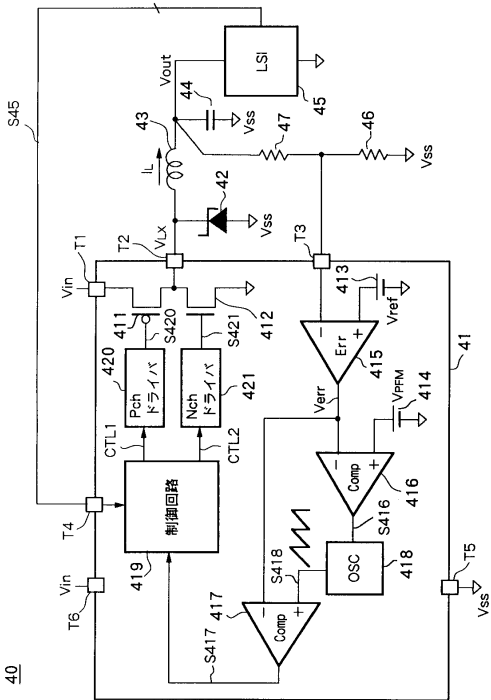
(54) 【発明の名称】 電子装置

(57) 【要約】

【課題】 制御方式の切り替えに伴うオーバーヘッドを抑制でき、スイッチングレギュレータを広い負荷電流範囲で高効率に維持可能な電子装置を提供する。

【解決手段】 アクティブモード時には、スイッチングレギュレータ41がPWM制御でかつ同期整流方式で動作するように指示する整流方式切替信号S45を出力し、スタンバイモード時には、スイッチングレギュレータ41がダイオード整流方式で動作するように指示する整流方式切替信号S45を出力する負荷回路44と、整流方式切替信号S45の指示に応じて同期整流方式で駆動するかダイオード整流方式で駆動するかを判断し、判断した整流方式に従って、制御信号CTL1, CTL2をドライバ回路420, 421に出力して、Pchスイッチングトランジスタ411とNchスイッチングトランジスタ412の駆動制御を行う制御回路419を含むスイッチングレギュレータ41とを設ける。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

動作電流に応じた整流方式切替信号を出力する負荷回路と、
入力電圧から規定の電圧を生成し、上記負荷回路に対して動作電流に対応した電流を供給するスイッチングレギュレータと、
を有し、

上記スイッチングレギュレータは、第 1 の整流方式と第 2 の整流方式で動作可能で、負荷電流が大きい場合には上記第 1 の整流方式で動作し、負荷電流が小さい場合には上記第 2 の整流方式で動作し、上記第 1 の整流方式と第 2 の整流方式を上記負荷回路からの整流方式切替信号に応じて切り替える

10

電子装置。

【請求項 2】

上記負荷回路は、第 1 の動作電流を消費する第 1 の動作モードと、上記第 1 の動作モードよりも小さい第 2 の動作電流を消費する第 2 の動作モードとを有し、

上記負荷回路は、第 1 の動作モード時には、上記スイッチングレギュレータに対して上記第 1 の整流方式を選択することを指示し、上記第 2 の動作モード時には、上記スイッチングレギュレータに対して上記第 2 の整流方式を選択すること指示する上記整流方式切替信号を出力する

請求項 1 記載の電子装置。

【請求項 3】

20

上記第 1 の整流方式は同期整流方式であり、上記第 2 の整流方式はダイオード整流方式である

請求項 1 記載の電子装置。

【請求項 4】

上記第 1 の整流方式は同期整流方式であり、上記第 2 の整流方式はダイオード整流方式である

請求項 2 記載の電子装置。

【請求項 5】

上記スイッチングレギュレータは、P W M方式とP F M方式の 2 つの制御方式で動作可能で、上記第 1 の整流方式で動作している場合は P W M方式が選択され、上記第 2 の整流方式で動作している場合は、負荷電流に応じて P D M方式と P F M方式を自動的に切り替えて動作を行う

30

請求項 4 記載の電子装置。

【請求項 6】

上記スイッチングレギュレータと上記負荷回路を 1 つの半導体集積回路上に備えている

請求項 5 記載の電子装置。

【請求項 7】

上記負荷回路は、実行する処理内容に応じて動作周波数を変更する機能を有し、上記負荷回路が規定の周波数よりも高い周波数で動作する場合は、上記スイッチングレギュレータに対して上記第 1 の整流方式を選択することを指示し、上記負荷回路が規定の周波数よりも低い周波数で動作する場合は、上記スイッチングレギュレータに対して上記第 2 の整流方式を選択することを指示する上記整流方式切替信号を出力する

40

請求項 1 記載の電子装置。

【請求項 8】

上記第 1 の整流方式は同期整流方式であり、上記第 2 の整流方式はダイオード整流方式である

請求項 7 記載の電子装置。

【請求項 9】

上記スイッチングレギュレータは、P W M方式とP F M方式の 2 つの制御方式で動作可能で、上記第 1 の整流方式で動作している場合は P W M方式が選択され、上記第 2 の整流方

50

式で動作している場合は、負荷電流に応じてPWM方式とPFM方式を自動的に切り替えて動作を行う

請求項8記載の電子装置。

【請求項10】

上記スイッチングレギュレータと上記負荷回路を1つの半導体集積回路上に備えている請求項9記載の電子装置。

【請求項11】

上記負荷回路は、実行する処理内容に応じて動作周波数と電源電圧を変更する機能を有し、上記負荷回路が規定の周波数/電源電圧の組み合わせよりも大きい周波数/電源電圧で動作する場合は、上記スイッチングレギュレータに対して上記第1の整流方式を選択することを指示し、上記負荷回路が規定の周波数/電源電圧よりも低い周波数/電源電圧で動作する場合は、上記スイッチングレギュレータに対して上記第2の整流方式を選択することを指示する上記整流方式切替信号を出力する

10

請求項1記載の電子装置。

【請求項12】

上記第1の整流方式は同期整流方式であり、上記第2の整流方式はダイオード整流方式である

請求項11記載の電子装置。

【請求項13】

上記スイッチングレギュレータは、PWM方式とPFM方式の2つの制御方式で動作可能で、上記第1の整流方式で動作している場合はPWM方式が選択され、上記第2の整流方式で動作している場合は、負荷電流に応じてPWM方式とPFM方式を自動的に切り替えて動作を行う

20

請求項12記載の電子装置。

【請求項14】

上記スイッチングレギュレータと上記負荷回路を1つの半導体集積回路上に備えている請求項13記載の電子装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

30

本発明は、入力電圧から規定の電圧を生成し、負荷回路に対してその動作電流に対応した電流を供給するスイッチングレギュレータを有する電子装置に係り、主にバッテリー駆動される携帯用電子装置の電源供給技術に利用して有効な技術に関するものである。

【0002】

【従来の技術】

近年、携帯機器に搭載されるLSIは、動作クロック周波数や電源電圧をLSIの処理内容に応じて動的に変化させる技術が採用されてきている。

これはLSIの消費電力 P_c が「 $P_c = C V^2 f$ 」（ C は充放電される容量、 V は電源電圧、 f は動作クロック周波数）で表され、電源電圧 V と周波数 f を低減することにより、その消費電力を大きく低減できるためである。

40

【0003】

しかしながら、LSIに駆動電力を供給するスイッチングレギュレータから見ると、LSIのクロック周波数や電源電圧が動的に変化するということは、供給すべき負荷電流が大きく変動することを意味する。

一般的なスイッチングレギュレータの制御方式としてPWM(Pulse Width Modulation)方式がある。PWM方式を採用したスイッチングレギュレータは、出力電流が比較的大きい領域では変換効率がよく、出力リップルが小さいという特徴をもっている。

【0004】

しかし、出力電流が小さい領域では、スイッチングトランジスタを駆動する際に発生する

50

スイッチング損失が、負荷で消費される電力と比較して大きくなり、変換効率が著しく低下する。

つまり、上述の負荷電流が大きく変動するLSIに駆動電力を供給する際には、LSI側がクロック周波数や電源電圧の低減で消費電力を削減しても、スイッチングレギュレータの損失が大きくなり、LSIの低消費電力化の効果を相殺してしまう恐れがある。

【0005】

このようなPWM方式の軽負荷時の変換効率低下を抑制するための技術として、PFM(Pulse Frequency Modulation)制御方式がある。

PFM方式は、負荷電流に応じてスイッチング周波数を変更する方式であり、負荷電流が小さい領域ではスイッチング周波数が低くなる。したがって軽負荷時のスイッチング損失による変換効率の劣化を抑制することができる。

【0006】

一般に、広い負荷電流範囲で高い変換効率を維持するためには、負荷電流が大きい領域ではPWM方式を使用し、負荷電流が小さい領域ではPFM方式に切り替える方式が用いられる。

【0007】

図13は、PWM/PFM切り替え方式を採用した同期整流方式の降圧型スイッチングレギュレータを含む電子装置の構成例を示す図である。

【0008】

この電子装置1は、同期整流方式の降圧型スイッチングレギュレータ2、整流ダイオード3、平滑用インダクタ4、平滑用キャパシタ5、負荷回路(LSI)6、および出力電圧をフィードバックするための分割抵抗7、8を有している。

そして、スイッチングレギュレータ2は、pチャネル(Pch)スイッチングトランジスタスイッチ21、nチャネル(Nch)スイッチングトランジスタ22、基準電圧源23、PFM制御切替電圧源24、エラーアンプ25、コンパレータ26~28、発振器29、スイッチングレギュレータ制御回路30、Pchスイッチングトランジスタ駆動用のドライバ回路31、およびNchスイッチングトランジスタ駆動用のドライバ回路32を有し、これらの構成要素が一つのチップ集積化されている。

【0009】

また、図14(A)は重負荷時のインダクタ電流ILの電流波形、図14(B)はスイッチングトランジスタ出力VLXの電圧波形、図14(C)はNchスイッチングトランジスタ22のゲート駆動電圧波形、および図14(D)はPchスイッチングトランジスタ21のゲート駆動電圧波形をそれぞれ示している。さらに、図15(A)は軽負荷時のインダクタ電流ILの電流波形、図15(B)はスイッチングトランジスタ出力VLXの電圧波形、図15(C)Nchスイッチングトランジスタ22のゲート駆動電圧波形、および図15(D)はPchスイッチングトランジスタ21のゲート駆動電圧波形をそれぞれ示している。

【0010】

このような構成を有する電子装置1において、図14(A)~(D)に示すように、重負荷時にはスイッチングレギュレータ2は電流連続モードで動作している。

これに対して、負荷電流が小さくなると、図15(A)、(C)に示すように、Nchスイッチングトランジスタ22のオン期間中にインダクタ4に流れるインダクタ電流ILが負になり、インダクタ電流ILの逆流が発生する。

通常この逆流は、インダクタ電流ILがゼロとなった時点でNchスイッチングトランジスタ22をオフにすることにより防いでいる。このようなスイッチングサイクル中にインダクタ電流ILがゼロとなる動作モードを電流不連続モードと呼ぶが、電流不連続モードでは負荷電流が減少していくと、出力電圧Voutが上昇する。

これにより、エラーアンプ25の出力電圧(エラー電圧Verr)が低下し、エラー電圧Verrがしきい電圧VPFMを越えた時点でスイッチングレギュレータ2の制御方式がPWM方式からPFM方式に変更される。つまりPFM方式への移行には、電流不連続モ

ードでの動作が必要となる。

【 0 0 1 1 】

電流不連続モード動作を実現するためのゼロ電流検出方法としては、N c hスイッチングトランジスタ22にドレイン - ソース間電圧をモニタする方法や、出力ラインにセンス抵抗を挿入して、その電圧降下をモニタする方法が一般的に行われている。

【 0 0 1 2 】

【 発明が解決しようとする課題 】

しかしながら、N c hスイッチングトランジスタ22のドレイン - ソース間電圧をモニタする方法は、負荷電流が非常に小さい領域では、ドレイン - ソース間電圧も非常に小さくなるために、これを検出するためには高感度のコンパレータ27が必要になる。

10

また、出力ラインにセンス抵抗を挿入して、その電圧をモニタする方法では、高感度のコンパレータが必要になる点に加え、センス抵抗での損失も発生する。

したがって、いずれの手法を選んでも、回路設計上の困難さや面積の増加、消費電力の増加といったオーバーヘッドが発生する。

【 0 0 1 3 】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、制御方式の切り替えに伴うオーバーヘッドを抑制でき、スイッチングレギュレータを広い負荷電流範囲で高効率に維持可能な電子装置を提供することにある。

【 0 0 1 4 】

【 課題を解決するための手段 】

20

上記目的を達成するため、本発明の電子装置は、動作電流に応じた整流方式切替信号を出力する負荷回路と、入力電圧から規定の電圧を生成し、上記負荷回路に対して動作電流に対応した電流を供給するスイッチングレギュレータと、を有し、上記スイッチングレギュレータは、第1の整流方式と第2の整流方式で動作可能で、負荷電流が大きい場合には上記第1の整流方式で動作し、負荷電流が小さい場合には上記第2の整流方式で動作し、上記第1の整流方式と第2の整流方式を上記負荷回路からの整流方式切替信号に応じて切り替える。

【 0 0 1 5 】

好適には、上記負荷回路は、第1の動作電流を消費する第1の動作モードと、上記第1の動作モードよりも小さい第2の動作電流を消費する第2の動作モードとを有し、上記負荷回路は、第1の動作モード時には、上記スイッチングレギュレータに対して上記第1の整流方式を選択することを指示し、上記第2の動作モード時には、上記スイッチングレギュレータに対して上記第2の整流方式を選択することを指示する上記整流方式切替信号を出力する。

30

【 0 0 1 6 】

また、好適には、上記負荷回路は、実行する処理内容に応じて動作周波数を変更する機能を有し、上記負荷回路が規定の周波数よりも高い周波数で動作する場合は、上記スイッチングレギュレータに対して上記第1の整流方式を選択することを指示し、上記負荷回路が規定の周波数よりも低い周波数で動作する場合は、上記スイッチングレギュレータに対して上記第2の整流方式を選択することを指示する上記整流方式切替信号を出力する。

40

【 0 0 1 7 】

また、好適には、上記負荷回路は、実行する処理内容に応じて動作周波数と電源電圧を変更する機能を有し、上記負荷回路が規定の周波数 / 電源電圧の組み合わせよりも大きい周波数 / 電源電圧で動作する場合は、上記スイッチングレギュレータに対して上記第1の整流方式を選択することを指示し、上記負荷回路が規定の周波数 / 電源電圧よりも低い周波数 / 電源電圧で動作する場合は、上記スイッチングレギュレータに対して上記第2の整流方式を選択することを指示する上記整流方式切替信号を出力する。

【 0 0 1 8 】

また、上記第1の整流方式は同期整流方式であり、上記第2の整流方式はダイオード整流方式である。

50

【 0 0 1 9 】

また、上記スイッチングレギュレータは、P W M方式とP F M方式の2つの制御方式で動作可能で、上記第1の整流方式で動作している場合はP W M方式が選択され、上記第2の整流方式で動作している場合は、負荷電流に応じてP W M方式とP F M方式を自動的に切り替えて動作を行う。

【 0 0 2 0 】

また、上記スイッチングレギュレータと上記負荷回路を1つの半導体集積回路上に備えている。

【 0 0 2 1 】

本発明によれば、たとえば負荷回路は、第1の動作モード時には、スイッチングレギュレータに対して第1の整流方式を選択することを指示する整流方式切替信号を出力する。 10

この場合、スイッチングレギュレータは、第1の整流方式、たとえば同期整流方式で動作し、負荷回路の動作電流に対応した電流を負荷回路に供給する。

一方、第2の動作モード時には、スイッチングレギュレータに対して第2の整流方式を選択することを指示する整流方式切替信号を出力する。

この場合、スイッチングレギュレータは、第2の整流方式、たとえばダイオード整流方式で動作し、負荷回路の動作電流に対応した電流を負荷回路に供給する。

【 0 0 2 2 】

【 発明の実施の形態 】

以下、本発明の実施形態を図面に関連付けて説明する。 20

【 0 0 2 3 】

第1実施形態

図1は、本発明に係る電子装置の第1の実施形態を示す回路図である。

【 0 0 2 4 】

本電子装置40は、図1に示すように、スイッチングレギュレータ41、たとえばショットキーダイオードからなる整流ダイオード42、平滑用インダクタ43、平滑用キャパシタ45、負荷回路(L S I)46、および出力電圧をフィードバックするための分割抵抗47、48を有している。

【 0 0 2 5 】

スイッチングレギュレータ41は、P c h (p チャネル) スイッチングトランジスタスイッチ411、N c h (n チャネル) スイッチングトランジスタ412、基準電圧源413、P F M制御切替電圧源414、エラーアンプ415、コンパレータ416、417、発振器418、スイッチングレギュレータ制御回路419、P c h スイッチングトランジスタ駆動用のドライバ回路420、およびN c h スイッチングトランジスタ駆動用のドライバ回路421を有している。 30

【 0 0 2 6 】

スイッチングレギュレータ41は、各構成要素が一つのチップ集積化されており、外部の素子や回路等と接続するための端子T1～T6有する。

端子T1およびT6は図示しない電源、たとえば電源電圧V i n (たとえば3.6V～4.2V)のリチウムイオン電池に接続されている。 40

端子T2は、整流ダイオード42のカソードおよび平滑用インダクタ43の一端に接続されている。

端子T3は、直列に接続された分割抵抗47と48の接続点に接続されている。

端子T4は、負荷回路45の整流方式切替信号S45の供給ラインに接続されている。

端子T5は、基準電位(接地電位)V s sに接続されている。

平滑用インダクタ43の他端が平滑用キャパシタ45の第1電極、負荷回路45の電源端子、および抵抗47の一端に接続されている。

そして、平滑用キャパシタ44の第2電極、抵抗46の一端が基準電位V s sに接続されている。

【 0 0 2 7 】

スイッチングレギュレータ 4 1 において、P c h スwitchングトランジスタ 4 1 1 のソースが端子 T 1 に接続され、ドレインが端子 T 2 に接続され、ゲートがドライバ回路 4 2 0 の駆動信号 S 4 2 0 の供給ラインに接続されている。

N c h スwitchングトランジスタ 4 1 2 のソースが基準電位 V s s に接続され、ドレインが端子 T 2 に接続され、ゲートがドライバ回路 4 2 1 の駆動信号 S 4 2 1 の供給ラインに接続されている。

エラーアンプ 4 1 5 の反転入力 (-) が端子 T 3 に接続され、非反転入力 (+) が基準電圧源 4 1 3 に接続され、出力がコンパレータ 4 1 6 の反転入力 (-) およびコンパレータ 4 1 7 の反転入力 (-) に接続されている。

コンパレータ 4 1 6 の非反転入力 (+) が P F M 制御切替電圧源 4 1 4 に接続され、出力が発振器 4 1 8 に供給される。 10

【 0 0 2 8 】

スイッチングレギュレータ 4 1 は、スタンバイモード時にコンパレータ 4 1 6 において、P F M 制御切替電圧源 4 1 4 による P F M 制御切替電圧 V P F M によりエラー電圧 V e r r が低くなると、P W M 方式から P F M 方式に自動的に切り替え、P F M 制御切替電圧 V P F M によりエラー電圧 V e r r が高くなると、P F M 方式から P W M 方式に自動的に切り替える。

【 0 0 2 9 】

発振器 4 1 8 はコンパレータ 4 1 6 の出力信号 S 4 1 6 に応じて三角波である信号 S 4 1 8 を出力する。 20

コンパレータ 4 1 7 の非反転入力 (+) が発振器 4 1 8 の発振信号 S 4 1 8 の供給ラインに接続されている。コンパレータ 4 1 7 は、発振信号 S 4 1 8 とエラーアンプ 4 1 5 によるエラー電圧 V e r r とを比較し、比較結果に応じた信号 S 4 1 7 を制御回路 4 1 9 に出力する。

【 0 0 3 0 】

制御回路 4 1 9 は、端子 T 4 を介して入力される負荷回路 4 5 による整流方式切替信号 S 4 5 の指示に応じて第 1 の整流方式である同期整流方式で駆動する第 2 の整流方式であるダイオード整流方式で駆動するかを判断し、判断した整流方式に従って、制御信号 C T L 1 , C T L 2 をドライバ回路 4 2 0 , 4 2 1 に出力して、P c h スwitchングトランジスタ 4 1 1 と N c h スwitchングトランジスタ 4 1 2 の駆動制御を行う。 30

【 0 0 3 1 】

具体的には、制御回路 4 1 9 は、同期整流方式で駆動すると判断した場合には、コンパレータ 4 1 7 の出力信号 S 4 1 7 に応じて P c h スwitchングトランジスタ 4 1 1 と N c h スwitchングトランジスタ 4 1 2 のオンの期間と O F F の期間とのデューティを制御する P W M 制御を行うように制御信号 C T L 1 , C T L 2 をドライバ回路 4 2 0 , 4 2 1 に出力する。

この場合、スイッチングレギュレータ 4 1 は電流連続モードでの動作となる。

【 0 0 3 2 】

一方、制御回路 4 1 9 は、ダイオード整流方式で駆動すると判断した場合には、N c h スwitchングトランジスタ 4 1 2 をオフ状態に保持するように、制御信号 C T L 2 をドライバ回路 4 2 1 に出力し、P c h スwitchングトランジスタ 4 1 1 と外付けの整流ダイオード 4 2 により動作するように制御信号 C T L 1 をドライバ回路 4 2 0 に出力する。 40

【 0 0 3 3 】

負荷回路 4 5 は、スイッチングレギュレータ 4 1 から出力された電圧 V L X がインダクタ 4 3 、およびキャパシタ 4 5 により平滑化された、たとえば 1 . 5 V ~ 3 . 3 V 程度の駆動電圧 V o u t が電源端子に供給される。

本第 1 の実施形態に係る負荷回路 (L S I) 4 6 は、動作状態である第 1 の動作モードとしてのアクティブモードと、非動作状態である第 2 の動作モードとしてのスタンバイ (S t a n d b y) モードの 2 つの動作モードを有する。

【 0 0 3 4 】

アクティブモードにおいては、LSIが消費する電流が大きいため、スイッチングレギュレータ41をPWM制御でかつ同期整流方式で動作させる必要がある。負荷回路41は、アクティブモード時には、スイッチングレギュレータ41がPWM制御でかつ同期整流方式で動作するように指示する整流方式切替信号S45をスイッチングレギュレータ41の制御回路419に出力する。

一方、負荷回路45は、スタンバイモードにおいては、スイッチングレギュレータ41がダイオード整流方式で動作するように指示する整流方式切替信号S45をスイッチングレギュレータ41の制御回路419に出力する。

【0035】

なお、負荷回路45が出力する整流方式切替信号S45は、1ビットのデータでも良いし、複数ビットのデータでも良い。複数ビットのデータの場合は、パラレルデータとしてスイッチングレギュレータ41に送信しても良いし、信号線数を減らすためにシリアルデータに変換して送信しても良い。

【0036】

次に、上記構成による動作を図2(A)~(D)および図3(A)~(D)に関連付けて説明する。

【0037】

図2(A)~(D)は、アクティブモード時の動作電流および動作電圧波形を示す図であって、図2(A)はインダクタ電流ILの電流波形、図2(B)はスイッチングトランジスタ出力VLXの電圧波形、図2(C)はNchスイッチングトランジスタ412のゲート駆動電圧波形、および図2(D)はPchスイッチングトランジスタ411のゲート駆動電圧波形をそれぞれ示している。

また、図3(A)~(D)はスタンバイモード時の動作電流および動作電圧波形を示す図であって、図3(A)はインダクタ電流ILの電流波形、図3(B)はスイッチングトランジスタ出力VLXの電圧波形、図3(C)Nchスイッチングトランジスタ412のゲート駆動電圧波形、および図3(D)はPchスイッチングトランジスタ411のゲート駆動電圧波形をそれぞれ示している。

【0038】

アクティブモードには、負荷回路45は消費する電流が大きいため、スイッチングレギュレータ41がPWM制御でかつ同期整流方式で動作するように指示する整流方式切替信号S45が、負荷回路45からスイッチングレギュレータ41の制御回路419に出力される。

【0039】

制御回路419においては、端子T4を介して入力される負荷回路45による整流方式切替信号S45の指示に応じて同期整流方式で駆動すべき旨が判断される。そして、コンパレータ417の出力信号S417に応じてPchスイッチングトランジスタ411とNchスイッチングトランジスタ412のオンの期間とOFFの期間とのデューティを制御するPWM制御を行うように制御信号CTL1, CTL2が制御回路419からドライバ回路420, 421に出力される。

この場合、スイッチングレギュレータ41は電流連続モードで動作する。

【0040】

たとえばインダクタ43に流れるインダクタ電流ILがLSI45の動作状態の変化により増加すると、インダクタ43およびキャパシタ44により平滑化された電圧Voutが減少する。

この電圧Voutは分割抵抗46, 47により分圧されてスイッチングレギュレータ41の端子T3を介してエラーアンプ415に入力される。

エラーアンプ415では、基準電圧より入力電圧が下がることから、出力エラー電圧Verは高くなり、コンパレータ416および417に供給される。

コンパレータ416からはPFM制御切り替え電圧VPFMと入力エラー電圧Verの比較結果に応じた信号S416が発振器418に出力される。

10

20

30

40

50

発振器 4 1 8 において、コンパレータ 4 1 6 の出力信号 S 4 1 6 に応じて三角波である信号 S 4 1 8 がコンパレータ 4 1 7 に出力される。

そして、コンパレータ 4 1 7 では、発振信号 S 4 1 8 とエラーアンプ 4 1 5 によるエラー電圧 V_{err} とが比較され、比較結果に応じた PWM 信号 S 4 1 7 が制御回路 4 1 9 に出力される。

このとき、制御回路 4 1 9 においては、PWM 信号 S 4 1 7 に基づいて、出力電圧を上げるように、Pch スイッチングトランジスタ 4 1 1 のオン時間と Nch スイッチングトランジスタ 4 1 2 のオン時間の比率を変更するように制御信号 CTL 1 , CTL 2 が制御回路 4 1 9 からドライバ回路 4 2 0 , 4 2 1 に出力される。

この制御状態は、スイッチングレギュレータ 4 1 のエラーアンプ 4 1 5 に供給される電圧 V_{out} が分圧された電圧が基準電圧と等しくなるまで継続される。 10

【0041】

これにより Pch スイッチングトランジスタ 4 1 1 を通して端子 T 2 には電荷が供給されることから、出力電圧 V_LX 、ひいては電圧 V_{out} が上昇する。

次に、たとえばインダクタ 4 3 に流れるインダクタ電流 I_L が LSI 4 5 の動作状態の変化により減少すると、インダクタ 4 3 およびキャパシタ 4 4 により平滑化された電圧 V_{out} が増加する。すると、スイッチングレギュレータ 4 1 のエラーアンプ 4 1 5 に供給される電圧 V_{out} が分圧された電圧が基準電圧 V_{ref} より高くなる。

エラーアンプ 4 1 5 では、基準電圧より入力電圧が上がることから、出力エラー電圧 V_{err} は低くなり、コンパレータ 4 1 6 および 4 1 7 に供給される。 20

コンパレータ 4 1 6 からは PFM 制御切り替え電圧 V_{PFM} と入力エラー電圧 V_{err} の比較結果に応じた信号 S 4 1 6 が発振器 4 1 8 に出力される。

発振器 4 1 8 において、コンパレータ 4 1 6 の出力信号 S 4 1 6 に応じて三角波である信号 S 4 1 8 がコンパレータ 4 1 7 に出力される。

そして、コンパレータ 4 1 7 では、発振信号 S 4 1 8 とエラーアンプ 4 1 5 によるエラー電圧 V_{err} とが比較され、比較結果に応じた PWM 信号 S 4 1 7 が制御回路 4 1 9 に出力される。

このとき、制御回路 4 1 9 においては、PWM 信号 S 4 1 7 に基づいて、出力電圧を下げるように、Pch スイッチングトランジスタ 4 1 1 のオン時間と Nch スイッチングトランジスタ 4 1 2 のオン時間の比率を変更するように制御信号 CTL 1 , CTL 2 が制御回路 4 1 9 からドライバ回路 4 2 0 , 4 2 1 に出力される。 30

この制御状態は、スイッチングレギュレータ 4 1 のエラーアンプ 4 1 5 に供給される電圧 V_{out} が分圧された電圧が基準電圧と等しくなるまで継続される。

これにより Pch スイッチングトランジスタ 4 1 1 を通して端子 T 2 には電荷が供給されることから、出力電圧 V_LX 、ひいては電圧 V_{out} が降下する。

【0042】

ここで、負荷回路 4 5 がアクティブモードからスタンバイモードに切り替わると、スイッチングレギュレータ 4 1 がダイオード整流方式で動作するように指示する整流方式切替信号 S 4 5 が、負荷回路 4 5 からスイッチングレギュレータ 4 1 の制御回路 4 1 9 に出力される。 40

【0043】

制御回路 4 1 9 においては、端子 T 4 を介して入力される負荷回路 4 5 による整流方式切替信号 S 4 5 の指示に応じて同期整流方式で駆動すべき旨が判断される。そして、Nch スイッチングトランジスタ 4 1 2 をオフ状態に保持するように、制御回路 4 1 9 から制御信号 CTL 2 がドライバ回路 4 2 1 に出力され、Pch スイッチングトランジスタ 4 1 1 と外付けの整流ダイオード 4 2 により動作するように制御信号 CTL 1 がドライバ回路 4 2 0 に出力される。

これにより、負荷回路 4 5 がスタンバイモードにある間は、図 3 (C) に示すように、Nch スイッチングトランジスタ 4 1 2 はオフ状態に保持される。

この状態ではスイッチングレギュレータ 4 1 は、図 3 (A) , (B) , (D) に示すよう 50

に、Pchスイッチングトランジスタ411とショットキーダイオード42によるダイオード整流で動作する。

【0044】

スイッチングレギュレータ41においては、ダイオード整流時には負荷電流が低下するにしたがって出力電圧Voutが上昇し、その結果エラー電圧Verrが低下する。コンパレータ416において、PFM制御切替電圧源414によるPFM制御切替電圧VPFMよりエラー電圧Verrが低くなると、PWM方式からPFM方式に自動的に切り替えられる。PFM方式で動作中は、発振器418の発振周波数が信号S416にしたがって低下し、Pchスイッチングトランジスタ411の駆動回数が低減される。発振器418の発振周波数は、スイッチングレギュレータ41のエラーアンプ415に供給される電圧Voutが分圧された電圧が基準電圧と等しくなるまで低減される。

10

一方、PFM制御切替電圧VPFMによりエラー電圧Verrが高くなると、PFM方式からPWM方式に自動的に切り替えられる。

【0045】

ダイオード整流の場合、ダイオードの順方向電圧降下による損失が発生するため、負荷電流が大きい領域では効率が低下するが、スタンバイ状態にある負荷回路(LSI)45の消費電流は非常に小さいため、ダイオード順方向電圧降下による損失は無視できる範囲となる。

【0046】

以上説明したように、本第1の実施形態によれば、動作状態であるアクティブモードと、非動作状態であるスタンバイモードの2つの動作モードを有し、アクティブモード時には、スイッチングレギュレータ41がPWM制御でかつ同期整流方式で動作するように指示する整流方式切替信号S45を出力し、スタンバイモード時には、スイッチングレギュレータ41がダイオード整流方式で動作するように指示する整流方式切替信号S45を出力する負荷回路44と、負荷回路45による整流方式切替信号S45の指示に応じて同期整流方式で駆動するかダイオード整流方式で駆動するかを判断し、判断した整流方式に従って、制御信号CTL1, CTL2をドライバ回路420, 421に出力して、Pchスイッチングトランジスタ411とNchスイッチングトランジスタ412の駆動制御を行う制御回路419を含むスイッチングレギュレータ41とを設けたので、以下の効果を得ることができる。

20

30

つまり、従来方式の同期整流で電流不連続モード動作となった場合に必要であったゼロ電流検出が不要となり、高精度のゼロ電流検出コンパレータが不要とできる。

これにより、スイッチングレギュレータ設計の難易度を緩和できる。

また、スイッチングレギュレータの自己消費電力を低減することもできる。軽負荷時の自己消費電力低減は、変換効率向上に大きく貢献する。

【0047】

第2実施形態

図4は、本発明に係る電子装置の第2の実施形態を示す回路図である。

【0048】

本第2の実施形態が上述した第1の実施形態と異なる点は、負荷回路(LSI)45Aが処理内容に応じて動作周波数を変更する機能を有することにある。

40

【0049】

LSIの消費電力Pcは、前述した通り『 $P_c = C V^2 f$ 』で表されるため、周波数に比例してLSIの消費電力を低減できる。つまり負荷電流は動作周波数に比例して減少する。

【0050】

図5は、6段階の周波数設定が可能な場合の動作周波数と負荷電流の関係を示す図である。また、図6は、負荷電流の変化に対するインダクタ電流ILXの波形を示す図である。

【0051】

本第2の実施形態では、最大動作周波数fmax時の負荷電流をImaxとし、インダク

50

タ電流のリプル電流を $0.4 I_{max}$ と仮定している。つまり負荷電流が $0.2 I_{max}$ 以下の場合に、スイッチングレギュレータは電流不連続モードで動作させる必要がある。

図 5 の対応表によれば、LSI の動作周波数が $0.125 f_{max}$ 以下になった場合がこれに対応する。

よって LSI の動作周波数が $0.125 f_{max}$ 以下になった場合に、スイッチングレギュレータ 41 に対して同期整流からダイオード整流に切り替える指示を出せば良いことになる。

実際にはバッテリー電圧である入力電圧 V_{in} が変化するために、それに応じてリプル電流も変化する。よって、同期整流からダイオード整流に切り替えるポイントは、これらの条件も考慮して決定する必要がある。

10

【0052】

図 7 は、本第 2 の実施形態に係る負荷回路 (LSI) の具体的な構成例を示す図である。この負荷回路 45A は、周波数制御機構とスイッチングレギュレータの整流方式切り替え機構を備えている。

負荷回路 45A は、図 7 に示すように、CPU 451、クロック発生ブロック 452、ロジックブロック 453、およびパワーマネージメント (PM) ブロック 454 を有する。そして、パワーマネージメントブロック 454 は、整流切替レジスタ (Rect Reg) 4541、周波数レジスタ (Freq Reg) 4542、および判定回路 4543 を有している。

20

【0053】

このような構成を有する負荷回路 45A において、クロック発生ブロック 452 は CPU 451 の指示により図 5 に示す 6 段階の周波数を切り替える機能を持つ。

CPU 451 は処理内容に応じて、最適なクロック周波数をクロック周波数設定信号 S_{451a} によりクロック発生回路 452 に指示する。

クロック発生ブロック 452 において、クロック周波数設定信号 S_{451a} に従ってクロック信号 CLK が発生され、CPU 451、ロジックブロック 453、およびパワーマネージメントブロック 454 に供給される。

CPU 451 によるクロック周波数設定信号 S_{451a} はパワーマネージメントブロック 454 にも供給される。

30

パワーマネージメント (PM) ブロック 454 においては、CPU 451 から供給されたクロック周波数設定信号 S_{451a} により指示された周波数が周波数レジスタ 4542 に設定される。

そして、周波数レジスタ 4542 に設定された値 F_2 と CPU 451 から供給された設定信号 S_{451b} に応じた整流切替レジスタ 4541 の内容 F_1 が判定回路 4543 で比較される。

ここで整流切替レジスタ 4541 の設定値 F_1 は、スイッチングレギュレータ 41 の動作条件を基にあらかじめ決定されており、LSI のブート時にレジスタに設定する。本第 2 の実施形態に場合は $0.2 f_{max}$ となる。

【0054】

40

判定回路 4543 は、周波数レジスタ 4542 の値 F_2 と整流切替レジスタ 4541 の設定値 F_1 を比較し、「 $F_2 < F_1$ 」の場合に、整流方式切替信号 S_{45A} を活性化してスイッチングレギュレータ 41 に整流方式切り替えの指示を送る。

ここで整流方式切替信号 S_{45A} は、1 ビットのデータでも良いし、複数ビットのデータでも良い。複数ビットのデータの場合は、パラレルデータとしてスイッチングレギュレータに送信しても良いし、信号線を減らすためにシリアルデータに変換して送信しても良い。

【0055】

本第 2 の実施形態においては、スイッチングレギュレータ 41 は、整流方式切替信号 S_{45A} が活性化している間はダイオード整流で動作する。

50

以降のスイッチングレギュレータの動作に関しては、上述した第 1 の実施形態と同じなので説明を省略する。

【 0 0 5 6 】

本第 2 の実施形態によれば、上述した第 1 の実施形態の効果と同様の効果を得ることができる。

【 0 0 5 7 】

第 3 実施形態

図 8 は、本発明に係る電子装置の第 3 の実施形態を示す回路図である。

【 0 0 5 8 】

本第 3 の実施形態が上述した第 2 の実施形態と異なる点は、負荷回路 (L S I) 4 5 B が処理内容に応じて動作周波数を変更する機能に加えて、電源電圧を変更する機能を備えていることにある。

【 0 0 5 9 】

処理内容に応じて動作周波数を変更することでその L S I が動作可能な電源電圧が変化する。したがって、動作周波数に見合った電源電圧を供給することによって、周波数のみを変更した場合に比較して、L S I の消費電力を大幅に低減できる。

【 0 0 6 0 】

図 8 におけるスイッチングレギュレータ 4 1 B は、基準電圧源の代わりにデジタル / アナログコンバータ (D A C) 4 2 2 を有している。

D A C 4 2 2 の入力端子 T 7 に接続され、端子 T 7 が負荷回路 (L S I) 4 5 B の電源電圧設定信号 S 4 5 B の供給ラインに接続され、D A C 4 2 2 のアナログ出力がエラーアンプ 4 1 5 の非反転入力 (+) に供給される。

【 0 0 6 1 】

図 9 は、6 段階の周波数 / 電源電圧の組み合わせ設定が可能な場合の動作周波数と負荷電流の関係を示す図である。

本第 3 の実施形態では、最大動作周波数 f_{max} 時に L S I が動作可能な電源電圧を V_{max} とし、また各動作周波数に対して L S I が動作可能な電源電圧値が規定されている。また最大負荷電流を I_{max} 、最大リップル電流を $0.4 I_{max}$ と仮定している。

【 0 0 6 2 】

図 9 の対応表によれば、L S I の動作周波数が $0.25 f_{max}$ 以下になった場合に、スイッチングレギュレータに対して同期整流からダイオード整流に切り替える指示を出せば良いことになる。

実際には本第 3 の実施形態の場合、入力電圧 V_{in} と出力電圧 V_{out} が共に変化するため、それに伴ってリップル電流も変化し、同期整流からダイオード整流に切り替えるポイントも変化する。よって、同期整流からダイオード整流に切り替えるポイントは、これらの条件も考慮して決定する必要がある。

【 0 0 6 3 】

図 10 は、本第 3 の実施形態に係る負荷回路 (L S I) の具体的な構成例を示す図である。

この負荷回路 4 5 B は、周波数 / 電源電圧制御機構とスイッチングレギュレータの整流方式切り替え機構を備えている。

図 10 の負荷回路 4 5 B が図 7 の負荷回路 4 5 A と異なる点は、パワーマネージメントブロック 4 5 4 B において、整流切替レジスタ (R e c t R e g) 4 5 4 1、周波数レジスタ (F r q R e g) 4 5 4 2、および判定回路 4 5 4 3 B に加えて、電源電圧設定レジスタ (V o l t R e g) 4 5 4 4 を備えている点にある。

【 0 0 6 4 】

このような構成を有する負荷回路 4 5 B において、クロック発生ブロック 4 5 2 は C P U 4 5 1 の指示により図 5 に示す 6 段階の周波数を切り替える機能を持つ。

C P U 4 5 1 は処理内容に応じて、最適なクロック周波数をクロック周波数設定信号 S 4 5 1 a によりクロック発生回路 4 5 2 に指示する。

クロック発生ブロック452において、クロック周波数設定信号S451aに従ってクロック信号CLKが発生され、CPU451、ロジックブロック453、およびパワーマネージメントブロック454Bに供給される。

CPU451によるクロック周波数設定信号S451aはパワーマネージメントブロック454Bにも供給される。

パワーマネージメント(PM)ブロック454Bにおいては、CPU451から供給されたクロック周波数設定信号S451aにより指示された周波数が周波数レジスタ4542に設定される。

パワーマネージメントブロック454Bにおいては、そのクロック周波数に対応した電源電圧が電源電圧設定レジスタ(Volt Reg)4544より判定回路4543Bに読み出され、電源電圧設定信号S45Bによりスイッチングレギュレータ41Bに対して供給すべき電源電圧が指示される。

これと並行して、パワーマネージメントブロック454Bにおいては、周波数レジスタ4542に設定された値F2とCPU451から供給された設定信号S451bに応じた整流切替レジスタ4541の内容F1が判定回路4543Bで比較される。

ここで整流切替レジスタ4541の設定値F1は、スイッチングレギュレータ41の動作条件を基にあらかじめ決定されており、LSIのブート時にレジスタに設定する。本第2の実施形態に場合は0.2fmaxとなる。

【0065】

なお、ここでは整流切替レジスタ(Rect Reg)4541と比較する対象として周波数レジスタ(Frq Reg)4542を選択しているが、これに限定されるわけではなく、電圧設定レジスタ(Volt Reg)4544でも良いし、周波数レジスタ(Frq Reg)4542と電圧設定レジスタ(Volt Reg)4544の両方でも良い。

以降の動作は第1および第2の実施形態と同じなので、説明を省略する。

【0066】

本第3の実施形態によれば、上述した第1および第2の実施形態の効果と同様の効果を得ることができる。

【0067】

第4実施形態

図11は、本発明に係る電子装置の第4の実施形態を示す回路図である。

【0068】

本第4の実施形態は、上述した第2の実施形態におけるスイッチングレギュレータ41AをLSI(負荷回路)45Cにオンチップ化した場合の形態である。本第4の実施形態によれば、スイッチングレギュレータ41AをLSI45Cと混載することで、スイッチングレギュレータ41Aに係る実装面積を削減することができ、低コスト化が可能となる。

【0069】

また、近年のLSIでは、内部回路用電源電圧と入出力回路用電源電圧が異なる場合が多い。このような場合に、入力電圧VinとしてLSIの入出力回路用電源電圧を使用し、スイッチングレギュレータの出力電圧Voutを内部回路用電源電圧として供給することで、単一電源のLSIとして提供することができる。これによりシステム設計者の設計負担を軽減することが可能となる。

【0070】

第5実施形態

図12は、本発明に係る電子装置の第5の実施形態を示す回路図である。

【0071】

本第4の実施形態は、上述した第3の実施形態におけるスイッチングレギュレータ41BをLSI(負荷回路)45Dにオンチップ化した場合の形態である。本第4の実施形態によれば、スイッチングレギュレータ41BをLSI45Dと混載することで、スイッチングレギュレータ41Bに係る実装面積を削減することができ、低コスト化が可能となる。

【 0 0 7 2 】

このように、本第 5 の実施形態によれば、上述した第 4 の実施形態の効果と同様の効果を得ることができる。

【 0 0 7 3 】

【 発明の効果 】

本発明によれば、同期整流型スイッチングレギュレータの逆電流防止用検出回路を削除することができるため、スイッチングレギュレータ設計の難易度を緩和できる。

さらに、高感度なゼロ電流検出コンパレータが不要なるため、その消費電力を削減でき、スイッチングレギュレータの自己消費電力を低減できる。これにより軽負荷時の変換効率改善が期待できる。

10

【 0 0 7 4 】

また、本発明によれば、スイッチングレギュレータを負荷となる負荷回路にオンチップ化することで、実装面積の低減による低コスト化が期待できる。

さらに、負荷回路とスイッチングレギュレータ間の通信に伴う消費電力を低減できる。

【 図面の簡単な説明 】

【 図 1 】 本発明に係る電子装置の第 1 の実施形態を示す回路図である。

【 図 2 】 (A) ~ (D) は、アクティブモード時の動作電流および動作電圧波形を示す図であって、(A) はインダクタ電流 I_L の電流波形、(B) はスイッチングトランジスタ出力 V_{LX} の電圧波形、(C) は N_{ch} スwitchングトランジスタのゲート駆動電圧波形、および (D) は P_{ch} スwitchングトランジスタのゲート駆動電圧波形をそれぞれ示す図である。

20

【 図 3 】 (A) ~ (D) はスタンバイモード時の動作電流および動作電圧波形を示す図であって、(A) はインダクタ電流 I_L の電流波形、(B) はスイッチングトランジスタ出力 V_{LX} の電圧波形、(C) N_{ch} スwitchングトランジスタのゲート駆動電圧波形、および (D) は P_{ch} スwitchングトランジスタのゲート駆動電圧波形をそれぞれ示す図である。

【 図 4 】 本発明に係る電子装置の第 2 の実施形態を示す回路図である。

【 図 5 】 第 2 の実施形態における LSI の動作周波数と負荷電流およびそれぞれに対応したスイッチングレギュレータの整流方式を示す図である。

【 図 6 】 第 2 の実施形態における負荷電流変動時のインダクタ電流波形を示す図である。

30

【 図 7 】 第 2 の実施形態に係る負荷回路 (LSI) の具体的な構成例を示す図である。

【 図 8 】 本発明に係る電子装置の第 3 の実施形態を示す要部ブロック図である。

【 図 9 】 第 3 の実施形態における LSI の動作周波数と電源電圧、負荷電流およびそれぞれに対応したスイッチングレギュレータの整流方式を示す図である。

【 図 10 】 第 3 の実施形態に係る負荷回路 (LSI) の具体的な構成例を示す図である。

【 図 11 】 本発明に係る電子装置の第 4 の実施形態を示す要部ブロック図である。

【 図 12 】 本発明に係る電子装置の第 5 の実施形態を示す要部ブロック図である。

【 図 13 】 PWM / PFM 制御切り替え機構を備えたスイッチングレギュレータの構成を示すブロック図である。

【 図 14 】 一般的なスイッチングレギュレータの重負荷時の動作電流および動作電圧波形を示す図であって、(A) はインダクタ電流 I_L の電流波形、(B) はスイッチングトランジスタ出力 V_{LX} の電圧波形、(C) は N_{ch} スwitchングトランジスタのゲート駆動電圧波形、および (D) は P_{ch} スwitchングトランジスタのゲート駆動電圧波形をそれぞれ示す図である。

40

【 図 15 】 一般的なスイッチングレギュレータの軽負荷時の動作電流および動作電圧波形を示す図であって、(A) はインダクタ電流 I_L の電流波形、(B) はスイッチングトランジスタ出力 V_{LX} の電圧波形、(C) N_{ch} スwitchングトランジスタのゲート駆動電圧波形、および (D) は P_{ch} スwitchングトランジスタのゲート駆動電圧波形をそれぞれ示す図である。

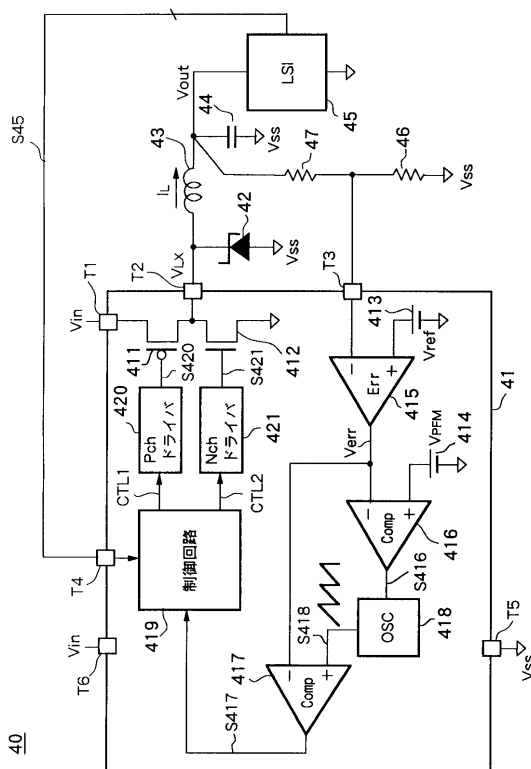
【 符号の説明 】

50

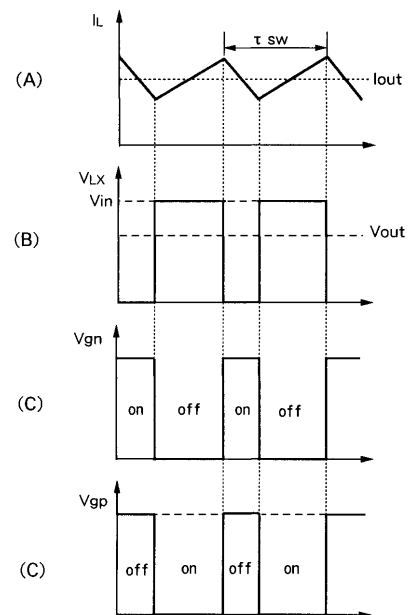
40, 40A ~ 40D ... 電子装置、41, 41A, 41B ... スイッチングレギュレータ 41、42 ... 整流ダイオード、43 ... 平滑用インダクタ、44 ... 平滑用キャパシタ、45 ... 負荷回路 (LSI)、46, 47 ... 分割抵抗 47, 48、411 Pch (pチャネル) スイッチングトランジスタスイッチ、412 ... Nch (nチャネル) スイッチングトランジスタ、413 ... 基準電圧源、414 ... PFM制御切り替え電圧源、415 ... エラーアンプ、416, 417 ... コンパレータ 418 ... 発振器、419 ... スイッチングレギュレータ制御回路、420 ... Pch スイッチングトランジスタ駆動用のドライバ回路、421 ... Nch スイッチングトランジスタ駆動用のドライバ回路、422 ... デジタル/アナログコンバータ (DAC)、451 ... CPU、452 ... クロック発生ブロック、453 ... ロジックブロック、454, 454B ... パワーマネジメント (PM) ブロック、4541 ... 整流切替レジスタ (Rect Reg)、4542 ... 周波数レジスタ (Freq Reg)、4543, 4543B ... 判定回路、4544 ... 電源電圧設定レジスタ (Volt Reg)

10

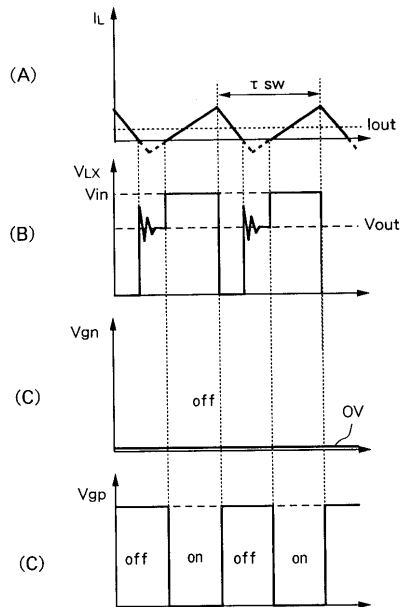
【図1】



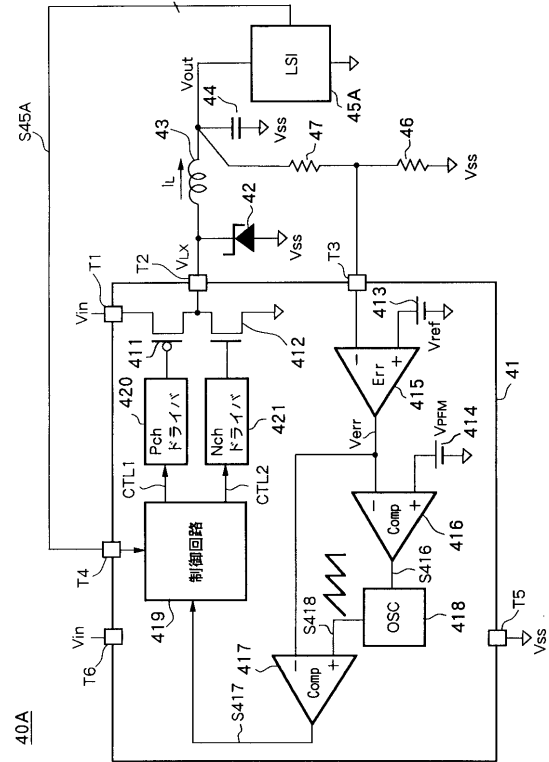
【図2】



【図 3】



【図 4】

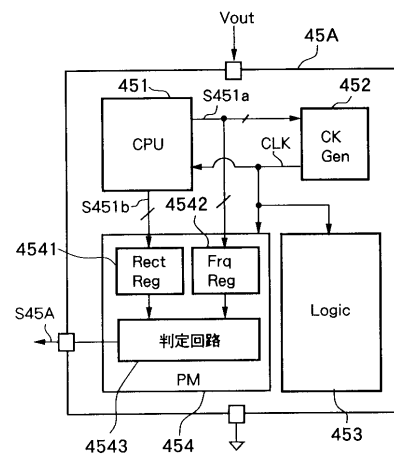


【図 5】

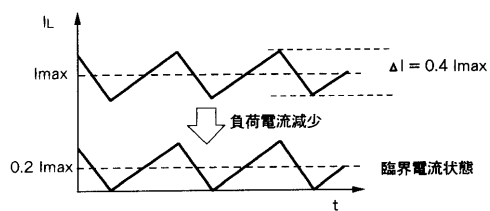
動作周波数	負荷電流	整流方式
fmax	Imax	同期整流
0.75fmax	0.75Imax	
0.50fmax	0.50Imax	
0.25fmax	0.25Imax	
0.125fmax	0.125Imax	ダイオード整流
0.10fmax	0.10Imax	

fmax : LSI の最大動作周波数
Imax : LSI の最大負荷電流

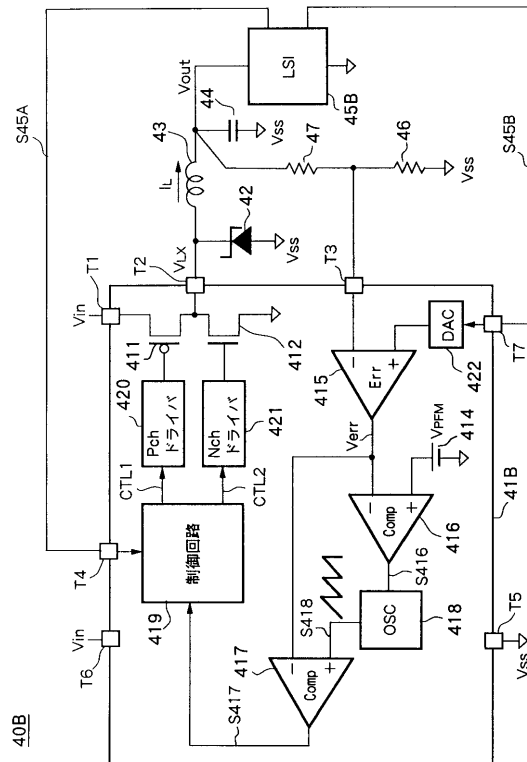
【図 7】



【図 6】



【図 8】

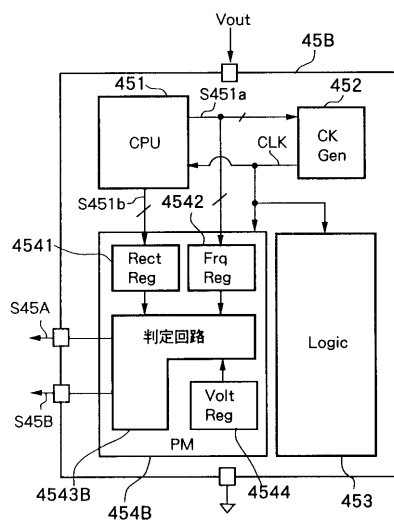


【図 9】

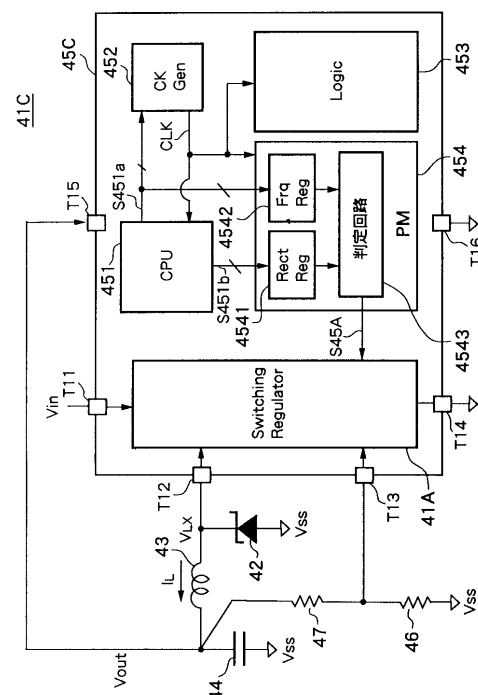
動作周波数	動作電圧	負荷電流	整流方式
f_{max}	V_{max}	I_{max}	同期整流
0.75fmax	0.85Vmax	0.64Imax	
0.50fmax	0.70Vmax	0.35Imax	
0.25fmax	0.55Vmax	0.14Imax	
0.125fmax	0.45Vmax	0.06Imax	ダイオード整流
0.10fmax	0.40Vmax	0.04Imax	

f_{max} : LSIの最大動作周波数
 V_{max} : LSIの最大動作電圧
 I_{max} : LSIの最大負荷電流

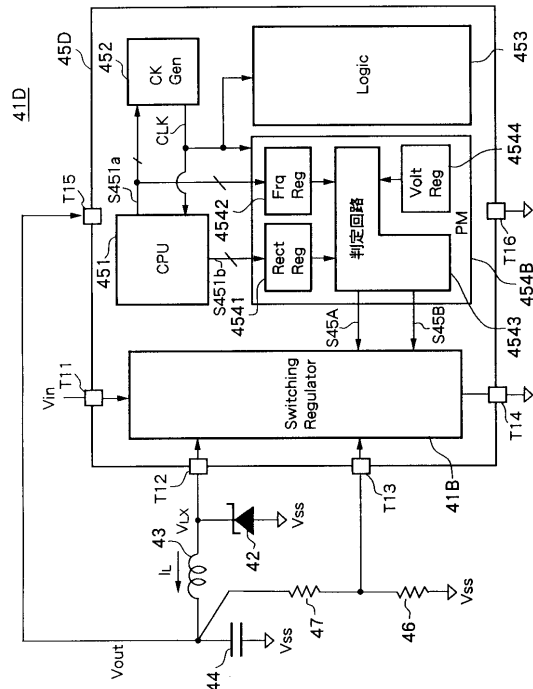
【図 10】



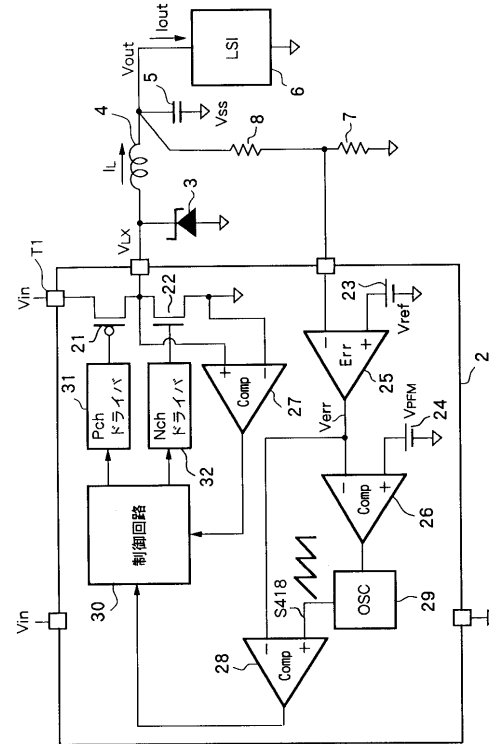
【図 11】



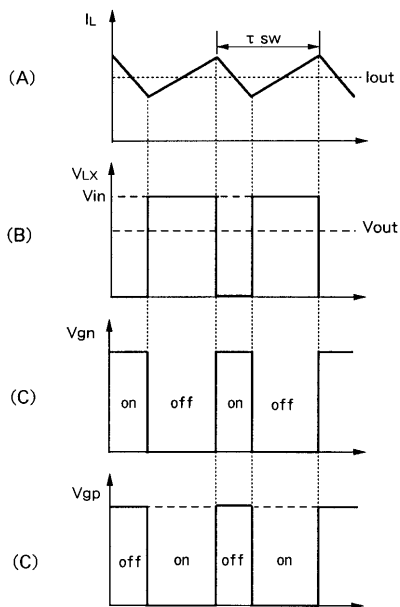
【図 12】



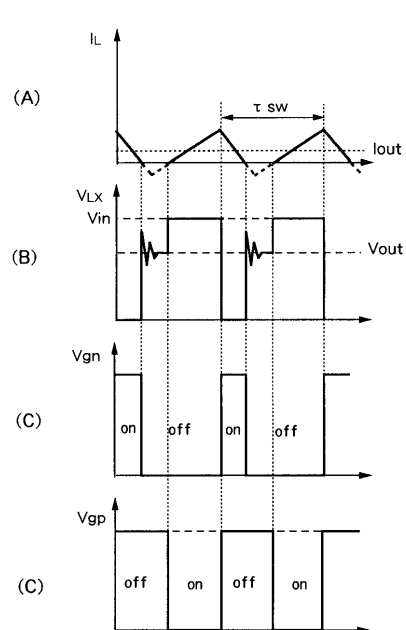
【図 13】



【図 14】



【図 15】



フロントページの続き

Fターム(参考) 5H730 AA14 AA15 AS01 AS05 BB03 BB13 DD04 EE07 FD03 FF02
FF05 FG05 FG07 FG22 ZZ01