(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0147094
(43) 공개일자 2016년12월22일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *H01L 27/32* (2006.01)
(52) CPC특허분류
H01L 29/7869 (2013.01)
H01L 27/3262 (2013.01)
(21) 출원번호 10-2015-0082567
(22) 출원일자 2015년06월11일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)
(72) 발명자
설영국
경기도 용인시 기흥구 삼성2로 95 (농서동)
김태웅
경기도 용인시 기흥구 삼성2로 95 (농서동)
(뒷면에 계속)
(74) 대리인
리앤목특허법인

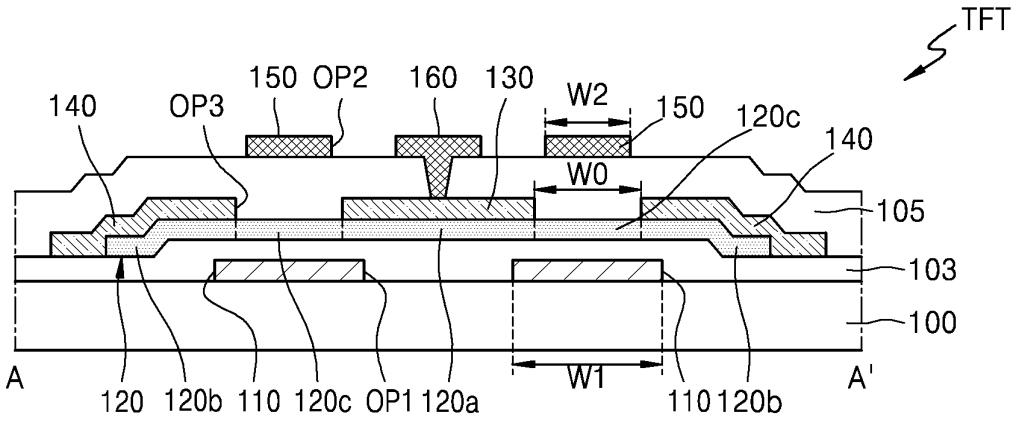
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **박막트랜지스터 기판 및 이를 구비한 유기 발광 표시 장치**

(57) 요 약

본 발명의 일 실시예는 하부 게이트전극과, 하부 게이트전극을 덮는 제1절연층과, 제1절연층 위에 위치하며, 아일랜드 형상의 산화물 반도체층과, 산화물 반도체층 위에 위치하며, 아일랜드 형상의 내부 전극과, 산화물 반도체층 위에 위치하며, 상기 내부 전극을 둘러싸는 외부 전극과, 산화물 반도체층을 덮는 제2절연층, 및 제2절연층 위에 위치하는 상부 게이트전극을 포함하며, 내부 전극은 산화물 반도체층의 중심영역 상에 위치하고, 외부 전극은 상기 중심영역을 둘러싸는 외곽영역 상에 위치하며, 산화물 반도체층은 중심영역과 외곽영역 사이에 개재되며 중심영역을 둘러싸는 중간영역을 포함하며, 하부 게이트전극과 상부 게이트전극은 산화물 반도체층의 상기 중간영역을 가운데 두고 서로 마주보도록 배치된 박막트랜지스터를 구비한 박막트랜지스터 기판을 개시한다.

대 표 도 - 도7



(52) CPC특허분류
H01L 2227/32 (2013.01)
H01L 2924/13069 (2013.01)
(72) 발명자
엄재광
서울특별시 동대문구 이문로9길 89, 302호 (이문동, 현대하이츠빌라)
이선희
경기도 용인시 기흥구 삼성2로 95 (농서동)
장진
서울특별시 서초구 잠원로 88, 302동 908호 (잠원동, 신반포아파트)

명 세 서

청구범위

청구항 1

기판; 및

상기 기판 상에 위치하는 박막트랜지스터;를 포함하고,

상기 박막트랜지스터는,

하부 게이트전극;

상기 하부 게이트전극을 덮는 제1절연층;

상기 제1절연층 위에 위치하며, 아일랜드 형상의 산화물 반도체층;

상기 산화물 반도체층 위에 위치하며, 아일랜드 형상의 내부 전극;

상기 산화물 반도체층 위에 위치하며, 상기 내부 전극을 둘러싸는 외부 전극;

상기 산화물 반도체층을 덮는 제2절연층; 및

상기 제2절연층 위에 위치하는 상부 게이트전극;을 포함하며,

상기 내부 전극은 상기 산화물 반도체층의 중심영역 상에 위치하고, 상기 외부 전극은 상기 중심영역을 둘러싸는 외곽영역 상에 위치하고,

상기 산화물 반도체층은 상기 중심영역과 상기 외곽영역 사이에 개재되며 상기 중심영역을 둘러싸는 중간영역을 포함하며,

상기 하부 게이트전극과 상기 상부 게이트전극은 상기 산화물 반도체층의 상기 중간영역을 가운데 두고 서로 마주보도록 배치된, 박막트랜지스터 기판.

청구항 2

제1항에 있어서,

상기 내부 전극은 소스전극이고 상기 외부 전극은 드레인전극인, 박막트랜지스터 기판.

청구항 3

제1항에 있어서,

상기 하부 게이트전극은 상기 내부 전극과 대응되는 제1개구를 가지고,

상기 상부 게이트전극은 상기 제1개구와 대응되는 제2개구를 갖는, 박막트랜지스터 기판.

청구항 4

제3항에 있어서,

상기 내부 전극의 크기는 상기 제1개구의 크기보다 크고 상기 제2개구의 크기 보다 작은, 박막트랜지스터 기판.

청구항 5

제3항에 있어서,

상기 하부 게이트전극은 상기 제1개구와 인접한 내측 단부로부터 상기 하부 게이트전극의 외측 단부까지의 제1폭을 갖고,

상기 상부 게이트전극은 상기 제2개구와 인접한 내측 단부로부터 상기 상부 게이트전극의 외측 단부까지의 제2폭을 갖는, 박막트랜지스터 기판.

청구항 6

제5항에 있어서,

상기 제1폭은 상기 제2폭보다 큰, 박막트랜지스터 기판.

청구항 7

제5항에 있어서,

상기 제1폭은 상기 산화물 반도체층의 상기 중간영역의 폭보다 크고,

상기 하부 게이트전극의 내측 단부 및 외측 단부 중 적어도 어느 하나는 상기 내부 전극 또는 상기 외부 전극과 일부 중첩하는, 박막트랜지스터 기판.

청구항 8

제5항에 있어서,

상기 제2폭은 상기 산화물 반도체층의 상기 중간영역의 폭보다 작고,

상기 상부 게이트전극의 내측 단부는 상기 내부 전극으로부터 상기 외부 전극을 향하는 방향을 따라 상기 내부 전극의 외측 단부로부터 이격되어 있고,

상기 상부 게이트전극의 외측 단부는 상기 외부 전극으로부터 상기 내부 전극을 향하는 방향을 따라 상기 외부 전극의 내측 단부로부터 이격되어 있는, 박막트랜지스터 기판.

청구항 9

제1항에 있어서,

상기 내부 전극과 상기 외부 전극은 동일 층에 위치하는, 박막트랜지스터 기판.

청구항 10

제1항에 있어서,

상기 하부 게이트전극 및 상기 상부 게이트전극은 동일한 전압준위를 갖는, 박막트랜지스터 기판.

청구항 11

제1항에 있어서,

상기 제2절연층 상에 위치하며 상기 내부 전극과 전기적으로 연결된 연결배선을 더 포함하는, 박막트랜지스터 기판.

청구항 12

기판 상에 형성된 복수의 화소들;을 포함하며,

상기 복수의 화소들 각각은,

상기 기판 상에 위치하는 스위칭 박막트랜지스터;

상기 기판 상에 위치하며, 상기 스위칭 박막트랜지스터와 전기적으로 연결된 구동 박막트랜지스터; 및

상기 구동 박막트랜지스터와 연결된 화소전극;

상기 화소전극 상에 위치하는 발광층; 및

상기 발광층을 가운데 개재하고 상기 화소전극과 마주보는 대향전극;을 포함하며,

상기 구동 박막트랜지스터는,

산화물 반도체층;

상기 산화물 반도체층의 중심영역 상에 위치하며, 아일랜드 형상의 내부 전극;

상기 산화물 반도체층의 상기 중심영역으로부터 이격되어 상기 중심영역을 둘러싸는 외곽영역 상에 위치하는 외부 전극; 및

상기 산화물 반도체층을 가운데 개재한 채로 서로 마주보도록 배치된 하부 게이트전극 및 상부 게이트전극;을 포함하는, 유기 발광 표시 장치.

청구항 13

제12항에 있어서,

상기 내부 전극은 소스전극이고 상기 외부 전극은 드레인전극인, 유기 발광 표시 장치.

청구항 14

제12항에 있어서,

상기 하부 게이트전극은 상기 내부 전극과 대응되는 제1개구를 가지고,

상기 상부 게이트전극은 상기 제1개구와 대응되는 제2개구를 갖는, 유기 발광 표시 장치.

청구항 15

제14항에 있어서,

상기 제1개구와 상기 제2개구 및 상기 내부 전극은 동일 축선 상에 배치되는, 유기 발광 표시 장치.

청구항 16

제14항에 있어서,

상기 하부 게이트전극의 상기 제1개구와 인접한 내측 단부는 상기 내부 전극과 일부 중첩되는, 유기 발광 표시 장치.

청구항 17

제14항에 있어서,

상기 상부 게이트전극의 상기 제2개구의 크기는 상기 내부 전극의 크기보다 큰, 유기 발광 표시 장치.

청구항 18

제12항에 있어서,

상기 내부 전극과 상기 외부 전극은 동일 층에 위치하는, 유기 발광 표시 장치.

청구항 19

제12항에 있어서,

상기 하부 게이트전극 및 상기 상부 게이트전극은 동일한 전압준위를 갖는, 유기 발광 표시 장치.

청구항 20

제12항에 있어서,

상기 구동 박막트랜지스터의 게이트전극은 상기 구동 박막트랜지스터를 구비하는 화소의 계조를 제어하는, 유기 발광 표시 장치.

발명의 설명

기 술 분 야

[0001] 본 발명의 실시예들은 박막트랜지스터 기판 및 이를 구비한 유기 발광 표시 장치에 관한 것이다.

배 경 기 술

[0002] 근래에 표시 장치는 그 용도가 다양해지고 있다. 또한, 표시 장치의 두께가 얇아지고 무게가 가벼워 그 사용의 범위가 광범위해지고 있는 추세이다. 특히 표시 장치의 고해상도 요구 및 대면적의 요구가 증대됨에 따라, 소형화가 가능하고 전압강하에도 영향을 받지 않는 등의 고품질의 박막트랜지스터가 필요하다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 실시예들은 박막트랜지스터 기판 및 이를 구비한 유기 발광 표시 장치를 제공한다.

과제의 해결 수단

[0004] 본 발명의 일 실시예는, 기판; 및 상기 기판 상에 위치하는 박막트랜지스터;를 포함하고, 상기 박막트랜지스터는, 하부 게이트전극; 상기 하부 게이트전극을 덮는 제1절연층; 상기 제1절연층 위에 위치하며, 아일랜드 형상의 산화물 반도체층; 상기 산화물 반도체층 위에 위치하며, 아일랜드 형상의 내부 전극; 상기 산화물 반도체층 위에 위치하며, 상기 내부 전극을 둘러싸는 외부 전극; 상기 산화물 반도체층을 덮는 제2절연층; 및 상기 제2절연층 위에 위치하는 상부 게이트전극;을 포함하며, 상기 내부 전극은 상기 산화물 반도체층의 중심영역 상에 위치하고, 상기 외부 전극은 상기 중심영역을 둘러싸는 외곽영역 상에 위치하고, 상기 산화물 반도체층은 상기 중심영역과 상기 외곽영역 사이에 개재되며 상기 중심영역을 둘러싸는 중간영역을 포함하며, 상기 하부 게이트전극과 상기 상부 게이트전극은 상기 산화물 반도체층의 상기 중간영역을 가운데 두고 서로 마주보도록 배치된, 박막트랜지스터 기판을 개시한다.

[0005] 본 실시예에서, 상기 내부 전극은 소스전극이고 상기 외부 전극은 드레인전극일 수 있다.

[0006] 본 실시예에서, 상기 하부 게이트전극은 상기 내부 전극과 대응되는 제1개구를 가지고, 상기 상부 게이트전극은 상기 제1개구와 대응되는 제2개구를 가질 수 있다.

[0007] 본 실시예에서, 상기 내부 전극의 크기는 상기 제1개구의 크기보다 크고 상기 제2개구의 크기 보다 작을 수 있다.

[0008] 본 실시예에서, 상기 하부 게이트전극은 상기 제1개구와 인접한 내측 단부로부터 상기 하부 게이트전극의 외측 단부까지의 제1폭을 갖고, 상기 상부 게이트전극은 상기 제2개구와 인접한 내측 단부로부터 상기 상부 게이트전극의 외측 단부까지의 제2폭을 가질 수 있다.

[0009] 본 실시예에서, 상기 제1폭은 상기 제2폭보다 클 수 있다.

[0010] 본 실시예에서, 상기 제1폭은 상기 산화물 반도체층의 상기 중간영역의 폭보다 크고, 상기 하부 게이트전극의 내측 단부 및 외측 단부 중 적어도 어느 하나는 상기 내부 전극 또는 상기 외부 전극과 일부 중첩할 수 있다.

[0011] 본 실시예에서, 상기 제2폭은 상기 산화물 반도체층의 상기 중간영역의 폭보다 작고, 상기 상부 게이트전극의 내측 단부는 상기 내부 전극으로부터 상기 외부 전극을 향하는 방향을 따라 상기 내부 전극의 외측 단부로부터 이격되어 있고, 상기 상부 게이트전극의 외측 단부는 상기 외부 전극으로부터 상기 내부 전극을 향하는 방향을 따라 상기 외부 전극의 내측 단부로부터 이격될 수 있다.

[0012] 본 실시예에서, 상기 내부 전극과 상기 외부 전극은 동일 층에 위치할 수 있다.

[0013] 본 실시예에서, 상기 하부 게이트전극 및 상기 상부 게이트전극은 동일한 전압준위를 가질 수 있다.

[0014] 본 실시예에서, 상기 제2절연층 상에 위치하며 상기 내부 전극과 전기적으로 연결된 연결배선을 더 포함할 수 있다.

[0015] 본 발명의 또 다른 실시예는, 기판 상에 형성된 복수의 화소들;을 포함하며, 상기 복수의 화소들 각각은, 상기 기판 상에 위치하는 스위칭 박막트랜지스터; 상기 기판 상에 위치하며, 상기 스위칭 박막트랜지스터와 전기적으로 연결된 구동 박막트랜지스터; 및 상기 구동 박막트랜지스터와 연결된 화소전극; 상기 화소전극 상에 위치하는 발광층; 및 상기 발광층을 가운데 개재하고 상기 화소전극과 마주보는 대향전극;을 포함하며, 상기 구동 박막트랜지스터는, 산화물 반도체층; 상기 산화물 반도체층의 중심영역 상에 위치하며, 아일랜드 형상의 내부 전극; 상기 산화물 반도체층의 상기 중심영역으로부터 이격되어 상기 중심영역을 둘러싸는 외곽영역 상에 위치하

는 외부 전극; 및 상기 산화물 반도체층을 가운데 개재한 채로 서로 마주보도록 배치된 하부 게이트전극 및 상부 게이트전극;을 포함하는 유기 발광 표시 장치를 개시한다.

[0016] 본 실시예에서, 상기 내부 전극은 소스전극이고 상기 외부 전극은 드레인전극인, 유기 발광 표시 장치.

[0017] 본 실시예에서, 상기 하부 게이트전극은 상기 내부 전극과 대응되는 제1개구를 가지고, 상기 상부 게이트전극은 상기 제1개구와 대응되는 제2개구를 가질 수 있다.

[0018] 본 실시예에서, 상기 제1개구와 상기 제2개구 및 상기 내부 전극은 동일 축선 상에 배치될 수 있다.

[0019] 본 실시예에서, 상기 하부 게이트전극의 상기 제1개구와 인접한 내측 단부는 상기 내부 전극과 일부 중첩될 수 있다.

[0020] 본 실시예에서, 상기 상부 게이트전극의 상기 제2개구의 크기는 상기 내부 전극의 크기보다 클 수 있다.

[0021] 본 실시예에서, 상기 내부 전극과 상기 외부 전극은 동일 층에 위치할 수 있다.

[0022] 본 실시예에서, 상기 하부 게이트전극 및 상기 상부 게이트전극은 동일한 전압준위를 가질 수 있다.

[0023] 본 실시예에서, 상기 구동 박막트랜지스터의 게이트전극은 상기 구동 박막트랜지스터를 구비하는 화소의 계조(grayscale)를 제어할 수 있다.

[0024] 전술한 것 외의 다른 측면, 특징, 이점이 이하의 도면, 특허청구범위 및 발명의 상세한 설명으로부터 명확해질 것이다.

발명의 효과

[0025] 본 발명의 실시예들은 전압강하 또는 전압증가와 같은 전압변동에 의한 영향을 제거할 수 있고, 소형화가 가능하며, 전기적 특성이 우수한 박막트랜지스터를 제공할 수 있다. 이를 통해 고해상도이면서 대형의 표시 장치의 표시 품질을 향상시킬 수 있다.

도면의 간단한 설명

[0026] 도 1, 도 3, 도 5 및 도 7은 본 발명의 일 실시예에 따른 박막트랜지스터 기판의 제조 단계별 단면도이다.

도 2, 도 4, 도 6 및 도 8은 각 단계별 박막트랜지스터 기판을 나타낸 평면도이다.

도 9는 본 발명의 일 실시예 및 비교예 1에 따른 박막트랜지스터들의 특성을 나타낸 그래프이다.

도 10은 본 발명의 비교예2 및 비교예 3에 따른 박막트랜지스터들의 특성을 나타낸 그래프이다.

도 11은 비교예 4에 따른 박막트랜지스터의 특성을 나타낸 그래프이다.

도 12는 비교예 5에 따른 박막트랜지스터의 특성을 나타낸 그래프이다.

도 13은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 나타낸 블록도이다.

도 14는 도 13에 도시된 유기 발광 표시 장치의 하나의 화소의 등가 회로도이다.

도 15는 도 14에 도시된 유기 발광 표시 장치에서 구동 박막트랜지스터와 유기발광소자를 발췌하여 나타낸 단면도이다.

도 16은 도 13에서 하나의 열을 이루는 복수의 화소들을 발췌하여 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0027] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.

[0028] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.

[0029] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별

하는 목적으로 사용되었다.

[0030] 이하의 실시예에서, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0031] 이하의 실시예에서, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.

[0032] 이하의 실시예에서, 막, 영역, 구성 요소 등의 부분이 다른 부분 위에 또는 상에 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.

[0033] 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

[0034] 어떤 실시예가 달리 구현 가능한 경우에 특정한 공정 순서는 설명되는 순서와 다르게 수행될 수도 있다. 예를 들어, 연속하여 설명되는 두 공정이 실질적으로 동시에 수행될 수도 있고, 설명되는 순서와 반대의 순서로 진행될 수 있다.

[0035] 이하의 실시예에서, 막, 영역, 구성 요소 등이 연결되었다고 할 때, 막, 영역, 구성 요소들이 직접적으로 연결된 경우뿐만 아니라 막, 영역, 구성요소들 중간에 다른 막, 영역, 구성 요소들이 개재되어 간접적으로 연결된 경우도 포함한다. 예컨대, 본 명세서에서 막, 영역, 구성 요소 등이 전기적으로 연결되었다고 할 때, 막, 영역, 구성 요소 등이 직접 전기적으로 연결된 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 간접적으로 전기적 연결된 경우도 포함한다.

[0036] 도 1, 도 3, 도 5 및 도 7은 본 발명의 일 실시예에 따른 박막트랜지스터 기판의 제조 단계별 단면도이고, 도 2, 도 4, 도 6 및 도 8은 각 단계별 박막트랜지스터 기판을 나타낸 평면도다. 도 1, 도 3, 도 5 및 도 7은 각각 도 2, 도 4, 도 6 및 도 8의 A-A'선에 따라 취한 단면도에 해당한다.

[0037] 도 1 및 도 2를 참조하면, 기판(100) 상에 하부 게이트전극(110)을 형성한다.

[0038] 기판(100)은 글라스재, 금속재, 또는 PET(Polyethylen terephthalate), PEN(Polyethylen naphthalate), 폴리이미드(Polyimide) 등과 같은 플라스틱재로 형성될 수 있다. 하부 게이트전극(110)을 형성하기 전에 기판(100) 상에는 실리콘옥사이드, 실리콘나이트라이드와 같은 절연성을 갖는 버퍼층(미도시)이 형성될 수 있다.

[0039] 하부 게이트전극(110)은 기판(100) 상에 금속층(미도시)을 형성한 후 이를 패터닝하여 형성할 수 있다. 하부 게이트전극(110)은 중심영역에 제1개구(OP1)를 구비하며, 상기 제1개구(OP1)와 인접한 내측단으로부터 외측단까지의 제1폭(W1)을 가질 수 있다. 하부 게이트전극(110)의 적어도 일부는 대략 고리 형상을 가질 수 있다. 하부 게이트전극(110)의 제1개구(OP1)는 후술할 공정에서 형성되는 내부 전극(130)과 중첩되며, 따라서 내부 전극(130)과 하부 게이트전극(110) 사이에 기생 커패시턴스가 형성되는 것을 방지할 수 있다.

[0040] 하부 게이트전극(110)은 인접층과의 밀착성, 적층되는 층의 표면 평탄성 그리고 가공성 등을 고려하여, 예컨대 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질 및 임의의 합금 형태의 물질로 단층 또는 다층으로 형성될 수 있다.

[0041] 도 3 및 도 4를 참조하면, 하부 게이트전극(110) 상에 제1절연층(103)을 형성한 후 산화물 반도체층(120)을 형성한다.

[0042] 제1절연층(103)은 기판(100)을 모두 덮도록 형성될 수 있으며, 실리콘옥사이드, 실리콘나이트라이드와 같은 절연성 무기물이나, 절연성 유기물로 형성될 수 있다.

[0043] 산화물 반도체층(120)은 제1절연층(103) 상에 위치하며, 하부 게이트전극(110)과 중첩되도록 아일랜드 형상으로 패터닝될 수 있다. 산화물 반도체층(120)의 크기는 하부 게이트전극(110) 보다 크게 형성되어 하부 게이트전극(110)을 모두 덮을 수 있다. 예를 들어, 산화물 반도체층(120)의 직경은 하부 게이트전극(110)의 외측 단부를 연결하는 직경보다 크게 형성되어 하부 게이트전극(110)을 모두 덮을 수 있다.

[0044] 산화물 반도체층(120)은 인듐(In), 갈륨(Ga) 스태늄(Sn), 지르코늄(Zr), 바나듐(V), 하프늄(Hf) 카드뮴(Cd), 게르마늄(Ge) 및 아연(Zn)을 포함하는 군에서 선택된 적어도 하나 이상의 원소를 포함할 수 있다. 예를 들어, 산화물 반도체층(120)은 IGZO(Indium Gallium Zinc Oxide), 또는/및 ITZO(Indium Tin Zinc Oxide)을 포함할 수

있다. 또 다른 실시예로서 산화물 반도체층(120)은, SnO2, In2O3, ZnO, CdO, Cd2SnO4, TiO2. 등과 같은 물질 중 적어도 어느 하나를 포함할 수 있다.

[0045] 도 5 및 도 6을 참조하면, 산화물 반도체층(120) 상에 내부 전극(130) 및 외부 전극(140)을 형성한다. 내부 전극(130)은 산화물 반도체층(120)의 중심영역 상에 위치하며, 외부 전극(140)은 산화물 반도체층(120)의 외곽영역 상에 위치한다.

[0046] 내부 전극(130) 및 외부 전극(140)은 각각 산화물 반도체층(120) 상에 형성되며, 산화물 반도체층(120)과 전기적으로 연결될 수 있다. 내부 전극(130)은 아일랜드 형상이며, 산화물 반도체층(120)의 중심영역에 전기적으로 연결될 수 있다. 외부 전극(140)은 산화물 반도체층(120)의 외곽영역에 전기적으로 연결될 수 있다. 내부 전극(130)은 소스 전극이고 외부 전극(140)은 드레인 전극일 수 있다. 이 경우, 산화물 반도체층(120)의 중심영역은 소스 영역에 해당하고 외곽영역은 드레인 영역에 해당된다.

[0047] 이하, 내부 전극(130)이 형성된 산화물 반도체층(120)의 중심영역을 제1영역(120a)이라 하고, 외부 전극(140)이 형성된 산화물 반도체층(120)의 외곽영역을 제2영역(120b)이라 하며, 내부 전극(130)과 외부 전극(140) 사이로 노출된 산화물 반도체층(120)의 영역, 즉 제1영역(120a)과 제2영역(120b) 사이의 중간영역을 제3영역(120c)이라 한다.

[0048] 외부 전극(140)은 내부에 제3개구(OP3)를 포함하며, 내부 전극(130)은 제3개구(OP3)에 배치될 수 있다. 내부 전극(130)의 크기는 제3개구(OP3)의 크기보다 작게 형성될 수 있다. 예컨대, 내부 전극(130)의 직경은 제3개구(OP3)의 직경보다 작게 형성되어 내부 전극(130)은 외부 전극(140)과 소정의 거리(W0)만큼 이격된 채 외부 전극(140)으로 둘러싸일 수 있다. 외부 전극(140)과 내부 전극(130)의 이격 거리(W0), 즉 외부 전극(140)의 내측 단부와 내부 전극(130)의 외측 단부 사이의 거리는 산화물 반도체층(120)의 제3영역(120c)의 폭에 해당한다.

[0049] 내부 전극(130)과 외부 전극(140)은 동일층에 동일 물질로 형성될 수 있다. 예컨대, 산화물 반도체층(120) 상에 금속층(미도시)을 형성한 후 이를 패터닝하여 내부 전극(130) 및 외부 전극(140)을 형성할 수 있다. 내부 전극(130)과 외부 전극(140)은 도전성 등을 고려하여 예컨대 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질 또는 임의의 합금형태의 물질로 단층 또는 다층으로 형성될 수 있다.

[0050] 내부 전극(130)의 크기는 하부 게이트전극(110)의 제1개구(OP1)의 크기보다 크게 형성될 수 있다. 예를 들어, 내부 전극(130)의 직경은 제1개구(OP1)의 직경보다 크게 형성되어 내부 전극(130)은 하부 게이트전극(110)과 일부 중첩될 수 있다. 일부 실시예에서, 내부 전극(130)의 외측 단부는 제1개구(OP1)와 인접한 하부 게이트전극(110)의 내측 단부와 일부 중첩될 수 있다. 도, 5에서 OL1은 내부 전극(130)이 하부 게이트전극(110)과 일부 중첩된 영역을 나타낸다.

[0051] 외부 전극(140)에 형성된 제3개구(OP3)의 크기는 하부 게이트전극(110)의 크기보다 작게 형성될 수 있다. 예를 들어, 제3개구(OP3)의 직경은 하부 게이트전극(110)의 외측 단부를 연결하는 직경보다 작게 형성되어 외부 전극(140)은 하부 게이트전극(110)과 일부 중첩될 수 있다. 예컨대, 외부 전극(140)의 내측 단부는 하부 게이트전극(110)의 외측 단부와 일부 중첩될 수 있다. 도 5에서 OL2는 외부 전극(140)이 하부 게이트전극(110)과 일부 중첩된 영역을 나타낸다.

[0052] 내부 전극(130)과 외부 전극(140) 사이의 이격 공간에 대응되는 산화물 반도체층(120)의 제3영역(120c)과 하부 게이트전극(110)이 동일한 형상 및 면적을 갖는 경우, 전극들(110, 130, 140) 간의 미스얼라인이 발생할 수 있고 산화물 반도체층(120)의 제3영역(120c)에 형성되는 채널 특성이 저하될 수 있다. 그러나, 본 발명의 실시예들에서는 외부 전극(140)과 내부 전극(130)이 하부 게이트전극(110)과 일부 중첩되도록 형성되므로, 이와 같은 문제의 발생을 방지할 수 있다.

[0053] 도 7 및 도 8을 참조하면, 제2 절연층을 형성한 후 상부 게이트전극(150)과 연결배선(160)을 형성한다.

[0054] 제2절연층(105)은 기판(100)을 모두 덮도록 형성될 수 있으며, 실리콘옥사이드, 실리콘나이트라이드와 같은 절연성 무기물이나, 절연성 유기물로 형성될 수 있다.

[0055] 제2절연층(105) 상에 금속층(미도시)을 형성한 후 이를 패터닝하여 상부 게이트전극(150) 및 연결배선(160)을 형성할 수 있다. 상부 게이트전극(150)은 인접층과의 밀착성, 적층되는 층의 표면 평탄성 그리고 가공성 등을 고려하여, 예컨대 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴

(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질 및 임의의 합금 형태의 물질로 단층 또는 다층으로 형성될 수 있다.

[0056] 상부 게이트전극(150)은 산화물 반도체층(120)의 제3영역(120c)을 가운데 두고 하부 게이트전극(110)과 서로 마주보도록 배치될 수 있다. 가시광 대역의 빛이 산화물 반도체층(120)에 유입되는 경우, 포톤에 의해 여기되는 전자의 영향으로 예상치 못하게 박막트랜지스터의 문턱전압이 증가하거나 드레인 전류가 증가할 수 있다. 그러나 본 발명에 따르면, 상부 및 하부 게이트전극(110, 150)를 이용하여 강한 필드(filed)를 형성하며, 상부 및 하부 게이트전극(110, 150)이 각각 산화물 반도체층(120)을 위와 아래에서 커버하여 빛이 유입되는 것을 차단하므로 빛에 의한 문턱전압의 증가 또는/및 드레인전류의 증가를 방지할 수 있다.

[0057] 상부 게이트전극(150)은 중심영역에 제2개구(OP2)를 구비할 수 있다. 내부 전극(130)과 상부 게이트전극(150)의 제2개구(OP2)가 동일축선 상에서 서로 중첩되도록 형성되므로, 내부 전극(130)과 상부 게이트전극(150) 간 기생 커패시턴스가 형성되는 것을 방지할 수 있다.

[0058] 상부 게이트전극(150)은 제2개구(OP2)와 인접한 내측 단부로부터 외측 단부까지의 제2폭(W2)을 가질 수 있다. 상부 게이트전극(150)의 제2폭(W2)은 산화물 반도체층(120)의 제3영역(120c)의 폭, 즉 내부 전극(130)과 외부 전극(140) 사이의 이격 거리(WO)보다 작게 형성될 수 있다. 따라서, 도 8에 도시된 바와 같은 박막트랜지스터의 평면도에서, 상부 게이트전극(150)은 외부 전극(140)과 내부 전극(130) 사이에 배치되며, 외부 전극(140) 및 내부 전극(130)으로부터 소정의 간격 이격되어 배치될 수 있다. 예컨대, 상부 게이트전극(150)의 내측 단부는 내부 전극(130)으로부터 외부 전극(140)을 향하는 방향을 따라 내부 전극(130)의 외측 단부로부터 이격되어 있고, 상부 게이트전극(150)의 외측 단부는 외부 전극(140)으로부터 내부 전극(130)을 향하는 방향을 따라 외부 전극(140)의 내측 단부로부터 이격되어 될 수 있다.

[0059] 만약, 상부 게이트전극(150)의 제2폭(W2)이 하부 게이트전극(110)의 제1폭(W1)과 동일하다면, 상부 게이트전극(150)과 내부 전극(130)이 일부 중첩되어 이들 사이에 기생커패시턴스가 형성되고, 상부 게이트전극(150)과 외부 전극(140)이 일부 중첩되어 이들 사이에 기생 커패시턴스가 형성될 수 있다. 그러나, 본 발명의 일부 실시예에 따르면, 전술한 바와 같이 하부 게이트전극(110)의 제1폭(W1)은 외부 전극(140)과 내부 전극(130) 사이의 거리(WO)보다 크게 형성하고, 상부 게이트전극(150)의 제2폭(W2)은 외부 전극(140)과 내부 전극(130) 사이의 거리(WO) 보다 작게 형성함으로써, 미스얼라인에 따른 채널 특성 저하를 방지하면서 동시에 기생 커패시턴스에 의한 영향을 최소화할 수 있다. 따라서, 킥백전압 및 누설전류를 감소시킬 수 있다.

[0060] 상부 게이트전극(150)과 하부 게이트전극(110)은 동일한 신호가 인가되며, 동일한 전압준위(voltage level)를 가질 수 있다. 상부 및 하부 게이트전극(110, 150)에 동일 신호가 인가됨에 따라 산화물 반도체층(120)의 제3영역(120c)에는 채널이 형성될 수 있다.

[0061] 연결배선(160)은 제2절연층(105)에 형성된 콘택홀을 통해 내부 전극(130)에 전기적으로 연결될 수 있다. 연결배선(160)을 통해 아일랜드 형상으로 패터닝된 내부 전극(130)에 소정의 신호가 인가될 수 있다. 연결배선(160)은 상부 게이트전극(150)과 동일층에 동일한 물질로 형성될 수 있다. 이 경우, 연결배선(160)이 일 방향을 향해 연장되어 다른 소자 또는 배선과 연결될 수 있도록 도 8에 도시된 바와 같이 상부 게이트전극(150)은 일부가 개방된 C자 형상을 가질 수 있다.

[0062] 본 실시예에서는 연결배선(160)이 상부 게이트전극(150)과 동일층에 동일한 물질로 형성된 경우를 설명하였으나, 본 발명은 이에 한정되지 않는다. 또 다른 실시예로서, 연결배선(160)은 절연층을 개재한 상부 게이트전극(150) 위에 형성될 수 있다. 이 경우, 도 8에 도시된 바와 달리 상부 게이트전극(150)은 고리 형상을 가질 수 있다.

[0063] 이하에서는 도 9를 참조하여 설명한 바와 같은 본 발명의 실시예들에 따른 박막트랜지스터의 기능을 보다 자세하게 설명한다.

[0064] 도 9는 본 발명의 일 실시예 및 비교예 1에 따른 박막트랜지스터들의 특성을 나타낸 그래프이고, 도 10은 본 발명의 비교예2 및 비교예 3에 따른 박막트랜지스터들의 특성을 나타낸 그래프이며, 도 11은 비교예 4에 따른 박막트랜지스터의 특성을 나타낸 그래프이고, 도 12는 비교예 5에 따른 박막트랜지스터의 특성을 나타낸 그래프이다.

[0065] 도 9의 실시예는 앞서 도 1 내지 도 8을 참조하여 설명한 구조를 갖는 박막트랜지스터이고, 비교예 1은 실시예에 따른 박막트랜지스터에서 상부 및 하부 게이트전극(110, 150) 중 하부 게이트전극(110)만 구비한 박막트랜지스터이다. 실시예 및 비교예 1는 내부 전극(130)이 소스 전극이고 외부 전극(140)이 드레인 전극인 박막트랜지

스터들이다.

[0066] 도 10에서 비교예 2는 본 발명의 실시예와 같은 구조를 가지며 내부 전극(130)이 드레인 전극이고 외부 전극(140)이 소스 전극인 박막트랜지스터이고, 비교예 3은 비교예 2의 박막트랜지스터에서 상부 및 하부 게이트전극(110, 150) 중 하부 게이트전극(110)만 구비한 박막트랜지스터이다.

[0067] 도 11에서 비교예 4는 실시예에 따른 박막트랜지스터에서 상부 및 하부 게이트전극(110, 150) 중 상부 게이트전극(150)만 구비한 박막트랜지스터이고, 도 12에서 비교예 5는 바 타입(bar type)의 산화물 반도체층의 양 단부에 각각 소스전극과 드레인 전극이 구비되며, 산화물 반도체층을 가운데 두고 서로 마주보도록 배치된 상부 및 하부 게이트전극을 구비한 구조의 박막트랜지스터이다.

[0068] 도 9 내지 도 12에서 V_{GS}는 상부 및 하부 게이트전극(실시예, 비교예2, 비교예5), 하부 게이트전극(비교예1, 비교예3) 또는 상부 게이트전극(비교예4)에 인가되는 전압을 나타낸다.

[0069] 도 9를 참조하면, 실시예에 따른 박막트랜지스터를 살펴보면, 문턱전압 이후의 영역에서, 드레인 전류가 비교적 일정한 값을 갖는 것을 확인할 수 있다. 이와 같은 특성을 이용하면, 도 16을 참조하여 후술하는 바와 같이 대면적의 유기 발광표시장치에서 전압강하에 따른 화소별 밝기 차이를 억제할 수 있다.

[0070] 비교예 1에 따른 박막트랜지스터도 전술한 실시예에 따른 박막트랜지스터와 유사하게 문턱전압 이후의 영역에서 드레인 전류가 비교적 일정하게 유지되는 것을 확인할 수 있다. 그러나, 게이트 전압의 증가에 따른 드레인 전류의 증가 비율이 실시예에 따른 박막트랜지스터 보다 약 2배 이상 작게 나타난다. 바꾸어 말하면, 실시예에 따른 박막트랜지스터의 경우 비교예1와 달리 게이트 전압의 증가에 따라 드레인 전류의 증가율이 크며, 이는 게이트 전압에 의해 드레인 전류의 미세 조절이 가능하다는 것 또는/및 박막 트랜지스터를 작게 형성하여도 동작 특성이 우수하다는 것을 나타낸다. 이와 같은 특성을 이용하면, 도 16을 참조하여 후술하는 바와 같이 유기 발광표시장치에서 풍부한/다양한 계조(grayscale)를 표현할 수 있으며, 고해상도를 구현할 수 있다.

[0071] 도 10 및 도 12를 참조하면, 비교예 2, 비교예3, 및 비교예 5의 박막트랜지스터의 경우 문턱전압 이후의 영역에서 드레인 전압의 변화에 따라 드레인 전류가 변하고 있어, 본 발명의 실시예에 따른 박막트랜지스터와 달리 대면적의 디스플레이 장치에서 전압강하를 보상하기 어렵다.

[0072] 도 11을 참조하면, 비교예4의 박막트랜지스터의 경우 드레인 전류가 수 10^{-8}A 정도로 매우 작아 사실상 박막트랜지스터의 구동이 불가능하다.

[0073] 이하, 본 발명의 실시예에 따른 박막트랜지스터를 구비한 유기 발광 표시 장치를 설명한다.

[0074] 도 13은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 나타낸 블록도이다.

[0075] 도 13을 참조하면, 유기 발광 표시 장치는 복수의 화소(1)를 포함하는 표시부(10), 주사 구동부(20), 데이터 구동부(30), 및 제어부(40)를 포함할 수 있다.

[0076] 표시부(10)는 복수의 주사선(SL1 내지 SLn) 및 복수의 데이터선(DL1 내지 DLm)의 교차 영역에 위치하는 복수의 화소(1)를 포함할 수 있다. 복수의 주사선(SL1 내지 SLn)은 제1방향으로 연장되고 복수의 데이터선(DL1 내지 DLm) 및 구동전압선(PL)은 제2방향으로 연장될 수 있다. 도 12에서 각 화소는 복수의 주사선 중 하나의 주사선에 연결된 경우를 도시하였으나, 본 발명은 이에 한정되지 않는다. 일부 실시예에서, 화소(1)에 구비된 트랜지스터의 개수 및 기능에 따라 각 화소는 2개 이상의 주사선에 연결될 수 있다.

[0077] 주사 구동부(20)는 각 주사선(SL1 내지 SLn)을 통해 각 화소(1)에 주사 신호를 생성하여 전달할 수 있으며, 데이터 구동부(30)는 각 데이터선(DL1 내지 DLm)을 통해 각 화소(1)에 데이터 신호를 전달할 수 있다. 제어부(40)는 외부에서 전달되는 복수의 영상 신호(R, G, B)를 복수의 영상 데이터 신호(DR, DG, DB)로 변경하여 데이터 구동부(30)에 전달할 수 있다. 또한 제어부(40)는 수직동기신호(Vsync), 수평동기신호(Hsync), 및 클럭신호(MCLK)를 전달받아 상기 주사 구동부(20) 및 데이터 구동부(30)의 구동을 제어하기 위한 제어 신호를 생성하여 각각에 전달할 수 있다. 제어부(40)는 주사 구동부(20)를 제어하는 주사 구동 제어 신호(SCS) 및 데이터 구동부(30)를 제어하는 데이터 구동 제어 신호(DCS)를 각각 생성하여 전달할 수 있다.

[0078] 각 화소(1)는 외부로부터 제1 전원전압(ELVDD) 및 제2 전원전압(ELVSS, 도 13 참조)을 공급받을 수 있다. 제1 전원전압(ELVDD)은 소정의 하이 레벨 전압일 수 있고, 제2 전원전압(ELVSS)은 상기 제1 전원(ELVDD)보다 낮은 전압이거나 접지 전압일 수 있다.

[0079] 도 14는 도 13에 도시된 유기 발광 표시 장치의 하나의 화소의 등가 회로도이고, 도 15는 도 14에 도시된 유기 발광 표시 장치에서 구동 박막트랜지스터와 유기발광소자를 발췌하여 나타낸 단면도이며, 도 16은 도 13에서 하나의 열을 이루는 복수의 화소들을 발췌하여 나타낸다. 도 14에 도시된 회로도는 일 실시예일뿐 본 발명이 이에 한정되는 것은 아니다.

[0080] 도 14를 참조하면, 각 화소(1)는 적어도 하나의 스위칭 박막트랜지스터(T1), 구동 박막트랜지스터(T2), 커패시터(Cst), 및 구동 전류(Ioled)에 의해 소정의 휘도의 빛을 발광하는 유기발광소자(organic light emitting diode, OLED)를 포함할 수 있다.

[0081] 스위칭 박막트랜지스터(T1)의 게이트 전극은 주사선(SLn)에 접속되고, 소스전극 및 드레인 전극 중 어느 하나는 데이터선(DLm)에 접속되고 나머지 하나는 스토리지 커패시터(Cst)의 일단에 접속될 수 있다. 스위칭 박막트랜지스터(T1)는 주사선(SLn)으로부터 주사신호가 공급될 때 턴 온되어 데이터선(DLm)으로부터 공급되는 데이터 신호를 커패시터에 공급한다. 이 때 커패시터(Cst)는 데이터 신호에 대응되는 전압을 충전할 수 있다.

[0082] 도 14 및 도 15를 참조하면, 구동 박막트랜지스터(T2)는 앞서 도 1 내지 도 8을 참조하여 설명한 박막트랜지스터(TFT)와 동일한 구조를 갖는다. 구동 박막트랜지스터(T2)의 하부 게이트전극(110) 및 상부 게이트전극(150)은 스위칭 박막트랜지스터(T1)에 전기적으로 연결되고, 드레인 전극인 외부 전극(140)은 커패시터의 일단 및 구동 전압선(PL)에 전기적으로 연결되며, 소스 전극인 내부 전극(130)은 유기발광소자(OLED)의 화소 전극(210)에 접속될 수 있다. 구동 박막트랜지스터(T1)의 내부 전극(130)은 제3절연층(107)을 가운데 개재한 채로 유기발광소자(OLED)의 화소 전극(210)과 전기적으로 연결된다. 유기발광소자(OLED)의 발광층(220)은 화소 전극(210)과 대향 전극(230) 사이에 개재된 채로 화소 전극(210)을 노출시키는 화소정의막(108) 상에 형성될 수 있다.

[0083] 구동 박막트랜지스터(T2)는 스위칭 박막트랜지스터(T1)에 의해 턴 온되며, 커패시터(Cst)에 저장된 전압 값에 대응하여 구동전압선(PL)으로부터 대향 전극(230)으로 흐르는 구동 전류(Ioled)를 제어할 수 있으며, 구동 전류(Ioled)에 의해 유기발광소자(OLED)의 발광층은 소정의 휘도를 갖는 빛을 방출할 수 있다.

[0084] 제1전원전압(ELVDD)은 도 16에 도시된 바와 같이, 구동전압선(PL)을 통해 복수의 화소(1a, 1b,…,1n-1, 1n)에 인가될 수 있다. 이상적으로는 각 화소(1a, 1b,…,1n-1, 1n)에 제공되는 제1전원전압(ELVDD)은 모두 동일해야 하지만, 실제로는 구동전압선(PL)의 길이에 따른 저항 및/또는 각 화소(1a, 1b,…,1n-1, 1n)에 구비된 회로의 저항에 의해 전압강하가 발생하여 구동전압선(PL)을 통해 각 화소(1a, 1b,…,1n-1, 1n)에 공급되는 전압이 점차 감소한다. 이와 같이 전압강하가 발생하는 경우, 각 화소별 유기발광소자(OLED)를 흐르는 구동 전류(Ioled)가 달라지므로 각 화소(1a, 1b,…,1n-1, 1n)별 휘도의 편차가 발생할 수 있다. 예컨대, 구동전압선(PL)을 통해 n번째 화소(1n)의 구동 박막트랜지스터(T2)로 공급되는 전압, 즉 N 노드에서의 전압은 구동전압선(PL)의 저항 및 1번째 화소(1a) 내지 n-1번째 화소(1n-1)에 의한 전압강하에 의해 제1화소(1a)에 공급되는 전압과 다를 수 있다.

[0085] 그러나, 본 발명의 실시예들에 따르면, 스위칭 박막트랜지스터(T1) 및 구동 박막트랜지스터(T2) 중 적어도 구동 박막트랜지스터(T2)가 도 1 내지 도 9를 참조하여 박막트랜지스터이므로, 각 화소(1a, 1b,…,1n-1, 1n)의 유기발광소자(OLED)에 흐르는 구동 전류(Ioled, 도 13참조)는 실질적으로 동일한 값을 가질 수 있다.

[0086] 예를 들어, 구동 박막트랜지스터(T2)의 게이트 전압(V_{GS})이 10V이고 1번째 화소(1a)로 공급된 전압(드레인 전압)이 약 15V인 경우, 도 9 및 도 14, 도 15를 참조하면, 구동 박막트랜지스터(T2)의 드레인 전류(Ids)와 유기발광소자(OLED)의 구동 전류(Ioled) 각각은 약 18㎂이다. 전압강하에 의해 n번째 화소(1n)의 구동 박막트랜지스터(T2)로 인가되는 전압(드레인 전압)이 약 10V로 강하되더라도, 박막트랜지스터(T2)는 도 9에 도시된 바와 같은 특성을 가지므로, n번째 화소(1n) 각각의 구동 박막트랜지스터(T2)에 흐르는 전류(Ids) 및 유기발광소자(OLED)에 흐르는 구동 전류(Ioled)는 1번째 화소(1a)의 유기발광소자(OLED)에 흐르는 구동 전류(Ioled)와 같은 약 18㎂일 수 있다. 따라서, 유기 발광 표시 장치에서 전압강하가 발생하더라도 각 화소(1a, 1b,…,1n-1, 1n)에 미치는 영향을 최소화하거나 제거할 수 있다.

[0087] 또한, 각 화소의 구동 박막트랜지스터(T2)는 도 9를 참조하여 설명한 바와 같이, 게이트 전압의 증가에 따라 드레인 전류의 증가율이 크기 때문에, 구동 박막트랜지스터(T2)로 인가되는 게이트 전압을 이용하여 풍부한/다양한 계조(grayscale)를 표현할 수 있다.

[0088] 도 16에서는 전압강하가 발생하는 경우를 설명하였으나, 본 발명은 이에 한정되지 않는다. 예컨대, 본 발명의 실시예에 따른 박막트랜지스터는 도 9에 도시된 바와 같이 전압이 강하되는 경우뿐만 아니라 전압이 상승하는 경우에도 일정한 전류(드레인 전류)를 유지할 수 있다.

[0089] 전술한 실시예들에서 도 1 내지 도 8에 도시된 박막트랜지스터 기판은 상부 게이트전극(150)까지 형성된 경우를 나타내지만, 본 발명은 이에 한정되지 않는다. 본 명세서에서 박막트랜지스터 기판이라 함은 기판(100) 상에 박막트랜지스터가 형성된 상태를 의미하는 것으로, 도 7에 도시된 바와 같이 기판(100) 상에 박막트랜지스터(TFT)가 형성된 상태를 의미하는 것일 수 있고, 또는 도 15에 도시된 바와 같이 박막트랜지스터(T2) 상에 제3절연층(107)까지 형성된 상태를 의미하는 것일 수 있고, 또는 도 15에 도시된 바와 같이 화소 전극(210)까지 형성된 상태일 수도 있다.

[0090] 이와 같이 본 발명은 도면에 도시된 일 실시예를 참고로 하여 설명하였으나 이는 예시적인 것에 불과하며 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 실시예의 변형이 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

[0091] 100: 기판

110: 하부 게이트전극

120: 산화물 반도체층

130: 내부 전극

140: 외부 전극

150: 상부 게이트전극

160: 연결배선

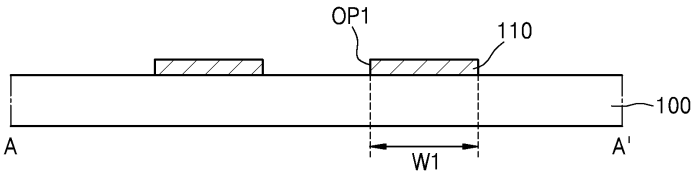
210: 화소 전극

220: 발광층

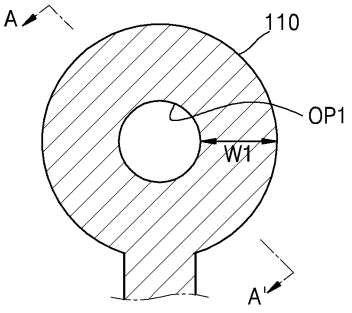
230: 대향 전극

도면

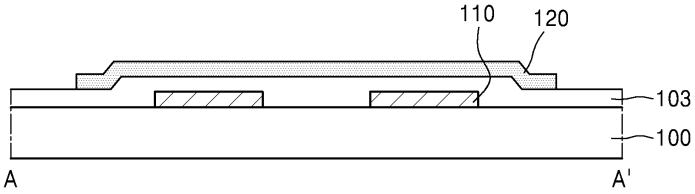
도면1



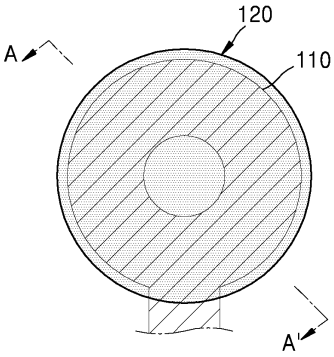
도면2



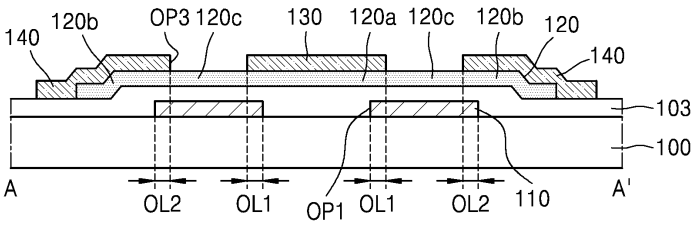
도면3



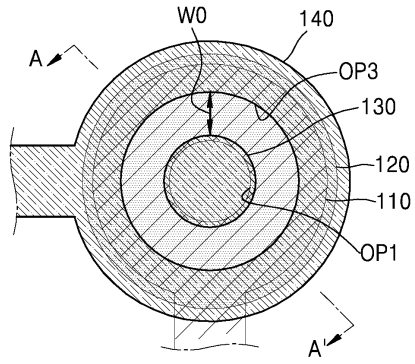
도면4



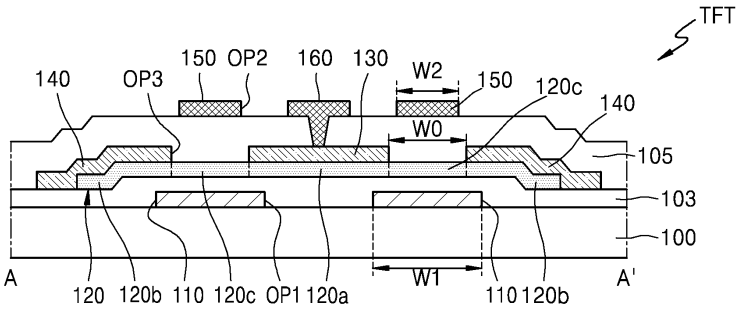
도면5



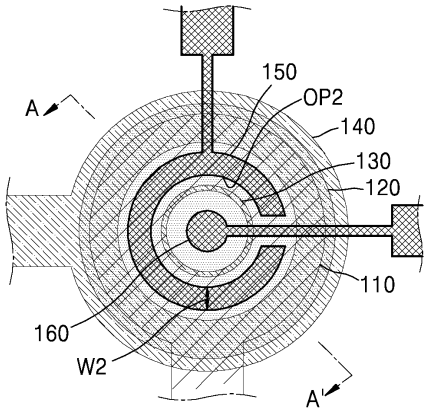
도면6



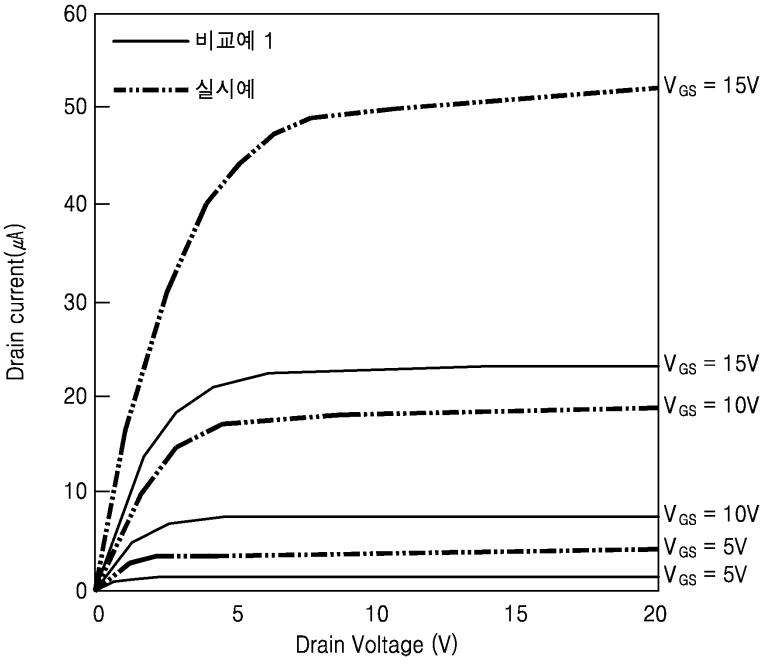
도면7


TFT
140
OP3
150
OP2
160
130
W2
150
120c
140
W0
105
103
100
A
120
120b
110
120c
OP1
120a
W1
110
120b
A'

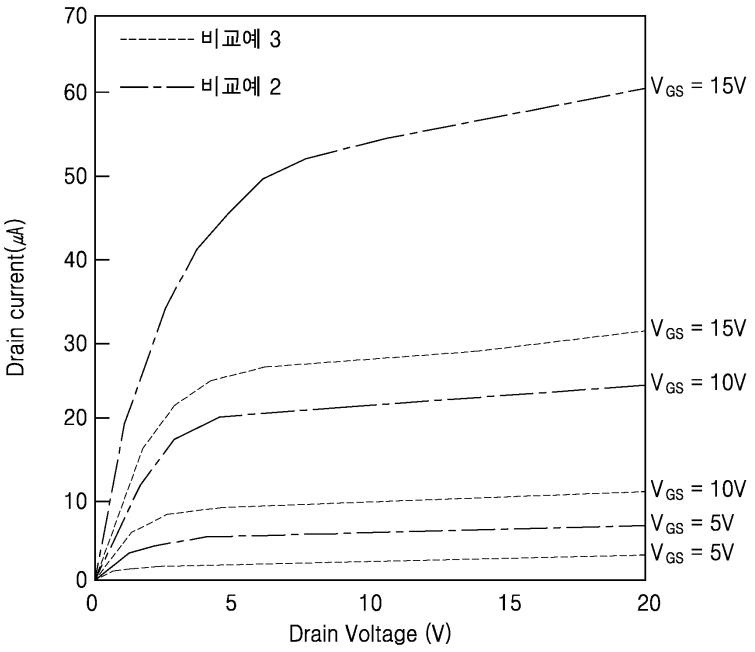
도면8


150
OP2
140
130
120
110
A
160
W2
A'

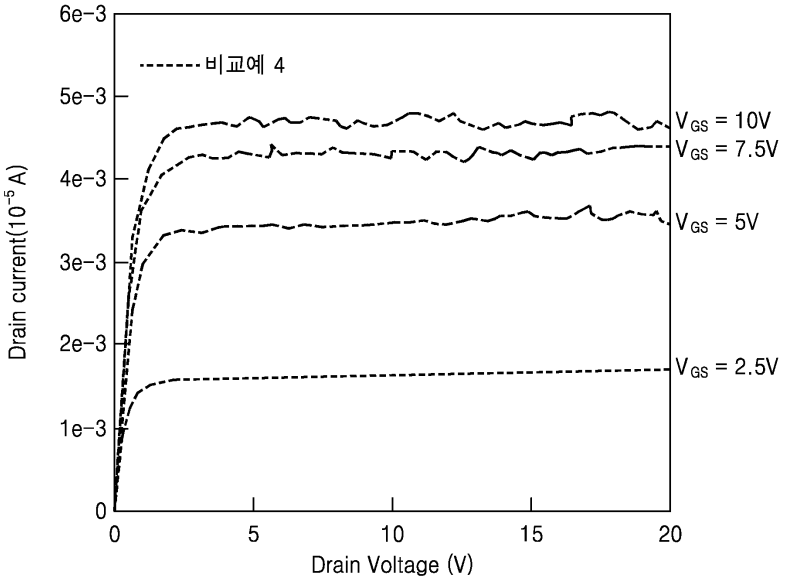
도면9


60
50
40
30
20
10
0
비교예 1
실시예
Drain current(μA)
VGS = 15V
VGS = 15V
VGS = 10V
VGS = 10V
VGS = 5V
VGS = 5V
0
5
10
15
20
Drain Voltage (V)

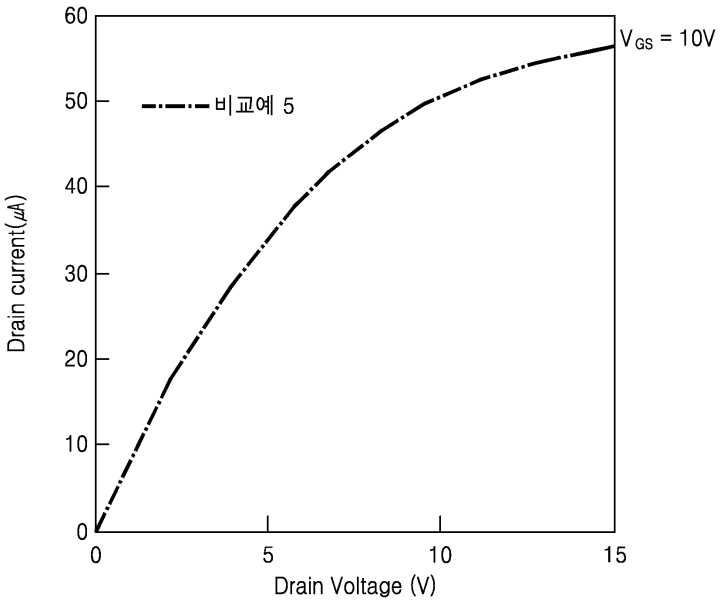
도면10


비교예 3
비교예 2
V_{GS} = 15V
V_{GS} = 15V
V_{GS} = 10V
V_{GS} = 10V
V_{GS} = 5V
V_{GS} = 5V
Drain current(μA)
Drain Voltage (V)
0
10
20
30
40
50
60
70
0
5
10
15
20

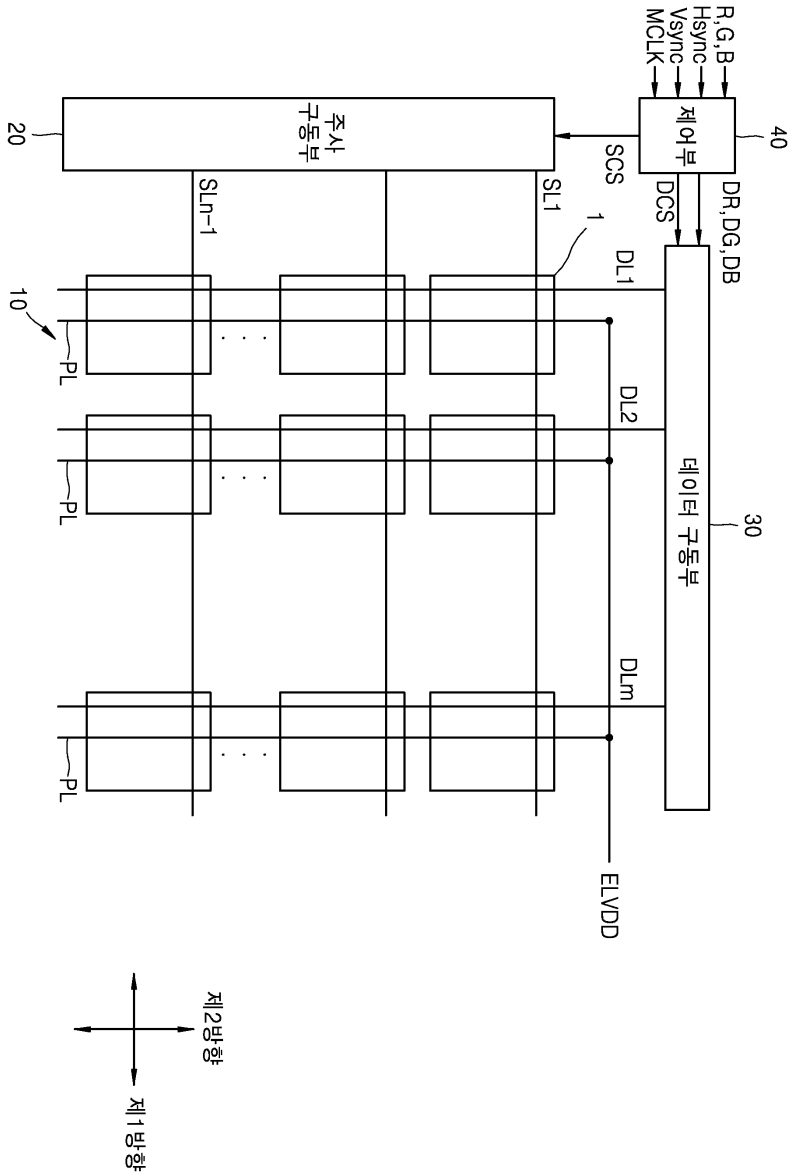
도면11


비교예 4
V_{GS} = 10V
V_{GS} = 7.5V
V_{GS} = 5V
V_{GS} = 2.5V
Drain current(10^{-5} A)
Drain Voltage (V)
0
1e-3
2e-3
3e-3
4e-3
5e-3
6e-3
0
5
10
15
20

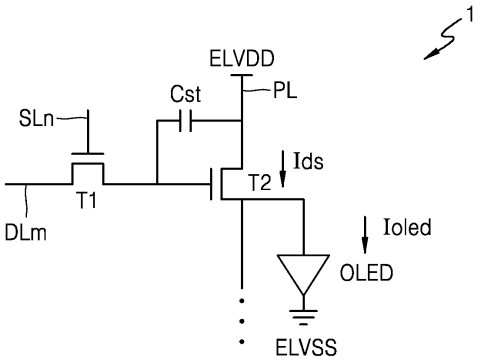
도면12


60
50
40
30
20
10
0
0
5
10
15
Drain current(μA)
Drain Voltage (V)
비교예 5
V_{GS} = 10V

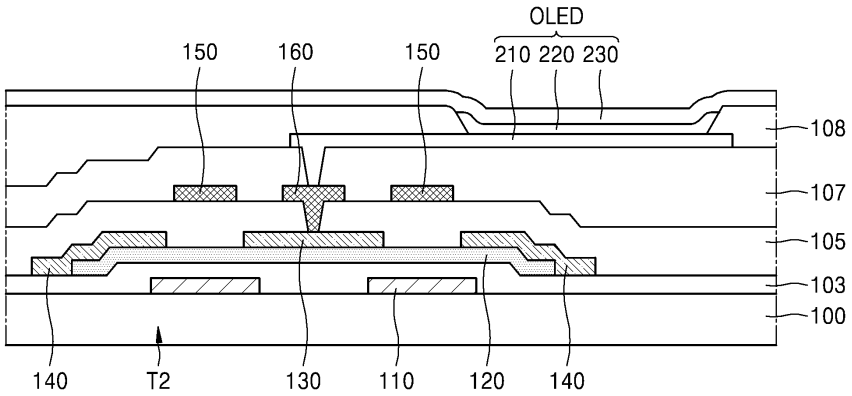
도면13


R,G,B
Hsync
Vsync
MCLK
주사 구동부
20
제어부
40
SCS
DCS
DR,DG,DB
SLn-1
SL1
1
DL1
DL2
DLm
10
PL
데이터 구동부
30
ELVDD
제2방향
제1방향

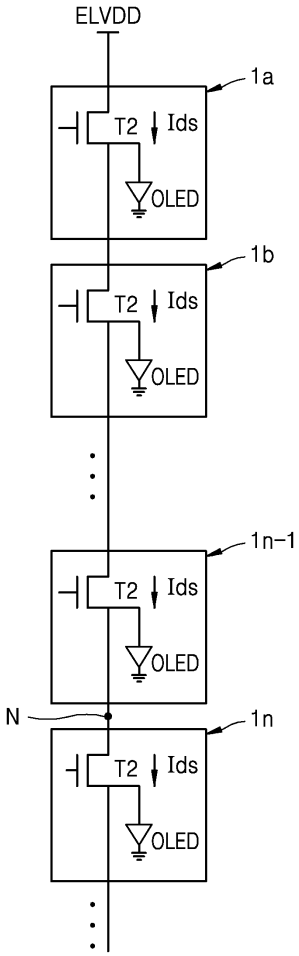
도면14


1
ELVDD
Cst
PL
SLn
Ids
T2
T1
DLm
Ioled
OLED
ELVSS

도면15


OLED
150
160
150
210 220 230
108
107
105
103
100
140
T2
130
110
120
140

도면16


ELVDD
1a
T2
Ids
OLED
1b
T2
Ids
OLED
1n-1
T2
Ids
OLED
N
1n
T2
Ids
OLED