



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

210762

(11) (B1)

(22) Přihlášeno 25 04 75
(21) (PV 2905-75)

(51) Int. Cl.³
G 06 F 13/06

(40) Zveřejněno 30 06 81

(45) Vydáno 15 08 83

(75)
Autor vynálezu

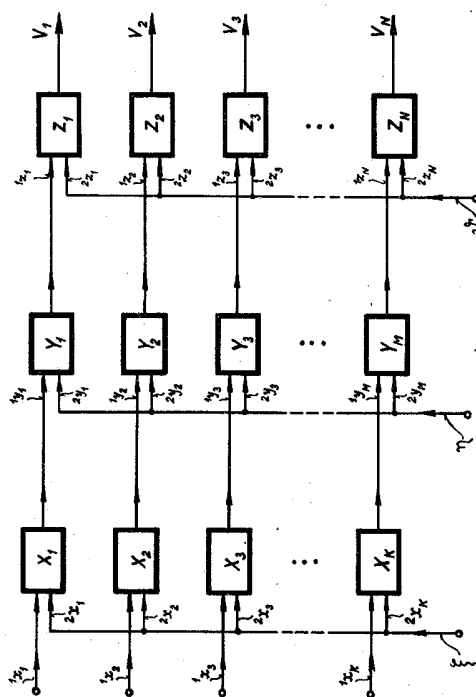
BOCEK KAREL ing. CSc., BYSTRICE nad Olší

(54) Zapojení logické sítě pro uložení a odběr informace

Vynález se týká oboru logických sítí k uložení a odběru informace a řeší uložení vstupní informace v podobě logických signálů zápisem do paměťových obvodů, a dále její odběr, zejména čtení, popřípadě čtení spojené s dalším přenosem této vstupní informace.

Podstata vynálezu spočívá v nové kombinaci logických obvodů do jednoduše logické sítě s tzv. pevně zadrátovanou logikou.

Vynálezu může být účelně využito v aplikaci na přenos informací ve výrobní lince. Jednalo by se o řízený tok informací, doprovázejících výrobní kus při jeho postupu zvoleným úsekem, popřípadě zvolenými pracovními místy výrobní linky, a to s přesnou návazností na postup tohoto kusu s plným respektováním všech provozních odchylek od pravidelného postupu jednotlivých kusů.



OBK. 1

Předmětem vynálezu je zapojení logické sítě pro uložení a odběr informace, které řeší uložení vstupní informace, vyjádřené zejména ve tvaru logických signálů, a to jako zápis do paměťových obvodů, a dále její odběr, zejména čtení, popřípadě čtení spojené s dalším přenosem této vstupní informace.

V oblasti logických sítí jsou známá paměťová zapojení, která umožňují zápis logických signálů, popřípadě zápis posloupnosti logických signálů nebo zápis posloupnosti kombinací logických signálů. Uvedená zapojení umožňují zpravidla postupný přenos takto zapsaných logických signálů do dalších v pořadí toku signálů paměťových obvodů, označovaná jako registr, posuvný registr, střežící registr a podobně. V aplikacích na výrobní linky se jedná o velmi výhodná zapojení pro záznam a přenos informací, týkajících se zpracovávaného výrobku a podobně.

Nevýhodou známých zapojení je skutečnost, že umožňují přenos informací spřažený a sladěný s výrobním postupem pouze při zcela pravidelném průběhu této výroby. Tak například při postupu výrobku přes zvolený úsek výrobní linky se při vstupu výrobku do tohoto úseku zapisují vstupní informace, týkající se tohoto výrobku do paměťových obvodů, při výstupu výrobku z tohoto úseku se odebírají příslušné informace, například čtením, a přenášejí se do dalších obvodů, shodně s postupem výrobku jednotlivými úseky, popřípadě jednotlivými pracovními místy výrobní linky.

V reálných výrobních linkách, například s přerušovaným charakterem výroby však známá zapojení selhávají, například tam, kde přes zvolený úsek výrobní linky nepostupuje současně stejný počet výrobků a kde časový okamžik vstupu výrobku do tohoto úseku a časový okamžik výstupu dřívějšího výrobku nejsou zcela pravidelné.

Tyto nevýhody odstraňuje zapojení logické sítě složené z jedné soustavy vstupních obvodů například vazebníků židel, z druhé soustavy paměťových obvodů, z další soustavy výstupních obvodů například koncových zesilovacích členů, a z řídicího obvodu složeného z logických obvodů podle vynálezu, jehož podstata spočívá v tom, že výstup jednoho vstupního obvodu je spojen s jedním vstupem jednoho paměťového obvodu, jehož výstup je spojen s jedním vstupem jednoho výstupního obvodu, výstup druhého vstupního obvodu je spojen s jedním vstupem druhého paměťového obvodu, jehož výstup je spojen s jedním vstupem druhého výstupního obvodu, výstup třetího vstupního obvodu je spojen s jedním vstupem třetího paměťového obvodu, jehož výstup je spojen s jedním vstupem třetího výstupního obvodu, popřípadě výstup případného dalšího vstupního obvodu je spojen s jedním vstupem případného dalšího paměťového obvodu, jehož výstup je spojen s jedním vstupem případného dalšího výstupního obvodu, přičemž druhý vstup jednoho paměťového obvodu, druhý vstup druhého paměťového obvodu, druhý vstup třetího paměťového obvodu, popřípadě druhý vstup případného dalšího paměťového obvodu jsou spojeny v jednom uzlu spojeném s jedním výstupem řídicího obvodu, druhý vstup jednoho výstupního obvodu, druhý vstup druhého výstupního obvodu, druhý vstup třetího výstupního obvodu, popřípadě druhý vstup případného dalšího výstupního obvodu jsou spojeny v jednom uzlu spojeném s druhým výstupem tohoto řídicího obvodu, složeného z jedné vstupní paměti, jejíž výstup je spojen se vstupem jednoho hradla, jehož výstup je spojen s jedním vstupem uzávěry a jehož řídicí vstup je spojen s jedním výstupem rozdělovací paměti a složeného z druhé vstupní paměti, jejíž výstup je spojen se vstupem druhého hradla, jehož výstup je spojen s druhým vstupem uzávěry a jehož řídicí vstup je spojen s druhým výstupem rozdělovací paměti, přičemž jeden výstup uzávěry je spojen se vstupem jednoho časového členu, jehož jeden výstup je spojen s jedním výstupem řídicího obvodu, a druhý výstup tohoto časového členu je spojen s druhým vstupem jedné vstupní paměti, je spojen s jedním vstupem rozdělovací paměti, popřípadě je dále spojen s jedním vstupem uzávěry, druhý výstup uzávěry je spojen se vstupem druhého časového členu, jehož jeden výstup je spojen s druhým výstupem řídicího obvodu, a druhý výstup tohoto časového členu je spojen s druhým vstupem druhé vstupní paměti, je spojen s druhým vstupem rozdělovací paměti, popřípadě je dále spojen s druhým vstupem uzávěry.

Jeden časový člen se skládá z jednoho časového obvodu a z druhého časového obvodu, propojených přes jeden obvod logické inverze, přičemž výstup jednoho časového obvodu je spojen se vstupem tohoto obvodu logické inverze, jehož výstup je spojen se vstupem druhého časového obvodu, druhý časový člen se skládá z třetího časového obvodu a ze čtvrtého časového obvodu, propojených přes druhý obvod logické inverze, přičemž výstup třetího časového obvodu je spojen se vstupem tohoto obvodu logické inverze, jehož výstup je spojen se vstupem čtvrtého časového obvodu, přičemž výstup jednoho časového obvodu je dále spojen s jedním výstupem řídicího obvodu, a výstup třetího časového obvodu je dále spojen s druhým výstupem řídicího obvodu.

Předností zapojení logické sítě podle vynálezu je skutečnost, že umožňuje uložení vstupní informace, vyjádřené ve tvaru logických signálů a její odběr, spojený s případným dalším přenosem, kteréžto uložení a odběr je určováno iniciačními signály na vstupech řídicího obvodu a časově vymezeno pomocí výstupních signálů řídicího obvodu.

V aplikaci na přenos informací ve výrobní lince se jedná o řízený tok informací, doprovázejících výrobek při jeho postupu zvoleným úsekem, popřípadě zvolenými pracovními místy výrobní linky, a to s přesnou návazností na postup výrobku s plným respektováním všech provozních odchylek od pravidelného postupu těchto výrobků.

Tyto přednosti jsou výsledkem zejména účinné koordinace řídicích signálů vznikajících v řídicím obvodu na základě vstupních signálů pro vyvolání zápisu, popřípadě uložení informace a na základě vstupních signálů pro vyvolání čtení, popřípadě odběru informace spojené s případným dalším přenosem.

Zapojení logické sítě podle vynálezu je v příkladném provedení znázorněno na přiložených výkresech, kde na obr. 1 je znázorněna obecná strukturní skladba vstupních obvodů, paměťových obvodů a výstupních obvodů, na obr. 2 je znázorněno blokové zapojení konkrétního provedení obvodů, a na obr. 3 je znázorněno podrobné zapojení těchto obvodů.

Na obr. 1 je znázorněna jedna soustava vstupních obvodů, složená z jednoho vstupního obvodu X_1 , z druhého vstupního obvodu X_2 , z třetího vstupního obvodu X_3 , popřípadě z dalšího vstupního obvodu X_K , je znázorněna druhá soustava paměťových obvodů, složená z jednoho paměťového obvodu Y_1 , z druhého paměťového obvodu Y_2 , z třetího paměťového obvodu Y_3 , popřípadě z dalšího paměťového obvodu Y_M , a dále je znázorněna další soustava výstupních obvodů, složená z jednoho výstupního obvodu Z_1 , z druhého výstupního obvodu Z_2 , z třetího výstupního obvodu Z_3 , popřípadě z dalšího výstupního obvodu Z_N .

Spojení vstupních obvodů, paměťových obvodů a výstupních obvodů je takové, že výstupy vstupních obvodů jsou spojeny shodně se vstupy paměťových obvodů, a výstupy paměťových obvodů jsou spojeny shodně se vstupy výstupních obvodů, přičemž vstupy vstupních obvodů představují shodně vstupy zapojení logické sítě a výstupy výstupních obvodů představují shodně výstupy zapojení logické sítě podle vynálezu.

Výstup jednoho vstupního obvodu X_1 je spojen s jedním vstupem $1y_1$ jednoho paměťového obvodu Y_1 , jehož výstup je spojen s jedním vstupem $1z_1$ jednoho výstupního obvodu Z_1 , přičemž jeden vstup $1x_1$ jednoho vstupního obvodu X_1 představuje shodně jeden vstup $1x_1$ zapojení logické sítě, a výstup jednoho výstupního obvodu Z_1 představuje zároveň jeden výstup $1V_1$ tohoto zapojení logické sítě.

Výstup druhého vstupního obvodu X_2 je spojen s jedním vstupem $1y_2$ druhého paměťového obvodu Y_2 , jehož výstup je spojen s jedním vstupem $1z_2$ druhého výstupního obvodu Z_2 , přičemž jeden vstup $1x_2$ druhého vstupního obvodu X_2 představuje shodně druhý vstup $1x_2$ zapojení logické sítě, a výstup druhého výstupního obvodu Z_2 představuje zároveň druhý výstup tohoto zapojení logické sítě.

Výstup třetího vstupního obvodu X_3 je spojen s jedním vstupem 1y_3 třetího paměťového obvodu Y_3 , jehož výstup je spojen s jedním vstupem 1z_3 třetího výstupního obvodu Z_3 , přičemž jeden vstup 1x_3 třetího vstupního obvodu X_3 představuje shodně třetí vstup 1x_3 zapojení logické sítě, a výstup třetího výstupního obvodu Z_3 představuje zároveň třetí výstup V_3 tohoto zapojení logické sítě.

Výstup případného dalšího vstupního obvodu X_K je spojen s jedním vstupem 1y_M případného dalšího paměťového obvodu Y_M , jehož výstup je spojen s jedním vstupem 1z_N případného dalšího výstupního obvodu Z_N , přičemž jeden vstup 1x_K případného dalšího vstupního obvodu X_K představuje shodně případný další vstup 1x_K zapojení logické sítě, a výstup případného dalšího výstupního obvodu Z_N představuje zároveň případný další výstup V_N tohoto zapojení logické sítě.

Jeden řídicí vstup ξ zapojení logické sítě je s výhodou spojen s druhým vstupem 2x_1 jednoho vstupního obvodu X_1 , s druhým vstupem 2x_2 druhého vstupního obvodu X_2 , s druhým vstupem 2x_3 třetího vstupního obvodu X_3 , popřípadě s druhým vstupem 2x_K případného dalšího vstupního obvodu X_K .

Druhý řídicí vstup η zapojení logické sítě je s výhodou spojen s druhým vstupem 2y_1 jednoho paměťového obvodu Y_1 , s druhým vstupem 2y_2 druhého paměťového obvodu Y_2 , s druhým vstupem 2y_3 třetího paměťového obvodu Y_3 , popřípadě s druhým vstupem 2y_M případného dalšího paměťového obvodu Y_M .

Další řídicí vstup ζ zapojení logické sítě je s výhodou spojen s druhým vstupem 2z_1 jednoho výstupního obvodu Z_1 , s druhým vstupem 2z_2 druhého výstupního obvodu Z_2 s druhým vstupem 2z_3 třetího výstupního obvodu Z_3 , popřípadě s druhým vstupem 2z_N případného dalšího výstupního obvodu Z_N .

Na obr. 2 je v příkladném provedení znázorněn řídicí obvod zapojení logické sítě složený z jedné vstupní paměti A s jedním vstupem a_1 , s druhým vstupem a_2 , s výstupem spojeným se vstupem h_1 jednoho hradla H_1 , přičemž jeden vstup a tohoto řídicího obvodu je spojen s jedním vstupem a_1 této jedné vstupní paměti A, z druhé vstupní paměti B s jedním vstupem b_1 , s druhým vstupem b_2 , s výstupem spojeným se vstupem h_2 druhého hradla H_2 , přičemž druhý vstup a tohoto řídicího obvodu je spojen s druhým vstupem b_2 této druhé vstupní paměti B, z rozdělovací paměti C s jedním vstupem c_1 , druhým vstupem c_2 , s jedním výstupem C_1 spojeným s řídicím vstupem d_1 jednoho hradla H_1 , s druhým výstupem C_2 spojeným s řídicím vstupem d_2 druhého hradla H_2 , z uzávěry D s jedním vstupem d_1 , který je vícenásobný a je složený z jednoho elementárního vstupu 1d_1 , popřípadě druhého elementárního vstupu 2d_1 , s druhým vstupem d_2 , který je vícenásobný a je složený z jednoho elementárního vstupu 1d_2 , popřípadě z druhého elementárního vstupu 2d_2 , s jedním výstupem D_1 spojeným se vstupem jednoho časového členu T_1 , jehož jeden výstup 1T_1 je spojen s jedním výstupem Z_1 řídicího obvodu, s druhým výstupem D_2 spojeným se vstupem druhého časového členu T_2 , jehož jeden výstup 1T_2 je spojen s druhým výstupem Z_2 řídicího obvodu, přičemž druhý výstup 2T_1 jednoho časového členu T_1 je spojen s druhým vstupem a_2 jedné vstupní paměti A, s jedním vstupem c_1 rozdělovací paměti C, popřípadě s druhým elementárním vstupem 2d_1 jednoho vstupu d_1 uzávěry D, jehož jeden elementární vstup 1d_1 je spojen s výstupem jednoho hradla H_1 , a obdobně druhý výstup 2T_2 druhého časového členu T_2 je spojen s jedním vstupem b_1 druhé vstupní paměti B, s druhým vstupem c_2 rozdělovací paměti C, popřípadě s druhým elementárním vstupem 2d_2 druhého vstupu d_2 uzávěry D, jehož jeden elementární vstup 1d_2 je spojen s výstupem H_2 druhého hradla H_2 .

Na obr. 2 je dále vyznačen šipkami směr toku logických signálů vždy z příslušného výstupu na připojené vstupy logických obvodů.

V příkladném provedení se předpokládá spojení výstupů řídicího obvodu s řídicími vstupy jedné soustavy vstupních obvodů, druhé soustavy paměťových obvodů, další soustavy výstup-

ních obvodů, s výhodou tak, že jeden výstup $\underline{x}_1$ řídicího obvodu je spojen s druhým řídicím vstupem $\underline{u}$ druhé soustavy paměťových obvodů, druhý výstup $\underline{x}_2$ řídicího obvodu je spojen s dalším řídicím vstupem $\underline{u}$ další soustavy výstupních obvodů.

Funkce logické sítě podle vynálezu je taková, že vstupní informace zachycená ve vstupních obvodech se ukládá do paměťových obvodů, a případně dále odebírá přenosem do výstupních obvodů, pomocí iniciačních signálů na vstupech vyvolávajících řídicí signály na výstupech řídicího obvodu, a to v předem nebo průběžně určených časových okamžicích.

Vstupní obvody $X_1, X_2, X_3, \dots, X_K$ představují libovolné prvky vhodné jako nositelé vstupní informace, zejména informace diskrétní, například čidla přítomnosti materiálu, pomocná relé, přepínače, logické obvody, na jejichž výstupech jsou diskrétní signály, například ve tvaru elektrických napětí nulové a jedničkové logické úrovně a podobně.

Jeden řídicí vstup $\underline{x}$ představuje vstup pro vymezení časového okamžiku pro identifikaci vstupní informace popřípadě určujícího výběr vstupní informace z množiny vstupních informací, a sice uložení do paměťových obvodů $Y_1, Y_2, Y_3, \dots, Y_M$, a to signálem zvolené nulové nebo jedničkové logické úrovně, s výhodou signálem impulsním.

Při použití logických obvodů, zejména obvodů kombinačních jakožto nositele vstupní informace způsobuje signál zvolené nulové jedničkové logické úrovně na jednom řídicím vstupu $\underline{x}$, tedy na druhém vstupu $\underline{x}_1, \underline{x}_2, \underline{x}_3, \dots, \underline{x}_K$ otevření průchodu těchto vstupních obvodů vždy z jednoho vstupu $\underline{x}_1, \underline{x}_2, \underline{x}_3, \dots, \underline{x}_K$ na příslušný výstup.

Při použití paměťových prvků jakožto nositele vstupní informace způsobuje signál zvolené nulové nebo jedničkové logické úrovně na jednom řídicím vstupu $\underline{x}$, tedy na druhém vstupu $\underline{x}_1, \underline{x}_2, \underline{x}_3, \dots, \underline{x}_K$ znamená signálů na jednom vstupu $\underline{x}_1, \underline{x}_2, \underline{x}_3, \dots, \underline{x}_K$ do paměťových prvků těchto vstupních obvodů $X_1, X_2, X_3, \dots, X_K$.

V časovém okamžiku určujícím uložení vstupní informace způsobuje signál zvolené nulové nebo jedničkové logické úrovně, s výhodou signál impulsní, a sice na druhém řídicím vstupu $\underline{u}$, tedy na druhém vstupu $\underline{y}_1, \underline{y}_2, \underline{y}_3, \dots, \underline{y}_M$ zápis informace z výstupů, vstupních obvodů vždy přes jeden vstup $\underline{y}_1, \underline{y}_2, \underline{y}_3, \dots, \underline{y}_M$ do příslušného paměťového obvodu $Y_1, Y_2, Y_3, \dots, Y_M$.

Tyto paměťové obvody představují libovolné prvky s paměťovou funkcí, například diskrétní klopné obvody pro záznam a mazání jednoho případně několika signálů, a podobně. V časovém okamžiku určujícím odběr informace, uložené v paměťových obvodech $Y_1, Y_2, Y_3, \dots, Y_M$ způsobuje signál zvolené nulové nebo jedničkové logické úrovně, s výhodou signál impulsní, a sice na dalším řídicím vstupu $\underline{u}$, tedy na druhém vstupu $\underline{z}_1, \underline{z}_2, \underline{z}_3, \dots, \underline{z}_N$ odběr informace uložené v těchto paměťových obvodech z jejich výstupů vždy přes jeden vstup $\underline{z}_1, \underline{z}_2, \underline{z}_3, \dots, \underline{z}_N$ do příslušného výstupního obvodu $Z_1, Z_2, Z_3, \dots, Z_N$.

Tyto výstupní obvody představují libovolné prvky vhodné jako nositel informace, zejména informace diskrétní, například logické obvody kombinační popřípadě sekvenční, vazební členy další části řídicí soustavy, koncové zesilovací členy a podobně.

Je zřejmé, že uložení a odběr informace způsobují signály na řídicích vstupech $\underline{x}, \underline{u}$, 9. Výběr těchto signálů, zejména jejich časové vymezení se provádí pomocí řídicího obvodu.

V jednom předem nebo průběžně stanoveném časovém okamžiku způsobuje jeden iniciační signál zvolené nulové nebo jedničkové logické úrovně na jednom vstupu $\underline{a}$ řídicího obvodu, tedy na jednom vstupu $\underline{a}_1$ jedné vstupní paměti A , zápis do této vstupní paměti A .

Výstupní signál na jejím výstupu přechází zároveň na vstup h_1 jednoho hradla H_1 . Předpokládá se takový stav rozdělovací paměti C , že na jednom výstupu C_1 této paměti, a tedy

i na řídicím vstupu x_1 tohoto hradla H_1 je signál, který způsobuje jeho průchod. Na výstupu tohoto hradla, a tedy i na jednom vstupu d_1 , a sice na jednom elementárním vstupu d_1 tohoto jednoho vstupu d_1 uzávěry D vzniká signál, který přechází přes tuto uzávěru D na její jeden výstup D_1 , a tedy zároveň na vstup jednoho časového členu T_1 . Přechodem signálu z jednoho vstupu d_1 na jeden výstup D_1 uzávěry D se uzavírá průchod této uzávěry z druhého vstupu d_2 na její druhý výstup D_2 .

Vznik signálu na vstupu jednoho časového členu T_1 způsobuje na jeho jednom výstupu T_1 , a tedy i na jednom výstupu T_1 řídicího obvodu vznik jednoho řídicího signálu, s výhodou impulsního signálu, který v příkladném provedení způsobuje na druhém řídicím vstupu x_2 zapojení logické sítě uložení vstupní informace z jedné soustavy vstupních obvodů do druhé soustavy paměťových obvodů. Dále způsobuje tento výstupní signál na vstupu t_1 vznik jednoho vedlejšího řídicího signálu na druhém výstupu T_1 tohoto jednoho časového členu T_1 , s výhodou impulsního signálu, zejména v čase po předchozím skončení působení jednoho řídicího signálu.

Jeden vedlejší řídicí signál způsobuje na druhém vstupu a_2 jedné vstupní paměti A její vymazání, tedy zánik signálu na jejím výstupu a zároveň způsobuje na jednom vstupu c_1 rozdělovací paměti C její překlopení do stavu, kdy na jednom výstupu C_1 zaniká signál, na druhém výstupu C_2 vzniká signál, tedy překlopení do stavu opačného, než byl předchozí stav, popřípadě způsobuje na druhém elementárním vstupu d_1 jednoho vstupu d_1 uzávěry D uchování jejího stavu po dobu působení tohoto jednoho vedlejšího řídicího signálu.

V druhém předem nebo průběžně stanoveném časovém okamžiku způsobuje druhý iniciační signál zvolené nulové nebo jedničkové logické úrovně na druhém vstupu x_2 řídicího obvodu, tedy na jednom vstupu b_1 druhé paměti B zápis do této vstupní paměti B .

Výstupní signál na jejím výstupu přechází zároveň na vstup h_2 druhého hradla H_2 . O dalším průběhu toku signálu rozhoduje stav rozdělovací paměti.

Přišel-li druhý iniciační signál až po zániku jednoho řídicího signálu a jednoho vedlejšího řídicího signálu, je již rozdělovací paměť C v takovém stavu, že na jejím druhém výstupu C_2 je již signál, který působením na řídicím vstupu x_2 druhého hradla H_2 uvolňuje jeho průchod pro signál ze vstupu h_2 na jeho výstup.

Přišel-li však druhý iniciační signál dříve, zapisuje se pouze do druhé vstupní paměti B a čeká na uvolnění průchodu druhého hradla H_2 až do překlopení rozdělovací paměti C jedním vedlejším řídicím signálem.

Signál na výstupu druhého hradla H_2 , a tedy i na druhém vstupu d_2 , a sice na jednom elementárním vstupu d_2 tohoto druhého vstupu d_2 přechází přes uzávěru D na její druhý výstup D_2 , a tedy zároveň na vstup druhého časového členu T_2 až po zániku signálů na jejím jednom vstupu d_1 , tj. při vzniku jednoho vedlejšího řídicího signálu na druhém výstupu T_1 jednoho časového členu T_1 , který vymazává jednu vstupní paměť A , překlápí rozdělovací paměť C , popřípadě až po zániku tohoto jednoho vedlejšího řídicího signálu, který případně po dobu svého působení na druhém elementárním vstupu d_1 jednoho vstupu d_1 uzávěry D drží v otevřeném stavu přechod z jednoho vstupu d_1 na jeden výstup D_1 této uzávěry D i po vymazání jedné vstupní paměti A .

Souhrnně představuje řídicí obvod dva signálové kanály, a to jeden signálový kanál z jednoho vstupu, který představuje jeden vstup x_1 řídicího obvodu na jeden výstup, který představuje jeden výstup T_1 řídicího obvodu a druhý signálový kanál z druhého vstupu, který představuje druhý vstup x_2 řídicího obvodu, na druhý vstup, který představuje druhý výstup T_2 tohoto řídicího obvodu, kteréžto informační kanály jsou vzájemně rovnocenné a mají tu vlastnost, že jeden iniciační signál, který přišel na jeden vstup x_1 dříve než druhý iniciační signál na druhý vstup x_2 , přechází přes jeden signálový kanál na jeden výstup T_1 a způsobuje

vznik jednoho řídícího signálu, přičemž druhý iniciační signál, který přišel na druhý vstup $\underline{B}$ později než tento jeden iniciační signál, má průchod přes druhý signální kanál na druhý výstup $\underline{C_2}$ uzavřen až do zániku jednoho řídícího signálu, popřípadě až do zániku jednoho vedlejšího řídícího signálu.

Obdobně druhý iniciační signál, který přišel na druhý vstup $\underline{B}$ dříve než jeden iniciační signál na jeden vstup $\underline{A}$, prochází přes druhý signální kanál na druhý výstup $\underline{C_2}$ a způsobuje vznik druhého řídícího signálu, přičemž jeden iniciační signál, který přišel na jeden vstup $\underline{A}$ později než tento druhý iniciační signál, má průchod přes jeden signální kanál na jeden výstup $\underline{C_1}$ uzavřen až do zániku druhého řídícího signálu, popřípadě až do zániku druhého vedlejšího řídícího signálu.

V obou případech je dále otevření průchodu jednoho, popřípadě druhého signálního kanálu pro iniciační signál ze vstupu na příslušný výstup podmíněno vždy předchozím otevřením a uzavřením druhého popřípadě jednoho signálového kanálu, tedy souhrnně předchozím otevřením a uzavřením opačného signálového kanálu pro opačný iniciační signál ze vstupu na příslušný výstup, kterážto vlastnost řídícího obvodu je předurčena použitím rozdělovací paměti $\underline{C}$, a v praktických důsledcích zaručuje vždy střídavé pořadí uložení informace a odběr informace, a sice uložení informace do soustavy paměťových obvodů, a odběr této informace ze soustavy paměťových obvodů, v časových okamžicích vzniku iniciačních signálů popřípadě v časových okamžicích, odvozených od těchto iniciačních signálů.

V dalším příkladném provedení podle obr. 3 se řídící obvod skládá z elementárních logických obvodů, zejména z logických obvodů ANI, použitých buďto samostatně, popřípadě seřazených do dvojic a spřažených pomocí zpětné vazby jako paměť pro záznam a mazání.

Jedna vstupní paměť $\underline{A}$ má jeden vstup $\underline{a_1}$, složený z elementárních vstupů $\underline{1a_1}$, $\underline{2a_1}$, $\underline{3a_1}$, druhý vstup $\underline{a_2}$ složený z elementárních vstupů $\underline{1a_2}$, $\underline{2a_2}$, $\underline{3a_2}$, jeden výstup a druhý výstup.

Tato jedna vstupní paměť $\underline{A}$ se skládá z jednoho logického obvodu $\underline{A_1}$, s výhodou logického obvodu ANI, jehož elementární vstupy $\underline{1a_1}$, $\underline{2a_1}$, $\underline{3a_1}$ představují souhrnně jeden vstup $\underline{a_1}$, a jehož výstup představuje shodně jeden výstup jedné vstupní paměti $\underline{A}$, popřípadě zároveň výstup jedné vstupní paměti podle obr. 2, a skládá se z druhého logického obvodu $\underline{A_2}$, s výhodou logického obvodu ANI, jehož elementární vstupy $\underline{1a_2}$, $\underline{2a_2}$, $\underline{3a_2}$ představují souhrnně druhý vstup $\underline{a_2}$, a jehož výstup představuje shodně druhý výstup této jedné vstupní paměti $\underline{A}$.

Výstup jednoho logického obvodu $\underline{A_1}$ je spojen s třetím elementárním vstupem $\underline{3a_2}$ druhého logického obvodu $\underline{A_2}$, jehož výstup je spojen s třetím elementárním vstupem $\underline{3a_1}$ jednoho logického obvodu $\underline{A_1}$.

Druhá vstupní paměť $\underline{B}$ má jeden vstup $\underline{b_1}$, složený z elementárních vstupů $\underline{1b_1}$, $\underline{2b_1}$, $\underline{3b_1}$, druhý vstup $\underline{b_2}$ složený z elementárních vstupů $\underline{1b_2}$, $\underline{2b_2}$, $\underline{3b_2}$, jeden výstup a druhý výstup.

Tato druhá vstupní paměť $\underline{B}$ se skládá z jednoho logického obvodu $\underline{B_1}$, s výhodou logického obvodu ANI, jehož elementární vstupy $\underline{1b_1}$, $\underline{2b_1}$, $\underline{3b_1}$ představují souhrnně jeden vstup $\underline{b_1}$, a jehož výstup představuje shodně jeden výstup druhé vstupní paměti $\underline{B}$, popřípadě zároveň výstup druhé vstupní paměti podle obr. 2, a skládá se z druhého logického obvodu $\underline{B_2}$, s výhodou logického obvodu ANI, jehož elementární vstupy $\underline{1b_2}$, $\underline{2b_2}$, $\underline{3b_2}$ představují souhrnně druhý vstup $\underline{b_2}$, a jehož výstup představuje shodně druhý výstup této druhé vstupní paměti $\underline{B}$. Výstup jednoho logického obvodu $\underline{B_1}$ je spojen s třetím elementárním vstupem $\underline{3b_2}$ druhého logického obvodu $\underline{B_2}$, jehož výstup je spojen s třetím elementárním vstupem $\underline{3b_1}$ jednoho logického obvodu $\underline{B_1}$.

Rozdělovací paměť $\underline{C}$ má jeden vstup $\underline{c_1}$, složený z elementárních vstupů $\underline{1c_1}$, $\underline{2c_1}$, $\underline{3c_1}$, druhý vstup $\underline{c_2}$ složený z elementárních vstupů $\underline{1c_2}$, $\underline{2c_2}$, $\underline{3c_2}$, jeden výstup a druhý výstup.

Tato rozdělovací paměť C se skládá z jednoho logického obvodu C_1 , s výhodou logického obvodu ANI, jehož elementární vstupy 1_{c_1} , 2_{c_1} , 3_{c_1} , představují souhrnně jeden vstup c_1 , a jehož výstup představuje shodně jeden výstup rozdělovací paměti C , a skládá se z druhého logického obvodu C_2 , s výhodou logického obvodu ANI, jehož elementární vstupy 1_{c_2} , 2_{c_2} , 3_{c_2} představují souhrnně druhý vstup c_2 , a jehož výstup představuje shodně druhý výstup této rozdělovací paměti C . Výstup jednoho logického obvodu C_1 je spojen s třetím elementárním vstupem 3_{c_2} druhého logického obvodu C_2 , jehož výstup je spojen s třetím elementárním vstupem 3_{c_1} jednoho logického obvodu C_1 .

Jedno hradlo H_1 představuje jeden kombinační logický obvod, s výhodou logický obvod ANI, s jedním vstupem 1_{h_1} , s druhým vstupem 2_{h_1} , popřípadě s třetím vstupem 3_{h_1} a s výstupem. Jeden vstup 1_{h_1} představuje vstup h_1 , druhý vstup 2_{h_1} představuje řídicí vstup η_1 jednoho hradla H_1 . Třetí vstup 3_{h_1} je v příkladném provedení neobsazen.

Druhé hradlo H_2 představuje druhý kombinační logický obvod, s výhodou logický obvod ANI, s jedním vstupem 1_{h_2} , s druhým vstupem 2_{h_2} , popřípadě s třetím vstupem 3_{h_2} a s výstupem. Jeden vstup 1_{h_2} představuje vstup h_2 , druhý vstup 2_{h_2} představuje řídicí vstup η_2 druhého hradla H_2 . Třetí vstup 3_{h_2} je v příkladném provedení neobsazen.

Uzávěra D se skládá z jednoho předřadného logického obvodu P_1 , s výhodou logického obvodu ANI, s jedním vstupem 1_{p_1} , s druhým vstupem 2_{p_1} , popřípadě s třetím vstupem 3_{p_1} , kteréžto vstupy představují souhrnně jeden vstup d_1 uzávěry D , a s výstupem, z druhého předřadného logického obvodu P_2 , s výhodou logického obvodu ANI, s jedním vstupem 1_{p_2} , s druhým vstupem 2_{p_2} , popřípadě s třetím vstupem 3_{p_2} , kteréžto vstupy představují souhrnně druhý vstup d_2 uzávěry D , a s výstupem, a dále se skládá z jednoho logického obvodu R_1 , s výhodou logického obvodu ANI, s elementárními vstupy 1_{r_1} , 2_{r_1} , 3_{r_1} , a s výstupem, který představuje zároveň jeden výstup D_1 uzávěry D , a z druhého logického obvodu R_2 , s výhodou logického obvodu ANI, s elementárními vstupy 1_{r_2} , 2_{r_2} , 3_{r_2} , a s výstupem, který představuje zároveň druhý výstup D_2 uzávěry D . Výstup jednoho logického obvodu R_1 je spojen s třetím elementárním vstupem 3_{r_2} druhého logického obvodu R_2 , jehož výstup je spojen s třetím elementárním vstupem 3_{r_1} jednoho logického obvodu R_1 .

Jeden časový člen T_1 se skládá z jednoho časového obvodu 1_{T_1} se vstupem a s výstupem, z druhého časového členu 2_{T_1} se vstupem a s výstupem, propojených přes jeden pomocný logický obvod S_1 , s výhodou přes obvod logické inverze, se vstupem a s výstupem, a to tak, že výstup jednoho časového obvodu 1_{T_1} je spojen se vstupem tohoto jednoho pomocného logického obvodu S_1 , jehož výstup je spojen se vstupem druhého časového 2_{T_1} , vztaženo na tento jeden časový člen T_1 .

Druhý časový člen T_2 se skládá z třetího časového obvodu 1_{T_2} se vstupem a s výstupem, ze čtvrtého časového obvodu 2_{T_2} se vstupem a s výstupem, propojených přes druhý pomocný logický obvod S_2 , s výhodou přes obvod logické inverze, se vstupem a s výstupem, a to tak, že výstup třetího časového obvodu 1_{T_2} je spojen se vstupem tohoto druhého pomocného logického obvodu S_2 , jehož výstup je spojen se vstupem 2_{T_2} čtvrtého časového obvodu 2_{T_2} , vztaženo na tento druhý časový člen T_2 .

Další spojení řídicího obvodu je takové, že jeden vstup řídicího obvodu A , složený z jednoho elementárního vstupu a_1 a z druhého elementárního vstupu a_2 je spojen se vstupem a_1 jednoho obvodu A_1 druhé vstupní paměti A tak, že jeden elementární vstup a_1 je spojen s jedním elementárním vstupem 1_{a_1} tohoto vstupu a_1 , druhý elementární vstup a_2 je spojen s druhým elementárním vstupem 2_{a_1} tohoto vstupu a_1 , druhý vstup řídicího obvodu A , složený z jednoho elementárního vstupu β_1 a z druhého elementárního vstupu β_2 je spojen se vstupem β_1 jednoho obvodu B_1 druhé vstupní paměti B tak, že jeden elementární vstup β_1 je spojen s jedním elementárním vstupem 1_{b_1} tohoto vstupu β_1 , druhý elementární vstup β_2 je spojen s druhým elementárním vstupem 2_{b_1} tohoto vstupu β_1 .

Jeden výstup jedné vstupní paměti A je spojen se vstupem 1h_1 jednoho hradla H_1 , jehož výstup je spojen s jedním vstupem uzávěry D tak, že je spojen s jedním vstupem 1p_1 jednoho předřadného logického obvodu P_1 .

Jeden výstup uzávěry D je spojen se vstupem jednoho časového členu T_1 tak, že je spojen se vstupem jednoho časového obvodu 1T_1 jednoho časového členu T_1 , jehož jeden výstup je spojen s jedním výstupem 1T_1 řídícího obvodu.

Výstup druhého časového obvodu 2T_1 jednoho časového členu T_1 , který představuje shodně druhý výstup 2T_1 tohoto časového členu T_1 je spojen s druhým vstupem a_2 jedné vstupní paměti A tak, že je spojen s druhým elementárním vstupem 2a_2 tohoto druhého vstupu a_2 , s druhým vstupem c_2 rozdělovací paměti C tak, že je spojen s druhým elementárním vstupem 2c_2 tohoto druhého vstupu c_2 , popřípadě s jedním vstupem p_1 uzávěry D tak, že je spojen s druhým elementárním vstupem 2p_1 tohoto jednoho vstupu p_1 jednoho předřadného logického obvodu P_1 .

Jeden výstup druhé vstupní paměti B je spojen se vstupem 1h_2 druhého hradla H_2 , jehož výstup je spojen s druhým vstupem uzávěry D tak, že je spojen s jedním vstupem 1p_2 druhého předřadného logického obvodu P_2 .

Druhý výstup uzávěry D je spojen se vstupem druhého časového členu T_2 tak, že je spojen se vstupem třetího časového obvodu 1T_2 druhého časového členu T_2 , jehož jeden výstup je spojen s druhým výstupem 1T_2 řídícího obvodu.

Výstup čtvrtého časového obvodu 2T_2 druhého časového členu T_2 , který představuje shodně druhý výstup 2T_2 tohoto časového členu T_2 je spojen s druhým vstupem b_2 druhé vstupní paměti B tak, že je spojen s druhým elementárním vstupem 2b_2 tohoto druhého vstupu b_2 , s jedním vstupem c_1 rozdělovací paměti C tak, že je spojen s druhým elementárním vstupem 2c_1 tohoto jednoho vstupu c_1 , popřípadě s druhým vstupem p_2 uzávěry D tak, že je spojen s druhým elementárním vstupem 2p_2 tohoto druhého vstupu p_2 druhého předřadného logického obvodu P_2 .

Další spojení rozdělovací paměti C je takové, že jeden výstup této rozdělovací paměti C je spojen s řídícím vstupem 1x_1 jednoho hradla H_1 tak, že je spojen s druhým elementárním vstupem 2h_1 jednoho hradla H_1 , druhý výstup této rozdělovací paměti C je spojen s řídícím vstupem 2x_2 druhého hradla H_2 tak, že je spojen s druhým elementárním vstupem 2h_2 druhého hradla H_2 .

Funkce řídícího obvodu v dalším příkladném provedení podle obr. 3 je taková, že jeden iniciační signál, s výhodou signál zvolené jedničkové úrovně, na jednom vstupu a řídícího obvodu, tedy na jednom vstupu a_1 jedné vstupní paměti A způsobuje zápis do této vstupní paměti A tak, že na druhém výstupu vzniká jedničkový signál. Na jednom výstupu vzniká současně inverzní signál, tedy nulový signál, který přichází zároveň na jeden vstup 1h_1 jednoho hradla H_1 .

Vzhledem k druhu použitého obvodu ANI přechází tento nulový signál na výstup tohoto hradla H_1 tehdy, jestliže rozdělovací paměť C je v takovém stavu, že na druhém výstupu je jedničkový signál a na jednom výstupu je nulový signál, který je takto zároveň na druhém vstupu 2h_1 hradla H_1 .

Takto vzniklý jedničkový signál přechází zároveň na jeden vstup 1p_1 , na výstupu jednoho předřadného logického obvodu P_1 vzniká nulový signál. Vzhledem k použité zpětné vazbě mezi jedním logickým obvodem R_1 a druhým logickým obvodem R_2 uzávěry způsobuje jedničkový signál na výstupu druhého předřadného logického obvodu D_2 , tedy na druhém vstupu 2r_2 druhého logického obvodu R_2 překlopení do takového stavu, že na výstupu jednoho logického obvodu R_1 je jedničkový signál a na výstupu druhého logického obvodu R_2 je nulový signál.

Předpokládá se taková funkce použitých časových obvodů $\underline{1T_1}$, $\underline{2T_1}$, $\underline{1T_2}$, $\underline{2T_2}$, že vznik jedničkového signálu na vstupu způsobuje vznik jedničkového impulsu na výstupu.

Vzhledem k této vlastnosti použitých časových obvodů a vzhledem k propojení přes obvo-
dy logické inverze S_1 , S_2 , vzniká na jednom výstupu jednoho časového obvodu $\underline{1T_1}$, a tedy
i na jednom výstupu $\underline{1T_1}$ řídicího obvodu, jedničkový impulsní signál, který představuje je-
den řídicí signál, v okamžiku jeho zániku vzniká na druhém výstupu druhého časového obvo-
du $\underline{2T_1}$ jedničkový impulsní signál, který představuje jeden vedlejší řídicí signál. Účinek
těchto signálů je shodný s funkcí v obecném příkladném provedení podle obr. 2.

Druhý iniciační signál, s výhodou signál zvolené jedničkové úrovně, na druhém vstupu
 $\underline{B}$ řídicího obvodu, tedy na jednom vstupu $\underline{b_1}$ druhé vstupní paměti $\underline{B}$ způsobuje zápis do té-
to vstupní paměti $\underline{B}$ tak, že na druhém výstupu vzniká jedničkový signál. Na jednom výstupu
vzniká současně inverzní signál, tedy nulový signál, který přichází zároveň na jeden vstup
 $\underline{1h_2}$ druhého hradla $\underline{H_2}$.

Vzhledem k druhu použitého obvodu ANI přechází tento nulový signál na výstup tohoto
hradla $\underline{H_2}$ až po překlopení rozdělovací paměti $\underline{C}$ jedním vedlejším řídicím signálem z výstu-
pu druhého časového obvodu $\underline{2T_1}$ jednoho časového členu $\underline{T_1}$. Přechod signálu přes druhý logic-
ký obvod $\underline{R_2}$ uzávěry $\underline{D}$ se však děje až po případném zániku jednoho vedlejšího řídicího signá-
lu na výstupu druhého časového obvodu $\underline{2T_1}$ jednoho časového členu $\underline{T_1}$.

Další tok signálů přes druhé hradlo $\underline{H_2}$, přes druhý předřadný logický obvod $\underline{P_2}$, přes
druhý logický obvod $\underline{R_2}$, jakož i vznik druhého řídicího signálu na výstupu třetího časového
obvodu $\underline{1T_2}$ druhého časového členu $\underline{T_2}$, vznik druhého vedlejšího řídicího signálu na výstupu
čtvrtého časového obvodu $\underline{2T_2}$ druhého časového členu $\underline{T_2}$ je vzhledem k symetrické skladbě
jednoho signálového kanálu a druhého signálového kanálu již zcela obdobný.

Další použití zapojení logické sítě podle vynálezu je takové, že řídicí obvod, a sice
jeden signálový kanál, druhý signálový kanál se doplní o další návazné časové členy. Místo
řídicích signálů a vedlejších řídicích signálů vznikají pak časové posloupnosti několika
řídicích signálů s odstupňovaným účinkem, vhodné zejména v aplikacích na řízení výrobních
procesů.

Počet a druh obvodů v jedné soustavě vstupních obvodů, v druhé soustavě paměťových
obvodů, v další soustavě výstupních obvodů se řídí druhem a počtem signálů vstupní informa-
ce, tedy v závislosti na druhu řídicí soustavy úseku výrobní linky. Všeobecné indexy pořá-
dí, K , M , N , vyjadřující počet obvodů, jsou nestejná čísla.

Vstupní informace pro uložení a odběr může být vyjádřena pomocí kódu i z K , popřípadě
jako kombinace = počtu K kódových složek a podobně.

Vzhledem k vícenásobným vstupům použitých logických obvodů se využije neobsazených
vstupů s výhodou pro určování počátečního stavu, pro další přídavné vazby při použití zapo-
jení logické sítě podle vynálezu v rozsáhlé řídicí soustavě, například řídicí soustava vý-
robního procesu a podobně.

Uplatnění zapojení logické sítě podle vynálezu je zejména v oblasti syntézy složitých
logických obvodů řídicích soustav. Bezprostřední, a zcela konkrétní uplatnění je například
ve výrobních linkách s přerušovaným charakterem výroby a s nestejným taktem postupu výrobků.

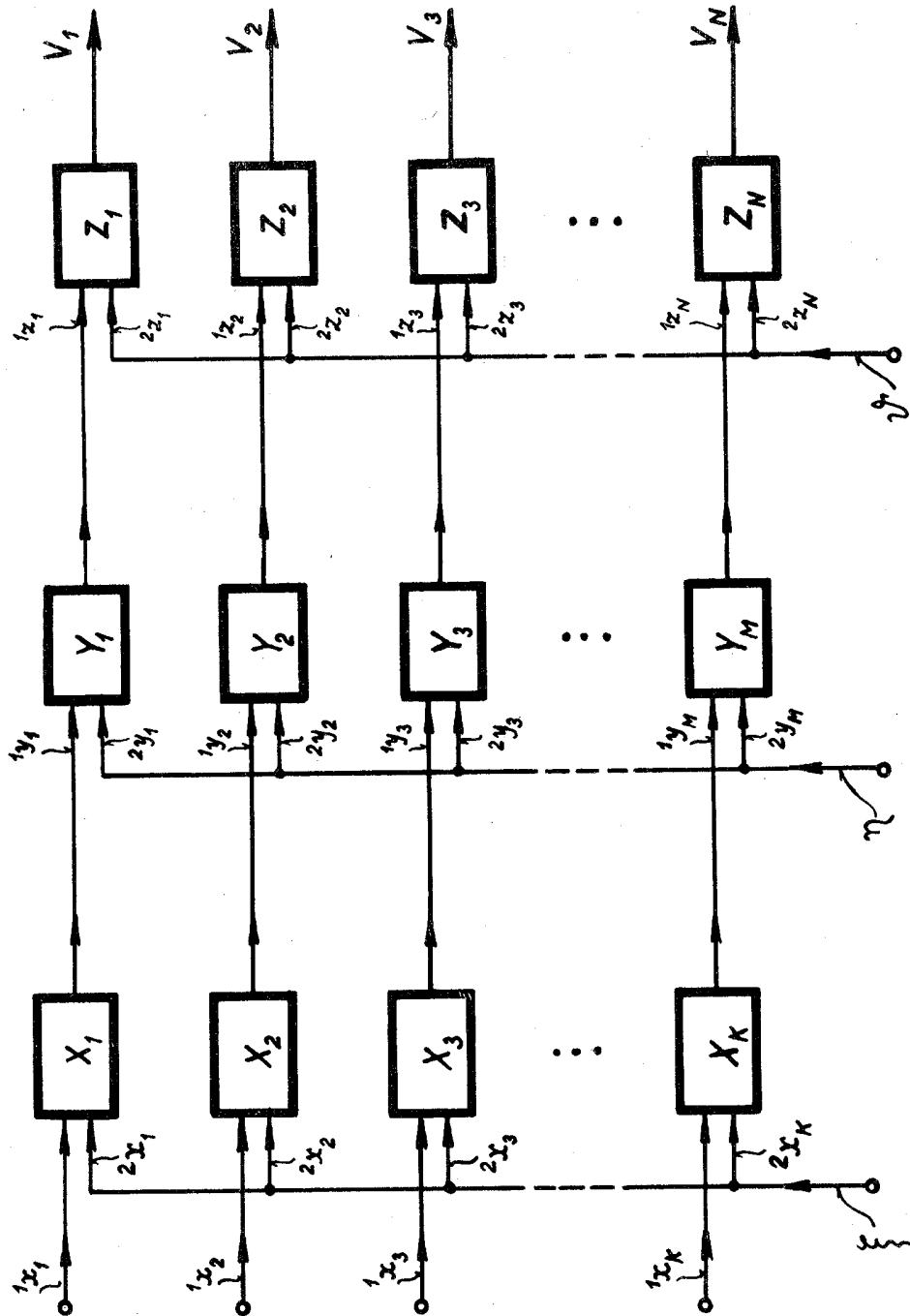
Předností tohoto uplatnění je zejména jednoduchost, přehlednost a snadná realizovatel-
nost příslušné logické sítě.

PŘEDMĚT VYNÁLEZU

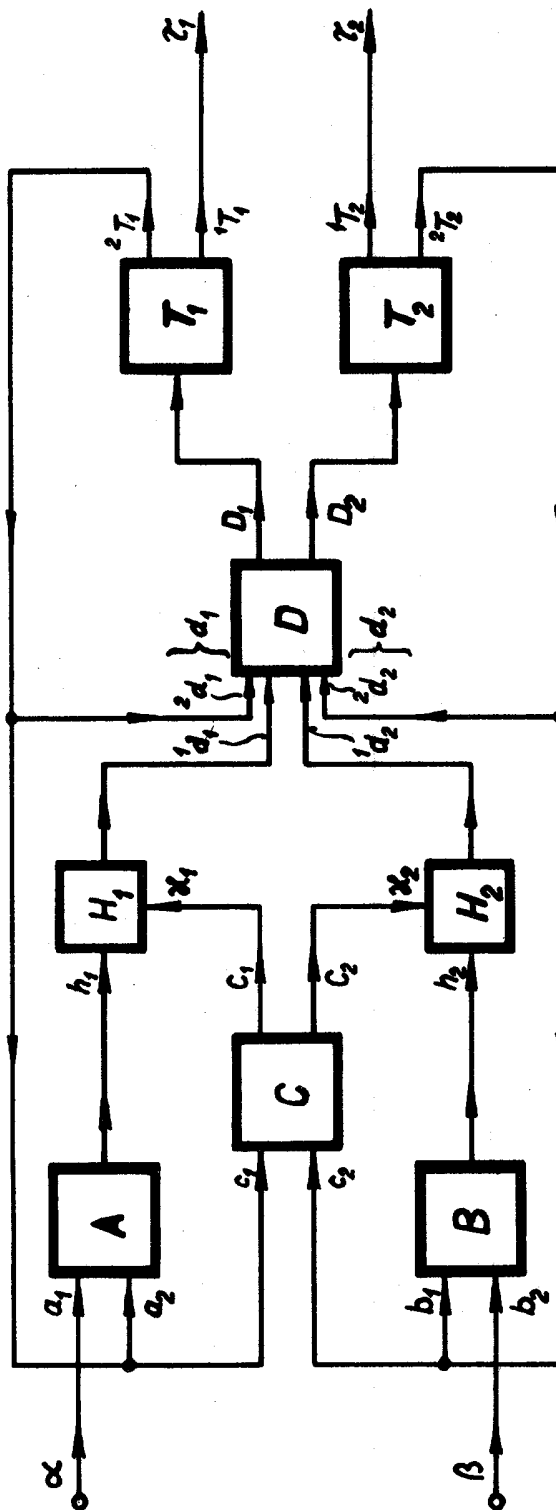
1. Zapojení logické sítě pro uložení a odběr informace, zejména informace vyjádřené ve tvaru logických signálů, složené z jedné soustavy vstupních obvodů například vazebníků čidel, z druhé soustavy paměťových obvodů, z další soustavy výstupních obvodů například koncových zesilovacích členů, a z řídicího obvodu složeného z logických obvodů, vyznačené tím, že výstup jednoho vstupního obvodu (X_1) je spojen s jedním vstupem (1y_1) jednoho paměťového obvodu (Y_1), jehož výstup je spojen s jedním vstupem (1z_1) jednoho výstupního obvodu (Z_1), výstup druhého vstupního obvodu (X_2) je spojen s jedním vstupem (1y_2) druhého paměťového obvodu (Y_2), jehož výstup je spojen s jedním vstupem (1z_2) druhého výstupního obvodu (Z_2), výstup třetího vstupního obvodu (X_3) je spojen s jedním vstupem (1y_3) třetího paměťového obvodu (Y_3), jehož výstup je spojen s jedním vstupem (1z_3) třetího výstupního obvodu (Z_3), popřípadě výstup případného dalšího vstupního obvodu (X_K) je spojen s jedním vstupem (1y_M) případného dalšího paměťového obvodu (Y_M), jehož výstup je spojen s jedním vstupem (1z_N) případného dalšího výstupního obvodu (Z_N), přičemž druhý vstup (2y_1) jednoho paměťového obvodu (Y_1), druhý vstup (2y_2) druhého paměťového obvodu (Y_2), druhý vstup (2y_3) třetího paměťového obvodu (Y_3), popřípadě druhý vstup (2y_M) případného dalšího paměťového obvodu (Y_M) jsou spojeny v jednom uzlu (η) spojeném s jedním vstupem (2x_1) řídicího obvodu, druhý vstup (2z_1) jednoho výstupního obvodu (Z_1), druhý vstup (2z_2) druhého výstupního obvodu (Z_2), druhý vstup (2z_3) třetího výstupního obvodu (Z_3), popřípadě druhý vstup (2z_N) případného dalšího výstupního obvodu (Z_N) jsou spojeny v jednom uzlu (δ) spojeném s druhým výstupem (2x_2) tohoto řídicího obvodu, složeného z jedné vstupní paměti (A), jejíž výstup je spojen se vstupem (h_1) jednoho hradla (H_1), jehož výstup je spojen s jedním vstupem (d_1) uzávěry (D) a jehož řídicí vstup (1x_1) je spojen s jedním výstupem (c_1) rozdělovací paměti (C), a složeného z druhé vstupní paměti (B), jejíž výstup je spojen se vstupem (h_2) druhého hradla (H_2), jehož výstup je spojen s druhým vstupem (d_2) uzávěry (D) a jehož řídicí vstup (2x_2) je spojen s druhým výstupem rozdělovací paměti (C), přičemž jeden výstup (d_1) uzávěry (D) je spojen se vstupem jednoho časového členu (T_1), jehož jeden výstup (1T_1) je spojen s jedním výstupem (1x_1) řídicího obvodu, a druhý výstup (2T_1) tohoto časového členu (T_1) je spojen s druhým vstupem (a_2) jedné vstupní paměti (A), je spojen s jedním vstupem (c_1) rozdělovací paměti (C), popřípadě je dále spojen s jedním vstupem (d_1) uzávěry (D), druhý výstup (d_2) uzávěry (D) je spojen se vstupem druhého časového členu (T_2), jehož jeden výstup (1T_2) je spojen s druhým výstupem (2x_2) řídicího obvodu, a druhý výstup (2T_2) tohoto časového členu (T_2) je spojen s druhým vstupem (b_2) druhé vstupní paměti (B), je spojen s druhým vstupem (c_2) rozdělovací paměti (C), popřípadě je dále spojen s druhým vstupem (d_2) uzávěry (D).

2. Zapojení podle bodu 1, vyznačené tím, že jeden časový člen (T_1) se skládá z jednoho časového obvodu (1T_1) a z druhého časového obvodu (2T_1), propojených přes jeden obvod logické inverze (S_1), přičemž výstup jednoho časového obvodu (1T_1) je spojen se vstupem tohoto obvodu logické inverze (S_1), jehož výstup je spojen se vstupem druhého časového obvodu (2T_1), druhý časový člen (T_2) se skládá z třetího časového obvodu (1T_2) a ze čtvrtého časového obvodu (2T_2), propojených přes druhý obvod logické inverze (S_2), přičemž výstup třetího časového obvodu (1T_2) je spojen se vstupem (s_2) tohoto obvodu logické inverze (S_2), jehož výstup je spojen se vstupem čtvrtého časového obvodu (2T_2), přičemž výstup jednoho časového obvodu (1T_1) je dále spojen s jedním výstupem (1x_1) řídicího obvodu, a výstup třetího časového obvodu (1T_2) je dále spojen s druhým výstupem (2x_2) řídicího obvodu.

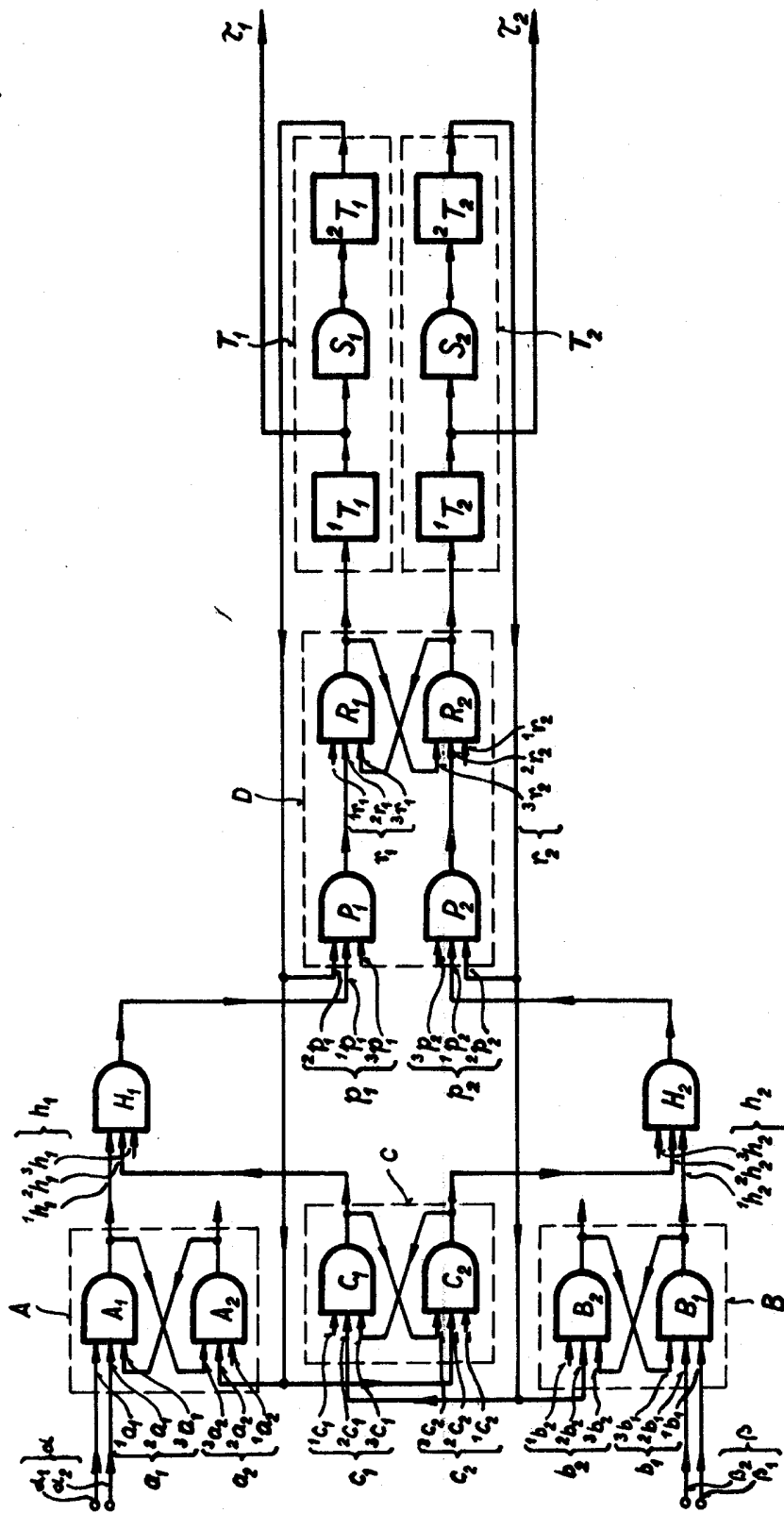
3 listy výkresů



OBR. 1



OBR. 2



OBR. 3