



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I517273 B

(45)公告日：中華民國 105 (2016) 年 01 月 11 日

(21)申請案號：101107851

(22)申請日：中華民國 101 (2012) 年 03 月 08 日

(51)Int. Cl. : H01L21/60 (2006.01)

H01L23/488 (2006.01)

(30)優先權：2011/03/25 美國

13/072,554

(71)申請人：A T I 科技 U L C 公司 (加拿大) ATI TECHNOLOGIES ULC (CA)

加拿大

高級微裝置公司 (美國) ADVANCED MICRO DEVICES, INC. (US)

美國

(72)發明人：托帕西歐 羅登 R TOPACIO, RODEN R. (CA) ; 蘇 麥克 Z SU, MICHAEL Z.

(US) ; 麥爾蘭 尼爾 MCLELLAN, NEIL (US)

(74)代理人：洪武雄；陳昭誠

(56)參考文獻：

TW I266376B

TW I277162B

TW 200629451A

TW 201104770A

US 5726501A

US 6118180A

審查人員：黃鼎富

申請專利範圍項數：24 項 圖式數：17 共 31 頁

(54)名稱

具有支撐終端墊的半導體晶片

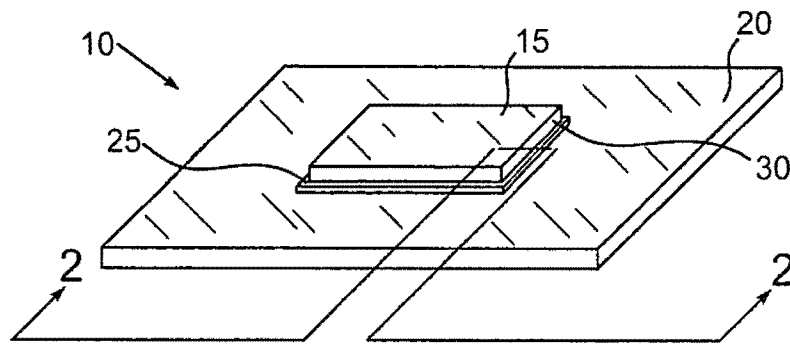
SEMICONDUCTOR CHIP WITH SUPPORTIVE TERMINAL PAD

(57)摘要

本發明揭露各種半導體晶片輸入/輸出結構、以及製造該等結構之方法。於一個態樣中，本發明提供一種製造方法，包含提供具有第一導電體墊(85)和鈍化結構(45)之半導體晶片(15)。在第一導電體墊(85)的周圍製造第二導電體墊(120)，第二導電體墊(120)不與第一導電體墊(85)實體接觸以留下缺口(125)。第二導電體墊(120)適配於保護一部份之鈍化結構(45)。

Various semiconductor chip input/output structures and methods of making the same are disclosed. In one aspect, a method of manufacturing is provided that includes providing a semiconductor chip (15) that has a first conductor pad (85) and a passivation structure (45). A second conductor pad (120) is fabricated around but not in physical contact with the first conductor pad (85) to leave a gap (125). The second conductor pad (120) is adapted to protect a portion of the passivation structure (45).

指定代表圖：



符號簡單說明：

10 . . . 半導體晶片
裝置

15 . . . 半導體晶片

20 . . . 電路板

25 . . . 底層填充材
料層

30 . . . 邊緣

第1圖

發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：101107851

※ 申請日：101.3.8

※IPC 分類：H01L 21/60
H01L 23/48

一、發明名稱：(中文/英文)

具有支撐終端墊的半導體晶片

SEMICONDUCTOR CHIP WITH SUPPORTIVE TERMINAL PAD

二、中文發明摘要：

本發明揭露各種半導體晶片輸入/輸出結構、以及製造該等結構之方法。於一個態樣中，本發明提供一種製造方法，包含提供具有第一導電體墊(85)和鈍化結構(45)之半導體晶片(15)。在第一導電體墊(85)的周圍製造第二導電體墊(120)，第二導電體墊(120)不與第一導電體墊(85)實體接觸以留下缺口(125)。第二導電體墊(120)適配於保護一部份之鈍化結構(45)。

三、英文發明摘要：

Various semiconductor chip input/output structures and methods of making the same are disclosed. In one aspect, a method of manufacturing is provided that includes providing a semiconductor chip (15) that has a first conductor pad (85) and a passivation structure (45). A second conductor pad (120) is fabricated around but not in physical contact with the first conductor pad (85) to leave a gap (125). The second conductor pad (120) is adapted to protect a portion of the passivation structure (45).

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

- 10 半導體晶片裝置
- 15 半導體晶片
- 20 電路板
- 25 底層填充材料層
- 30 邊緣

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無代表化學式

六、發明說明：

【發明所屬之技術領域】

本發明一般有關半導體加工，更特別是半導體晶片焊錫凸塊墊以及製造該半導體晶片焊錫凸塊墊之方法。

【先前技術】

業經使用覆晶安裝方案數十年以將半導體晶片安裝至電路板，諸如，半導體晶片封裝基板。於許多傳統覆晶變體中，在半導體晶片之輸入/輸出(I/O)位置和電路板之對應的 I/O 位置之間建立複數個焊接點。在一個傳統製程中，焊錫凸塊係冶金接合(metallurgically bonded)至半導體之特定 I/O 位置或墊，而且所謂預錫(pre-solder)係冶金接合至電路板之對應的 I/O 位置。其後，使焊錫凸塊與預錫靠近，並且進行迴焊焊錫凸塊和預錫之一者或兩者之加熱程序以建立必要的焊接點。

在一個傳統製程中，焊錫凸塊連接至半導體晶片之特定 I/O 位置伴隨在靠近 I/O 位置之半導體晶片之頂層介電薄膜中形成開口，其後沉積金屬以建立凸塊底層金屬(UBM)結構。接著，藉由迴焊而使焊錫凸塊冶金接合至 UBM 結構。這傳統的 UBM 結構包含基極、側壁、以及位於介電薄膜上之上凸緣。

覆晶焊接點可受到各種來源之機械應力，諸如熱膨脹失配係數、延展性差異、以及電路板翹曲。此等應力可使剛描述之傳統 UBM 結構成彎曲力矩。此效應有些方向性，因為應力往往是在更靠近晶粒邊緣和角處為最大且隨著越

來越接近晶粒中心而減少。與此所謂邊緣效應相關之彎曲力矩可能對 UBM 結構下方之介電薄膜施加應力，若該應力夠大，則可能會產生破裂。

由於各種原因，設計者已開始轉向用於焊接點製造之無鉛焊錫。由此等焊錫所構成之凸塊可產生較相等尺寸之鉛凸塊更高的應力。為了彌補此更高的應力，傳統的設計在凸塊底層金屬和下方晶片凸塊墊之間併入終端墊。終端墊具有大於上方凸塊底層金屬與下方晶片焊墊之占晶面積 (footprint)，以提供鈍化層應力保護。若晶片提供靠近晶片焊墊之作用金屬線，則終端墊可與此等金屬線重疊，並且產生寄生電路 (parasitics)。

本發明有關克服或減少一種或多種前述缺點之效應。

【發明內容】

根據本發明之具體例之一個態樣，提供一種製造方法，包括提供具有第一導電體墊和鈍化結構之半導體晶片。第二導電體墊在第一導電體墊周圍製造，但不與第一導電體墊實體接觸以留下缺口。第二導電體適配於保護一部份之鈍化結構。

根據本發明之具體例之另一個態樣，提供一種耦合半導體晶片至電路板之方法。半導體晶片具有鈍化結構、彼此靠近但被聚合物層分離以留下缺口之第一和第二導電體墊，該第一導電體墊與延伸於該第二導電體墊上之凸塊底層金屬電性連接，但該凸塊底層金屬與該第二導電體墊被聚合物層分離。該方法包含耦合焊錫結構至凸塊底層金屬

結構，並且耦合焊錫結構至電路板。

根據本發明之具體例之另一個態樣，提供一種儀器，包含具有第一導電體墊與鈍化結構之半導體晶片。第二導電體墊係在第一導電體墊周圍，但不與第一導電體墊實體接觸以留下缺口。第二導電體墊適配於保護一部份之鈍化結構。

【實施方式】

本文中揭露半導體晶片之多種具體例。一個實例包含在個別作用終端墊上製造之焊錫凸塊連接結構，諸如，UBM結構。在具有環繞之虛擬墊之晶片鈍化結構上製造作用終端墊，該晶片鈍化結構並無實體連接至作用終端墊。在不會產生與下方晶片作用導電體金屬線相關之寄生電容下，虛擬墊對鈍化結構提供保護。將於現在描述另外的細節。

於下述之圖式中，在超過一個圖式中出現相同元件處，通常重複元件符號。現在回到圖式，特別是第1圖，其中顯示包含安裝在電路板20上之半導體晶片15之半導體晶片裝置10之例示性具體例之圖式。底層填充(underfill)材料層25置於半導體晶片15與電路板20之間。本文中揭露之焊錫互連結構不取決於半導體晶片15或電路板20之特別功能性。因此，半導體晶片15可為電子學中所用之無數不同類型之電路裝置，諸如，例如，微處理器、圖形處理器、結合之微處理器/圖形處理器、應用特定性積體電路、記憶裝置或類似者中之任一者，而且可為單或多核心或甚至疊加另外的晶粒。半導體晶片15可為由散裝半導體

(諸如，矽或鍺)或絕緣材料上之半導體(諸如，絕緣材料上矽)所建構。半導體晶片 15 可覆晶安裝至電路板 20，而且藉由焊接點或其他結構(未見於第 1 圖，但於後續圖式中顯示)電性連接至電路板 20。

電路板 20 可為半導體晶片封裝結構、電路卡或幾乎任何其他類型之印刷電路板。雖然單晶結構可用於電路板 20，更典型的組態將使用增建(built-up)設計。在這方面，電路板 20 可由中央核心所組成，根據此中央核心形成一層或多層增建層，且在其下形成另外的一層或多層增建層。核心本身由具有一或多層之堆疊物所組成。此排列之一個實例可稱為所謂“2-2-2”排列，其中單層核心在兩組增建層之間分層。若作為半導體晶片封裝基板實施，電路板 20 中之層數可為四至十六不等或更多，雖然可使用少於四層。亦可使用所謂“無核心”設計。電路板 20 之層可由以金屬互連點綴之絕緣材料(諸如，各種周知的環氧化物)所組成。可使用除了增建外之多層組構。視需要地，電路板 20 可由周知的陶瓷或其他適合封裝基板之材料所構成，或為其他印刷電路板。

電路板 20 提供有一些導電體金屬線和導孔(via)及其他結構，以在半導體晶片 15 和未顯示之另一個電路裝置之間提供電力、接地以及信號傳輸。為了促進彼等傳輸，電路板 20 可提供有針柵陣列、球柵陣列、地柵陣列或其他類型之互連方案之形式之輸入/輸出。

將結合第 2 圖描述半導體晶片 15 的另外細節，第 2

圖為取第 1 圖之部分 2-2 之側面圖。在回到第 2 圖之前，將有助於注意將側面顯示之封裝 10 之部分之確切位置。注意部分 2-2 穿過包含邊緣 30 之一小部分半導體晶片 15。在此背景下，讓注意力回到第 2 圖。如上所註明，半導體晶片 15 可組構成散裝半導體或絕緣體上半導體組態。於此闡釋性具體例中，半導體晶片 15 作為包含散裝半導體層 35 和半導體裝置層 40 之散裝半導體實施。半導體裝置層 40 包含提供半導體晶片 15 功能性之各種電路，而且將包含促進電力、接地和信號從半導體晶片 15 傳輸或傳輸至半導體晶片 15 之複數個金屬層及/或其他類型之導電體層。鈍化結構 45 形成在半導體裝置層 40 上，而且可由多層之絕緣材料所組成。將結合後續圖式描述關於鈍化結構 45 之細節。半導體晶片 15 可覆晶安裝至載體基板 20，而且藉由複數個焊錫結構或焊接點(其中兩者為可見的，且分別標記為 50 和 55)之方式電性連接至載體基板 20。由於部分 2-2 之定位，僅有一部份之焊接點係可見的。

底膠填充材料層 25 分散於半導體晶片 15 和基板 20 之間，以減少半導體晶片 15、焊接點 50, 55 等、及電路板 20 之熱膨脹係數(CTE)之差值之效應。底膠填充材料層 25 可為，例如，與氧化矽填充物和苯酚樹脂混合之環氧樹脂，而且在迴焊程序之前或之後沉積以建立焊接點 50 和 55。可使用適當的熱固化。

焊接點 50 之以下描述亦將闡釋其他焊接點。焊接點 50 包含冶金接合至另一個焊錫結構 65 之焊錫結構或凸塊

60，焊錫結構 65 有時稱為預錫。藉由焊錫迴焊程序之方式，使焊錫凸塊 60 和預錫 65 冶金結合。不規則線條 70 表示迴焊後在焊錫凸塊 60 和預錫 65 之間之假設性邊界。然而，熟練技術者將了解此邊界 70 甚至在顯微鏡檢驗時很少是隨時可見的。焊錫凸塊 60 可由各種鉛或無鉛焊錫所組成。例示性鉛焊錫可具有在或接近共晶比例之組成，諸如，約 63% Sn 和 37% Pb。無鉛實例包含錫-銀(約 97.3% Sn 2.7% Ag)、錫-銅(約 99% Sn 1% Cu)、錫-銀-銅(約 96.5% Sn 3% Ag 0.5% Cu)、或類似者。預錫 65 可由相同類型之材料所組成。視需要地，可移除預錫 65，以有利於單一焊錫結構或焊錫加上導電柱排列。

焊錫凸塊 60 可冶金連接至另外稱為底層凸塊金屬或 UBM 結構之導電體結構 75。一部份之 UBM 結構 75 突出通過置於鈍化結構 45 上之聚合物層 80，而且與導電體或作用終端墊 45 歐姆接觸。另一部份之 UBM 結構 75 位於聚合物膜 80 之外表面上。聚合物膜 80 設計為提供貼合的保護膜，而因此可由各種材料所組成，諸如，聚亞胺、苯并環丁烯或類似者。作用終端墊 85 電性連接至晶片 15 中之另一個導電體結構或墊 90，其可為半導體晶片 15 中之複數個金屬層之一部份之。的確，幾個此導電體或金屬線為可見的，且可分別標記為 95, 100。導電體墊 85可作為電力、接地或信號之輸入/輸出位置使用，或可作為不與其他結構電性連接之虛置墊(dummy pad)使用。預錫 65 相同地冶金接合至橫向毗鄰焊錫遮罩 115 之導電體 110。導電體結構 110

可形成可為多層導電體結構且藉由導孔互連且由介電材料層環繞(未顯示)之部分。

作用終端墊 85 具有將隨著製程技術而變化之某些橫向維度 X_1 。於傳統設計中，作用終端墊 85 會提供有更大的橫向維度 X_2 ，以幫助抵消焊錫凸塊 60 和焊接點 50 對鈍化結構 45 施加之機械應力。這些應力對於無鉛金屬而言可能特別高。若應力夠高，則鈍化結構 45 可能破裂，導致一大堆潛在的問題。然而，若以此寬橫向維度 X_2 製造作用終端墊 85，則確實與半導體晶片 15 之導電體金屬線 100 和 105 重疊，其可能產生寄生電容和電性性能中之對應的減少。為了在不造成明顯的寄生電容下對鈍化結構 45 提供充足的應力保護，以橫向維度 X_1 建構作用終端墊 85，也因此不會與導電體金屬線 100 和 105 重疊。此外，作用終端墊 85 由藉由缺口 125 而與作用終端墊分離之導電體或虛擬墊 120 橫向環繞。虛擬墊 120 與作用終端墊 85 電性絕緣。在此情況下，藉由在缺口 125 中之一部份之聚合物膜 80 提供電氣絕緣。若期望，虛擬墊 120 可為浮動的或與電力或接地耦合。

各種實體製程可能導致施加在鈍化結構 45 上之應力。一個原因為半導體晶片 15、電路板 20 和底膠填充材料層 25 在熱循環過程中應變率之差異。差異的應力之另一個促成因素可能為焊錫凸塊 60 和預錫 65 之延展性差別。由於已知為邊緣效應之現象，這些差異的應力和所產生之應變可能半導體 15 之邊緣 30 處為最大，並且可在箭頭 130

所註明之指離邊緣 30 且指向半導體晶片 15 之中心之方向逐漸地減少。

為了幫助一些導致鈍化結構應力之例示性實體力量，第 2 圖之由橢圓虛線 135 所限制之部分將於第 3 圖中以更大的放大率顯示。雖然第 3 圖為側面圖，未顯示交叉線，致使能更清楚地描繪在有關結構上發揮之各種力量。於此，以下結構將為可見的：一小部分之半導體晶片 15、凸塊墊 90、鈍化結構 45、聚合物膜 80、作用終端墊 85、虛擬墊 120、UBM 結構 75、底膠填充材料層 25、焊錫遮罩 115、導電體墊 110 以及一小部分之電路板 20。焊接點 50 顯示為虛線圖式。往半導體晶片 15 之中心之方向係由箭頭 130 所示。

由於基板 20 在製造、可靠性測試或裝置操作過程中之翹曲且主要由於 CTE 失配，基板 20 通過焊接點 50 展現由一系列向下指向之箭頭概要地表示之分佈負載。分佈負載的強度沿著長度 L 從最大的 ω_1 至最小的 ω_0 變化，其中 ω_1 與 ω_0 為每單位長度之力量單位。分佈負載之所產生之 R 位於 x -軸上之 x_n 點。因為第 3 圖為側面圖，作用於 UBM 結構 75 上之分佈負載顯示為線分佈。實踐中，分佈負載將為面積分佈。作為以朝向中心之方向 130 沿著 x -軸之距離作為函數之力量強度 ω_1 至 ω_2 之逐漸減少係由於本文之發明背景中所述之邊緣效應。所產生之 R 相對於角點 A 之位置產生以角點 A 為重心而作用於 UBM 結構 75 之力矩 M 。取決於 UBM 結構 75 之延展性和距離 L ，角點 A 可以在 UBM 結

構 75 之不欲的向下繞軸運動和點 A 為重心充當支點。由於力矩 M，鈍化結構 45 之面積 B 可受到壓縮，而且相對面積 C 可為受到拉力。然而，虛擬墊 120 之存在提供面積 B 和 C 應力保護。

可藉由現在參照第 4、5、6、7、8、9、10 以及 11 圖及最初參照第 4 圖而了解製造例示性 UBM 結構 75 之例示性方法。第 4 圖為顯示半導體晶片 15 之一小部分半導體裝置層 40、導電體墊 90 和金屬線 100 和 105、以及鈍化結構 45 之側面圖。應了解第 4 圖描繪從第 2 和 3 圖之方向翻轉之半導體裝置層 4 和導電體墊 90。應了解本文中所述之製程應可在晶圓層級或一個晶粒接著一個晶粒之基準上進行。在此階段，已形成半導體墊 90 和鈍化結構 45。導電體墊 90 可由各種導電體材料所組成，諸如，鋁、銅、銀、金、鈦、耐火金屬、耐火金屬合物、這些者之合金或類似者所組成。代替單式結構，導電體墊 90 可由複數個金屬層之層板，諸如，鈦層、隨後鎳-鈳層、隨後銅層所組成。於另一個具體例中，可以銅層覆蓋鈦層，隨後以鎳之頂塗覆層覆蓋。然而，熟練技術者將了解可使用更多種導電材料於導電體墊 90。可使用施加金屬材料之各種周知技術，諸如，物理氣相沉積、化學氣相沉積、鍍覆或類似者。應了解可使用另外的導電體結構。

鈍化結構可由具有交替層之介電材料所組成，諸如，二氧化矽和氮化矽，而且可藉由周知的化學氣相沉積(CVD)及/或氧化或氧化技術形成。可在鈍化結構 45 上形成適合

的微影遮罩 140，而且以對準導電體墊 90 之適合的開口圖案化之周知的微影步驟。其後，可進行一個或多個材料移除步驟以在鈍化結構 45 中產生開口 150，致使導電體墊 90 曝光。例如，材料移除步驟可包含適合選擇用於鈍化結構 45 之特定材料之一個或多個乾/或濕蝕刻製程。材料移除以產生開口 150 後，可藉由灰化剝除或溶劑剝除遮罩 140。

在鈍化結構 45 中確立開口 150 且曝光導電體墊 90，可進行作用終端墊 85、虛擬墊 120、以及聚合物膜 80 之製造。可以各種順序進行這些步驟。例如，可在作用終端墊 85 和虛擬墊 120 製造之前或之後施加聚合物膜 80。於此闡釋性具體例中且現在參照第 5 圖，可在施加第 2 圖所示之聚合物膜 80 之前製造作用終端墊 85 和虛擬墊 120。藉由物理氣相沉積、鍍覆或其他材料形成技術，可在鈍化結構 45 上形成作用終端墊 85 和虛擬墊 120。可使用對鈍化結構展現有利的附著力且與其他導電體冶金接合之各種導電體材料。的確，亦可將結合導電體結構 90 描述之相同類型之材料和技術用於作用終端墊 85 與虛擬墊 120。於這例示性具體例中，可藉由物理氣相沉積銅隨後進行適合的蝕刻，諸如，磷酸濕式蝕刻，而形成作用終端墊 85 和終端墊 120。任何所使用之製造程序應確保作用終端墊 85 與虛擬墊 120 之間之缺口係連續的，以避免短路。一部份之作用終端墊 85 填滿鈍化結構 45 中之開口 150，並且與下方導電體墊 90 形成冶金接合。若需要，可進行初步自然氧化物剝除，以確保導電體墊 90 之表面足以暴露而能與下方之作用終

端墊 85 冶金接合。

第 6 圖為製造後作用終端墊 85 與虛擬墊 120 之頂視圖。於此闡釋性具體例中，作用終端墊 85 與虛擬墊 120 可能具有所顯示之大略呈圓和環之形狀。作用終端墊 85 與虛擬墊 120 之間之缺口 120 係連續的。然而，應了解可使用圓形或環形除外之占晶面積。甚至可與虛擬墊 120 一起使用分段結構。

如第 7 圖中所示，接著在作用終端墊 85、虛擬墊 120 和鈍化結構 45 之曝光部分上施加聚合物膜 80。聚合物膜 80 可由聚亞胺、苯并環丁烯或類似者所組成，或可為其他絕緣材料，諸如，氮化矽或類似者，而且可藉由旋塗、CVD 或其他技術沉積。在施加後，可進行固化烘烤過程。若使用其中最先施加聚合物層 80 之另外的程序，則將需要在聚合物層 80 中確立適合的開口(未顯示)以製造作用終端墊 85 與虛擬墊 120。取決於聚合物膜 80 之組成，這可以多種方法達成。聚亞胺聚合物膜 80 可注入經微影圖案化之光活性化合物，並且進行材料沉積或鍍覆程序。若聚合物層 80 無法藉由曝光和顯影之方式移除材料，接著可施加適合的微影遮罩，並且進行蝕刻以產生必要的開口。將於現在描述結構之製造，以從半導體區域 40、導電體墊 90、及作用終端墊 85 確立電性通路。

現在參照第 8 圖，可將聚合物膜 80 微影圖案化以確立第 2 圖所示之後來形成之 UBM 結構 75 之適合的開口。取決於聚合物膜 80 之組成，這可以多種方式完成。聚亞胺聚

合物膜 80 可注入經微影圖案化之光活性化合物，並且進行材料沉積或鍍覆程序。於此闡釋性具體例中，聚合物膜 80 含有光活性化合物。非接觸之遮罩 155 以對準作用終端墊 85 之方式置於聚合物膜 80 上，但不會覆蓋虛擬墊 120。接著，以適當的輻射 160 進行曝光。未以遮罩 155 覆蓋之聚合物膜 80 之部分變得不溶於顯影溶液。現在參照第 9 圖，移除第 8 圖中所示之非接觸之遮罩 155，並且將聚合物膜 80 顯影以產生暴露一部份之通常與作用終端墊 85 對準之開口 165。虛擬墊 120 保持覆蓋。若聚合物層 80 不能藉由曝光和顯影之方式移除材料，接著可施加適合的微影遮罩，並且進行蝕刻以產生必要的開口。

將於現在結合第 10 圖描述 UBM 結構 75 之製造。熟悉技術者將了解 UBM 結構係設計成滿足幾個重要目標，即，與上方焊錫凸塊或其他焊錫結構接合，以和下方導電體結構確立導電介面（在此情況下為作用終端墊 85），以在需要時與下方或周圍之介電質接合，其均對焊錫組分擴散入下方導電體結構提供屏障，否則會使彼等導電體結構退化。為了滿足這些材料要求，取決於焊錫施加程序之類型，UBM 結構可使用不同組成之多層膜。於此闡釋性具體例中，UBM 結構 75 可形成為一系列連續施加之膜。至於印刷焊錫凸塊，可在聚合物膜 80 上、及沿著開口 165 之側壁、及於作用終端墊 85 上濺鍍沉積最初的鈦或鈦-鎢膜。鈦膜作為容易黏著於聚合物膜 80 之黏著層。其次，將由鎳、鎳-鈳或其他材料所組成之屏障層鍍覆，或在鈦膜上另行沉積其他

材料。最後，藉由鍍覆、濺鍍沉積或其他技術，將由銅、金或其他材料所組成之焊錫-可濕性層施加至鎳膜。沉積材料之後，進行濕式蝕刻以產生第 10 圖所示之經圖案化之 UBM 75。然而，在使用凸塊鍍覆程序以建立之後形成之焊錫凸塊之情形下，則 UBM 結構 75 可由上述類型之黏著層所組成，然後為鍍覆晶種層（諸如，藉由無電鍍覆或濺鍍沉積而沉積之銅），然後為上述類型之鎳或鎳-鈳屏障層。至於經鍍覆之凸塊程序，可同樣地進行濕式蝕刻。然而，鎳之屏障層可能不需要蝕刻圖案化。

UBM 結構 75 在適當的位置時，如第 11 圖所示，可在 UBM 結構 75 上印刷、鍍覆或另外置放適當的焊錫材料 170。概要地描繪之焊錫材料 170 預訂成為第 2 圖中所描繪之焊錫凸塊 60。為了建立第 2 圖中所描繪之焊錫凸塊 60，可結合經沉積之焊錫 170 使用多種程序。於一個闡釋性具體例中，使用印刷程序。在這點上，可在聚合物層 80 上施加適當的微影遮罩（未顯示）。接著，藉由網印程序，沉積焊錫 170。於一個另外的例示性具體例中，可使用鍍覆程序。在這方面，可形成具有開口以暴露 UBM 結構 75 之適當的微影遮罩，其並非不同於前述遮罩（但未顯示）。於此階段，可在 UBM 結構 75 上鍍覆焊錫 170。無視於施加技術，然後進行半導體晶片 15 之熱迴焊以建立第 2 圖所示之凸塊 60。

第 12 和 13 圖描繪 UBM 結構之具體例之連續平面圖。第 12 圖描繪具有大略八角形之占晶面積之 UBM 結構 75。注意僅一小部分的聚合物膜 80 是可見的。第 13 圖描繪具

有大略圓形之占晶面積之另外的 UBM 結構 75' 之平面圖。再次，僅描繪一小部分的聚合物膜 80。當然，UBM 結構 75 和 75' 可具有呈現多種不同類型之占晶面積。

第 14 圖為類似第 3 圖之側面圖，但為另外的例示性具體例之側面圖且包含傳統的交叉法。這例示性具體例具有許多本文中其他處所述之具體例之相同特徵，並且概要地描繪於第 2 圖中。因此，半導體晶片 15 包含複數個導電體墊 15(顯示其中之一者，並將其標記為 90)以及作用金屬線 100 和 105。鈍化結構 45 以在導電體 100 和 105 上面之方式置於半導體晶片 15 上，並且至少部分在半導體墊 90 上面。可將作用終端墊 85 和虛擬墊 120 組構和製造為本文中其他處之一般描述。重要的警告為聚合物膜 80' 可以本文中其他處所述之同樣方式製造。於此闡釋性具體例中，可製造具稍小厚度之聚合物膜 80'，致使僅一小部分的聚合物膜 80' 覆蓋虛擬墊 120。然而，這闡釋性具體例包含設計為在 UBM 結構 75 和另外會靠向鈍化結構之置於缺口 125 中之一部份之聚合物膜 80' 中之相對貼合的材料之間提供應力支撐之第二虛擬墊 180。可結合第 4 至 8 圖而通常進行第 14 圖所揭露之具體例之製造，但有顯著的差異。於與第 8 圖相關之流程中，聚合物膜 80 具有在作用終端墊 85 與虛擬墊 120 之上之相當的材料厚度。至於目前另外的具體例，聚合物膜 80' 係相對較薄，致使在作用終端墊 85 和虛擬墊 120 上有更薄的塗層。在這階段且如第 15 圖中所描繪，可使用相同類型之技術在聚合物膜 80' 上製造第二

虛擬膜 180，以製造作用終端墊 85 和虛擬墊 120，即，物理氣相沉積、鍍覆或其他材料施加技術以及本文中其他處所述之材料塑形技術。注意第二虛擬墊 180 可在缺口上，以保護鈍化結構。就占晶面積而論，第二虛擬墊 180 可為顯示之環狀或其他形狀。只要作用終端墊 85 未縮短，第二虛擬墊 180 可與虛擬墊 120 機械綑綁。

現在參照第 16 圖，製造第二虛擬墊 180 後，可使用本文中其他處所述之形成聚合物膜 80 和 80' 之材料與技術，在聚合物膜 80' 上形成另外的聚合物膜 185。其後，可結合第 9 至 11 圖，以流程追蹤本文中所述之技術，以建立 UBM 結構 75 和焊錫凸塊 60 以及與作用終端墊 85(但並非虛擬墊 120)之連接，電路板 20 之安裝、以預錫 65 和底膠填充 25 沉積建立焊接點 50。

第 17 圖描繪類似第 14 圖之側面圖，但為另一個替換的例示性具體例之具體例。這換代的具體例具有第 14 圖所描繪之具體例之許多相同特徵，即，半導體晶片 15、導電體墊 90、導電體金屬線 100 和 105、作用終端墊 85、終端墊 120 以及相對較薄的聚合物膜 80'。然而，為了提供與缺口 125 中之貼合的材料相關之應力之期望保護程度，可將第 14 圖中描繪之第二虛擬墊 180 轉化成本質上為非虛擬導電體墊 190，其具有中央接觸位置 195 以與作用終端墊 85 建立歐姆接觸與設計成置於靠近缺口 125 之聚合物膜 80' 上以提供必要的應力保護之凸緣部分 200。建立第 17 圖中描繪之另外的具體例之流程可結合第 4 至 8 圖再度追

蹤本文中其他處所述之流程，前提為製造具有較第 8 圖中所描繪者相對更小厚度之聚合物膜 80'。在這階段，應在聚合物膜 80' 中形成適當的開口，其後利用材料沉積或鍍覆程序製造墊 190。沉積及/或鍍覆程序後，可藉由蝕刻或其他材料移除技術將墊 190 圖案化至所描繪之組態，其後可在聚合物膜 80' 和導電體墊 190 上形成另外的聚合物膜 185。在這階段，製造 UBM 結構 75 與焊錫凸塊 60 及連接至作用終端墊但並非虛擬墊 120，包含安裝電路板 20 之安裝、以預錫 65 和底膠填充 25 沉積建立焊接點 50。

本文中所揭露之任何例示性具體例可在電腦可讀取媒介中所設置(例如，半導體、磁碟、光碟或其他儲存媒介或作為電腦數據訊號)之指令中具體化。本文中揭露能合成及/或模擬電路結構之指令或軟體。在例示性具體例中，可使用電子設計自動程式，諸如，Cadence APD、Encore 或類似者，合成所揭露之電路結構。所產生之字碼可用以製造所揭露之電路結構。

雖然本發明可能容易進行各種修飾和替換的形式，已藉由圖式中之實施例之方式顯示特定具體例且已於本文中詳細描述。然而，應了解本發明不意欲受限於所揭露之特定形式。而是，本發明為涵蓋所有落入以下附加的申請專利範圍所界定之本發明之精神和範疇內之修飾、均等物以及替換物。

【圖式簡單說明】

在閱讀以下詳細描述時和參照圖式時，本發明之前述

與其他優點將變成顯而易見的，其中：

第 1 圖為包含安裝在電路板上之半導體晶片之半導體晶片裝置之例示性具體例之圖式。

第 2 圖為取第 1 圖之 2-2 部分之側面圖。

第 3 圖為以更大的放大率顯示之第 2 圖之一部份。

第 4 圖為描繪半導體晶片之導電體結構之開口之例示性形成之側面圖。

第 5 圖為類似第 4 圖之側面圖，但描繪例示性作用終端墊與虛擬墊之製造。

第 6 圖為例示性作用終端墊與虛擬墊之平面圖。

第 7 圖為類似第 5 圖之側面圖，但描繪在例示性作用終端和虛擬墊上施加聚合物膜。

第 8 圖為類似第 7 圖之側面圖，但描繪聚合物膜之例示性微影遮罩與曝光。

第 9 圖為類似第 8 圖之側面圖，但描繪在聚合物膜中之開口之例示性微影製造。

第 10 圖為類似第 9 圖之側面圖，但描繪例示性凸塊底層金屬結構之製造。

第 11 圖為類似第 10 圖之側面圖，但概要地描繪焊錫結構在凸塊底層金屬結構上之形成。

第 12 圖為例示性凸塊底部金屬結構之平面圖。

第 13 圖為替換的例示性凸塊底部金屬結構之平面圖。

第 14 圖為類似第 3 圖之側面圖，但為半導體晶片之替換的例示性具體例之側面圖。

第 15 圖為描繪例示性作用終端和虛擬墊、聚合物膜以及另外的虛擬墊之製造之側面圖。

第 16 圖為類似第 15 圖之側面圖，但描繪例示性另外的聚合物膜在第一聚合物膜之製造。

第 17 圖為類似第 3 圖之側面圖，但為半導體晶片之另一個替換的例示性具體例之側面圖。

【主要元件符號說明】

10	半導體晶片裝置	15	半導體晶片
20	基板、電路板	25	底層填充材料層
30	邊緣	35	散裝半導體層
40	半導體裝置層、半導體區域		
45	鈍化結構	50、55	焊接點
60	焊錫凸塊	65	預錫、焊錫結構
70	邊界	75/75'	UBM 結構
80/80' /185	聚合物膜、聚合物層		
85	作用終端墊、導電體墊		
90	導電體墊、導電體結構、凸墊塊		
95/100/105	導電體/金屬線		
110	導電體結構、導電體、導電體墊		
115	焊錫遮罩		
120	虛擬墊、第二導電體墊		
125	缺口	130	箭頭
135	橢圓虛線	140	微影遮罩、遮罩
145/150/165	開口	155	非接觸遮罩

七、申請專利範圍：

1. 一種製造半導體晶片之方法，包括：

提供具有第一導電體墊之半導體晶片，其中，該第一導電體墊形成在鈍化結構下；

在該鈍化結構上及該第一導電體墊周圍製造第二導電體墊，但該第二導電體墊不與該第一導電體墊實體接觸以留下缺口；以及

製造與該第一導電體墊電性接觸之凸塊底層金屬結構，該凸塊底層金屬結構包含與該第二導電體墊垂直重疊之部分，藉以可操作該第二導電體墊以保護該鈍化結構之部分不受由該重疊部分給予之應力。

2. 如申請專利範圍第 1 項所述之方法，其中，該第二導電體墊完全地延伸環繞該第一導電體墊。
3. 如申請專利範圍第 1 項所述之方法，其中，該凸塊底層金屬結構具有八角形之占晶面積。
4. 如申請專利範圍第 1 項所述之方法，包括將焊錫結構耦合至該凸塊底層金屬結構。
5. 如申請專利範圍第 4 項所述之方法，其中，該焊錫結構包括焊錫凸塊和焊接點之一者。
6. 如申請專利範圍第 4 項所述之方法，包括將電路板電性耦合至該焊錫結構。
7. 如申請專利範圍第 6 項所述之方法，其中，該電路板包括半導體晶片封裝基板。
8. 如申請專利範圍第 1 項所述之方法，包括使用儲存於電

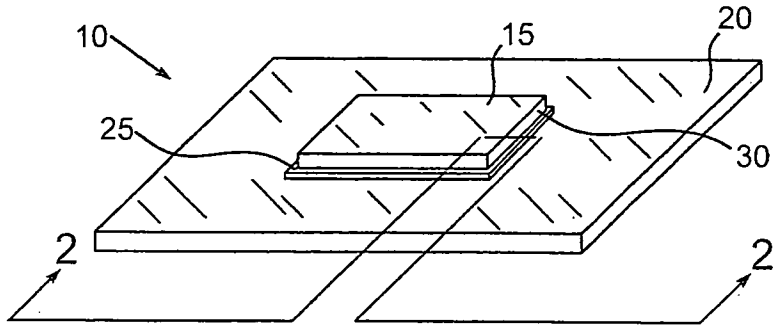
- 腦可讀取媒介中之指令形成該第一與第二導電體墊。
9. 如申請專利範圍第 1 項所述之方法，其中，包括在該半導體晶片上製造聚合物膜，以及在靠近該缺口之該聚合物膜上製造第三導電體墊以保護靠近該缺口之一部分之該鈍化結構。
10. 如申請專利範圍第 9 項所述之方法，其中，該第三導電體墊不與該第二導電體墊實體接觸。
11. 一種將半導體晶片耦合至電路板之方法，該半導體晶片具有鈍化結構、第一導電體墊、靠近該第一導電體墊之第二導電體墊，其中，該第一導電體墊形成在該鈍化結構下，該第一與第二導電體墊被聚合物膜分離以留下缺口，該第一導電體墊與延伸於該第二導電體墊上且垂直重疊該第二導電體墊之凸塊底層金屬結構電性接觸，但該凸塊底層金屬結構與該第二導電體墊被該聚合物膜分離，包括：
- 將焊錫結構耦合至該凸塊底層金屬結構；以及
- 將該焊錫結構耦合至該電路板。
12. 如申請專利範圍第 11 項所述之方法，其中，該焊錫結構包括焊錫凸塊與焊接點之一者。
13. 如申請專利範圍第 11 項所述之方法，其中，該將焊錫結構耦合至該電路板包括將該焊錫結構耦合至與該電路板耦合之預錫。
14. 如申請專利範圍第 11 項所述之方法，其中，該電路板包括半導體晶片封裝基板。

15. 如申請專利範圍第 11 項所述之方法，包括在靠近該缺口之該聚合物膜上製造第三半導體墊，以保護靠近該缺口之一部分之該鈍化結構。
16. 如申請專利範圍第 15 項所述之方法，其中，該第三導體墊不與該第二導體墊實體接觸。
17. 一種半導體儀器，包括：
 - 半導體晶片，其具有第一導體墊，其中，該第一導體墊形成在鈍化結構下；
 - 第二導體墊，其在該鈍化結構上及該第一導體墊周圍，但並非與該第一導體墊實體接觸以留下缺口；以及
 - 凸塊底層金屬結構，其與該第一導體墊電性接觸，該凸塊底層金屬結構包含與該第二導體墊垂直重疊之部分，藉以可操作該第二導體墊以保護該鈍化結構之部分不受由該重疊部分給予之應力。
18. 如申請專利範圍第 17 項所述之半導體儀器，其中，該第二導體墊完全地延伸環繞該第一導體墊。
19. 如申請專利範圍第 17 項所述之半導體儀器，其中，該凸塊底層金屬結構具有八角形之占晶面積。
20. 如申請專利範圍第 19 項所述之半導體儀器，包括耦合至該凸塊底層金屬結構之焊錫結構。
21. 如申請專利範圍第 20 項所述之半導體儀器，其中，該焊錫結構包括焊錫凸塊與焊接點之一者。
22. 如申請專利範圍第 17 項所述之半導體儀器，包括耦合

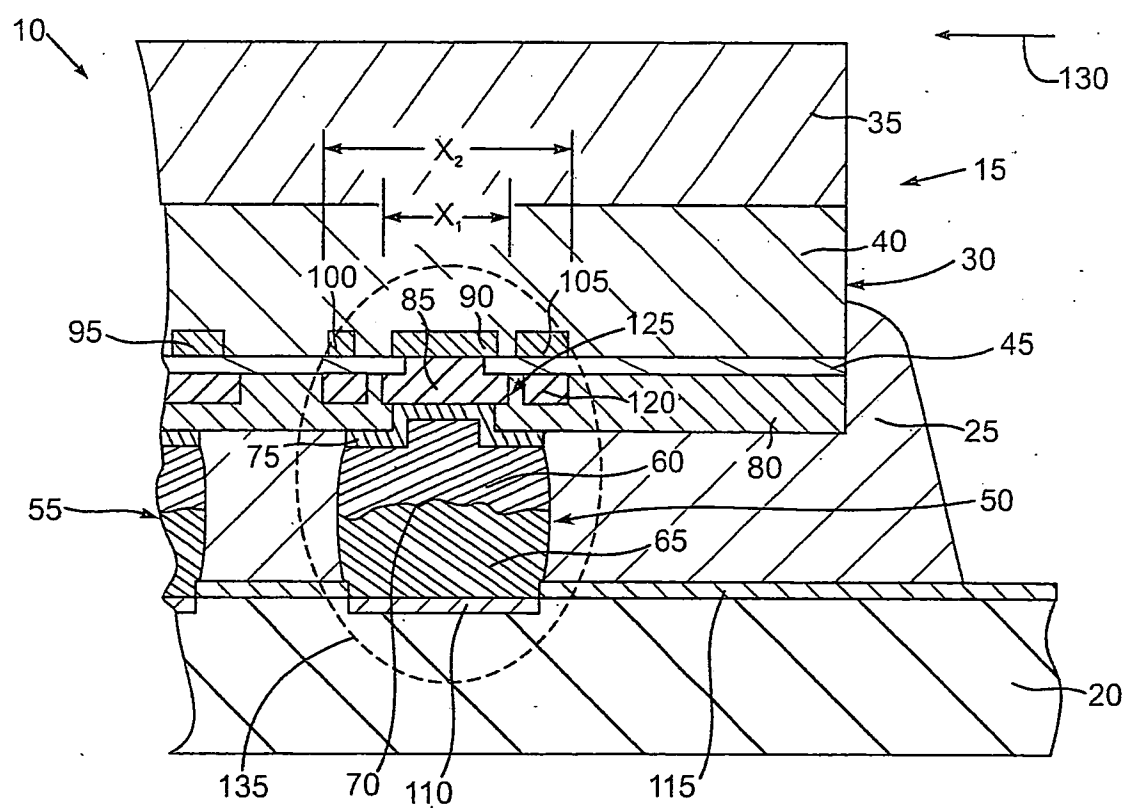
至該半導體晶片之電路板。

23. 如申請專利範圍第 17 項所述之半導體儀器，包括在該半導體晶片上之聚合物膜與靠近該缺口之該聚合物膜上之第三導電體墊以保護靠近該缺口之一部分之該鈍化結構。
24. 如申請專利範圍第 23 項所述之半導體儀器，其中，該第三導電體結構不與該第二導電體結構實體接觸。

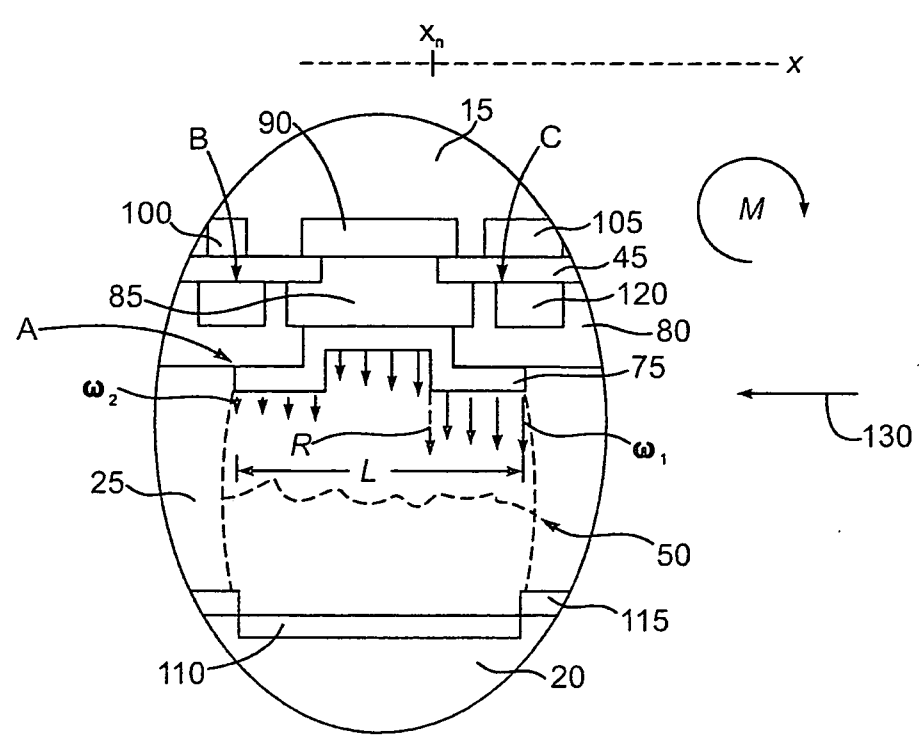
八、圖式：



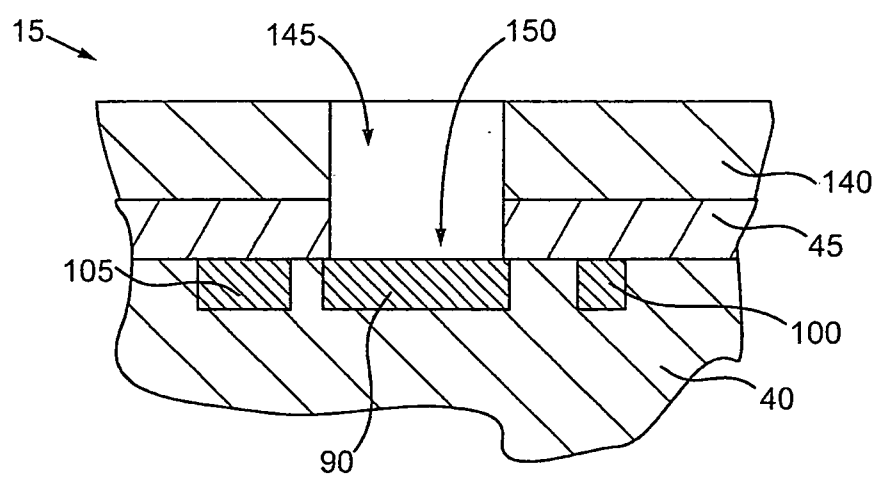
第1圖



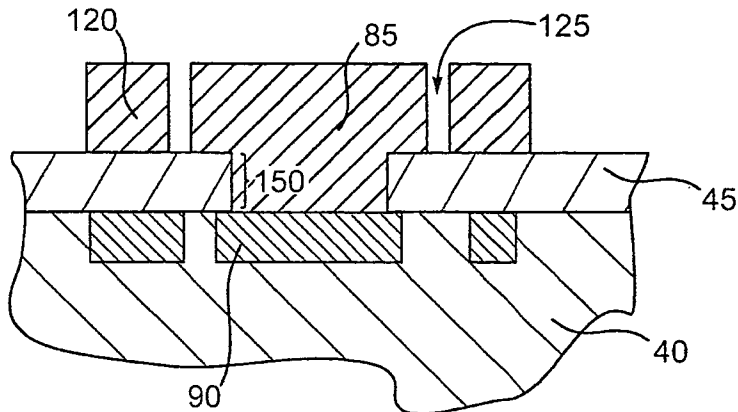
第2圖



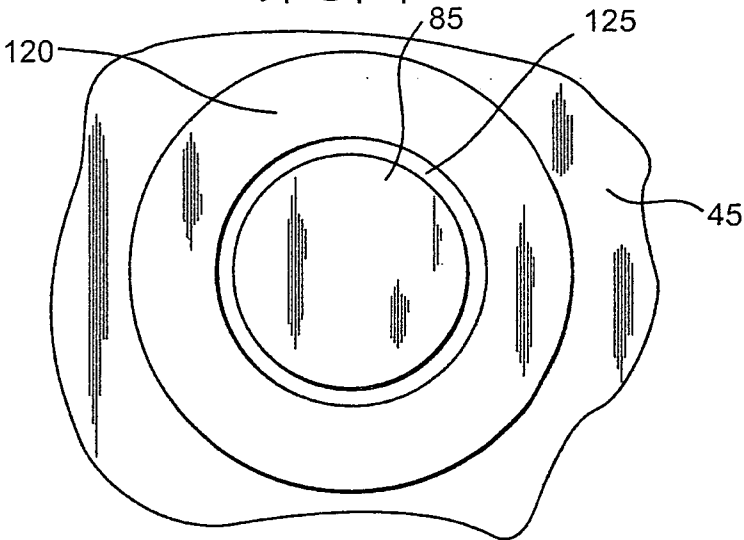
第3圖



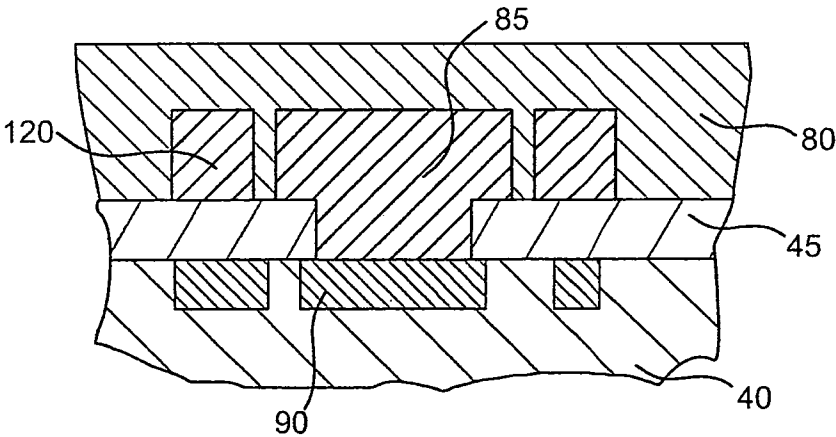
第4圖



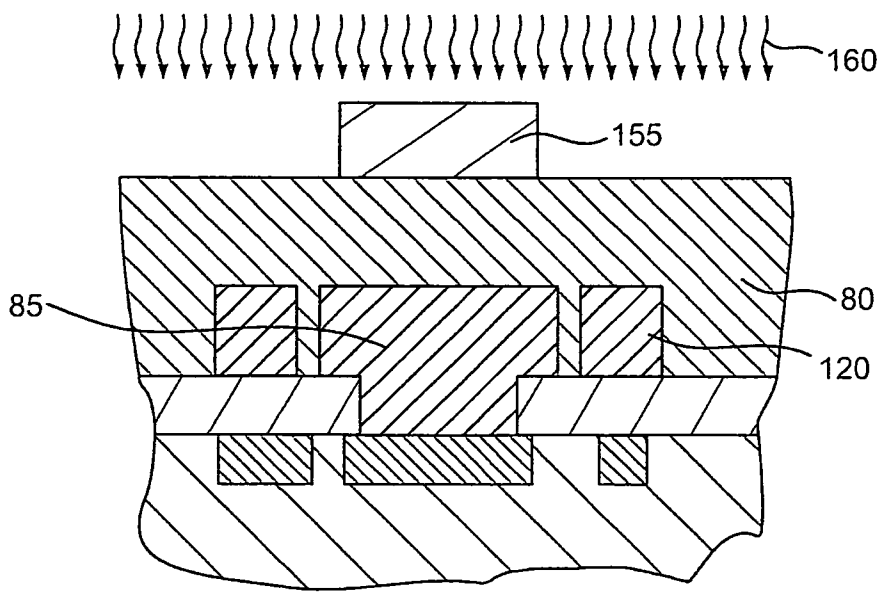
第5圖



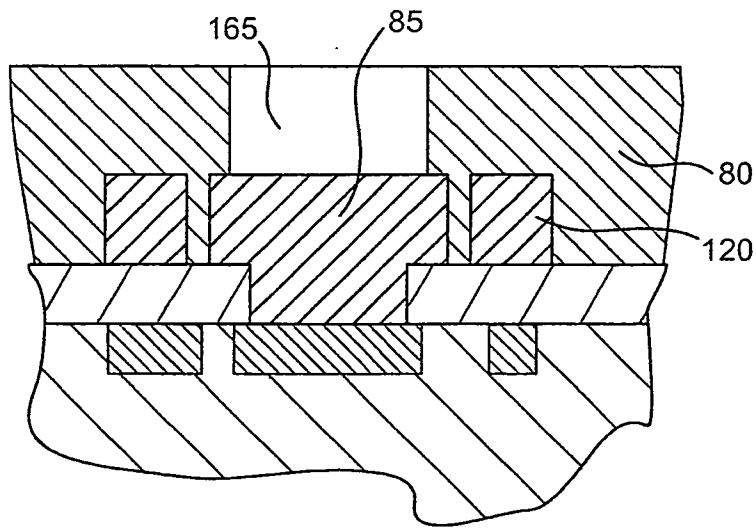
第6圖



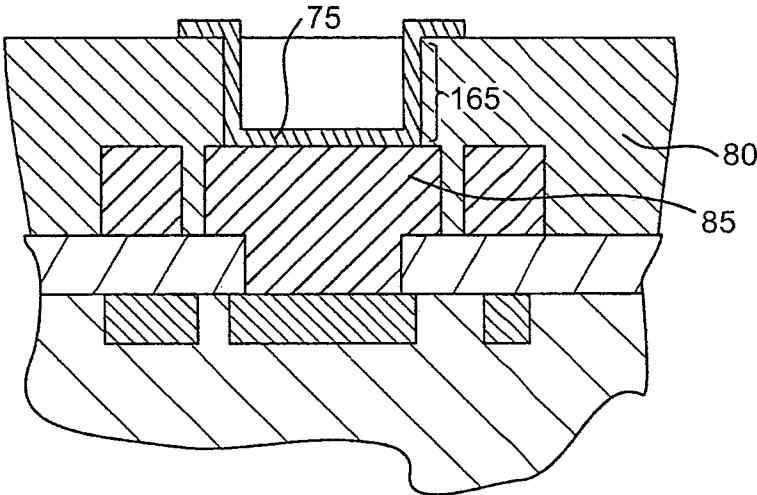
第7圖



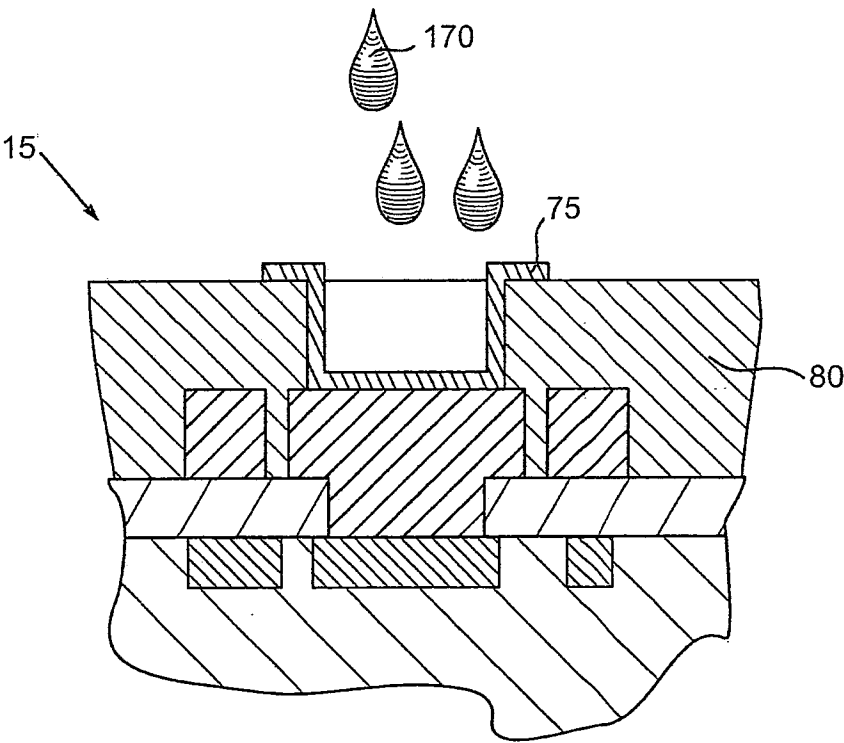
第8圖



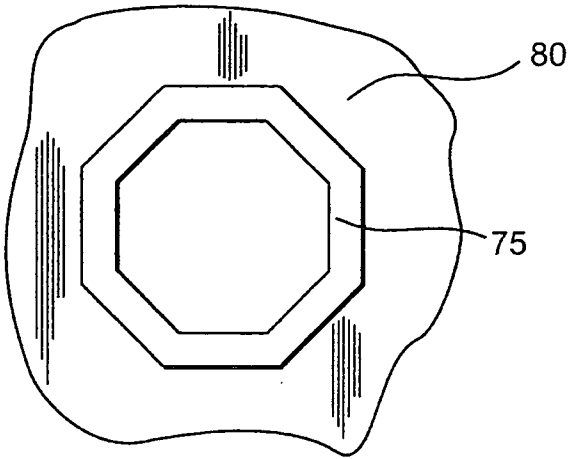
第9圖



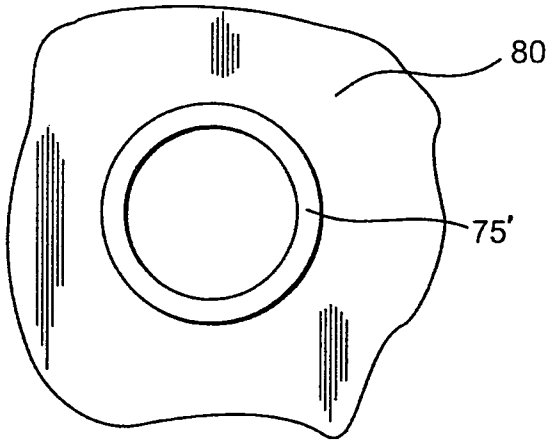
第10圖



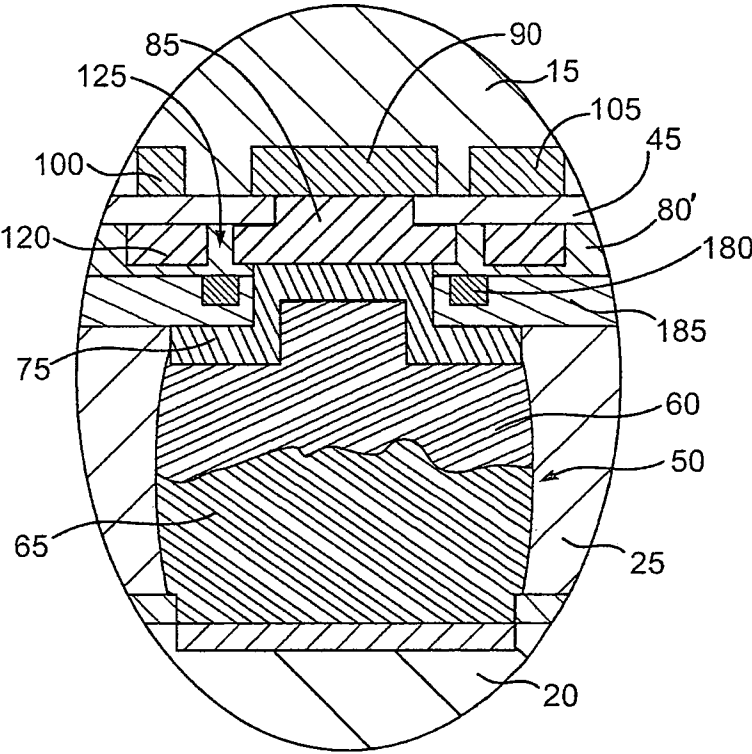
第11圖



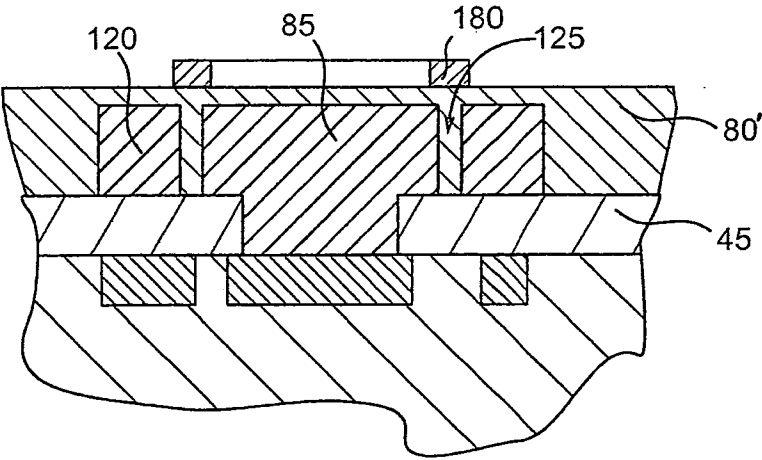
第12圖



第13圖



第14圖



第15圖



95539