



## 【特許請求の範囲】

## 【請求項 1】

抵抗状態の変化によってデータを記憶し、電流によってデータを書き換え可能な磁気トンネル接合素子と、

前記磁気トンネル接合素子に対応して設けられ、該対応する磁気トンネル接合素子に電流を流すときに導通状態となるセルトランジスタと、

データ書込み時に前記セルトランジスタおよび前記磁気トンネル接合素子に流れる電流を制限する電流制限部とを備えた半導体記憶装置。

## 【請求項 2】

第 1 のビット線と、

第 2 のビット線とをさらに備え、

前記磁気トンネル接合素子および前記セルトランジスタは、前記第 1 のビット線と前記第 2 のビット線との間に直列に接続されており、

前記電流制限部は、前記第 1 のビット線と電源との間に接続されていることを特徴とする請求項 1 に記載の半導体記憶装置。

## 【請求項 3】

前記電流制限部は、前記磁気トンネル接合素子に関して前記セルトランジスタとは反対側に接続されていることを特徴とする請求項 1 または請求項 2 に記載の半導体記憶装置。

## 【請求項 4】

前記磁気トンネル接合素子は、高抵抗状態と低抵抗状態とを有し、

前記電流制限部は、前記磁気トンネル接合素子が低抵抗状態である場合に、前記磁気トンネル接合素子への電流を制限することを特徴とする請求項 1 から請求項 3 のいずれかに記載の半導体記憶装置。

## 【請求項 5】

前記電流制限部は、前記磁気トンネル接合素子が前記セルトランジスタのドレイン側または高電圧側に接続されているときに前記磁気トンネル接合素子への電流を制限することを特徴とする請求項 1 から請求項 4 のいずれかに記載の半導体記憶装置。

## 【請求項 6】

前記電流制限部は、所定の抵抗値を有する抵抗素子に流れる電流にほぼ等しい電流を前記 M T J 素子に流すカレントミラー回路であることを特徴とする請求項 1 から請求項 5 に記載の半導体記憶装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明の実施形態は、半導体記憶装置に関する。

## 【背景技術】

## 【0002】

抵抗変化型メモリの一つに磁気ランダムアクセスメモリ(MRAM (Magnetic Random Access Memory))がある。MRAMの書込み方式には、磁場書込み方式およびスピン注入書込み方式がある。このうちスピン注入書込み方式は、磁性体のサイズが小さくなる程、磁化反転に必要なスピン注入電流が小さくなるという性質を有するため、高集積化、低消費電力化および高性能化に有利である。

## 【0003】

スピン注入書込み方式のMTJ (Magnetic Tunnel Junction) 素子は、2枚の強磁性層とこれらに挟まれた非磁性バリア層(絶縁薄膜)とからなる積層構造を有し、スピン偏極トンネル効果による磁気抵抗の変化によりデジタルデータを記憶する。MTJ素子は、2枚の強磁性層の磁化配列によって、低抵抗状態と高抵抗状態とを取り得る。2枚の強磁性層の磁化配列が平行状態(P (Parallel) 状態)の場合に、MTJ素子は低抵抗状態となり、2枚の強磁性層の磁化配列が非平行状態(AP (Anti Parallel) 状態)の場合に、MTJ素子は高抵抗状態となる。

10

20

30

40

50

## 【 0 0 0 4 】

P状態を書き込むときには、MTJ素子をAP状態からP状態へ反転させるために必要な電流を流さなくてはならない。また、AP状態を書き込むときは、MTJをP状態からAP状態へ反転させるのに必要な電流を流さなくてはならない。

## 【 0 0 0 5 】

通常、MTJ素子およびセルトランジスタ等は抵抗分布（ばらつき）を有するため、MTJ素子およびセルトランジスタの抵抗および寄生抵抗の総和が最も高い場合であってもデータの書き込みを確実に行うことができるように十分な書き込み電流をMTJ素子に流す必要がある。

## 【 0 0 0 6 】

しかし、そのように十分な書き込み電流を流すようにMTJ素子およびセルトランジスタ等を設計すると、逆に、MTJ素子の抵抗、セルトランジスタの抵抗、寄生抵抗等が最も低い場合には、電流が大き過ぎ、MTJ素子のバリア層が破壊されてしまうおそれがある。この場合、MTJ素子のバリア層に過大な電流が流れ、バリア層が破壊されるおそれがある。これは、MTJ素子の信頼性を低下させるという問題に繋がる。

## 【 先行技術文献 】

## 【 特許文献 】

## 【 0 0 0 7 】

【 特許文献 1 】 特開 2 0 0 7 - 2 9 4 0 1 0 号 公 報

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 8 】

過大な電流がMTJ素子に流れることを抑制し、信頼性の高い半導体記憶装置を提供する。

## 【 課題を解決するための手段 】

## 【 0 0 0 9 】

本実施形態による半導体記憶装置は、抵抗状態の変化によってデータを記憶し、電流によってデータを書き換え可能な磁気トンネル接合素子を備える。セルトランジスタは、磁気トンネル接合素子に対応して設けられ、該対応する磁気トンネル接合素子に電流を流すときに導通状態となる。電流制限部は、データ書き込み時にセルトランジスタおよび磁気トンネル接合素子に流れる電流を制限する。

## 【 図面の簡単な説明 】

## 【 0 0 1 0 】

【 図 1 】 第 1 の実施形態に従ったMARMの構成を示すブロック図。

【 図 2 】 メモリセルMCの構成を示す断面図。

【 図 3 】 メモリセルMCの書き込み動作を示す説明図。

【 図 4 】 データ書き込み動作時の選択メモリセルMCおよびそれに接続される電流経路の等価回路図。

【 図 5 】 電流制限回路 2 4 の具体例としてのカレントミラー回路の回路図。

【 図 6 】 電流制限回路 2 4 の他の具体例としてのカレントミラー回路の回路図。

【 図 7 】 第 2 の実施形態によるMARAMにおけるデータ書き込み動作時の選択メモリセルMCおよびそれに接続される電流経路の等価回路図。

【 図 8 】 第 3 の実施形態に従ったMARAMにおけるデータ書き込み動作時の選択メモリセルMCおよびそれに接続される電流経路の等価回路図。

【 図 9 】 第 4 の実施形態に従ったMARAMにおけるデータ書き込み動作時の選択メモリセルMCおよびそれに接続される電流経路の等価回路図。

## 【 発明を実施するための形態 】

## 【 0 0 1 1 】

以下、図面を参照して本発明に係る実施形態を説明する。本実施形態は、本発明を限定するものではない。

10

20

30

40

50

## 【 0 0 1 2 】

( 第 1 の 実 施 形 態 )

図 1 は、第 1 の実施形態に従った M A R M の構成を示すブロック図である。メモリセルアレイ 1 1 内には、複数のメモリセル M C がマトリクス状に二次元配置されている。各メモリセル M C は、M T J 素子およびセルトランジスタを含む。M T J 素子は、抵抗状態の変化によってデータを記憶し、電流によってデータを書き換え可能な磁気トンネル接合素子である。セルトランジスタは、M T J 素子に対応して設けられ、該対応する M T J 素子に電流を流すときに導通状態となるように構成されている。

## 【 0 0 1 3 】

複数のワード線 W L はロウ方向に、複数のビット線 B L はカラム方向にそれぞれ互いに交差するように配線されている。隣接する 2 つのビット線 B L は対を成しており、メモリセル M C は、ワード線 W L とビット線対 ( 例えば、第 1 のビット線 B L 1、第 2 のビット線 B L 2 ) との交点に対応して設けられている。各メモリセル M C の M T J 素子およびセルトランジスタは、ビット線対の間 ( 例えば、B L 1 と B L 2 との間 ) に直列に接続されている。また、セルトランジスタ C T のゲートはワード線 W L に接続されている。

10

## 【 0 0 1 4 】

メモリセルアレイ 1 1 のビット線方向の両側には、センスアンプ 1 2 およびライトドライバ 2 2 が配置されている。センスアンプ 1 2 は、ビット線 B L に接続されており、選択ワード線 W L に接続されたメモリセル M C に流れる電流を検知することによって、メモリセルに格納されたデータを読み出す。ライトドライバ 2 2 は、ビット線 B L に接続されており、選択ワード線 W L に接続されたメモリセル M C に電流を流すことによってデータを書き込む。

20

## 【 0 0 1 5 】

メモリセルアレイ 1 1 のワード線方向の両側には、ロウデコーダ 1 3 およびワード線ドライバ 2 1 がそれぞれ配置されている。ワード線ドライバ 2 1 は、ワード線に接続されており、データ読出またはデータ書込みの際に選択ワード線 W L に電圧を印加するように構成されている。

## 【 0 0 1 6 】

センスアンプ 1 2 またはライトドライバ 2 2 と外部入出力端子 I / O との間のデータの授受は、データバス 1 4 及び I / O バッファ 1 5 を介して行われる。

30

## 【 0 0 1 7 】

コントローラ 1 6 には、各種の外部制御信号、例えば、チップイネーブル信号 / C E、アドレスラッチイネーブル信号 A L E、コマンドラッチイネーブル信号 C L E、書き込みイネーブル信号 / W E、及び読み出しイネーブル信号 / R E などが入力される。コントローラ 1 6 は、これらの制御信号に基づいて、入出力端子 I / O から供給されるアドレス A d d とコマンド C o m とを識別する。そして、コントローラ 1 6 は、アドレス A d d を、アドレスレジスタ 1 7 を介してロウデコーダ 1 3 及びカラムデコーダ 1 8 に転送する。また、コントローラ 1 6 は、コマンド C o m をデコードする。センスアンプ 1 2 は、カラムデコーダ 1 8 によってデコードされたカラムアドレスに従って、ビット線に電圧を印加することができるように構成されている。ワード線ドライバ 2 1 は、ロウデコーダ 1 3 によってデコードされたロウアドレスに従って、選択ワード線 W L に電圧を印加することができるように構成されている。

40

## 【 0 0 1 8 】

コントローラ 1 6 は、外部制御信号とコマンドに従って、データ読み出し、データ書き込み及び消去の各シーケンス制御を行う。内部電圧発生回路 1 9 は、各動作に必要な内部電圧 ( 例えば、電源電圧より昇圧された電圧 ) を発生するために設けられている。この内部電圧発生回路 1 9 も、コントローラ 1 6 により制御され、昇圧動作を行い必要な電圧を発生する。

## 【 0 0 1 9 】

ライトドライバ 2 2 は、電流制限部としての電流制限回路 2 4 を含む。電流制限回路 2

50

4 は、データ書込み時においてセルトランジスタおよび M T J 素子に流れる電流を制限するように構成されている。電流制限回路 2 4 は、例えば、図 5 ( A ) から図 6 に示すようなカレントミラー回路で構成されている。

【 0 0 2 0 】

図 2 は、メモリセル M C の構成を示す断面図である。セルトランジスタ C T は、半導体基板 S U B 上に形成されている。セルトランジスタ C T の第 1 の拡散層 D 1 は、コンタクトプラグ C B 2 およびビアコンタクト V 1 を介してビット線 B L 2 に接続されている。セルトランジスタ C T の第 2 の拡散層 D 2 は、コンタクトプラグ C B 1 を介して M T J 素子の下端 ( 下部電極 ) に接続されている。

【 0 0 2 1 】

M T J 素子上には、上部電極 U E が設けられている。上部電極 U E は、図 2 の紙面垂直方向 ( ロウ方向 ) に延伸しており、ロウ方向に隣接する 2 つの M T J 素子の upper 端に接続されている。そして、上部電極 U E は、これら 2 つの M T J 素子の upper 端をビット線 B L 1 ( 図 2 では図示せず ) に共通に接続する。尚、ビット線 B L 1 は、ビット線 B L 2 に対してロウ方向に隣接するビット線である。従って、ビット線 B L 1 は、図 2 において図示されていない。

【 0 0 2 2 】

ワード線 W L は、ワード線としての機能、および、セルトランジスタ C T のゲート電極 C G としての機能を兼ね備える。しかし、セルトランジスタ C T のゲート電極 C G を別途設け、ワード線 W L は、ゲート電極 C G とは別のレイヤに該ゲート電極 C G と電氣的に接続するように形成されてもよい。

【 0 0 2 3 】

ビット線 B L 2 は、ビアコンタクト V 1、コンタクトプラグ C B 2、セルトランジスタ C T およびコンタクトプラグ C B 1 を介して M T J 素子の下端に電氣的に接続されている。ビット線 B L 1 は、上部電極 U E を介して M T J 素子の upper 端に電氣的に接続されている。即ち、M T J 素子およびセルトランジスタ C T は、ビット線 B L 1 と第 2 のビット線 B L 2 との間に直列に接続されている。

【 0 0 2 4 】

図 3 は、メモリセル M C の書込み動作を示す説明図である。T M R ( tunneling magnetoresistive ) 効果を利用した M T J 素子は、2 枚の強磁性層 F , P とこれらに挟まれた非磁性層 ( 絶縁薄膜 ) B とからなる積層構造を有し、スピン偏極トンネル効果による磁気抵抗の変化によりデジタルデータを記憶する。M T J 素子は、2 枚の強磁性層 F , P の磁化配列によって、低抵抗状態と高抵抗状態とを取り得る。例えば、低抵抗状態をデータ “ 0 ” と定義し、高抵抗状態をデータ “ 1 ” と定義すれば、M T J 素子に 1 ビットデータを記録することができる。もちろん、低抵抗状態をデータ “ 1 ” と定義し、高抵抗状態をデータ “ 0 ” と定義してもよい。

【 0 0 2 5 】

例えば、M T J 素子は、固定層 ( P i n 層 ) P、トンネルバリア層 B、記録層 ( F r e e 層 ) F を順次積層して構成される。P i n 層 P および F r e e 層 F は、強磁性体で構成されており、トンネルバリア層 B は、絶縁膜 ( 例えば、A l <sub>2</sub> O <sub>3</sub> , M g O ) からなる。P i n 層 P は、磁化の向きが固定されている層であり、F r e e 層 F は、磁化の向きが可変であり、その磁化の向きによってデータを記憶する。

【 0 0 2 6 】

書込み時に矢印 A 1 の向きに電界を印加すると、P i n 層 P の磁化の向きに対して F r e e 層 F のそれがアンチパラレル状態 ( A P 状態 ) となり、高抵抗状態 ( データ “ 1 ” ) となる。書込み時に矢印 A 2 の向きに電界を印加すると、P i n 層 P と F r e e 層 F とのそれぞれの磁化の向きがパラレル状態 ( P 状態 ) となり、低抵抗状態 ( データ “ 0 ” ) となる。このように、T M J 素子は、電界の印加方向によって異なるデータを書き込むことができる。

【 0 0 2 7 】

10

20

30

40

50

図4は、データ書込み動作時の選択メモリセルMCおよびそれに接続される電流経路の等価回路図である。選択メモリセルMCは、メモリセルアレイMCAの両側にあるライトドライバ22aと22bとの間に接続されている。ライトドライバ22aは、ビット線BL1を介して選択メモリセルMCの一端に接続されており、ライトドライバ22bは、ビット線BL2を介して選択メモリセルMCの他端に接続されている。ビット線BL1、BL2は、それぞれスイッチSW1、SW2を介してライトドライバ22a、22bに接続されている。セルトランジスタCTは、コンタクトCB1を介してMTJ素子に接続されており、コンタクトCB2を介してビット線BL2に接続されている。さらに、電流制限回路24は、ライトドライバ22aとビット線BL1との間に設けられている。このように、ライトドライバ22aと22bとの間において、電流制限回路24、スイッチSW1、

10

【0028】

尚、図4において、スイッチSW1、SW2は抵抗で示されているが、実際には、FET (Field Effect Transistor) 等のスイッチング素子で構成されている。そして、データ書込み時には、選択メモリセルMCに接続されたビット線BL1、BL2をそれぞれライトドライバ22a、22bに接続するために、スイッチSW1、SW2は導通状態となっている。また、選択メモリセルMCのセルトランジスタCTもワード線WLの駆動によって導通状態となっている。従って、図4では、スイッチSW1、SW2およびセルトランジスタCTを抵抗として図示している。

20

【0029】

スイッチSW1、SW2、ビット線BL1、BL2、コンタクトCB1、CB2、セルトランジスタCTおよびMTJ素子の抵抗値を、それぞれRSW1、RSW2、RBL1、RBL2、RCB1、RCB2、RCTおよびRMTJとする。その他にも寄生抵抗(例えば、ビアV1の抵抗、上部電極UEの抵抗)は存在するが、それらの寄生抵抗は非常に小さいので、ここではそれらを省略する。

【0030】

図4では、MTJ素子のFree層FがセルトランジスタCT側に接続されており、Pin層Pが電源側(ライトドライバ22a側)に接続されている。図4に示すMTJ素子とセルトランジスタCTとの接続関係は、図3に示すそれらの接続関係と同じである。

30

【0031】

電流がライトドライバ22aから電流制限回路24を介してメモリセルMCAへ流れる場合に、AP状態(データ“1”)がMTJ素子に書き込まれる。このとき、ライトドライバ22a側の電源電圧VDDWTは、例えば、1.2Vであり、ライトドライバ22b側の電源電圧VDDWBは、例えば、0Vである。

【0032】

MTJ素子がP状態(低抵抗状態)であり、かつ、セルトランジスタCTの抵抗RCTおよびその他の寄生抵抗の和( $RCT + RSW1 + RSW2 + RBL1 + RBL2 + RCB1 + RCB2$ )が低い方へばらついている場合、ライトドライバ22aと22bとの間の全体の抵抗値が小さくなる。従って、書込み電流が大きくなる。

40

【0033】

さらに、図3および図4のA1に示すようにAP状態を書き込む場合、MTJ素子は、セルトランジスタCTのドレイン側あるいは高電圧側にある。この場合、セルトランジスタCTのソース電圧を上昇させないので、セルトランジスタCTのゲート-ソース間の電圧差が大きく維持される。このため、セルトランジスタCTの抵抗RCTが比較的低くなる。従って、図4に示すように、Free層FがセルトランジスタCT側に接続され、Pin層Pが電源側(高電圧源側)に接続されている場合、AP状態の書込み時に過大な電流がMTJ素子に流れる可能性がある。

【0034】

そこで、電流制限回路24は、MTJ素子がセルトランジスタCTのドレイン側あるい

50

は高電圧側にあるときに、電源  $V_{DDWT}$  から  $MTJ$  素子へ流れる電流を制限する。この場合、電流制限回路 24、 $MTJ$  素子、セルトランジスタ  $CT$  は、電源  $V_{DDWT}$  から電流制限回路 24、 $MTJ$  素子、セルトランジスタ  $CT$  の順番に接続される。即ち、電流制限回路 24 は、 $MTJ$  素子に関してセルトランジスタ  $CT$  とは反対側に接続されていることになる。電流制限回路 24 は、電流の上限値を有し、その上限値よりも大きな電流が電源  $V_{DDWT}$  から流れようとした場合に、その電流を上限値に抑制するように構成される。

【0035】

一方、図 3 および図 4 の A2 に示すように P 状態（データ“0”）を書き込む場合、電流をライトドライバ 22b からセルトランジスタ  $CT$  を介してメモリセル  $MCA$  へ流す。このとき、ライトドライバ 22b 側の電源電圧  $V_{DDWB}$  は、例えば、1.2V であり、ライトドライバ 22a 側の電源電圧  $V_{DDWT}$  は、例えば、0V である。

10

【0036】

P 状態を（データ“0”）を書き込む場合、 $MTJ$  素子は、セルトランジスタ  $CT$  のソース側に接続される。この場合、 $MTJ$  素子に係る電圧  $V_{MTJ}$  の分だけセルトランジスタ  $CT$  のソース電圧が上昇する。このため、セルトランジスタ  $CT$  のゲート-ソース間の電圧差が小さくなり、セルトランジスタ  $CT$  の抵抗  $R_{CT}$  は、AP 状態の書込み時のそれと比べて高くなる。従って、図 4 に示すように、Free 層  $F$  がセルトランジスタ  $CT$  側に接続され、Pin 層  $P$  が電源側に接続されている場合、P 状態の書込み時に  $MTJ$  素子に流れる電流は、AP 状態の書込み時に  $MTJ$  素子に流れる電流と比べて小さい。従って、この場合には、電流制限回路 24 は、 $MTJ$  素子に流れる電流を制限しない。

20

【0037】

尚、寄生抵抗  $RSW1$ 、 $RSW2$ 、 $RCB1$ 、 $RCB2$  等は、 $MTJ$  素子の抵抗  $R_{MTJ}$  に比べて非常に小さい。そのため、 $MTJ$  素子がセルトランジスタ  $CT$  のドレイン側またはソース側のいずれに位置するかによって、セルトランジスタ  $CT$  の導通状態（抵抗値）が比較的大きく変わる。

【0038】

以上から、電流制限回路 24 は、 $MTJ$  素子が P 状態（低抵抗状態）であり、かつ、AP 状態を書き込む場合に、セルトランジスタ  $CT$  のドレイン側あるいは  $MTJ$  素子の高電圧側に接続されることが好ましい。

30

【0039】

例えば、図 5 (A) および図 5 (B) は、電流制限回路 24 の具体例としてのカレントミラー回路の回路図である。電流制限回路 24 は、図 5 (A) または図 5 (B) のいずれかに示すカレントミラー回路で構成することができる。この場合、電流制限回路 24 は、セルトランジスタ  $CT$  のドレイン側、あるいは、 $MTJ$  素子よりも上流側（高電圧側）に接続されている必要がある。カレントミラー回路は、リファレンス回路に流れる電流と同じ大きさの電流をターゲット回路に流すために、ターゲット側に接続されたトランジスタのゲートに印加される電圧を調節するように構成されているからである。即ち、カレントミラー回路は、ターゲット回路の電流を電圧で制御しているからである。尚、ターゲット回路は、選択メモリセル  $MC$  が接続された図 3 に示す回路に該当する。

40

【0040】

図 5 (A) に示すカレントミラー回路は、P 型トランジスタ  $P1$ 、 $P2$  と、抵抗  $R1$  とを備える。トランジスタ  $P1$  および抵抗  $R1$  は、電源  $V_{dd}$  とリファレンス回路  $Cre f$  との間に直列に接続されている。トランジスタ  $P2$  は、電源  $V_{dd}$  とターゲット回路  $Ct r g$  との間に接続されている。トランジスタ  $P1$ 、 $P2$  のゲートは共通に接続されており、トランジスタ  $P1$  と抵抗  $R1$  との間の接続ノード  $N1$  に接続されている。従って、トランジスタ  $P1$  および  $P2$  の電流駆動能力が同じであるとすると、リファレンス回路  $Cre f$  に流れる電流と同じ大きさの電流がターゲット回路  $Ct r g$  に流れる。トランジスタ  $P1$ 、 $P2$  の導通状態（抵抗値）は、ノード  $N1$  の電圧に依存する。従って、抵抗  $R1$  の抵抗値を所定値に調節することによって、リファレンス回路  $Cre f$  およびターゲット回路

50

C t r g に流れる電流を調節することができる。抵抗 R 1 の抵抗値の設定は、M R A M のテスト工程において実測値あるいは統計値に基づいて設定される。

【 0 0 4 1 】

図 5 ( B ) に示すカレントミラー回路は、低電圧カスコードカレントミラー回路である。このカレントミラー回路は、P 型トランジスタ P 1 0 ~ P 5 0 と、抵抗 R 1 0、R 2 0 とを備える。トランジスタ P 2 0、P 4 0 は、電源 V d d とターゲット回路 C t r g との間に直列に接続されている。トランジスタ P 1 0、P 3 0 は、電源 V d d とリファレンス回路 C r e f 1 との間に直列に接続されている。トランジスタ P 5 0 は、電源 V d d とリファレンス回路 C r e f 2 との間に接続されている。低電圧カスコードカレントミラー回路は、トランジスタ P 1 0 ~ P 5 0 等の特性がばらついても電流を良好に制御することができる。

10

【 0 0 4 2 】

トランジスタ P 1 0、P 2 0 のゲートは、ターゲット回路 C t r g ( トランジスタ P 4 0 のソース) に共通に接続されている。また、トランジスタ P 3 0 ~ P 5 0 のゲートは、リファレンス回路 C r e f 2 のノード N 2 ( トランジスタ P 5 0 のソース) に共通に接続されている。ノード N 2 は、トランジスタ P 5 0 と抵抗 R 2 0 との間の接続ノードである。

【 0 0 4 3 】

トランジスタ P 3 0、P 4 0 および P 5 0 の電流駆動能力が同じであるとする、リファレンス回路 C r e f 2 に流れる電流と同じ大きさの電流がリファレンス回路 C r e f 1 およびターゲット回路 C t r g に流れようとする。トランジスタ P 1 0 および P 2 0 の電流駆動能力が同じであるとする、ターゲット回路 C t r g に流れる電流と同じ大きさの電流がリファレンス回路 C r e f 1 に流れようとする。その結果、リファレンス回路 C r e f 2 に流れる電流とほぼ等しい電流がターゲット回路 C t r g に流れる。

20

【 0 0 4 4 】

トランジスタ P 3 0、P 4 0、P 5 0 の導通状態 ( 抵抗値 ) は、ノード N 2 の電圧に依存する。従って、抵抗 R 2 0 の抵抗値を所定値に調節することによって、リファレンス回路 C r e f およびターゲット回路 C t r g に流れる電流を調節することができる。抵抗 R 2 0 の抵抗値の設定は、M R A M のテスト工程において実測値あるいは統計値に基づいて設定される。

30

【 0 0 4 5 】

図 6 は、電流制限回路 2 4 の他の具体例としてのカレントミラー回路の回路図である。このカレントミラー回路は、P 型トランジスタ P 1 1、P 1 2 と、抵抗 R 1 1 とを備えている。トランジスタ P 1 2 は、電源 V d d とターゲット回路 C t r g との間に接続されている。トランジスタ P 1 1 および抵抗 R 1 1 は、電源 V d d とリファレンス側回路 C f e r との間に直列に接続されている。

【 0 0 4 6 】

トランジスタ P 1 1 および P 1 2 のゲート ( ノード N 3 ) は、ターゲット回路 C t r g ( トランジスタ P 1 2 のソース) に共通に接続されている。トランジスタ P 1 1 と抵抗 R 3 との間のノード N 4 は、スイッチング素子 S W 1 または S W 1 のゲートに接続される。

40

【 0 0 4 7 】

これにより、リファレンス回路 C r e f およびターゲット回路 C t r g には等しい電流が流れる。そして、ノード N 4 の電圧によってスイッチング素子 S W 1 または S W 2 の導通状態が制御される。即ち、図 6 に示すカレントミラー回路は、ターゲット側回路 C t r g に流れる電流をノード N 4 においてモニターし、このノード N 4 の電圧に基づいてスイッチング素子 S W 1 または S W 2 の導通状態 ( 抵抗値 ) を制御するように構成されている。尚、ノード N 4 の電圧は、抵抗 R 1 1 の両端に掛かる電圧である。

【 0 0 4 8 】

抵抗 R 1 1 の抵抗値を所定値に調節することによって、スイッチング素子 S W 1 または S W 2 の導通状態 ( 抵抗値 ) を制御することができる。抵抗 R 1 1 の抵抗値の設定は、M

50

R A Mのテスト工程において実測値あるいは統計値に基づいて設定される。これにより、リファレンス回路 C r e f およびターゲット回路 C t r g に流れる電流を調節することができる。このような図 6 に示すカレントミラー回路を電流制限回路 2 4 として用いてもよい。

【 0 0 4 9 】

図 5 ( A ) から図 6 に示すカレントミラー回路は、電流が少ない場合にはそのまま電流を流すが、電流が所定の上限値を超えようとするとはほぼ一定の電流に維持される。即ち、カレントミラー回路は、電流を大きくしようとしても、上限値以上は流れないように機能する。

【 0 0 5 0 】

以上から 1 . M T J 素子が P 状態 ( 低抵抗状態 ) であり、 2 . セルトランジスタ C T の抵抗 R C T およびその他の寄生抵抗の和が低い方へばらついており、かつ、 3 . M T J 素子がセルトランジスタ C T のドレイン側に接続されている場合に M T J 素子に大きな電流が流れることが分かる。上記 1 および 3 の条件を本実施形態に当てはめると、 P 状態の M T J 素子に A P 状態 ( データ “ 1 ” ) を書き込む場合に大電流が流れ易いことになる。これは、もともと P 状態の M T J 素子に A P 状態を書き込むときに、 M T J 素子が P 状態から A P 状態へ反転するまでの間に大電流が流れ易いことを意味する。

【 0 0 5 1 】

これに対し、本実施形態によれば、電流制限回路 2 4 が、 M T J 素子と高電圧電源 V D D W T との間に介在し、 M T J 素子に流れる電流を制限する。これにより、本実施形態による M R A M は、過大な電流が M T J 素子に流れることを抑制し、 T D D B ( Time Dependent Dielectric Breakdown ) 破壊等を抑制することができる。これは、信頼性の向上に繋がる。

【 0 0 5 2 】

尚、一般に、 M T J 素子において、 P 状態から A P 状態への書込みは、 A P 状態から P 状態への書込みよりも大きな電流を必要とする。電流制限回路 2 4 が流す電流の上限値は、この P 状態から A P 状態への書込みに必要な電流に基づいて決定すればよい。例えば、 P 状態から A P 状態への書込みに約 1 0 0  $\mu$  A の電流が必要な場合、電流制限回路 2 4 が流す電流の上限値は、 1 0 0  $\mu$  A に設定される。上限値は、実験的あるいは統計的に決定される。例えば、 1 0 年間使用しても T D D B 破壊が生じなかった最大電流値を上限値とすればよい。これにより、本実施形態は、 M T J 素子の信頼性を維持しつつ、 P 状態から A P 状態への書込みに支障を与えない。

【 0 0 5 3 】

( 第 2 の実施形態 )

図 7 は、第 2 の実施形態による M R A M におけるデータ書込み動作時の選択メモリセル M C およびそれに接続される電流経路の等価回路図である。第 2 の実施形態は、 M T J 素子の接続の向きが第 1 の実施形態の M T J 素子のそれと逆である。即ち、第 2 の実施形態では、 P i n 層 P がセルトランジスタ C T 側に接続されており、 F r e e 層 F が電源側 ( ライトドライバ 2 2 a 側 ) に接続されている。第 2 の実施形態のその他の構成は、第 1 の実施形態における対応する構成と同じでよい。

【 0 0 5 4 】

第 2 の実施形態では、電流がライトドライバ 2 2 a から電流制限回路 2 4 を介してメモリセル M C A へ流れる場合 ( 矢印 A 1 ) に、 P 状態 ( データ “ 0 ” ) が M T J 素子に書き込まれる。このとき、ライトドライバ 2 2 a 側の電源電圧 V D D W T は、例えば、 1 . 2 V であり、ライトドライバ 2 2 b 側の電源電圧 V D D W B は、例えば、 0 V である。これにより、 M T J 素子がセルトランジスタ C T のドレイン側に接続された構成となる。

【 0 0 5 5 】

一方、電流がライトドライバ 2 2 b からセルトランジスタ C T を介してメモリセル M C A へ流れる場合 ( 矢印 A 2 ) に、 A P 状態 ( データ “ 1 ” ) が M T J 素子に書き込まれる。このとき、ライトドライバ 2 2 a 側の電源電圧 V D D W T は、例えば、 0 V であり、ラ

10

20

30

40

50

イトドライバ 2 2 b 側の電源電圧  $V_{DDWB}$  は、例えば、1.2 V である。これにより、MTJ 素子はセルトランジスタ CT のソース側に接続される。

【0056】

第 1 の実施形態において説明したように、MTJ 素子がセルトランジスタ CT のドレイン側に接続されているときに大きな電流が MTJ 素子に流れ易い。従って、P 状態（データ“0”）が MTJ 素子に書き込まれる場合（矢印 A 1 の向きに電流が流れる場合）に、電流制限回路 2 4 は、セルトランジスタ CT のドレイン側あるいは MTJ 素子よりも上流側（高電圧側）に設けられる。この場合も、電源  $V_{DDWT}$  から電流制限回路 2 4、MTJ 素子、セルトランジスタ CT の順番に接続される。即ち、電流制限回路 2 4 は、MTJ 素子に関してセルトランジスタ CT とは反対側に接続されていることになる。

10

【0057】

上記 1 および 3 の条件を本実施形態に当てはめると、P 状態の MTJ 素子に P 状態（データ“0”）を書き込む場合に大電流が流れ易いことになる。これは、もともと P 状態の MTJ 素子に P 状態を書き込む動作を行う場合に、大電流が流れ易いことを意味する。さらに、これは、もともと AP 状態の MTJ 素子に P 状態を書き込む場合に、MTJ 素子が AP 状態から P 状態へ反転した後に大電流が流れ易いことも意味する。

【0058】

これに対し、本実施形態によれば、電流制限回路 2 4 が、MTJ 素子と高電圧電源  $V_{DDWT}$  との間に介在し、MTJ 素子に流れる電流を制限する。これにより、本実施形態による MRAM は、過大な電流が MTJ 素子に流れることを抑制し、信頼性を向上させることができる。

20

【0059】

尚、上述の通り、MTJ 素子において、AP 状態から P 状態への書込みは、P 状態から AP 状態への書込みよりも少ない電流で足りる。電流制限回路 2 4 が流す電流の上限値は、この AP 状態から P 状態への書込みに必要な電流に基づいて決定すればよい。例えば、AP 状態から P 状態への書込みに約  $50 \mu A$  の電流が必要な場合、電流制限回路 2 4 が流す電流の上限値は、 $50 \mu A$  に設定される。上限値は、実験的あるいは統計的に決定される。例えば、10 年間使用しても TDD 破壊が生じなかった最大電流値を上限値とすればよい。これにより、本実施形態は、MTJ 素子の信頼性を維持しつつ、AP 状態から P 状態への書込みに支障を与えない。

30

【0060】

（第 3 の実施形態）

図 8 は、第 3 の実施形態に従った MRAM におけるデータ書込み動作時の選択メモリセル MC およびそれに接続される電流経路の等価回路図である。第 3 の実施形態は、電源  $V_{DDWT}$  および電流制限回路 2 4 に代えて、定電流源 2 5 を備えている。第 3 の実施形態のその他の構成は、第 1 の実施形態における対応する構成と同様でよい。定電流源 2 5 は、P 状態の MTJ 素子を AP 状態に反転させるために必要な電流を流すように構成されている。例えば、定電流源 2 5 は、第 1 の実施形態における上限値の電流を流すように構成されている。

【0061】

このように、定電流源 2 5 を用いた第 3 の実施形態も、AP 状態の書込み時に矢印 A 1 方向に流れる電流を制限することができるので、第 1 の実施形態と同様の効果を得ることができる。

40

【0062】

（第 4 の実施形態）

図 9 は、第 4 の実施形態に従った MRAM におけるデータ書込み動作時の選択メモリセル MC およびそれに接続される電流経路の等価回路図である。第 4 の実施形態は、電源  $V_{DDWT}$  および電流制限回路 2 4 に代えて、定電流源 2 5 を備えている。第 4 の実施形態のその他の構成は、第 2 の実施形態における対応する構成と同様でよい。定電流源 2 5 は、AP 状態の MTJ 素子を P 状態に反転させるために必要な電流を流すように構成されて

50

いる。例えば、定電流源 25 は、第 2 の実施形態における上限値の電流を流すように構成されている。

【0063】

このように、定電流源 25 を用いた第 4 の実施形態も、P 状態の書込み時に矢印 A1 方向に流れる電流を制限することができるので、第 2 の実施形態と同様の効果を得ることができる。

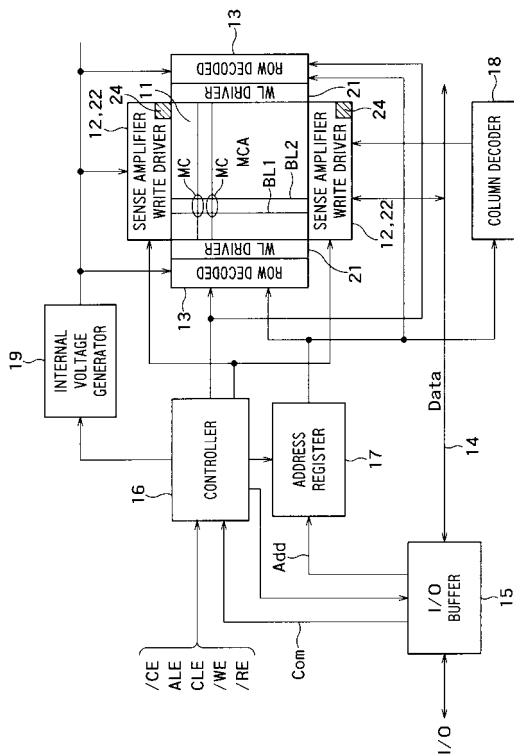
【符号の説明】

【0064】

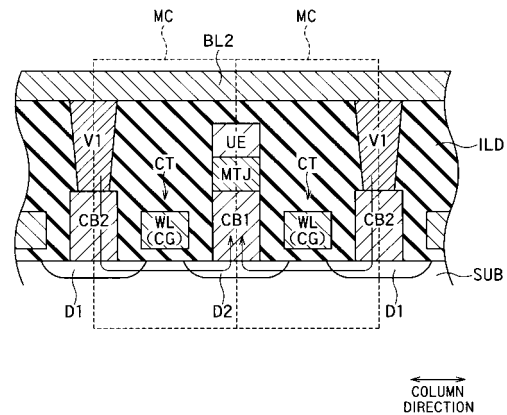
MC・・・メモリセル、MTJ・・・MTJ素子、RMTJ・・・MTJ素子の抵抗、CT・・・セルトランジスタ、RCT・・・セルトランジスタの抵抗、BL1、BL2・・・ビット線、RBL1、RBL2・・・ビット線の抵抗、CB1、CB2・・・コンタクトプラグ、RCB1、RCB2・・・コンタクトプラグの抵抗、SW1、SW2・・・スイッチング素子、RSW1、RSW2・・・スイッチング素子の抵抗、WL・・・ワード線、24・・・電流制限回路、25・・・定電流源

10

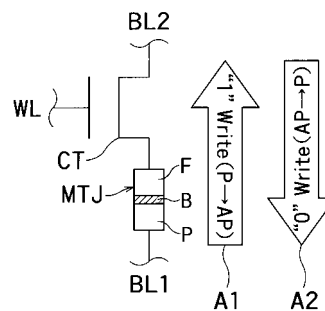
【図 1】



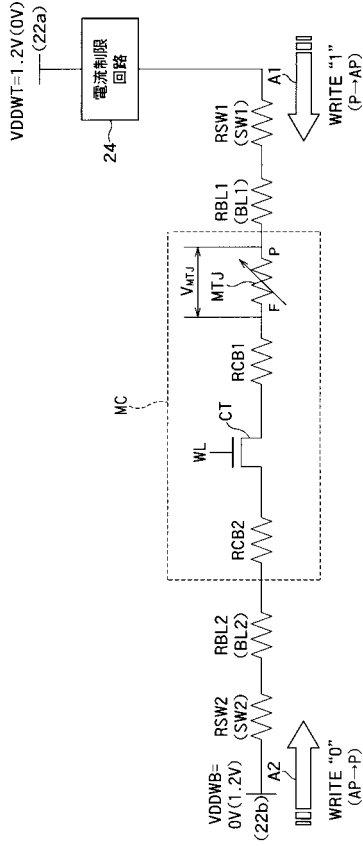
【図 2】



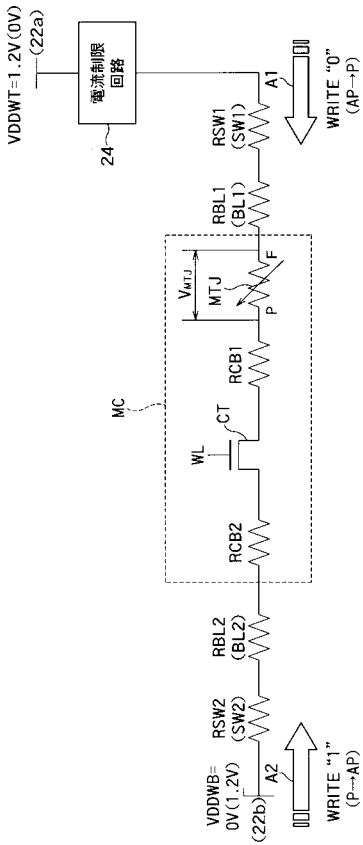
【図 3】



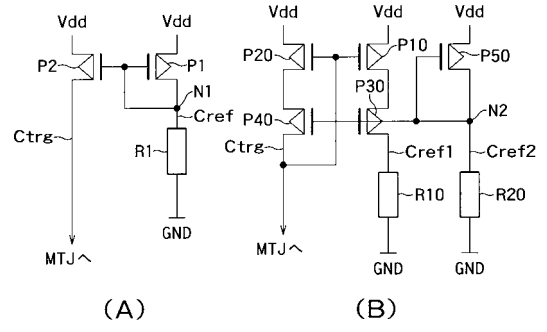
【 図 4 】



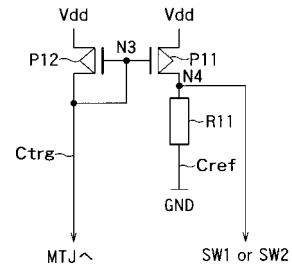
【 図 7 】



【 図 5 】



【 図 6 】



【 図 8 】

