

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成 29 年 2 月 23 日 (2017.2.23)

【公開番号】特開 2014-146407 (P2014-146407A)

【公開日】平成 26 年 8 月 14 日 (2014.8.14)

【年通号数】公開・登録公報 2014-043

【出願番号】特願 2014-11512 (P2014-11512)

【国際特許分類】

G 1 1 C 16/02 (2006.01)

G 1 1 C 16/04 (2006.01)

【F I】

G 1 1 C 17/00 6 1 1 F

G 1 1 C 17/00 6 1 1 E

G 1 1 C 17/00 6 1 3

G 1 1 C 17/00 6 2 3 A

【手続補正書】

【提出日】平成 29 年 1 月 18 日 (2017.1.18)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

行および列に配列されているスプリット・ゲート・メモリ・セルの第 1 のセクタを有するスプリット・ゲート・メモリであって、各スプリット・ゲート・メモリ・セルは、制御ゲート、前記行のうちの 1 つに沿ったワード線に結合されている選択ゲート、前記列のうちの 1 つに沿ったビット線に結合されているドレイン端子、およびソース端子を有する、スプリット・ゲート・メモリにおける、選択的プログラミングの方法であって、

選択された行および選択された列に結合されることによってプログラミングのために選択されたスプリット・ゲート・メモリ・セルについて、前記制御ゲートを第 1 の電圧に結合すること、前記選択ゲートを第 2 の電圧に結合すること、前記ドレイン端子を、前記スプリット・ゲート・メモリ・セルを導電性にする電流シンクに結合すること、前記ソース端子を第 3 の電圧に結合すること、

非選択行に結合されることによってプログラムされないスプリット・ゲート・メモリ・セル・スプリット・ゲート・セルについて、前記制御ゲートを前記第 1 の電圧に結合すること、前記選択ゲートを、前記スプリット・ゲート・メモリ・セルが非選択である読み出し中に前記選択ゲートに印加される電圧よりも大きい第 4 の電圧に結合することを備える、方法。

【請求項 2】

非選択列および選択されたワード線に結合されることによってプログラムされないスプリット・ゲート・メモリ・セルについて、前記制御ゲートを前記第 1 の電圧に結合すること、前記選択ゲートを前記第 2 の電圧に結合すること、前記ドレイン端子を、前記第 4 の電圧よりも大きい第 5 の電圧に結合すること、前記ソース端子を前記第 3 の電圧に結合することをさらに備える、請求項 1 に記載の方法。

【請求項 3】

前記スプリット・ゲート・メモリ・セルがプログラムされないときに前記選択ゲートを第 4 の電圧に結合することは、前記スプリット・ゲート・メモリ・セルが閾値電圧を有し

、前記第 4 の電圧が、前記ドレイン端子上の電圧を上回る前記閾値電圧よりも小さいことによってさらに特徴付けされる、請求項 1 に記載の方法。

【請求項 4】

前記スプリット・ゲート・メモリ・セルがプログラムされないときに前記選択ゲートを第 4 の電圧に結合することは、該第 4 の電圧が、グランドよりも大きいことによってさらに特徴付けされる、請求項 1 に記載の方法。

【請求項 5】

スプリット・ゲート・メモリであって、

行および列に配列されているスプリット・ゲート・メモリ・セルの第 1 のセクタであって、各スプリット・ゲート・メモリ・セルは、制御ゲート、前記行のうちの 1 つに沿ったワード線に結合されている選択ゲート、前記列のうちの 1 つに沿ったビット線に結合されているドレイン端子、およびソース端子を有する、前記第 1 のセクタと、

プログラミング回路であって、

選択された行および選択された列に結合されることによってプログラミングのために選択されたスプリット・ゲート・メモリ・セルについて、前記制御ゲートを第 1 の電圧に結合し、前記選択ゲートを第 2 の電圧に結合し、前記ドレイン端子を、前記スプリット・ゲート・メモリ・セルを導電性にする電流シンクに結合し、前記ソース端子を第 3 の電圧に結合すること、

非選択行に結合されることによってプログラムされないスプリット・ゲート・メモリ・セルについて、前記制御ゲートを前記第 1 の電圧に結合し、前記選択ゲートを、読み出し中に、非選択である前記スプリット・ゲート・メモリ・セルの前記選択ゲートに印加される電圧よりも大きい第 4 の電圧に結合すること

によってプログラミングするプログラミング回路とを備える、スプリット・ゲート・メモリ。