



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2007년02월15일
H01L 27/115 (2006.01)	(11) 등록번호	10-0682908
H01L 27/10 (2006.01)	(24) 등록일자	2007년02월08일

(21) 출원번호	10-2004-0109268	(65) 공개번호	10-2006-0070694
(22) 출원일자	2004년12월21일	(43) 공개일자	2006년06월26일
심사청구일자	2004년12월21일		

(73) 특허권자 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 정용수
 서울 강남구 삼성2동 롯데아파트 102동 1008호

 박윤동
 경기 용인시 기흥읍 삼성종합기술원 기숙사

 유인경
 경기 수원시 영통구 영통동 진덕아파트 704동 1003호

 이명재
 경기 수원시 영통구 영통동 한신아파트 813동 1703호

 서순애
 경기 화성시 태안읍 기산리 464 행림마을 래미안1차아파트 107동 1501호

 김혜영
 경기 성남시 중원구 상대원1동 1710번지

 안승언
 경기 용인시 기흥읍 삼성종합기술원 기숙사 A동 411호

 서형석
 경기 용인시 기흥읍 삼성종합기술원 기숙사

(74) 대리인 리앤목특허법인
 이해영

심사관 : 김기현

전체 청구항 수 : 총 6 항

(54) 두개의 저항체를 지닌 비휘발성 메모리 소자

(57) 요약

본 발명은 두개의 저항체를 지닌 비휘발성 메모리 소자에 관한 것이다. 비휘발성 반도체 메모리 소자에 있어서, 하부 전극; 상기 하부 전극 상에 형성되며 두 개 이상의 저항 상태를 지닌 제 1저항층; 상기 제 1저항층 상에 형성되며, 문턱 스위칭 특성을 지닌 제 2저항층; 및 상기 제 2저항층 상에 형성된 상부 전극;을 포함하는 두개의 저항체를 지닌 비휘발성 메모리 소자를 제공한다.

대표도

도 1

특허청구의 범위

청구항 1.

비휘발성 반도체 메모리 소자에 있어서,

하부 전극;

상기 하부 전극 상에 형성되며 두 개 이상의 저항 상태를 지닌 제 1저항층;

상기 제 1저항층 상에 형성되며, 문턱 스위칭 특성을 지닌 제 2저항층; 및

상기 제 2저항층 상에 형성된 상부 전극;을 포함하는 것을 특징으로 하는 두개의 저항체를 지닌 비휘발성 메모리 소자.

청구항 2.

제 1항에 있어서,

상기 제 1저항층은, $Ni_{1-x}O_x$, TiO_2 , HfO , ZrO , ZnO , WO_3 , CoO 또는 Nb_2O_5 중 적어도 어느 한 물질을 포함하는 것을 특징으로 하는 두개의 저항체를 지닌 비휘발성 메모리 소자.

청구항 3.

제 1항에 있어서,

상기 제 2저항층은 V_2O_5 또는 $TiAlO_3$ 를 포함하여 형성된 것을 특징으로 하는 두개의 저항체를 지닌 비휘발성 메모리 소자.

청구항 4.

상호 나란한 간격을 지니며 배열된 2이상의 비트 라인들;

상기 비트 라인들과 교차하는 방향으로 형성된 2 이상의 워드 라인들;

상기 비트 라인들 상에 형성되며 두 개 이상의 저항 상태를 지닌 제 1저항층;

상기 제 1저항층 상에 형성되며, 문턱 스위칭 특성을 지닌 제 2저항층;을 포함하는 것을 특징으로 하는 두개의 저항체를 지닌 비휘발성 메모리 소자 어레이.

청구항 5.

제 4항에 있어서,

상기 제 1저항층은, $Ni_{1-x}O_x$, TiO_2 , HfO , ZrO , ZnO , WO_3 , CoO 또는 Nb_2O_5 중 적어도 어느 한 물질을 포함하는 것을 특징으로 하는 두개의 저항체를 지닌 비휘발성 메모리 소자.

청구항 6.

제 4항에 있어서,

상기 제 2저항층은 V_2O_5 또는 $TiAlO_3$ 를 포함하여 형성된 것을 특징으로 하는 두개의 저항체를 지닌 비휘발성 메모리 소자.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 두개의 저항체를 지닌 비휘발성 메모리 소자에 관한 것으로, 보다 상세하게는 메모리 스위칭 특성을 지닌 저항체와 문턱 스위칭 특성을 지닌 저항체를 이용하여 형성한 비휘발성 메모리 소자에 관한 것이다.

반도체 메모리 소자는 단위 면적당 메모리 셀의 수, 즉 집적도가 높으며, 동작 속도가 빠르고 저전력에서 구동이 가능한 것이 바람직하므로 이에 관한 많은 연구가 진행되어 왔으며, 다양한 종류의 메모리 소자들이 개발되고 있다.

일반적으로 반도체 메모리 장치는 회로적으로 연결된 많은 메모리 셀들을 포함한다. 대표적인 반도체 메모리 장치인 DRAM(Dynamic Random Access Memory)의 경우, 단위 메모리 셀은 한 개의 스위치와 한 개의 커패시터로 구성되는 것이 일반적이다. DRAM은 집적도가 높고 동작 속도가 빠른 이점이 있다. 그러나, 전원이 꺼진 후에는 저장된 데이터가 모두 소실되는 단점이 있다.

반면 전원이 꺼진 후에도 저장된 데이터가 보존될 수 있는 비휘발성 메모리 소자의 대표적인 예가 플래쉬 메모리이다. 플래쉬 메모리는 휘발성 메모리와 달리 비휘발성의 특성을 지니고 있으나 DRAM에 비해 집적도가 낮고 동작 속도가 느린 단점이 있다.

현재, 많은 연구가 진행되고 있는 비휘발성 메모리 소자로, MRAM(Magnetic Random Access Memory), FRAM(Ferroelectric Random Access Memory) 및 PRAM(Phase-change Random Access Memory) 등이 있다.

MRAM은 터널 접합에서의 자화 방향에 변화를 이용하여 데이터를 저장하는 방식이며, FRAM은 강유전체의 분극 특성을 이용하여 데이터를 저장하는 방식이다. 이들은 모두 각각의 장단점을 지니고 있으나, 기본적으로는 상술한 바와 같이, 집적도가 높으며, 고속의 동작 특성을 지니고, 저전력에서 구동가능하며, 데이터 리텐션(retention) 특성이 좋은 방향으로 연구 개발되고 있다.

PRAM은 특정 물질의 상변화에 따른 저항 값의 변화를 이용하여 데이터를 저장하는 방식이며, 한 개의 저항체와 한 개의 스위치(트랜지스터)를 지닌 구조를 지니고 있다. PRAM에 사용되는 저항체는 칼코게나이드(calcogenide) 저항체인데, 이는 형성 온도를 조절하여 결정질 또는 비정질 상태가 된다. 통상 비정질 상태에서의 저항이 결정질일 때보다 높으므로 이를 이용하여 메모리 소자를 형성시키는 것이다. 이와 같은 PRAM의 제조 시 종래의 DRAM 공정을 이용하는 경우 식각이 어려우며, 식각을 하는 경우라도 장시간 필요하다. 또한, 종래의 메모리 소자의 경우 트랜지스터나 다이오드를 이용하여 스위칭 하는데, 그 구조가 복잡하며 정확한 스위칭 동작을 하기 어려운 문제가 있다. 따라서, 보다 간단한 구조의 메모리 소자가 요구된다.

발명이 이루고자 하는 기술적 과제

본 발명의 기술적 과제는 그 제조가 간단하며 저전력 구동이 가능하고, 고속의 동작 특성을 지니며, 트랜지스터 또는 다이오드가 필요없이 두개의 저항체만을 구비한 새로운 구조의 비휘발성 반도체 메모리 소자를 제공하는 것이다.

발명의 구성

본 발명에서는 상기 목적을 달성하기 위하여,

비휘발성 반도체 메모리 소자에 있어서,

하부 전극;

상기 하부 전극 상에 형성되며 두 개 이상의 저항 상태를 지닌 제 1저항층;

상기 제 1저항층 상에 형성되며, 문턱 스위칭 특성을 지닌 제 2저항층; 및

상기 제 2저항층 상에 형성된 상부 전극;을 포함하는 두개의 저항체를 지닌 비휘발성 메모리 소자를 제공한다.

본 발명에 있어서, 상기 제 1저항층은, $Ni_{1-x}O_x$, TiO_2 , HfO , ZrO , ZnO , WO_3 , CoO 또는 Nb_2O_5 중 적어도 어느 한 물질을 포함하는 것을 특징으로 한다.

본 발명에 있어서, 상기 제 2저항층은 V_2O_5 또는 $TiAlO_3$ 를 포함하여 형성된 것을 특징으로 한다.

또한 본 발명에서는, 상호 나란한 간격을 지니며 배열된 2이상의 비트 라인들;

상기 비트 라인들과 교차하는 방향으로 형성된 2 이상의 워드 라인들;

상기 비트 라인들 상에 형성되며 두 개 이상의 저항 상태를 지닌 제 1저항층; 및

상기 제 1저항층 상에 형성되며, 문턱 스위칭 특성을 지닌 제 2저항층;을 포함하는 두개의 저항체를 지닌 비휘발성 메모리 소자 어레이를 제공한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예에 의한 두개의 저항체를 포함하는 지닌 비휘발성 메모리 소자에 대해 상세하게 설명하고자 한다.

도 1은 본 발명의 실시예에 의한 두개의 저항체를 지닌 비휘발성 메모리 소자를 나타낸 단면도이다.

도 1을 참조하면, 본 발명의 실시예에 의한 비휘발성 메모리 소자는 하부 전극(11), 제 1저항층(12) 제 2저항층(13) 및 상부 전극(14)이 순차적으로 적층된 구조를 지니고 있다. 여기서 제 1저항층(12)은 데이터를 저장하는 데이터 저장부의 역할을 하고, 제 2저항층(13)은 종래의 트랜지스터나 다이오드의 역할을 한다. 제 1저항층(12)은 $Ni_{1-x}O_x$, TiO_2 , HfO , ZrO , ZnO , WO_3 , CoO 또는 Nb_2O_5 중 적어도 어느 한 물질을 포함하여 형성된다. 제 2저항층(13)은 V_2O_5 또는 $TiAlO_3$ 와 같이

threshold 스위칭 특성을 지닌 물질로 형성되는 것이 바람직하다. 이들은 모두 다양한 저항 상태를 지닌 전이 금속 산화물로서 산소의 함량을 조절하여 그 특성이 변화하는 것을 특징으로 한다. 구체적인 제 1저항층(12) 및 제 2저항층(13)의 특징에 관해서는 후술하기로 한다.

하부 전극(11) 및 상부 전극(14)은 통상적으로 반도체 소자의 전극 물질로 사용될 수 있는 전도성 물질, 예를 들어 금속 물질을 사용할 수 있으며, 특히, 하부 전극(11)은 그 상부에 형성되는 물질의 종류에 따라 선택적으로 정해질 수 있다.

도 2는 본 발명의 실시예에 의한 두 개의 저항체를 포함하는 비휘발성 메모리 소자의 동작 특성을 나타낸 그래프이다. 도 2를 참조하면, 가로축은 하부 전극(11)과 상부 전극(14)을 통하여 제 1저항층에 인가한 전압 값을 나타낸 것이며, 가로축은 제 1저항층(11)에 흐르는 전류 값을 나타낸 것이다. 여기서는 두 개의 전류-전압 곡선을 나타낸 것을 알 수 있으며, G1 그래프의 경우 제 1저항층(12)의 저항 값이 낮아진 경우, 즉 동일 전압에서 제 1저항층(12)에 흐르는 전류 값이 큰 경우의 전류-전압 곡선이다. G2는 그래프는 제 1저항층(12)의 저항 값이 높아진 경우, 즉 동일 전압에서 제 2저항층(12)에 흐르는 전류 값이 작은 경우의 전류-전압 곡선이다.

본 발명의 실시예에 의한 두개의 저항체를 지닌 비휘발성 메모리 소자는 이와 같은 서로 다른 전류-저항 특성을 이용한 것이다. 이를 구체적으로 설명하면 다음과 같다.

먼저, 0V 에서 V1 까지 점차로 인가 전압을 증가시킨 경우, 전류 값을 측정하면 G1 곡선을 따라 전압의 크기에 비례하여 증가하는 것을 알 수 있다. 그런데, V1의 크기의 전압을 인가하면 갑자기 전류 값이 감소하여 G2 곡선을 따라 변하게 된다. 이러한 현상은 $V1 \leq V \leq V2$ 범위에서도 동일하게 계속된다. 그리고, $V2 < V$ 의 전압을 인가하는 경우 다시 전류 값은 G1 곡선을 따라 증가한다. 여기서, G1 곡선의 특성을 따른 저항 값을 제 1 저항 값이라 하고, G2 곡선의 특성을 따른 저항 값을 제 2 저항 값이라 한다. 즉 $V1 \leq V \leq V2$ 범위에서 제 2저항층(13)의 저항은 급격히 증가함을 할 수 있다.

또한, 본 발명자는 본 발명에 의한 두개의 저항체를 지닌 비휘발성 메모리 소자의 제 1저항층(12)는 다음과 같은 특성을 지니고 있음을 확인하였다. 먼저, $V1 \leq V \leq V2$ 범위에서 전압을 인가한 뒤, V1 보다 작은 범위의 전압을 인가하면, G2 곡선에 따른 전류 값이 검출되며, $V2 < V$ 범위에서 전압을 인가한 뒤, V1 보다 작은 범위의 전압을 인가하면, G1 곡선에 따른 전류 값이 검출된다. 따라서, 이러한 특성을 이용하면 메모리 소자로 사용할 수 있게되는 것이다.

즉, 본 발명의 실시예에 의한 두개의 저항체를 지닌 비휘발성 메모리 소자의 상하부 전극(11, 14)을 통하여 $V2 < V$ 범위의 전압을 인가하면 제 1저항층(11)에 제 1 저항 값을 저장시키게 된다. 그리고, $V1 \leq V \leq V2$ 범위의 전압을 인가하면, 제 2 저항 값을 저장시키게 된다. 제 1저항층(11)에 저장된 메모리 상태를 읽기 위해서는 V1보다 작은 전압을 인가하여 그 전류 값을 읽어 내면 되는 것이다.

구체적인 제 1저항층(12) 및 제 2저항층(13)에 사용하는 물질들의 전기적 특성 그래프를 도 3a 내지 도 3c에 나타내었다.

도 3a는 제 1저항층(12)에 사용하는 $Ni_{1-x}O_x$ 의 전기적인 특성을 나타낸 그래프이다. 도 3a를 참조하면, 약 0.55V 이하의 전압 범위에서 두개의 저항 특성을 지닌 것을 알 수 있다. 즉, $Ni_{1-x}O_x$ 는 동일 인가 전압에서 두개의 저항 특성을 나타내고 있으므로 이를 메모리 소자의 데이터 저장부로 사용할 수 있음을 알 수 있다.

도 3b는 본 발명의 제 2저항층(13)에 사용하는 V_2O_5 의 전기적인 특성을 나타낸 그래프이며, 도 3c도 역시 본 발명의 제 2저항층(13)에 사용하는 $TiAlO_3$ 의 전기적인 특성을 나타낸 그래프이다. 도 3b 및 도 3c를 참조하면 이들은 다양한 전압-전류 상태를 지니고 있으며, 특히, 도 3c를 살펴보면 약 2V 이상의 전압에서는 커런트 컴플라이언스(current compliance)에 의해 제한된 전류까지 전류가 흐르지만, -2V 내지 2V의 전압에서는 전류가 거의 흐르지 않는 것을 알 수 있다. 즉, 물질 자체가 문턱 전압을 지녀서 소정 전압 이상을 인가한 경우에만 전류가 흐르며, 소정 전압보다 높은 경우에는 거의 동일한 전류가 흐르게 된다. 따라서, 이러한 특성을 이용하여 트랜지스터나 다이오드와 같은 스위칭 소자로 사용할 수 있게되는 것이다.

도 4는 본 발명의 실시예에 의한 두개의 저항체를 지닌 비휘발성 메모리 소자 어레이 구조를 나타낸 도면이다. 도 4를 참조하면, 하부 전극(11) 라인들과 상부 전극(14) 라인들이 상호 교차하는 형태로 형성되어 있으며, 하부 전극(11) 라인들과 상부 전극(14) 라인들이 교차하는 위치마다 제 1저항층(12)과 제 2저항층(13)이 각각 형성되어 있다.

도 5는 상기 도 4의 두개의 저항체를 지닌 비휘발성 메모리 소자 어레이 구조의 등가회로도 나타낸 것이다. 도 6에는 상기 도 5의 A 영역에 해당하는 4개의 단위 셀을 발췌한 것이다. 이하, 도 5 및 도 6을 참조하여 본 발명의 실시예에 의한 두개의 저항체를 지닌 비휘발성 메모리 소자의 구동 방법을 살펴보기로 한다. 여기서 비트 라인(V_{B1} , V_{B2}) 및 워드 라인(V_{W2} , V_{W3})는 각각 2개의 셀들이 공유하고 있다.

여기서, 도 6의 좌하부에 위치한 단위 셀에 대해서만 on 상태를 유지하고, 나머지 단위 셀들에 대해서는 off 상태를 유지하고자 하는 경우에는 V_{W3} 에 제 2저항층(13)의 문턱 전압 이상의 전압을 인가한다. 도 3c와 같은 $TiAlO_3$ 를 제 2저항층(13)에 사용한 경우에는 V_{W2} 에 2V 이상의 전압을 인가하고, 나머지 워드 라인들은 전압을 인가하지 않는다. 그리고, V_{B1} 의 전압을 0.5V로 유지하고, V_{B2} 에 대해서는 전압을 인가하지 않으면 좌측 단위 셀만 상하부 전극(11, 14)의 전압 차이가 제 2저항층(13)의 문턱 전압보다 높으므로 전류가 흐르게 된다. 이와 같은 방법으로 원하는 단위 셀에 대해서 on, off 상태를 제어할 수 있으므로 정보를 저장하거나 소거할 수 있다.

상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 바람직한 실시예의 예시로서 해석되어야 한다. 따라서, 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특허 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

발명의 효과

본 발명에 따르면, 다음과 같은 장점을 지니고 있다.

첫째, 비휘발성 메모리의 단위 셀 구조가 2R 구조로 저항체를 트랜지스터나 다이오드로 사용함으로써 그 자체로 매우 간단하며, 이를 어레이 셀 구조로 형성시킨 경우의 전체 구조도 간단하다.

둘째, 종래의 DRAM 제조 공정 등 일반적으로 많이 알려진 반도체 공정을 그대로 이용할 수 있으며, 일반적인 스위칭 소자를 포함하는 메모리 소자와는 달리 in-situ로 저항층들을 형성할 수 있어 그 제조 공정이 간단하여 생산성을 높이며 제조 단가를 낮출 수 있다.

셋째, 본 발명의 동작 원리 상, 특이한 저항 특성을 지닌 물질을 이용하여 단순한 방법으로 정보를 저장하고 재생할 수 있으므로, 고속의 동작 특성을 지닌다.

도면의 간단한 설명

도 1은 본 발명의 실시예에 의한 두개의 저항체를 지닌 비휘발성 메모리 소자를 나타낸 도면이다.

도 2는 본 발명의 실시예에 의한 두개의 저항체를 지닌 비휘발성 메모리 소자의 동작 특성을 나타낸 그래프이다.

도 3a는 본 발명의 실시예에 의한 두개의 저항체를 지닌 비휘발성 메모리의 메모리 스위칭 특성을 나타내는 제 1저항층의 전기적 특성을 나타낸 도면이다.

도 3b 및 도 3c는 본 발명의 실시예에 의한 두개의 저항체를 지닌 비휘발성 메모리의 메모리 스위칭 특성을 나타내는 제 2저항층의 전기적 특성을 나타낸 도면이다.

도 4는 본 발명의 실시예에 의한 두개의 저항체를 지닌 비휘발성 메모리 소자 어레이 구조를 나타낸 사시도이다.

도 5는 본 발명의 실시예에 의한 두개의 저항체를 지닌 비휘발성 메모리 소자의 어레이의 등가회로도이다.

도 6은 상기 도 5의 A 영역의 4개의 단위 셀 부분만 발췌한 회로도이다.

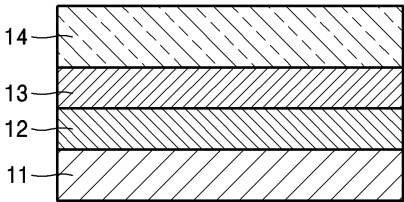
< 도면의 주요 부분에 대한 부호의 설명 >

11... 하부 전극 12... 제 1저항층

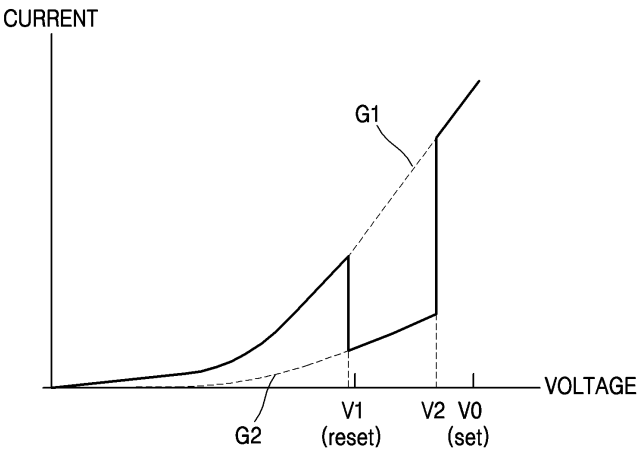
13... 제 2저항층 14... 상부 전극

도면

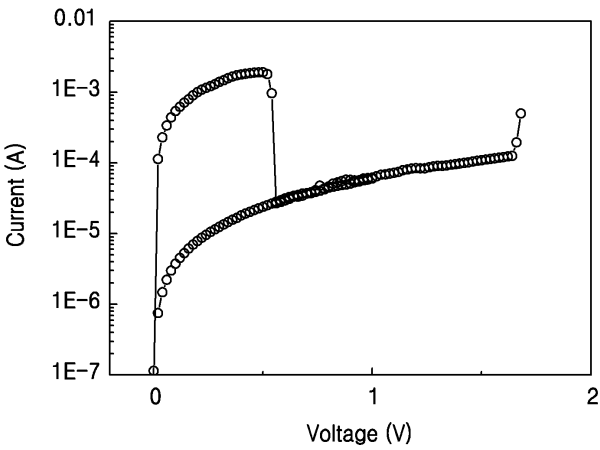
도면1



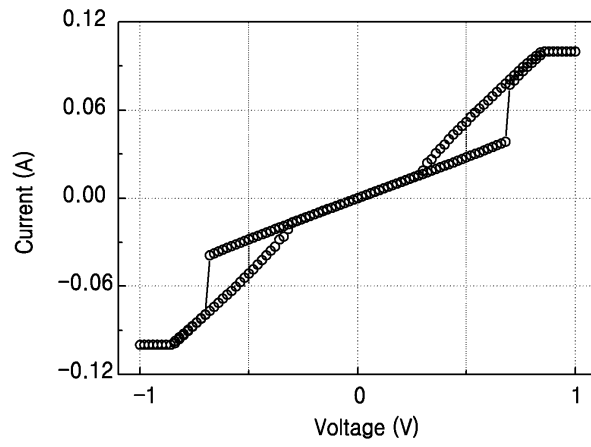
도면2



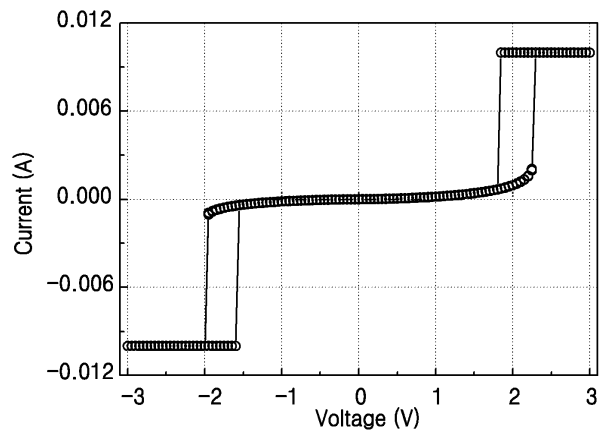
도면3a



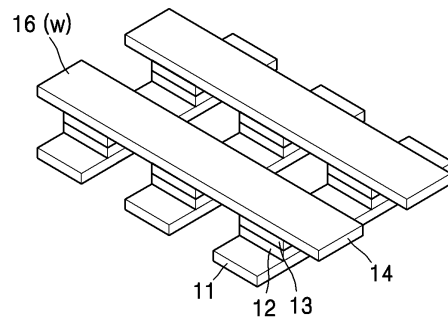
도면3b



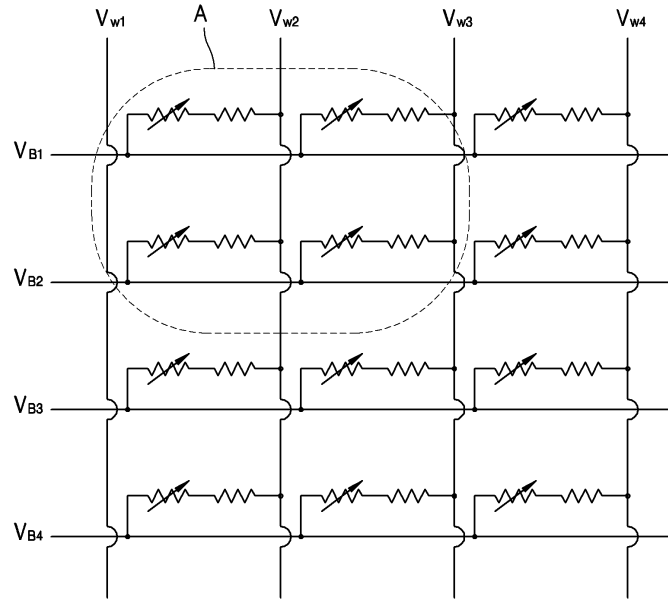
도면3c



도면4



도면5



도면6

