



(12) 发明专利

(10) 授权公告号 CN 103578954 B

(45) 授权公告日 2016. 06. 22

(21) 申请号 201210495541. 7

CN 101789368 A, 2010. 07. 28,

(22) 申请日 2012. 11. 28

审查员 蔡金珠

(30) 优先权数据

13/563, 470 2012. 07. 31 US

(73) 专利权人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 黄渊圣 张铭庆 陈昭成

(74) 专利代理机构 北京德恒律治知识产权代理

有限公司 11409

代理人 章社泉 孙征

(51) Int. Cl.

H01L 21/28(2006. 01)

H01L 29/423(2006. 01)

(56) 对比文件

US 2007/0173025 A1, 2007. 07. 26,

US 2003/0022448 A1, 2003. 01. 30,

权利要求书2页 说明书7页 附图8页

(54) 发明名称

具有金属栅极的半导体集成电路

(57) 摘要

本发明公开了一种制造半导体集成电路 (IC) 的方法。该方法包括 :提供半导体衬底并在其中形成栅极沟槽。该方法还包括 :用功函数 (WF) 金属堆叠件部分地填充该栅极沟槽,并用伪填充材料 (DFM) 在该 WF 金属堆叠件上方填充剩余的栅极沟槽。子栅极沟槽通过在该栅极沟槽中回蚀该 WF 金属堆叠件形成,并用绝缘保护层填充,从而在该栅极沟槽中形成绝缘区。DFM 被完全去除,从而在该栅极沟槽中形成 MG 中心沟槽 (MGCT),其用填充金属填充。本发明提供具有金属栅极的半导体集成电路。



1. 一种制造半导体集成电路的方法,所述方法包括:
提供具有栅极沟槽的半导体衬底;
用功函数金属堆叠件部分填充所述栅极沟槽;
在所述功函数金属堆叠件上方用伪填充材料填充剩余的栅极沟槽;
保留所述伪填充材料的同时在所述栅极沟槽中形成子栅极沟槽;
用绝缘体保护层填充所述子栅极沟槽,从而在所述栅极沟槽中形成绝缘区;
完全去除所述伪填充材料,从而在所述栅极沟槽的中心形成金属栅极中心沟槽;以及
用填充金属填充所述金属栅极中心沟槽。
2. 根据权利要求1所述的方法,其中,所述半导体衬底包括:
位于所述半导体衬底上的界面层;
位于所述界面层上方的高k介电层;以及
作为所述栅极沟槽的侧壁的侧壁间隔件。
3. 根据权利要求1所述的方法,其中,所述子栅极沟槽通过蚀刻工艺形成,所述蚀刻工艺具有相对于所述伪填充材料的蚀刻选择性,其中,所述伪填充材料在所述蚀刻工艺中至少部分地保持完好。
4. 根据权利要求3所述的方法,其中,所述蚀刻工艺去除所述功函数金属堆叠件的一部分,从而形成具有自对准特性的所述子栅极沟槽。
5. 根据权利要求1所述的方法,其中,所述伪填充材料包括介电材料。
6. 根据权利要求2所述的方法,其中,通过凹进所述功函数金属堆叠件和所述高k介电层形成所述子栅极沟槽。
7. 根据权利要求2所述的方法,其中,通过凹进所述功函数金属堆叠件,所述高k介电层以及所述侧壁间隔件形成所述子栅极沟槽。
8. 根据权利要求1所述的方法,其中,控制所述子栅极沟槽的深度(d)以达到器件性能的预定目标。
9. 根据权利要求1所述的方法,进一步包括:
在用所述绝缘体保护层填充所述子栅极沟槽之后,使用化学机械抛光去除所述绝缘体保护层的多余部分以暴露所述伪填充材料的顶面。
10. 根据权利要求1所述的方法,其中,所述绝缘体保护层包括与所述伪填充材料相比具有不同的蚀刻速率的材料。
11. 根据权利要求1所述的方法,其中,通过回蚀工艺去除所述伪填充材料,所述回蚀工艺具有相对于所述绝缘体保护层的蚀刻选择性。
12. 根据权利要求1所述的方法,进一步包括:
在用所述填充金属填充所述金属栅极中心沟槽之后,使用化学机械抛光去除多余的填充金属以达到预定的填充金属高度(h)。
13. 一种半导体集成电路,所述半导体集成电路包括:
半导体衬底;
在所述半导体衬底上形成的栅极介电堆叠件;
在所述栅极介电堆叠件上方形成的金属栅极堆叠件;其中,所述金属栅极堆叠件具有被边缘区域围绕的中心区域;

在所述金属栅极堆叠件的中心区域的上部中形成的填充金属；
在所述金属栅极堆叠件的边缘区域的上部中形成的绝缘区；以及
在所述金属栅极堆叠件的中心区域和边缘区域的下部中形成的功函数金属堆叠件，其中，所述功函数金属堆叠件形成有沟槽，所述填充金属的一部分直接填充在所述沟槽中。

14. 根据权利要求13所述的半导体集成电路，其中，所述栅极介电堆叠件包括：

位于所述半导体衬底上的界面层；以及

位于所述界面层上方的高k介电层。

15. 根据权利要求13所述的半导体集成电路，进一步包括：

位于所述金属栅极堆叠件和所述栅极介电堆叠件上的侧壁间隔件。

16. 一种制造半导体集成电路的方法，所述方法包括：

提供半导体衬底；

在所述半导体衬底上形成伪栅极；

在所述伪栅极上形成侧壁间隔件；

去除所述伪栅极以形成栅极沟槽；

用功函数金属堆叠件部分地填充所述栅极沟槽；

用伪填充材料在所述功函数金属堆叠件上方填充剩余的栅极沟槽；

在所述栅极沟槽中形成围绕所述伪填充材料的具有预定深度(d)的子栅极沟槽；

用绝缘体保护层填充所述子栅极沟槽以在所述栅极沟槽中形成绝缘区；

在所述绝缘区形成之后，从所述栅极沟槽完全去除所述伪填充材料，从而在所述栅极沟槽中形成金属栅极中心沟槽；

用填充金属填充所述金属栅极中心沟槽；以及

回蚀所述填充金属至预定的金属高度(h)。

17. 根据权利要求16所述的方法，其中，所述伪填充材料包括相对于所述功函数金属堆叠件的材料具有不同的蚀刻速率的材料。

18. 根据权利要求17所述的方法，其中，在所述子栅极沟槽的形成过程中，所述伪填充材料保持相当完好。

19. 根据权利要求16所述的方法，其中，所述绝缘区由相对于所述伪填充材料具有不同的蚀刻速率的材料形成。

20. 根据权利要求19所述的方法，其中，在所述伪填充材料去除过程中，所述绝缘区保持完好。

具有金属栅极的半导体集成电路

技术领域

[0001] 本发明涉及半导体集成电路,具体而言,涉及具有金属栅极的半导体集成电路。

背景技术

[0002] 半导体集成电路(IC)产业经历了指数性增长。在IC设计和材料上的技术改进产生了一代又一代的IC,其中,每一代都具有比前一代更小更复杂的电路。在IC的发展过程中,随着几何尺寸(即,可以使用制造工艺制造的最小元件(或线))的减小,功能密度(即,每芯片面积的互连器件的数目)普遍增大。

[0003] 这种按比例缩小工艺通常通过提高生产效率以及降低相关成本提供收益。这种按比例缩小也提高了IC加工和制造的复杂度。为了实现这些改进,需要在IC加工和制造上的类似发展。例如,诸如金属氧化物半导体场效应晶体管(MOSFET)的半导体器件通过各种技术节点按比例缩小,高介电常数(HK)材料和金属栅极(MG)通常被考虑形成用于场效应晶体管(FET)的栅极堆叠件。在形成MG时发生集成问题,诸如需要使MG蚀刻工艺中的功函数(WF)金属与填充金属匹配。需要在这个领域有所改进。

发明内容

[0004] 为了解决现有技术中存在的问题,根据本发明的一个方面,提供了一种制造半导体集成电路(IC)的方法,所述方法包括:提供具有栅极沟槽的半导体衬底;用功函数(WF)金属堆叠件部分填充所述栅极沟槽;在所述WF金属堆叠件上方用伪填充材料(DFM)填充剩余的栅极沟槽;保留所述DFM的同时在所述栅极沟槽中形成子栅极沟槽;用绝缘体保护层填充所述子栅极沟槽,从而在所述栅极沟槽中形成绝缘区;完全去除所述DFM,从而在所述栅极沟槽的中心形成MG中心沟槽(MGCT);以及用填充金属填充所述MGCT。

[0005] 在上述方法中,其中,所述半导体衬底包括:位于所述半导体衬底上的界面层(IL);位于所述IL上方的高k(HK)介电层;以及作为所述栅极沟槽的侧壁的侧壁间隔件。

[0006] 在上述方法中,其中,所述子栅极沟槽通过蚀刻工艺形成,所述蚀刻工艺具有相对于所述DFM的蚀刻选择性,其中,所述DFM在所述蚀刻工艺中至少部分地保持完好。

[0007] 在上述方法中,其中,所述蚀刻工艺去除所述WF金属堆叠件的一部分,从而形成具有自对准特性的所述子栅极沟槽。

[0008] 在上述方法中,其中,所述DFM包括介电材料。

[0009] 在上述方法中,其中,通过凹进所述WF金属堆叠件和所述HK介电层形成所述子栅极沟槽。

[0010] 在上述方法中,其中,通过凹进所述WF金属堆叠件,所述HK介电层以及所述侧壁间隔件形成所述子栅极沟槽。

[0011] 在上述方法中,其中,控制所述子栅极沟槽的深度(d)以达到器件性能的预定目标。

[0012] 在上述方法中,进一步包括:在用所述绝缘体保护层填充所述子栅极沟槽之后,使

用化学机械抛光(CMP)去除所述绝缘体保护层的多余部分以暴露所述DFM的顶面。

[0013] 在上述方法中,其中,所述绝缘体保护层包括与所述DFM相比具有基本上不同的蚀刻速率的材料。

[0014] 在上述方法中,其中,通过回蚀工艺去除所述DFM,所述回蚀工艺具有相对于所述绝缘体保护层的蚀刻选择性。

[0015] 在上述方法中,进一步包括:在用所述填充金属填充所述MGCT之后,使用CMP去除多余的填充金属以达到预定的填充金属高度(h)。

[0016] 根据本发明的另一方面,还提供了一种半导体集成电路(IC),所述IC包括:半导体衬底;在所述半导体衬底上形成的栅极介电堆叠件;在所述栅极介电堆叠件上方形成的金属栅极(MG)堆叠件;其中,所述MG堆叠件具有被边缘区域围绕的中心区域;在所述MG堆叠件的中心区域的上部中形成的填充金属;在所述MG堆叠件的边缘区域的上部中形成的绝缘区;以及在所述MG堆叠件的中心区域和边缘区域的下部中形成的功函数(WF)金属堆叠件。

[0017] 在上述IC中,其中,所述栅极介电堆叠件包括:位于所述半导体衬底上的界面层(IL);以及位于所述IL上方的高k(HK)介电层。

[0018] 在上述IC中,进一步包括:位于所述MG堆叠件和所述栅极介电堆叠件上的侧壁间隔件。

[0019] 根据本发明的又一方面,还提供了一种制造半导体集成电路(IC)的方法,所述方法包括:提供半导体衬底;在所述半导体衬底上形成伪栅极;在所述伪栅极上形成侧壁间隔件;去除所述伪栅极以形成栅极沟槽;用功函数(WF)金属堆叠件部分地填充所述栅极沟槽;用伪填充材料(DFM)在所述WF金属堆叠件上方填充剩余的栅极沟槽;在所述栅极沟槽中形成围绕所述DFM的具有预定深度(d)的子栅极沟槽;用绝缘体保护层填充所述子栅极沟槽以在所述栅极沟槽中形成绝缘区;在所述绝缘区形成之后,从所述栅极沟槽完全去除所述DFM,从而在所述栅极沟槽中形成MG中心沟槽(MGCT);用填充金属填充所述MGCT;以及回蚀所述填充金属至预定的金属高度(h)。

[0020] 在上述方法中,其中,所述DFM包括相对于所述WF金属堆叠件的材料具有基本上不同的蚀刻速率的材料。

[0021] 在上述方法中,其中,在所述子栅极沟槽的形成过程中,所述DFM保持相当完好。

[0022] 在上述方法中,其中,所述绝缘区由相对于所述DFM具有基本上不同的蚀刻速率的材料形成。

[0023] 在上述方法中,其中,在所述DFM去除过程中,所述绝缘区保持完好。

附图说明

[0024] 当结合附图进行阅读时,根据下面详细的描述将更好地理解本发明。应该强调,根据工业中的标准实践,各种部件没有被按比例绘制并且仅仅用于说明的目的。实际上,为了清楚的讨论,各种部件的规格可能被任意增大或缩小。

[0025] 图1是制造根据本发明的各方面所构造的半导体集成电路(IC)的示例方法的流程图。

[0026] 图2A至图11是根据图1所述的方法构造的示例半导体集成电路(IC)在各个制造阶段的截面图。

具体实施方式

[0027] 应该理解,为了实施本发明的不同部件,以下公开提供了许多不同的实施例或示例。以下描述元件和布置的特定示例以简化本公开。当然这些仅仅是示例并不打算限定。此外,在以下描述中,在第二工艺之前实施第一工艺可能包括其中第二工艺在第一工艺之后立即实施的实施例,还可能包括其中额外的工艺可能在第一和第二工艺之间实施的实施例。为了简单和清楚,各种部件可以按不同规格任意描绘。此外,在以下描述中,在第二部件上方或上形成第一部件可能包括其中第一部件和第二部件以直接接触形成的实施例,还可能包括其中额外的部件可能在第一和第二部件之间形成的实施例,因此第一和第二部件可能并不直接接触。

[0028] 图1是根据本发明各方面,制造一个或更多的半导体集成电路(IC)的方法100的一个实施例的流程图。为了示例,以下根据图2和图11所示的半导体器件200,详细讨论所述方法100。

[0029] 方法100通过提供半导体衬底210,开始于步骤102。半导体衬底210可以包括:硅,锗,硅锗,砷化镓或者其他合适的半导体材料。或者,所述半导体衬底210可能包括外延层。进一步地,半导体衬底210可能发生应变以增强性能。此外,半导体衬底210可以包括:诸如埋介电层的绝缘体上半导体(SOI)结构。再或者,半导体衬底210可以包括:诸如埋氧(BOX)层的埋介电层,其通过一种被称为植氧分离(SIMOX)技术的方法,晶圆接合,SEG,或者其他合适的方法形成。半导体衬底210还可以包括通过合适工艺形成的鳍状场效应晶体管(FinFET)的鳍结构,诸如光刻图案化工艺和蚀刻工艺。实际上,各种实施例可以包括任意各种各样的衬底结构和材料。

[0030] 半导体衬底210还包括通过注入技术形成的各种掺杂区域(未显示)。例如,半导体衬底210的一部分被掺杂以形成其中将制造n沟道器件的P型区域和P阱。类似的,半导体衬底210的另一部分被掺杂以形成其中将制造p沟道器件的N型区域和N阱。掺杂区域使用诸如硼或BF₂的P型掺杂剂和/或诸如磷或砷的N型掺杂剂掺杂。掺杂区域可以直接在半导体衬底210上,以P阱结构,或以N阱结构,或以双阱结构,抑或用凸起结构形成。

[0031] 半导体衬底210还包括在衬底210中形成以分离各种器件的各种绝缘部件,诸如浅沟槽隔离(STI)。STI的形成可以包括:在半导体衬底210中蚀刻沟槽,用诸如氧化硅,氮化硅,或氧氮化硅的绝缘材料填充该沟槽,并使用化学机械抛光(CMP)去除过多的介电金属层。

[0032] 如图2A和2B所示,方法100通过在半导体衬底210上形成栅极堆叠件230和侧壁间隔件240继续到步骤104。在一种实施例中,界面层(IL)213,通过任何合适的方法,诸如原子层沉积(ALD),化学汽相沉积CVD以及臭氧氧化,被沉积在半导体衬底210上。IL213包括氧化物,HfSiO以及氮氧化物。人们观察到IL可以为某些HK介电栅极堆叠集成问题提供补救,诸如阈值电压固定和降低载流子迁移率。IL213作为防止HK介电材料和衬底之间的不良界面反应的扩散阻挡也很重要。

[0033] 在一个实施例中,使用了后HK方案。如图2A所示,诸如多晶硅的栅极材料220,通过本工艺中熟知的沉积技术,被放置在IL213上方。或者,可以选择性地形成非晶硅层,代替多晶硅层。栅极材料220可以被称为伪栅极220,因为在下游工艺中,它将被金属栅极(MG)替

换。随后,例如,在实施高热预算工艺之后,形成HK介电层。

[0034] 在另外一个实施例中,使用了先HK方案。如图2B所示,HK介电层270被沉积在IL213上,之后将详细描述,并且,所述伪栅极220被沉积在HK介电层270上。

[0035] 此外,在伪栅极220上形成图案化的硬掩模222。图案化的硬掩模222包括氮化硅和/或氧化硅,或者光刻胶。图案化的硬掩模222可以包括多层。图案化的硬掩模222通过光刻工艺和蚀刻工艺图案化。

[0036] 通过使用图案化的硬掩模222作为蚀刻掩模,应用一种蚀刻工艺以形成栅极堆叠件230。蚀刻工艺包括:干蚀刻,湿蚀刻,或干蚀刻与湿蚀刻的组合。干蚀刻工艺可以实施含氟气体(例如,CF₄,SF₆,CH₂F₂,CHF₃,和/或C₂F₆),含氯气体(例如,Cl₂,CHCl₃,CCl₄,和/或BCl₃),含溴气体(例如,HBr和/或CHBR₃),含碘气体,其他合适的气体和/或等离子体,和/或这些的组合。蚀刻工艺可以包括多步骤蚀刻以获得蚀刻选择性,弹性以及需求的蚀刻轮廓。

[0037] 如图2A和2B所示,在栅极堆叠件230形成之后,侧壁间隔件240在栅极堆叠件230的侧壁上形成。侧壁间隔件240可以包括诸如氧化硅,氮化硅,碳化硅,氮氧化硅,或这些的组合的介电材料。在一个实施例中,每个侧壁间隔件240由多层或多个间隔件形成。例如,密封间隔件首先在栅极堆叠件230的侧壁上形成,之后主间隔件在密封间隔件上形成。侧壁间隔件240可以通过沉积和蚀刻工艺以传统的方式形成。

[0038] 方法100通过去除伪栅极220以形成栅极沟槽260继续到步骤106。在一个实施例中,在去除伪栅极220之前,层间介电(ILD)层250在半导体衬底210上的栅极堆叠件230之间形成。ILD层250包括氧化硅,氮氧化物或者其他合适的材料。ILD层250包括单层或多层。ILD层250通过合适的技术形成,诸如CVD,ALD以及旋涂(SOG)。CMP工艺可以被应用以去除过多的ILD层250,并将伪栅极220的上表面暴露给随后的伪栅极去除工艺。

[0039] 在本发明中,使用替换栅极(RPG)工艺方案。通常,在RPG工艺方案中,首先形成伪多晶硅栅极,而在实施高热预算工艺之后,随后被MG替换。在后HK方案的一个实施例中,伪栅极220被去除,以形成带有侧壁间隔件240作为其侧壁的栅极沟槽260,如图3A所示。在后HK方案的另外一个实施例中,IL213也被去除。或者,在先HK方案的一个实施例中,伪栅极220被去除,而IL213和HK介电层270保留,如图3B所示。可以通过干蚀刻,湿蚀刻,或干蚀刻与湿蚀刻的组合去除伪栅极220(IL213和HK介电层270)。例如,湿蚀刻工艺可以包括暴露给含氢氧化物溶液(例如,氢氧化铵),去离子水,和/或者其他合适的蚀刻剂溶液。

[0040] 所述方法100通过在栅极沟槽260中形成功函数(WF)金属堆叠件280继续到步骤108。在后HK方案的一个实施例中,在诸如源极和漏极区域的形成过程中应用高温工艺之后,HK介电层270被沉积在IL213上。在后HK方案的另一个实施例中,如果IL213在之前的工艺步骤中被去除,首先沉积另一个IL层。HK介电层270可以包括LaO,AlO,ZrO,TiO,Ta₂O₅,Y₂O₃,SrTiO₃(STO),BaTiO₃(BTO),BaZrO,HfZrO,HfLaO,HfSiO,LaSiO,AlSiO,HfTaO,HfTiO,(Ba,Sr)TiO₃(BST),Al₂O₃,Si₃N₄,氮氧化物(SiON),或者其他合适的材料。HK介电层270通过合适的技术被沉积,诸如ALD,CVD,物理汽相沉积(PVD),热氧化,这些的组合,或者其他合适的技术。或者,在先HK方案的一个实施例中,HK介电层270在伪栅极220被沉积之前在步骤104中形成。此外,可以实施后HK介电层沉积退火以增强栅极电介质中的湿气控制。

[0041] 如图4所示,WF金属堆叠件280通过在栅极沟槽260中填充WF金属材料而形成(从现在开始,为了简单,只示出后HK方案,因为随后的先HK方案中的工艺与后HK方案中的基本相

似)。WF金属堆叠件280可以包括单层层或多层,诸如WF层,衬层,润湿层,以及粘附层。WF金属堆叠件280可以包括:Ti, TiAlN, TaC, TaCN, TaSiN, Mn, Zr, TiN, TaN, Ru, Mo, WN, 或任何合适的材料。WF金属堆叠件280可以通过ALD, PVD, CVD, 或者其他合适的工艺形成。在WF金属堆叠件280形成之后,栅极沟槽260被部分填充。

[0042] 如图5所示,方法100通过在WF金属堆叠件280的上方用伪填充材料(DFM)290填充剩余的栅极沟槽260继续到步骤110。在一个实施例中,DFM 290被设计成使用一种材料,使得该材料在随后的WF金属堆叠件回蚀工艺中相对于WF金属堆叠件280的材料具有基本上不同的蚀刻速率,这些将在下文详细描述。DFM 290可以包括绝缘材料,诸如氧化硅,氮化硅,氮氧化物,可流动的氧化物或者其他合适的材料。DFM 290通过合适的技术形成,诸如CVD, ALD以及旋涂玻璃法(SOG)。

[0043] 如图6所示,方法100通过反抛光DFM 290和WF金属堆叠件280继续到步骤112。CMP工艺可以被应用以去除过多的DFM 290和WF金属堆叠件280,从而为DFM 290和WF金属堆叠件280以及ILD层250提供基本上平坦的顶面。CMP工艺可以包括一种原位CMP工艺或两种分离的CMP工艺。或者,DFM 290首先通过干蚀刻,湿蚀刻,或干蚀刻与湿蚀刻的组合被回蚀,而CMP紧随其后以回蚀WF金属堆叠件280。

[0044] 方法100通过在栅极沟槽260中形成围绕DFM的子栅极沟槽300继续到步骤114。DFM在子栅极沟槽300的形成过程中保持完好。在一个实施例中,如图7所示,子栅极沟槽300通过使WF金属堆叠件280在栅极沟槽260中进一步地凹进形成。在另外一个实施例中,子栅极沟槽300通过使WF金属堆叠件280和HK介电层270(未显示)凹进形成。在另外一个实施例中,子栅极沟槽300通过使WF金属堆叠件280, HK介电层270以及侧壁间隔件240(未显示)凹进形成。子栅极沟槽300的深度(d)被控制以达到半导体器件200性能的预定目标。凹进工艺可以被配置以具有相对于DFM 290基本上高的蚀刻选择性。选择性蚀刻包括干蚀刻,湿蚀刻,或干蚀刻与湿蚀刻的组合。借由蚀刻选择性,子栅极沟槽300可以形成为具有自对准特性。或者,子栅极沟槽300也可以通过光刻法和蚀刻工艺形成。

[0045] 如图8所示,方法100通过在子栅极沟槽300中填充绝缘体保护层310以形成绝缘区315继续到步骤116。绝缘体保护层310包括氧化硅,氮化硅,碳化硅,氮氧化物或者其他合适的材料。绝缘体保护层310被配置为使得在随后的去除DFM 290的蚀刻工艺中获得相对于DFM 290的材料基本上不同的蚀刻速率,这将在下文具体描述。在一个实施例中,如图9所示,CMP工艺被应用,以去除多余的绝缘体保护层310,进而为了随后的蚀刻工艺暴露DFM 290的顶面。

[0046] 如图10所示,方法100通过完全去除DFM 290以在栅极沟槽260的中心形成MG中心沟槽(MGCT)320继续到步骤118。在一个实施例中,蚀刻工艺被配置从而相对于WF金属堆叠件280和绝缘体保护层310具有基本上高的DFM 290蚀刻选择性。在DFM去除过程中,WF金属堆叠件280和绝缘区315保持相当完好。蚀刻完全去除DFM 290以形成MGCT320。选择性蚀刻包括干蚀刻,湿蚀刻,或干蚀刻与湿蚀刻的组合。借由蚀刻选择性, MGCT沟槽320可以形成为具有自对准特性。在另外一个实施例中,以常规方式的图案化和蚀刻工艺形成MGCT 320。MGCT 320在栅极沟槽260的中间形成,具有由WF金属堆叠件280形成的下部和由绝缘区315形成的上部。

[0047] 如图11所示,方法100通过用填充金属330填充MGCT 320继续到步骤120。填充金属

330可以包括:铝(Al),铜(Cu)或钨(W),或者其他合适的传导材料。填充金属330通过ALD, PVD, CVD,或者其他合适的工艺沉积。如图11所示,填充金属330和WF金属堆叠件280共同形成MG 350。此外,填充金属330被回蚀到预定高度(h)以获得栅极电阻的调整。在一个实施例中,金属CMP工艺被应用以去除多余的填充金属330,进而为填充金属330,绝缘体保护层310以及ILD层250提供基本上平坦的顶面。因为MG 350的顶面包括隔离区域315的顶面,金属区域的数量在金属CMP工艺中减少,而它导致CMP凹陷降低。MG 350在HK介电层270和IL213上方形成,被称为栅极介电堆叠件。以具有被边缘区域围绕的中心区域的方式形成MG 350。其中,中心区域的上部由填充金属330形成,边缘区域的上部由绝缘区315形成,中心和边缘区域的下部都由WF金属堆叠件形成。

[0048] 方法100可以进一步包括通过合适的技术(诸如一次或多次的离子注入)形成源极/漏极(S/D)区域。S/D区域可以进一步包括轻掺杂(LDD)和重掺杂区域。在源极和漏极(S/D)区域形成之后,可以实施一次或更次的退火工艺。退火工艺可以包括快速热退火(RTA),激光退火,或者其他合适的退火工艺。在一个实施例中,S/D区域包括外延生长的半导体材料,从而为适当的应变作用形成应变结构,导致增强载流子迁移率。形成应变结构的方法包括应用蚀刻工艺在半导体衬底210中形成凹槽,并在凹槽中外延生长晶体半导体材料。

[0049] 方法100也可以进一步包括形成多层互连。多层互连(未显示)可以包括诸如常规通孔或接触件的垂直互连件,和诸如金属线的水平互连件。各种互连部件可以使用各种导电材料,包括铜,钨和硅化物。在一个示例中,使用镶嵌工艺以形成铜相关多层互连结构。在另外一个实施例中,使用钨以在接触孔中形成钨塞。

[0050] 基于以上,可以看出本发明提供一种IC制造方法,该方法具有填充和去除伪填充材料(DFM)的方案。通过与DFM合作,WF金属堆叠件的形成可以与填充金属的形成分开。这显著地放宽了MG蚀刻中的工艺限制,诸如为了同时满足IC器件性能和MG蚀刻工艺的需求,需要WF金属和填充金属的合适的匹配材料。该方法表现出在MG的形成中极大地降低了金属CMP凹陷和WF金属凹进的失败现象。MG通过该方法形成,该方法可调整填充金属高度和WF金属堆叠件高度,从而满足器件性能的需求。

[0051] 本发明提供许多不同的制造半导体IC的实施例,其在现有技术之上提供了一种或更多的改进。在一个实施例中,制造半导体集成电路(IC)的方法包括:提供具有栅极沟槽的半导体衬底。该方法还包括:用功函数(WF)金属堆叠件部分填充该栅极沟槽,用伪填充材料(DFM)在该WF金属堆叠件上方填充剩余的栅极沟槽,在该栅极沟槽中形成围绕DFM的子栅极沟槽,用绝缘体保护层填充该子栅极沟槽,在该栅极沟槽中形成绝缘区,随后完全去除该DFM,以在该栅极沟槽中形成MG中心沟槽(MGCT),并用填充金属填充该MGCT。

[0052] 在另外一个实施例中,通过本发明的方法制造的半导体IC包括半导体衬底,在该半导体衬底上形成的栅极介电堆叠件,在该栅极介电堆叠件上方形成的金属栅极(MG)堆叠件;其中,该MG堆叠件具有被边缘区域围绕的中心区域,在该MG堆叠件的中心区域的上部中形成的填充金属,在该MG堆叠件的边缘区域的上部中形成的绝缘区,以及在该MG堆叠件的中心和边缘区域的下部形成的功函数(WF)金属堆叠件。

[0053] 在另外一个实施例中,制造半导体集成电路(IC)的方法包括提供半导体衬底,在该半导体衬底上形成伪栅极,在该伪栅极上形成侧壁间隔件,去除该伪栅极以形成栅极沟槽,用功函数(WF)金属堆叠件部分地填充该栅极沟槽,用伪填充材料(DFM)在该WF金属堆叠

件上方填充剩余的栅极沟槽,去除WF金属堆叠件的一部分,以在该栅极沟槽中形成具有预定深度(d)的子栅极沟槽,用绝缘体保护层填充该子栅极沟槽,以在该栅极沟槽中形成绝缘区,从该栅极沟槽中完全去除DFM,以在该栅极沟槽中形成MG中心沟槽(MGCT),并用填充金属填充该MGCT;以及回蚀该填充金属到预定金属高度(h)。

[0054] 上面论述了若干实施例的特征,使得本领域普通技术人员可以更好地理解本发明的各个方面。本领域普通技术人员应该理解,可以很容易地使用本发明作为基础来设计或更改其他用于达到与这里所介绍实施例相同的目的和/或实现相同优点的处理和结构。本领域普通技术人员也应该意识到,这种等效构造并不背离本发明的精神和范围,并且在不背离本发明的精神和范围的情况下,可以进行多种变化、替换以及改变。



图1

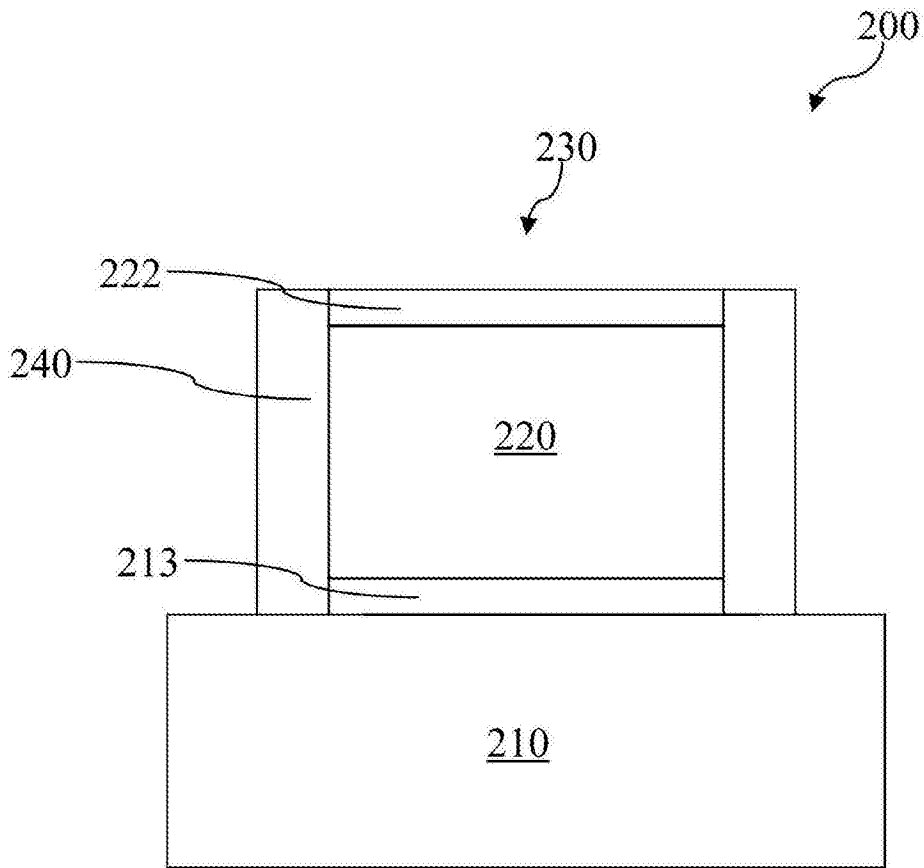


图2A

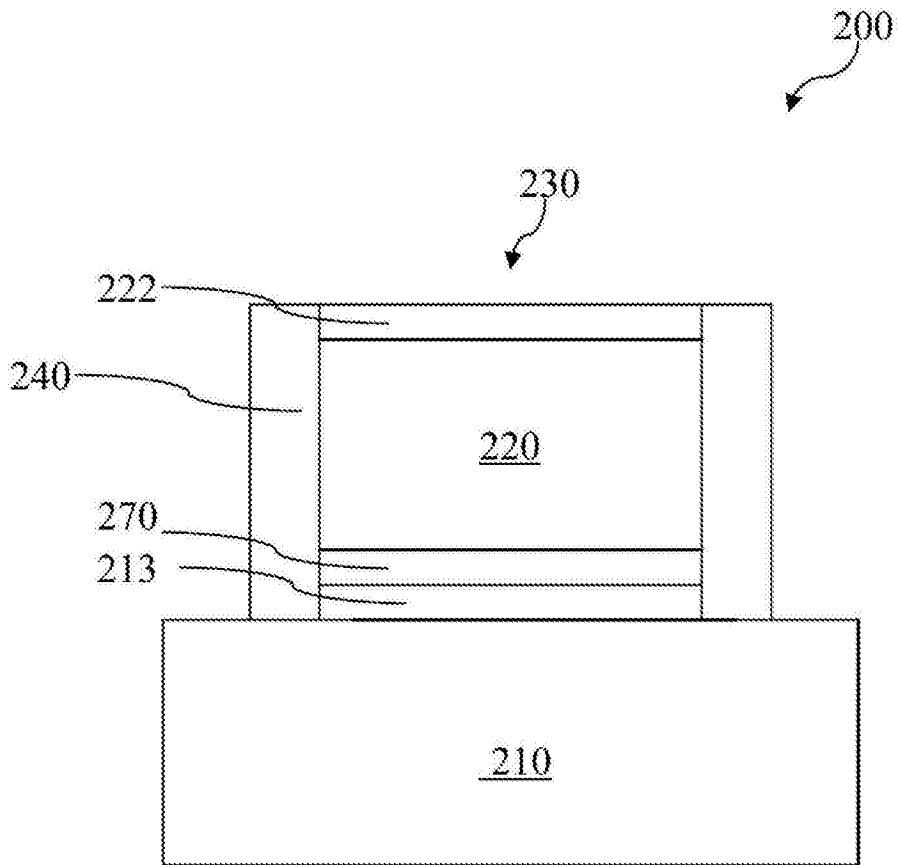


图2B

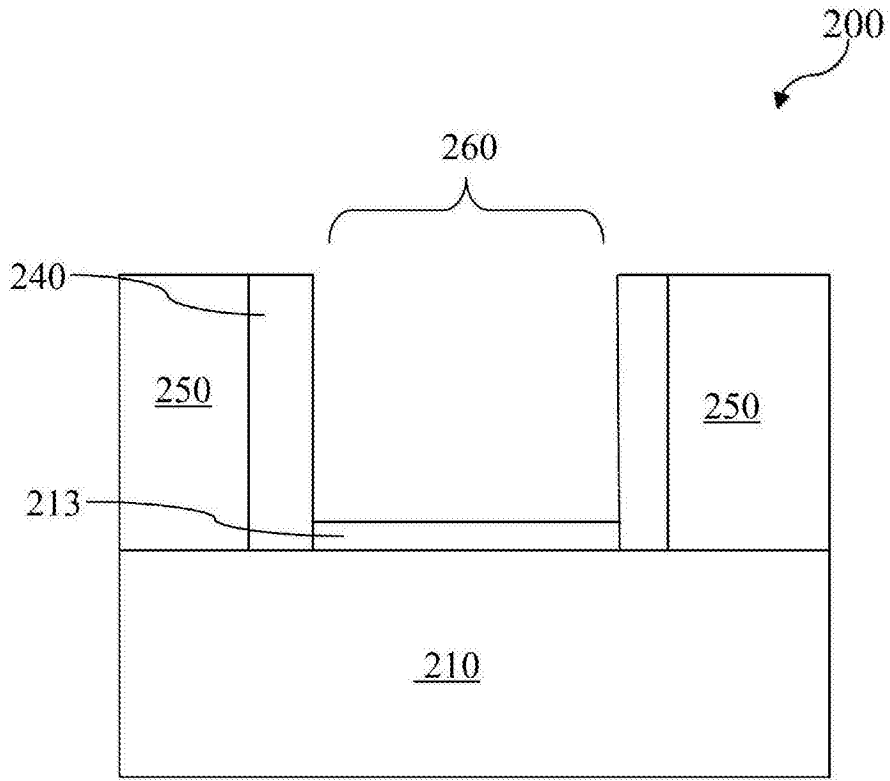


图3A

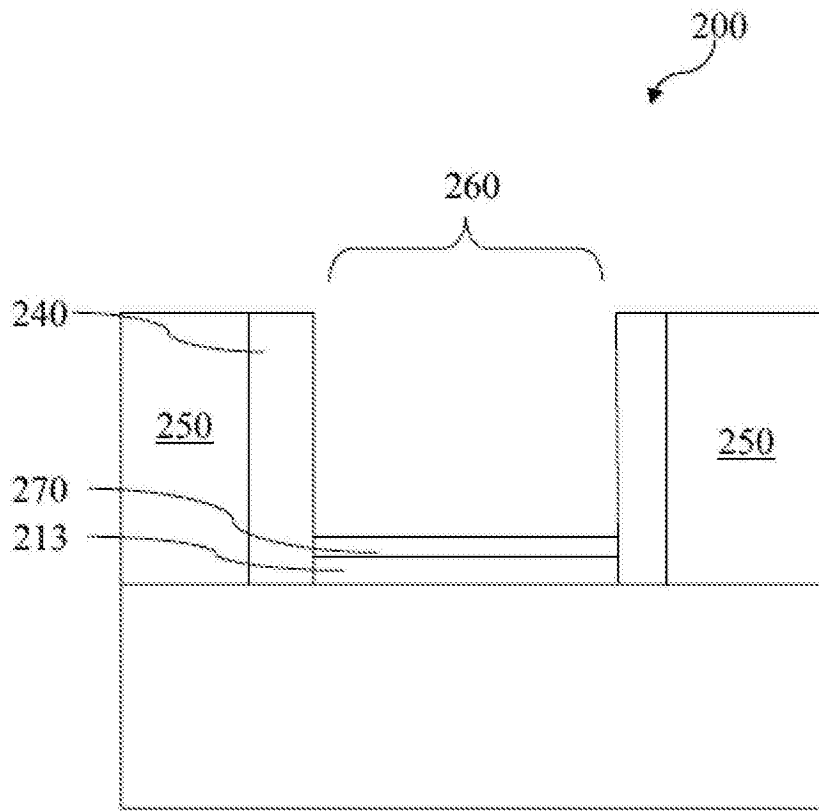


图3B

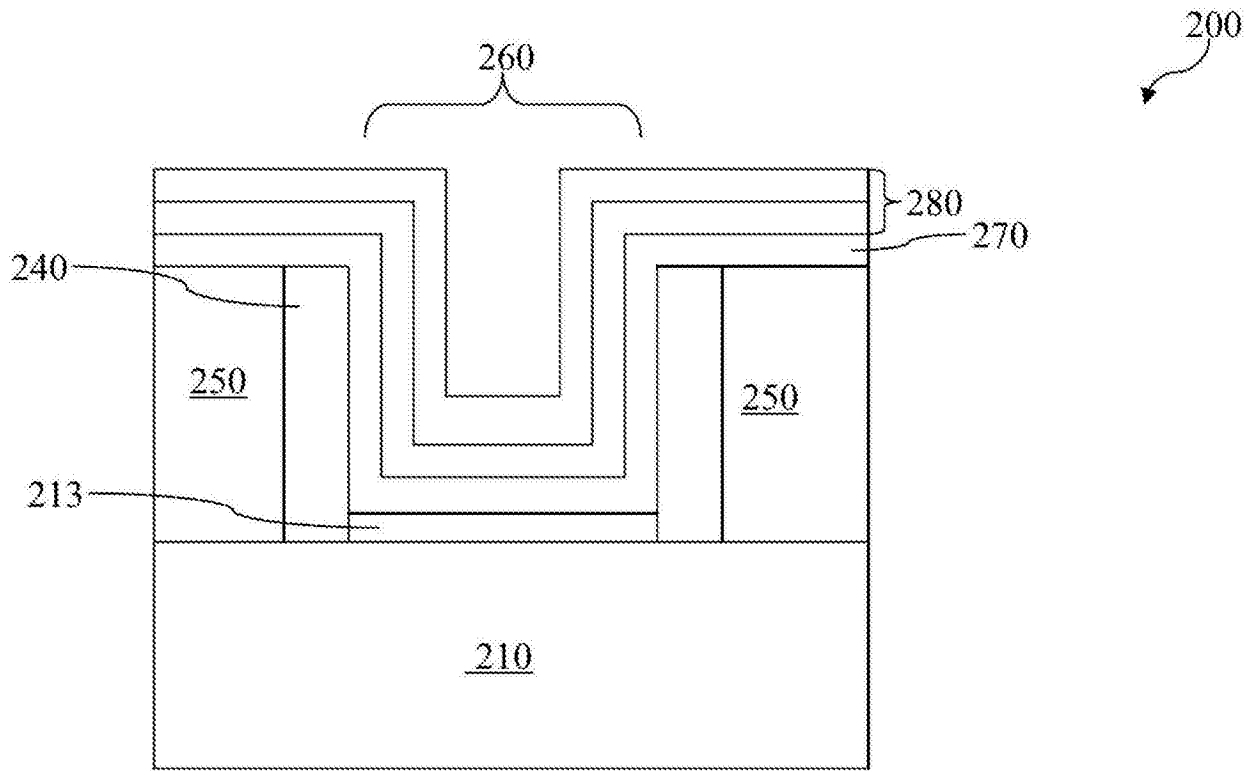


图4

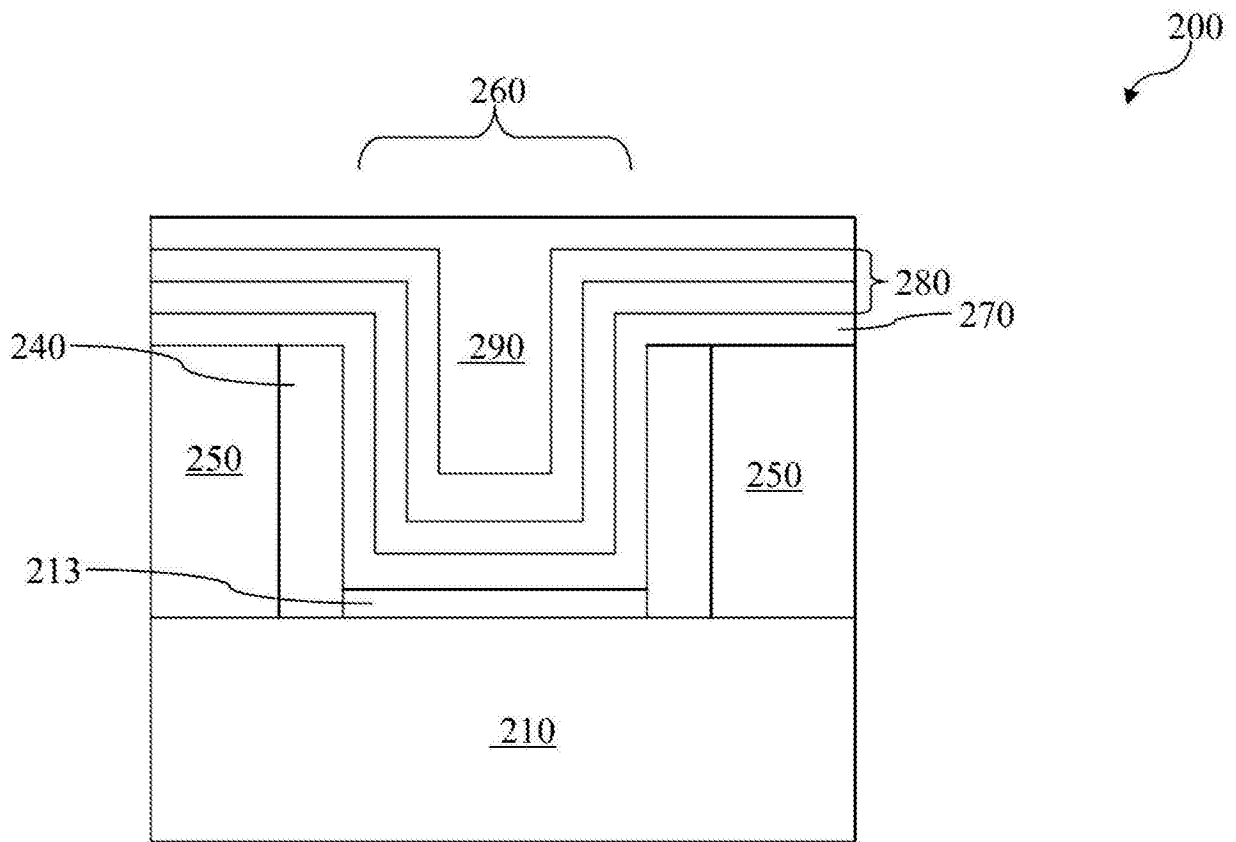


图5

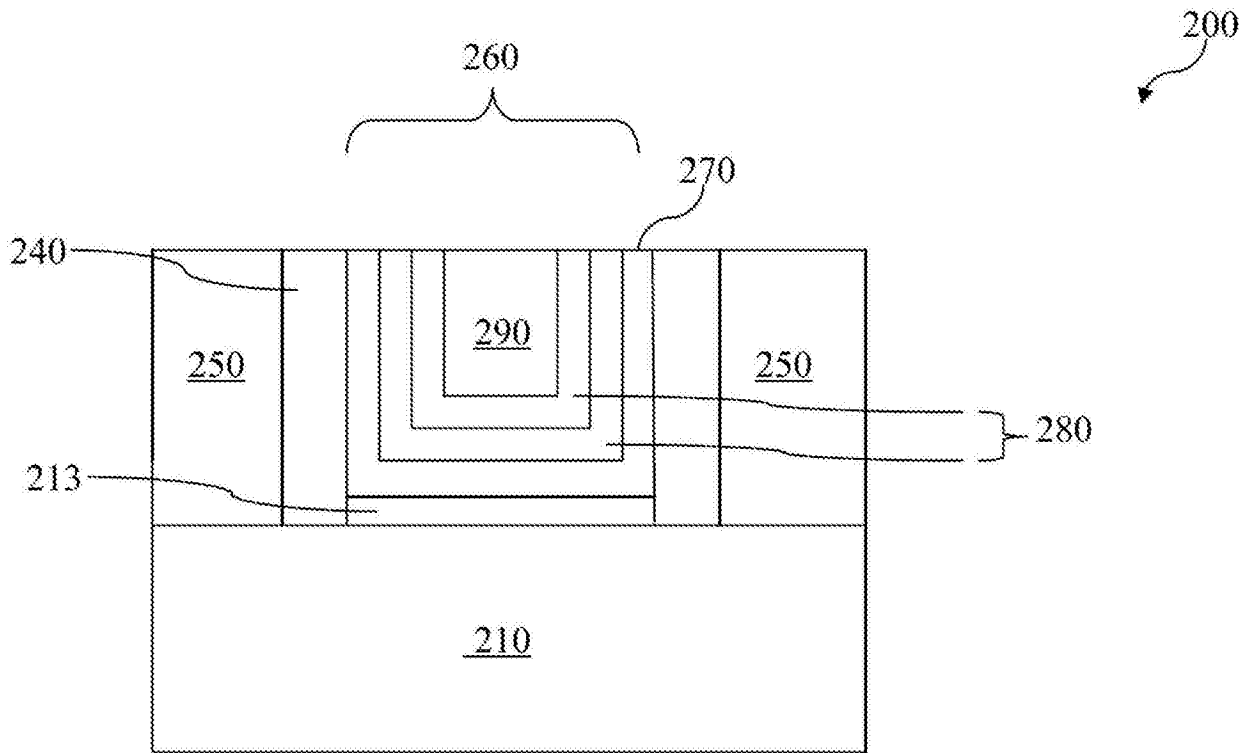


图6

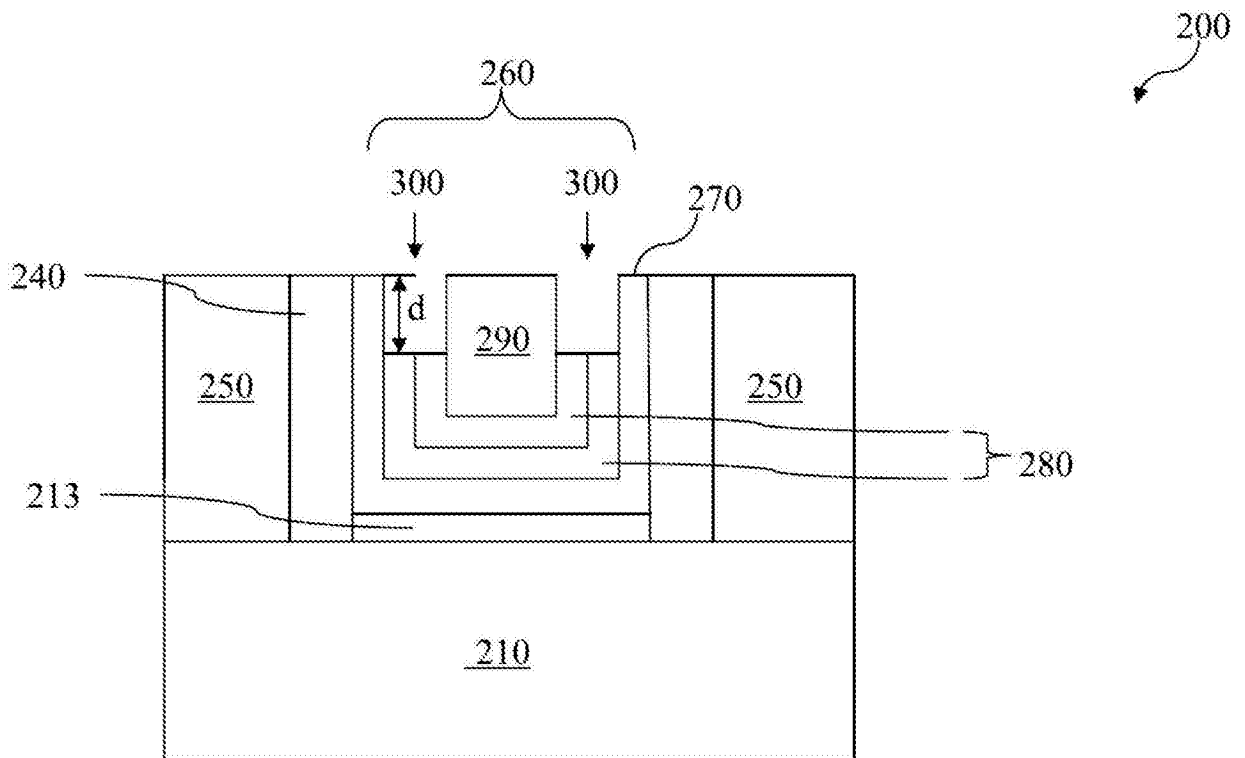


图7

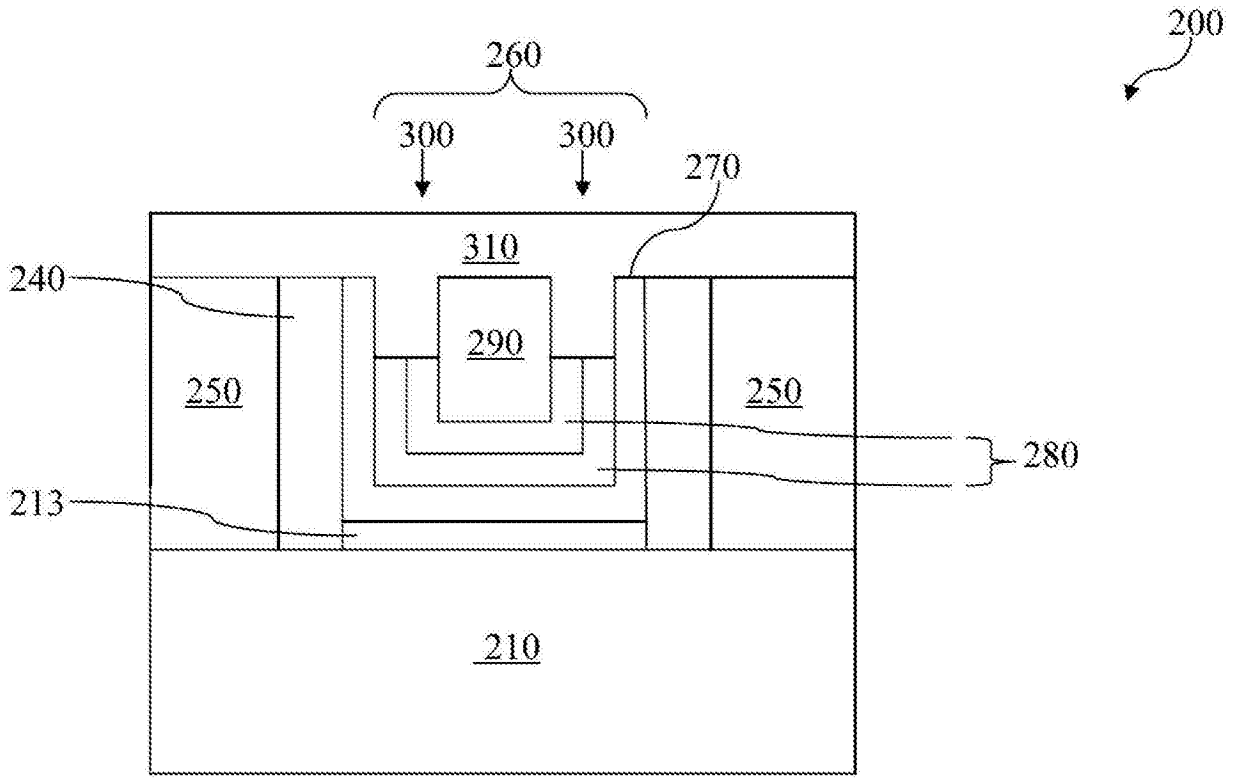


图8

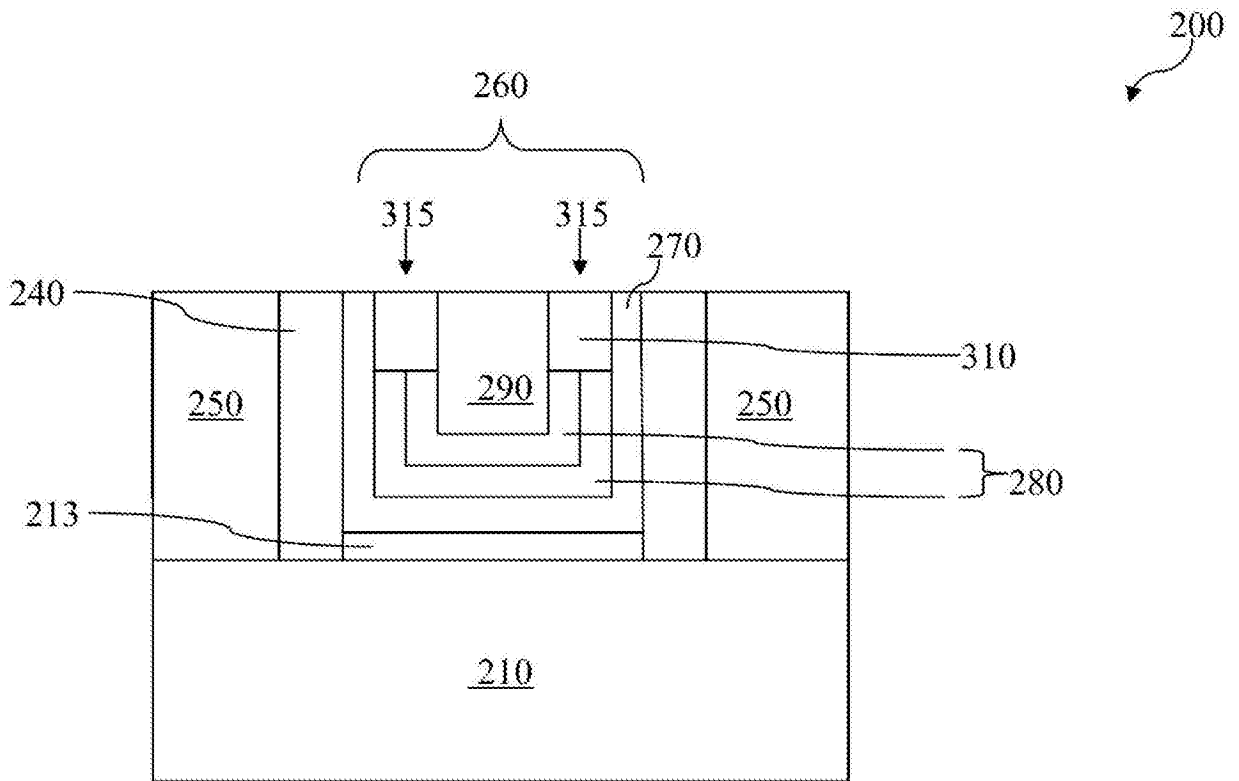


图9

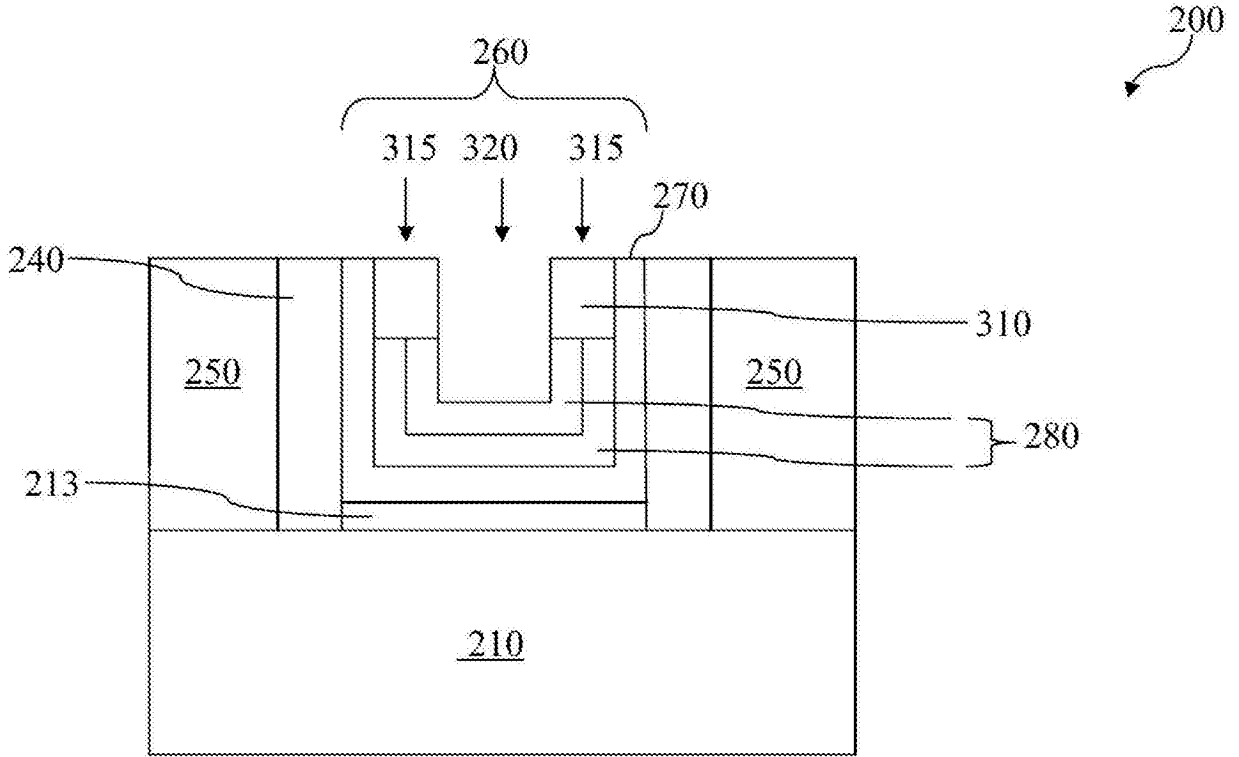


图10

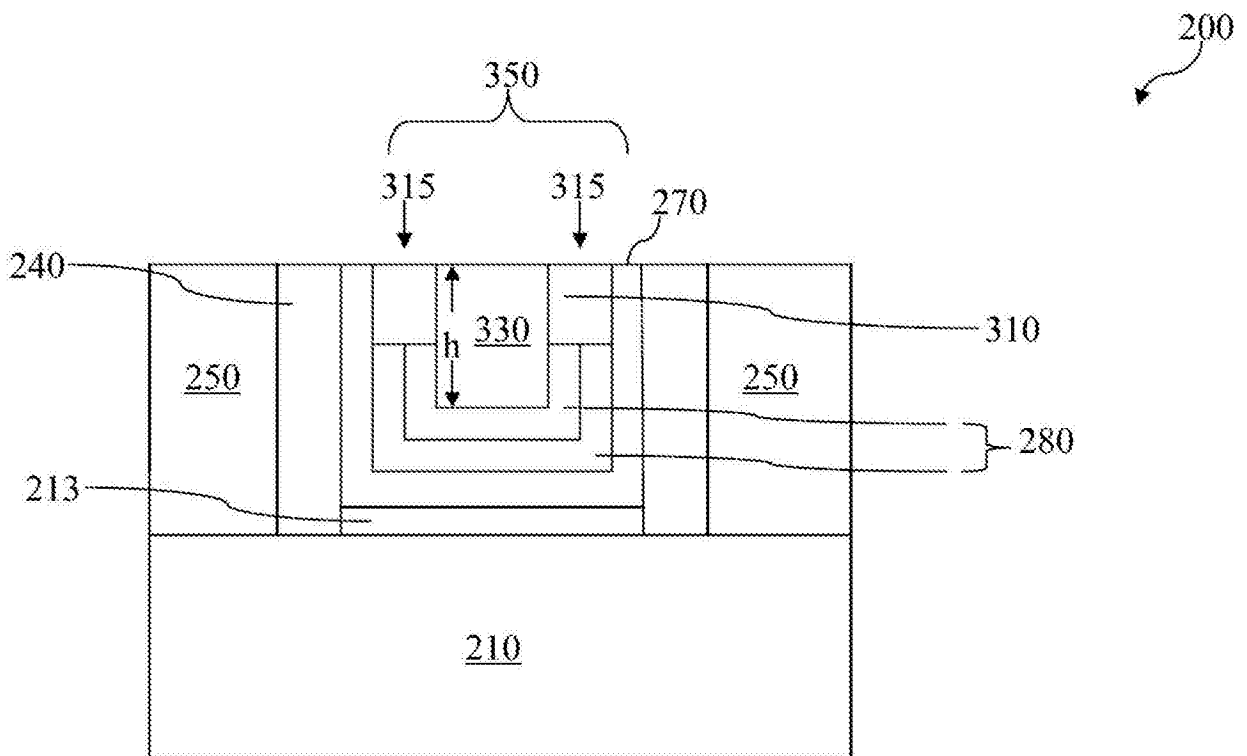


图11