

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成22年12月2日(2010.12.2)

【公開番号】特開2008-147628(P2008-147628A)

【公開日】平成20年6月26日(2008.6.26)

【年通号数】公開・登録公報2008-025

【出願番号】特願2007-270800(P2007-270800)

【国際特許分類】

H 0 1 L 25/10 (2006.01)

H 0 1 L 25/11 (2006.01)

H 0 1 L 25/18 (2006.01)

【F I】

H 0 1 L 25/14 Z

【手続補正書】

【提出日】平成22年10月14日(2010.10.14)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 の外周によって画定される第 1 および第 2 の主要平坦表面を有する第 1 の基板と、前記第 1 の基板の前記第 2 の主要平坦表面に電氣的に結合された第 1 の半導体ダイと、第 2 の外周によって画定される第 1 および第 2 の主要平坦表面を有する第 2 の基板と、前記第 2 の基板の前記第 1 の主要平坦表面を、前記第 1 の基板の前記第 2 の主要表面に電氣的に結合させるように構成された第 1 の複数の垂直コネクタと、

前記半導体ダイと、前記第 1 の基板の前記第 2 の表面との間に位置し、かつ、前記垂直コネクタの少なくともいくつかの少なくとも一部分を包含する第 1 の封入樹脂とを備え、前記垂直コネクタが、前記第 1 の外周および第 2 の外周内に実質的に配置され、前記第 2 の基板の前記第 2 の主要平坦表面が、1 つまたは複数の電子部品を受けるように実質的に利用可能である、半導体パッケージ。

【請求項 2】

前記第 1 の半導体ダイが、フリップチップ構成で、前記第 1 の基板の前記第 2 の主要平坦表面に電氣的に結合される、請求項 1 に記載の半導体パッケージ。

【請求項 3】

前記第 1 の基板の前記第 2 の表面と、前記第 2 の基板の前記第 1 の表面との間に位置する第 2 の封入樹脂をさらに備える、請求項 1 に記載の半導体パッケージ。

【請求項 4】

前記第 1 の封入樹脂と、前記第 2 の封入樹脂とが、連続した樹脂材料を備える、請求項 3 に記載の半導体パッケージ。

【請求項 5】

前記第 1 の複数の垂直コネクタの少なくとも 1 つが、ボンド・オン・リード(BOL)接続を備える、請求項 1 に記載の半導体パッケージ。

【請求項 6】

前記第 1 の複数の垂直コネクタの 1 つの少なくとも一部分が、スタッドバンプを備える、請求項 1 に記載の半導体パッケージ。

【請求項 7】

前記第2の基板の前記第2の主要平坦表面が、電子部品を受けるように構成される、請求項1に記載の半導体パッケージ。

【請求項8】

前記第2の基板の前記第2の主要平坦表面が、ボールグリッドアレイを受けるようにさらに構成され、前記ボールグリッドアレイの少なくとも一部分が、約0.25mmから約1.0mmの間のボールピッチを有する、請求項7に記載の半導体パッケージ。

【請求項9】

前記第1の外周が、複数の外周側部を備え、前記第1の複数の垂直コネクタの少なくともいくつか、前記外周側部の2つ以上に位置する、請求項1に記載の半導体パッケージ。

【請求項10】

前記第1の複数の垂直コネクタの少なくともいくつか、前記第1および第2の外周の少なくとも1つに沿って、概ね直径方向に対向する、請求項1に記載の半導体パッケージ。

【請求項11】

前記第1の基板が第1の基板縁部を有し、前記第1の半導体ダイが第1のダイ縁部を有し、前記第1のダイ縁部と、前記第1の基板縁部との間の水平距離が、約0.25mmから約1.5mmの間である、請求項1に記載の半導体パッケージ。

【請求項12】

前記第1のダイ縁部と、前記第1の基板縁部との間の前記水平距離が、約0.25mmから約1.0mmの間である、請求項11に記載の半導体パッケージ。

【請求項13】

前記第1の基板が第1の基板縁部を有し、前記第1の半導体ダイが第1のダイ縁部を有し、前記第1のダイ縁部と、前記第1の基板縁部との間の水平距離が、垂直コネクタの幅にほぼ等しい、請求項1に記載の半導体パッケージ。

【請求項14】

前記第1の基板に面した前記第1の半導体ダイの表面と、前記第2の基板の前記第1の主要平坦表面との間の垂直距離が、約0.2mm未満である、請求項1に記載の半導体パッケージ。

【請求項15】

第3の外周によって画定される第1および第2の主要平坦表面を有する第3の基板と、前記第3の基板の前記第2の主要平坦表面に電気的に結合された第2の半導体ダイと、前記第1の基板の前記第1の主要平坦表面を、前記第3の基板の前記第2の主要平坦表面に電気的に結合させるように構成された第2の複数の垂直コネクタとをさらに備える、請求項1に記載の半導体パッケージ。

【請求項16】

第1の基板と、半導体ダイと、第2の基板と、1つまたは複数の垂直コネクタとを設け、前記第1および第2の基板がどちらも、第1および第2の主要平坦表面を有するステップと、

前記第1の基板の前記第2の主要平坦表面と、前記第2の基板の前記第1の主要平坦表面と、前記1つまたは複数の垂直コネクタの少なくとも1つとによって、前記ダイを前記第2の基板の前記第2の主要平坦表面に電気的に結合させるステップであって、少なくとも1つまたは複数の垂直コネクタを、前記第1の基板の前記第2の主要平坦表面に結合させるステップを含む、前記ダイを電気的に結合させるステップと、

前記ダイと、前記第1の基板との間に封入樹脂を設けるステップであって、前記封入樹脂が、前記垂直コネクタの前記少なくとも1つまたは複数、前記第1の基板の前記第2の主要平坦表面に結合させる前記ステップの後に設けられ、前記第2の基板の前記第2の主要平坦表面が、1つまたは複数の電子部品を受けるように実質的に利用可能である、封入樹脂を設けるステップとを含む、半導体パッケージを製造する方法。

【請求項17】

前記第 1 の基板と前記第 2 の基板との間に封入樹脂を設けるステップをさらに含む、請求項 1 6 に記載の方法。

【請求項 1 8】

前記封入樹脂の少なくともいくらかが、印刷封入によって設けられる、請求項 1 7 に記載の方法。

【請求項 1 9】

前記封入樹脂の少なくともいくらかが、トランスファモールドによって設けられる、請求項 1 7 に記載の方法。

【請求項 2 0】

前記封入樹脂の少なくともいくらかが、ノーフローアンダーフィル分注によって設けられる、請求項 1 7 に記載の方法。

【請求項 2 1】

前記封入樹脂の少なくともいくらかが、アンダーフィルによって設けられる、請求項 1 7 に記載の方法。

【請求項 2 2】

前記ダイと前記第 1 の基板との間の前記封入樹脂の一部分と、前記第 1 の基板と前記第 2 の基板との間の前記封入樹脂の一部分とが、実質的に同時に設けられる、請求項 1 7 に記載の方法。

【請求項 2 3】

前記ダイと前記第 1 の基板との間の前記封入樹脂の一部分と、前記第 1 の基板と前記第 2 の基板との間の前記封入樹脂の一部分とが、1 つのステップで設けられる、請求項 1 7 に記載の方法。

【請求項 2 4】

前記ダイを前記第 2 の基板の前記第 2 の主要平坦表面に電氣的に結合させるステップが、

前記ダイを前記第 1 の基板の前記第 2 の主要表面に電氣的に結合させるステップと、

前記 1 つまたは複数の垂直コネクタによって、前記第 1 の基板の前記第 2 の表面を、前記第 2 の基板の前記第 1 の表面と電氣的に結合させるステップとを含む、請求項 1 6 に記載の方法。

【請求項 2 5】

前記第 1 の基板の前記第 2 の主要平坦表面によって、前記ダイを前記第 2 の基板の前記第 2 の主要平坦表面に電氣的に結合させるステップが、

複数のはんだボールを用いて、前記ダイを前記第 1 の基板の前記第 2 の主要平坦表面に取り付けるステップと、

前記 1 つまたは複数の垂直コネクタと前記はんだボールとをほぼ同時にリフローするステップとを含む、請求項 1 6 に記載の方法。

【請求項 2 6】

前記第 1 の基板が第 1 の縁部を有し、前記ダイが第 1 の縁部を有し、前記ダイの前記第 1 の縁部と、前記第 1 の基板の前記第 1 の縁部との間の水平距離が、約 0 . 2 5 mm から約 1 . 5 mm の間である、請求項 1 6 に記載の方法。

【請求項 2 7】

前記ダイの前記第 1 の縁部と、前記第 1 の基板の前記第 1 の縁部との間の前記水平距離が、約 0 . 2 5 mm から約 1 . 0 mm の間である、請求項 2 6 に記載の方法。

【請求項 2 8】

前記半導体ダイを取り付ける前記ステップと、前記第 2 の基板を設ける前記ステップとが、実質的に同時に実施される、請求項 1 6 に記載の方法。

【請求項 2 9】

追加の半導体デバイスを前記第 2 の基板の前記第 2 の主要平坦表面に電氣的に結合させるステップをさらに含む、請求項 1 6 に記載の方法。

【請求項 3 0】

請求項 1 6 に記載の方法に従って製造された半導体パッケージ。

【請求項 3 1】

第 1 の外周によって画定される第 1 および第 2 の主要平坦表面を有する第 1 の基板であって、前記第 2 の主要平坦表面が、そこに結合された半導体ダイを有する第 1 の基板と、第 2 の外周によって画定される第 1 および第 2 の主要平坦表面からなる第 2 の基板であって、前記第 2 の基板の前記第 1 の主要平坦表面が、1 つまたは複数の垂直コネクタによって、前記第 1 の基板の前記第 2 の主要平坦表面に効果的に結合される第 2 の基板とを備え、前記垂直コネクタが、前記第 1 の外周および前記第 2 の外周内に実質的に配置され、前記第 1 の基板が第 1 の基板縁部を有し、前記ダイが第 1 のダイ縁部を有し、前記第 1 のダイ縁部と、前記第 1 の基板縁部との間の水平距離が、約 0 . 2 5 m m から約 1 . 5 m m の間である、半導体パッケージ。