

**(19) 대한민국특허청(KR)**  
**(12) 특허공보(B1)**

(51) Int. Cl.<sup>4</sup>  
H01L 29/74

(45) 공고일자 1989년 11월 04일  
(11) 공고번호 89-004468

(21) 출원번호	특 1985-0001124	(65) 공개번호	특 1985-0006654
(22) 출원일자	1985년 02월 22일	(43) 공개일자	1985년 10월 14일

(30) 우선권주장	59-51623 1984년 03월 15일 미국(US)
(71) 출원인	미쓰비시 덩기 가부시끼가이샤 가다야미 정 하찌로오 일본국 도오쿄도 지요다구 마루노우찌 2쵸메 2-3 미쓰비시 덩기 가부시끼가이샤

(72) 발명자	도꾸 노오 후도시 일본국 효고Ken 이다미시 미즈하자 4쵸메 1반찌 미쓰비시 덩끼 가부시끼 가이샤 기다이다 미세이사꾸쇼 나이
(74) 대리인	김영길

**심사관 : 정용철 (책자공보 제1684호)**

**(54) 반도체 장치**

**요약**

내용 없음.

**대표도**

**도1**

**영세서**

[발명의 명칭]

반도체 장치

[도면의 간단한 설명]

제 1 도는 환상 게이트 구조의 게이트 턴 오프 사이리스터의 음극 게이트 패턴을 표시한 평면도.

제 2 도는 종래의 게이트 턴 오프 사이리스터에 게이트 인출용 와이어 본디를 실시한 상태를 표시한 사시도.

제 3 도는 종래의 센터 게이트 가압방식의 사이리스터 구조를 표시한 단면도.

제 4 도는 본 발명의 일실시예인 게이트 인출전극의 구조를 표시한 단면도.

제 5 도는 본 발명의 일실시예인 게이트 턴 오프 사이리스터를 표시한 단면도.

제 6 도는 상기 실시예의 게이트 인출전극의 변형 실시예를 표시한 사시도이다.

제 7 도는 제 1 도 사이리스터의 단면도.

제 8 도는 제 2 도의 사이리스터의 단면도.

\* 도면의 주요부분에 대한 상세한 설명

13 : 외부제어전극

14 : 제어전극 인출전극

14a : 인출전극 본체(환상 금속부)

14b : 절연성 피막

14c : 제어리이드부

14d : 접촉부

17 : 스프링

21 : 반도체 기체(엘레멘트) 도면중 동일

부호는 동일 또는 상당부분을 표시한 것이다.

[발명의 상세한 설명]

본 발명의 환상(環狀) 제어전극이 있는 반도체 장치에 있어 제어전극 인출구조의 개량 발명에 관한 것이다. 종래에 있어서는 대용량의 게이트 턴 오프 사이리스터, 트란지스터에 있어서는 대용량화에

수반하는 제어용전극(게이트 또는 베이스)에 흐르는 전류가 크게 되어 근자에는 수 10A~수 100A의 전류가 흐르는 것도 실용화 되었다. 특히 대용량 게이트 턴 오프 사이리스터에는 턴 오프시 필요한 게이트 역전류가 크며, 더욱기 순간적으로 균일하게 전류를 흐르게 하여야 하는 필요성 때문에 게이트, 카소오드간의 인피던스를 극력 작아지게 하는 연구가 지속되어 왔다. 예를들면 게이트 전극 부분의 형상을 환산으로 하며 인출부분에서 에미터영역까지의 거리 단축과 전류 분포의 균일화와 격감시키는 것을 기도하고 있는 것이다.

제 1 도는 종래의 반도체 장치의 제 1 실시예를 도시한 것이고 이것은 상기한 환상의 게이트 전극 구조로된 게이트 턴 오프 사이리스터의 엘레먼트의 평면 패턴을 도시한 것이다. 도면중 1은 엘레먼트, 1a는 실리콘 웨이파, 1b는 실리콘 웨이파 1a를 지지하는 보강판, 1c를 게이트 전극, 1d는 캐소오드 전극 1e, 1f는 게이트의 접전 전극 부분이다.

그런데 상기한 종래의 제 1 실시예에 의한 게이트 턴 오프 사이리스터에 있어서는, 주로 와이어 본딩에 의한 엘레먼트 1의 게이트 전극 1c와 외부의 게이트 전극(도시생략)과를 직접 접촉한 것이고 제 2 도는 이와같은 게이트 전극의 인출구조를 사시도로 도시한 것이다. 도면중 2는 본딩용 알루미늄선이며, 이 알루미늄 선 2에는 통상적으로 지금 0.3~0.7mm의 것이 사용되고, 또한 이 알루미늄선 2는 게이트 전류의 통전분포를 균일하게 하기 위하여 엘리멘트 1의 환상 게이트 접전전극 1e에 대하여 대략 등간격으로 몇개소 내지 수 10개소를 본딩 처리할 필요가 있는 것이다.

또한 이와같은 대용량의 게이트 턴 오프 사이리스터에 있어서는 엘리멘트 1의 캐소오드 전극 1d면과 외부 캐소오드 전극(도시생략)과의 사이에 열스트레스를 완화시키기 위한 삽입판을 삽입시키는 것이 보편화되고 있다. 이 삽입판은 실리콘과 열팽창계수가 근사한 몰리브덴, 텅스텐 등의 재료를 사용하여 형성하고, 또한 이 삽입판은 캐소오드 전극 1d에 대하여 소정된 위치에서 고정시켜야 할 필요가 있으므로, 예를들면 내열성 고분자 물질 등에 의하여 삽입판을 엘리멘트 1의 캐소오드 전극 1d 상면에 접착하는 등의 특별수단이 필요하고, 이와같은 접착을 위하여 종래의 장치에 있어서는 작업성이 나쁠뿐만 아니라, 본딩부분이 기계적 스트레스에 의하여 또는 히ート 사이클시에 열스트레스에 의하여 박리되거나 와이어 절단 되거나 하는 위험성이 있었다.

더우기 종래 장치에 있어서는 본딩에 사용되는 와이어 자체의 전기 저항을 무시할 수가 없어서 특히 수 100A의 대전류를 흐르게 할 경우에는 와이어 부분의 저항이 크면 주전류를 차단하였을 경우에 게이트로부터 캐리어 배출이 불충분하고, 이것이 원인으로 게이트 턴 오프 사이리스터의 가제어(可制御)전류의 용량을 저하시키게 되는 것이다.

그런데 게이트 턴 오프 사이리스터가 대용량화가 됨에 따라서 엘리멘트의 대구경화가되고, 이에 따라서 상술한 게이트와이어의 배선길이가 길어지고, 한편 차단에는 필요로 하는 게이트 전류는 증가되기 때문에 게이트 배선 부분의 전기 저항은 더욱 저하시킬 필요가 있는 것이다.

게이트 배선부분에 전기 저항을 낮게하여 게이트에 대전류를 공급하는 방법으로서는 종래 게이트 인출용 전극을 엘리멘트에 가압 접촉시키는 방법이 있고, 이 방법은 게이트가 엘리멘트 중앙부에 있는 센터게이트 구조의 사이리스터나, 대용량의 트랜지스터 등에 실시할 경우 매우 효과가 있었다.

제 3 도는 종래의 반도체 장치에 대한 제 2 실시예를 도시한 것이고, 이것은 상기한 게이트 인출용 전극을 엘리멘트에 가압 접촉시키는 구조의 사이리스터의 단면 구조도이다. 도면중 1은 사이리스터 엘리멘트, 3은 삽입판, 4는 외부 음극전극, 5는 게이트 인출리아드, 6은 게이트 인출리아드 5 및 삽입판 3을 외부 음극전극 4에 대하여 위기 결정하는 절연성 지지부재, 7은 게이트 인출리아드 5의 선단부 5a를 절연성 지지부재 6으로 사이리스터 엘리멘트 1에 가압하는 스프링, 8은 상기 인출리아드 5를 외부음극전극 4와 절연시키기 위한 보호관, 9은 외부 양극전극, 10은 사이리스터 엘리멘트 1을 지지하는 세라믹통, 11은 외부 음극전극 4를 세라믹통 10에 고착 지지하는 음극측 프랜지, 12는 외부 양극전극 9를 세라믹통 10에 고착지지하는 양극측 프랜지, 13은 외부게이트 전극이다.

이와같은 종래의 제 2 실시예에 의한 사이리스터는 게이트 인출전극과 게이트 인출 와이어를 본딩할 필요가 없기 때문에 게이트 인출 와이어의 지름을 크게 하거나, 이 와이어를 알루미늄선보다도 전도성이 양호한 재료(예를 들면 은선등)를 이용 가능하며 대전류 공급에 유리한 것이다.

그러나 상기 절연성 지지부재 6은 알루미늄 소결체등을 사용할 필요가 있기 때문에 사이즈 정밀도가 나쁘고, 외부 음극전극 4와 절연성 지지부재 6과의 크리어런스(clearance) 및 절연성 지지부재 6과 게이트 인출 리아드 5와 크리어런스를 크게 하지 않을 수 없고, 위치결정 정밀도가 나쁘게 되며, 결과적으로는 종래의 게이트 인출구조는 높은 정밀도의 위치결정을 필요로 하는 게이트 턴 오프 사이리스터에 사용하기에는 정밀도에 있어서 불충분한 경우가 있었다. 또한 환상게이트 구조의 게이트 턴 오프 사이리스터의 경우 상기한 제 2 실시예의 구조를 채택하기에는 게이트 인출리아드 5의 엘리멘트 1과 접촉하는 선단부 5a를 환상으로 구성할 필요가 있지만 이 환상부분을 용이하고 높은 정밀도로 위치 결정할 수 있는 가압 접촉형 게이트 구조는 실용화 되지 못하였다.

본 발명은 이와같은 종래의 게이트 인출구조의 결점을 배제하기 위하여 발명한 것으로서, 반도체 기체의 제어전극을 외부 제어전극과 접촉하기 위한 대략 환상의 제어전극 인출전극을 구성하고 이 제어전극 인출전극하면의 접촉부를 제외한 부분을 절연성 피막으로 피복하고, 상기 접촉부를 제어전극에 압접시키므로서 제어전극 인출을 용이하고 고정밀도로 소정위치에서 고정시킬 수 있어서 신뢰성이 향상된 반도체 장치를 제공하고자 하는 것이다.

본 발명의 실시예를 첨부도면에 따라 설명하면 다음과 같다.

제 5 도는 본 발명의 일 실시예에 의한 대용량 게이트 턴 오프 사이리스터의 구조를 도시한 것이고, 도면중 1은 반도체 기체인 사이리스터 엘리멘트이고, 이것의 제1 주면(主面)(도시된 상면)에는 제 1 주전극인 캐소오드 전극 및 제어전극인 게이트전극이 형성되며, 제 2 주면(도시된 하면)에는 제 2 주전극인 애노오드 전극이 형성되어 있다. 15는 상기 일리멘트 1의 캐소오드 전극의 외주 부분과 제 1 외부 주전극이 외부 음극전극 24와의 중간에 삽입된 외측 삽입판, 16은 엘리멘트 1의 캐소오드 전

극의 내측부와 외부 음극전극 24와의 중간에 삽입된 내측 삽입판이다. 그리고 외부 음극전극 24의 제 1 주면측에는 환상의 지지요구 24a가 요설되어 지지요구 24a내에는 환상의 게이트 인출전극 14가 상하 이동 자재하게 삽입되어 인출전극 14는 이것과 지지요구 24a의 저면과의 중간에 삽입된 스프링 17에 의하여 도시한 하측으로 탄압하여 엘레멘트 1의 게이트 전극에 압접되는 것이다.

제 4 도는 상기한 게이트 인출전극의 구조를 나타낸 단면도이다. 도면중 14a는 게이트 인출전극 14의 인출전극 본체인 환상 금속부, 14d는 상기 환상 금속부 14a의 하면 전체 주연에 따라 돌설된 엘레멘트 1과의 접촉부, 14c는 환상 금속부 14a의 용접부 14e에 용접된 제어리이드부인 와이어부, 14b는 상기 환상 금속부 14a표면의 상기 접촉부 14d 및 응접부 14e를 제외시킨 부분에 피복된 절연성 피막이다.

다음에서 게이트 인출전극 14의 제조방법을 설명한다.

(1) 환상 금속부 14a를 소망의 정밀도를 절삭가공하여 형성하고, 엘레멘트 21과의 접촉부 14d와 와이어부 14c와의 용접부 14e를 마스킹 한 후 알루미나 또는 보론 나이트라이드를 환상 금속부 14a에 용사(溶射)한다. 이때에 재료로서 동을 사용할 경우 알루미나의 용사 두께는 약  $500\mu$ 까지 피복시킬 수 있지만, 이 피막의 기계적 강도, 전기절연성, 사이즈 정밀도 등의 제약때문에 그 두께는 100-300  $\mu$ 이 가장 적합한 것이다.

(2) 상기 용사가 완료된 환상 금속부 14a의 용접부 14e에 와이어부 14c를 용착하게 되면 소망의 게이트 인출전극 14를 얻게 되는 것이다. 이때 와이어부 14c의 재질은 순은 (9.99%)로 하고 용착은 은동납을 사용하여 수소중에서 용착한다.

(3) 엘레멘트 1과의 접촉 저항을 감소시키기 위하여 용착후에 접촉 14d를 표면에 5-10  $\mu$ 의 온도금을 한후 수소중에서 30-60분간 도금계면에 아닐 실시가 바람지하다. 다음에서 작용 효과를 설명하면 다음과 같다.

본 발명 실시예에 의한 게이트 텐 오프 사이리스터에서는 환상 금속부 14a의 단면적이 크게 때문에 환상 금속부 14a의 전기저항이 극히 작고, 또한 와이어부 14c의 선의 지름도 충분하게 크므로 게이트 인출전극 14의 전위 강하를 극히 작게할 수 있어서 전류의 분포의 균일성도 향상할 수 있고, 결과적으로 게이트 텐 오프 사이리스터의 차단 능력을 향상할 수 있으며, 더우기 와이어 본딩할 필요성이 없기 때문에 종래 장치에서와 같은 와이어 본딩 부분의 박리현상이나, 와이어 절단의 문제점이 없는 것이다.

또한 외측, 내측 삽입판 15, 16은 각각 게이트 인출전극 14의 외주벽면, 내주벽면에 의하여 위치결정이 되므로 조립작업성이 극히 양호한다. 그리고 본 실시예에 의한 게이트 인출전극 14는 종래의 게이트 압접구조의 절연성 지지부재와 게이트 인출용 와이어와의 양측 기능을 겸비하였고, 따라서 종래에서와 같이 이것들을 계합시키는 작업도 필요없게 되어 작업성을 향상할 수 있는 동시에 본 실시예에서는 사이즈 정밀도가 높은 환상 금속부 14a에 의하여 인출전극 14의 위치 결정 정밀도가 높은 환상 금속부 14a에 의하여 인출전극 14의 위치 결정 정밀도도 지극히 양호하게 된다.

제 6 도는 이 실시예에서의 게이트 인출전극 14의 변형 실시예를 예시한 것이고 도면중 14e는 게이트 인출전극 14의 엘레멘트 1과의 접촉부이고, 이것은 환상 금속부 14b의 전주연에 따라 배치된 복수의 원호현상으로 되어 있다. 이 변형예에서는 원형상부의 길이를 소망의 길이로 형성하므로서 접촉부 14e의 단위 면적당의 압접력을 적정치로 할 수 있다.

더우기 상기 실시예에 있어서는 게이트 텐 오프 사이리스터에 대하여 기술하였으나, 본 발명은 환상의 제어전극이 있는 큰 용량의 반도체장치, 예를들면 대전력 트란지스터나 게이트 보저 텐 오프 사이리스터 등에서도 동일하게 적용 할 수 있어 같은 효과를 얻을 수 있는 것이다.

더우기 본 발명은 환상의 제거전극을 인출하기 위한 구조만이 아니고, 종래의 센터게이트 구조의 게이트 인출전극에 대하여서도 적용할 수 있고, 이와같이 하면 작업성 및 위치결정 정밀도를 향상할 수 있다.

상기한 바와같은 본 발명에 의한 반도체 장치를 이용하면 반도체 기체의 제어전극을 외부 제어전극에 접속되는 대략 환상의 제어전극인 인출전극을 설치하고, 제어전극 인출전극하연의 접속부를 제어전극에 압접시키도록 한 것으로 환상게이트가 있는 반도체 기체에 대하여 지극히 높은 정밀도이어서 신뢰성이 높고 작업성이 양호한 게이트 인출구조를 얻을 수 있는 효과가 있는 것이다.

## (57) 청구의 범위

### 청구항 1

제1 제 2 주면에 제 1 제 2 주전극을 형성하고 제 1 주면에 제어전극이 있는 반도체 기체(1)와 반도체 기체(1)의 제 1 제 2 주전극(1d)(1c)에 전기적으로 접속되어 제 1 제 2 주면에 배치된 제 1 제 2 외부주 전극과 상기 반도체 기체(1)의 제어전극(1c)에 저속될 외부 제어전극(13)과 상기 제어전극(1c)을 상기 외부 제어전극(13)에 접속하는 제어 전극 인출전극(14)을 구비한 반도체장치에 있어서 상기 제어전극 인출전극(14)은 그 하면에 접촉부(14d)가 있는 대략 환상의 인출전극 본체(14a)와 상기 외부 제어전극(13)에 접속된 제어리이드부(14c)로 구성되며 상기 인출전극 본체(14a)의 상기 접촉부(14b)를 제외시킨 부분에는 절연성 피막(14b)이 피복되고 상기 인출전극 본체(14a)는 접촉부(14b)에서 상기 반도체 기체(1)의 제어전극(1c)에 압접되는 것을 특징으로 하는 반도체장치.

### 청구항 2

제 1 항에 있어서, 상기 인출전극 본체(14a)의 상기 제어전극(1c)에 대한 압접은 상기 제 1 외부주 전극(13)에 요설된 환상 지지요구(24a)에 상기 인출전극 본체(14a)와 함께 삽입된 스프링(17)으로 구성되는 것을 특징으로 한 반도체 장치.

**청구항 3**

제 1 항 또는 제 2 항에 있어서, 상기 접촉부(14d)는 상기 인출전극 본체(14a)의 주연에 따른 환상의 것임을 특징으로 하는 반도체 장치.

**청구항 4**

제 1 항 또는 제 2 항에 있어서 상기 접촉부(14d)는 상기 인출전극 본체(14a)의 전주연에 따라 배치된 복수의 원호 형상부로 형성하는 것을 특징으로 하는 반도체 장치.

**청구항 5**

제 1 항 내지 제 2 항의 어느 것에 있어서 상기 접촉부표면(14d)에 은 또는 금도금하는 것을 특징으로 하는 반도체 장치.

**청구항 6**

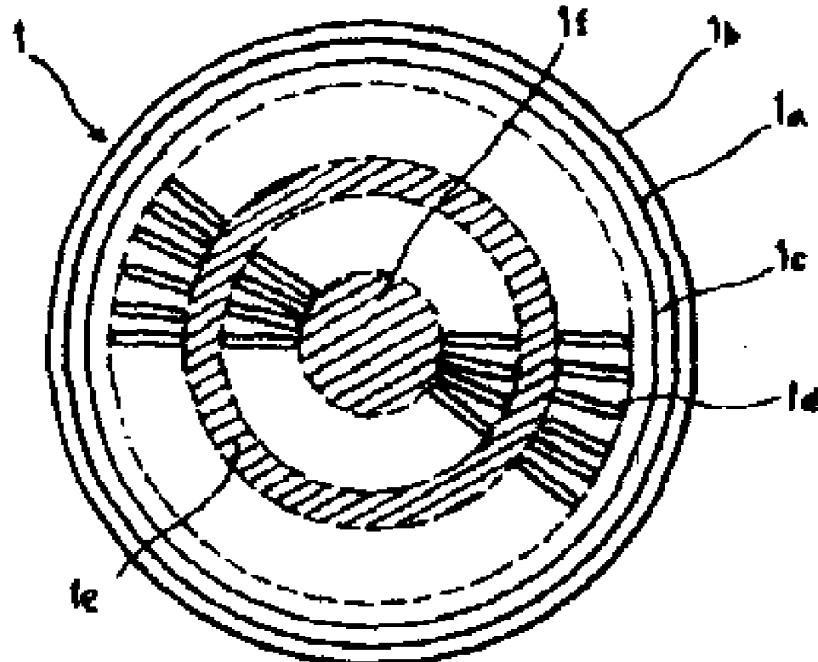
제 1 항 내지 제 2 항의 어느것에 있어서 상기 제어전극 인출전극(14)은 동 또는 알루미늄을 주성분으로 한 전기 양도체를 사용하여 형성하는 것을 특징으로 하는 반도체 장치.

**청구항 7**

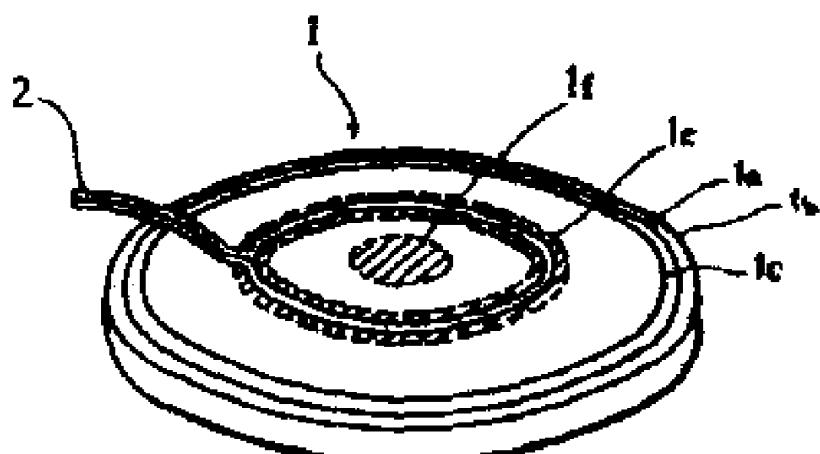
제 1 항 내지 제 2 항의 어느것에 있어서 상기 절연성 피막(4b)은 산화 알루미늄 또는 보론 나이트라이드를 주성분으로 한 절연성 물질의 소결 생성물로 구성하는 것을 특징으로 하는 반도체 장치.

**청구항 8**

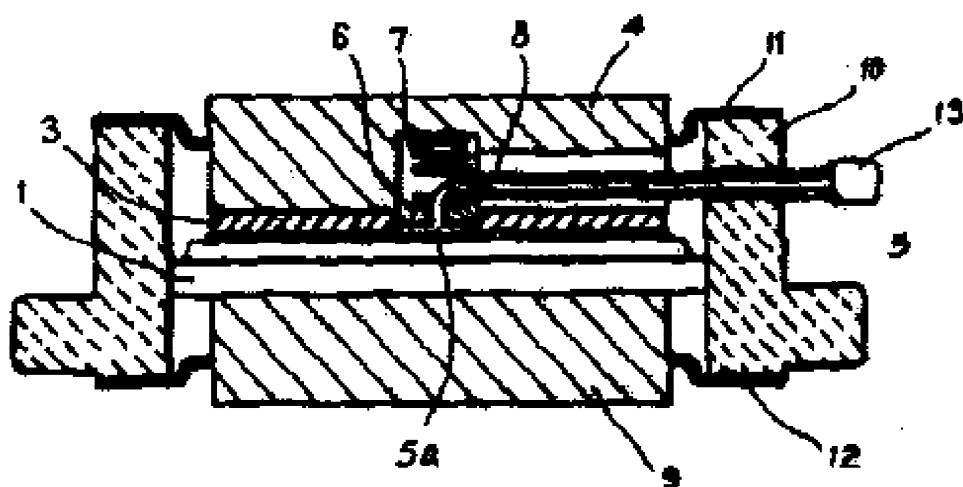
제 1 항 내지 제 2 항의 어느 것에 있어서 상기 절연성 피막(14b)은 100~300  $\mu$ 의 막두께로 피막하는 것을 특징으로 하는 반도체 장치.

**도면****도면1**

도면2



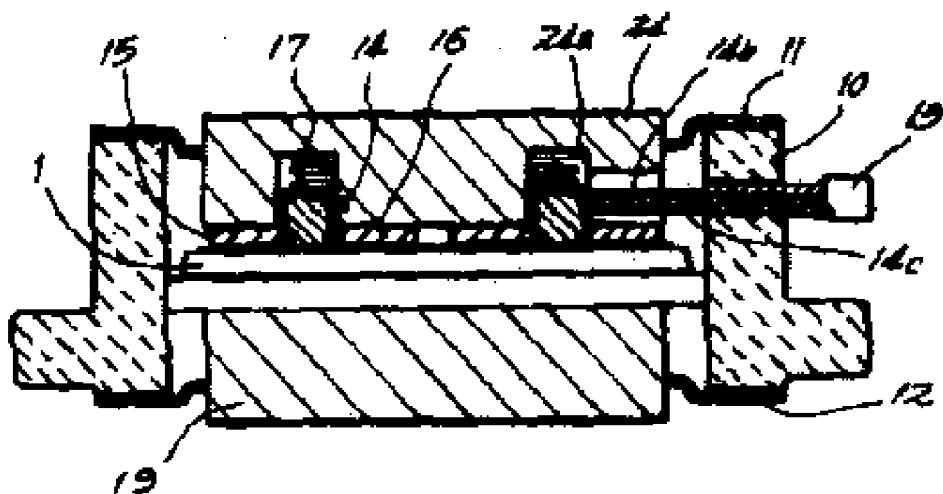
도면3



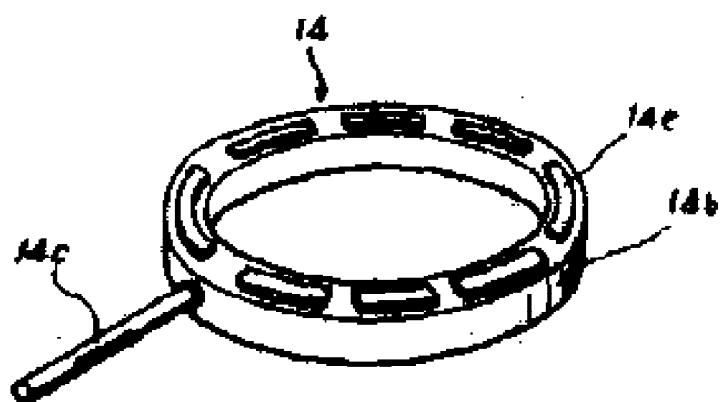
도면4



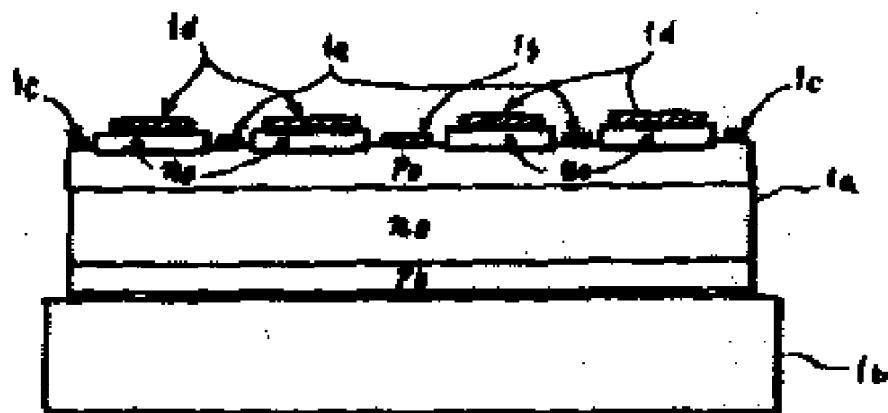
도면5



도면6



도면7



도면8

