

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年11月19日(19.11.2020)



(10) 国際公開番号

WO 2020/230465 A1

(51) 国際特許分類:

H01L 27/088 (2006.01) H01L 27/06 (2006.01)
H01L 21/329 (2006.01) H01L 29/12 (2006.01)
H01L 21/822 (2006.01) H01L 29/739 (2006.01)
H01L 21/8234 (2006.01) H01L 29/78 (2006.01)
H01L 27/04 (2006.01) H01L 29/866 (2006.01)

(21) 国際出願番号: PCT/JP2020/014219

(22) 国際出願日: 2020年3月27日(27.03.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-093138 2019年5月16日(16.05.2019) JP

(71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO.,LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).

(72) 発明者: 豊田 善昭 (TOYODA Yoshiaki); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).

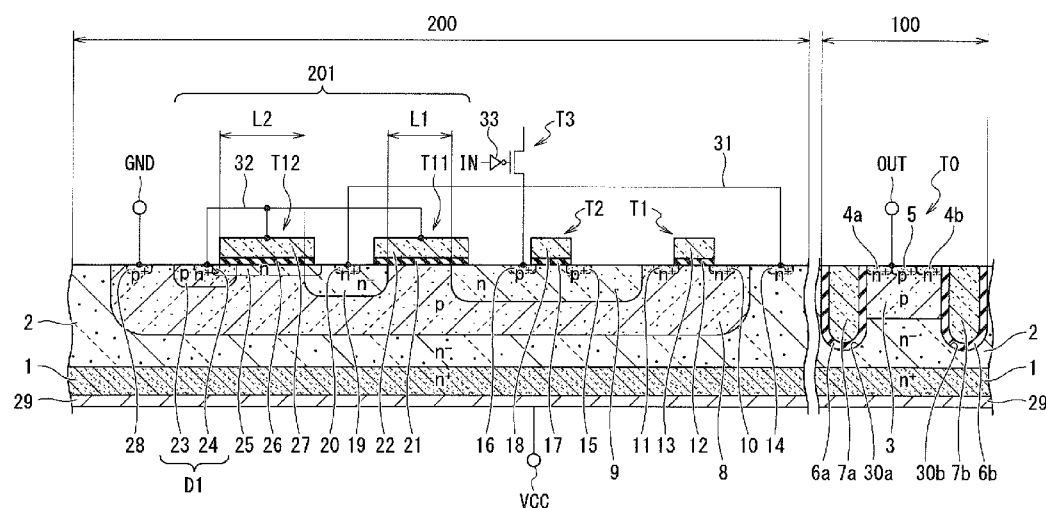
(74) 代理人: 廣瀬 一, 外 (HIROSE Hajime et al.); 〒1056032 東京都港区虎ノ門四丁目3番1号 城山トラストタワー32階 特許業務法人日栄国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称: 半導体集積回路

【図1】



(57) Abstract: A semiconductor integrated circuit according to the present invention comprises: first-conductive-type semiconductor substrates (1, 2); a lower surface electrode 29 which is provided on a lower surface of the semiconductor substrates (1, 2) and to which a first potential is applied; a second-conductive-type first well (8) which is provided on an upper surface side of the semiconductor substrates (1, 2) and to which is applied a second potential that is lower than the first potential; a first-conductive-type n-well 9 provided inside the p-well 8; and an edge structure 201 which is provided

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

to the p-well 8, and which supplies a third potential, that is higher than the second potential, to the n-well 9.

(57) 要約：半導体集積回路は、第1導電型の半導体基体（1，2）と、半導体基体（1，2）の下面に設けられ、第1電位が印加される下面電極29と、半導体基体（1，2）の上面側に設けられ、第1電位よりも低い第2電位が印加される第2導電型の第1ウェル（8）と、pウェル8内に設けられた第1導電型のnウェル9と、pウェル8に設けられ、第2電位よりも高い第3電位をnウェル9に供給するエッジ構造201とを備える。

明 細 書

発明の名称：半導体集積回路

技術分野

[0001] 本発明は、半導体集積回路に係り、特に、電力用半導体集積回路（パワーＩＣ）に関する。

背景技術

[0002] パワー半導体素子の高信頼性化、小型化、低コスト化を目的として、出力段の電力用半導体素子としての縦型ＭＯＳトランジスタと、縦型ＭＯＳトランジスタを制御する回路を構成する横型ＭＯＳトランジスタが同一半導体チップにモノリシックに集積（混載）されたパワーＩＣが提案されている（特許文献１参照）。例えば、インテリジェントパワースイッチ（ＩＰＳ）と呼ばれる車載用のパワーＩＣが挙げられる。

[0003] 半導体チップとしてｎ型基板を用いた場合、基板の下面側は縦型ＭＯＳトランジスタのドレイン側に対応するが、基板の下面はバッテリーが接続される高電位側の電源端子に接続され、電源電位が印加される。基板を電源電位に固定すると、フローティング電位で使用可能な回路用の横型ｐＭＯＳトランジスタを形成するためには、基板の上部にｐ型ウェル及びｎ型ウェルを設け、ｎ－ｐ－ｎ接合構造（多重拡散構造）を形成する必要がある。

[0004] 車載用等の場合では、ハイサイド型パワーＩＣの電源端子には、一般に５０Ｖ～６０Ｖ程度以上の耐圧が要求される。ｎ型基板とｐ型ウェル（以下において「ｐウェル」と略記する。）の間に高電圧が印加された場合、ｎ－ｐ－ｎ接合構造においてパンチスルーの発生を防止する必要がある。

[0005] ハイサイド型パワーＩＣの通常動作時には、基板の下面に電源電位（第１電位）が印加され、基板の上部に設けられたｐウェルに、第１電位よりも低い接地電位（第２電位）が印加される。更に、基板の上部に設けられたｎ型ウェル（以下において「ｎウェル」と略記する。）に、第１電位よりも低く、且つ第２電位よりも高い第３電位が印加される。一方、ハイサイド型パワ

ー I C の待機時等の特定時には、低消費電力化のため、n ウェルに印加される第 3 電位を接地電位まで低下させる制御が行われる。

[0006] しかし、n ウェルに印加される第 3 電位を低下させ、n ウェルの電位と p ウェルの電位が等しい状態において、高温になるにつれてリーク電流が増大し、n-p-n 接合構造におけるパンチスルー耐圧が低下する。このため、パンチスルー耐圧の低下分を見込んだ設計とするか、待機時等の特定時に n ウェルの電位と p ウェルの電位が等しくならないように回路で制御する必要がある。

先行技術文献

特許文献

[0007] 特許文献1：特開 2000-91344 号公報

発明の概要

発明が解決しようとする課題

[0008] 上記課題に鑑み、本発明は、複数のウェルを有する多重拡散構造において、高温時のリーク電流を抑制し、パンチスルー耐圧を改善することができる半導体集積回路を提供することを目的とする。

課題を解決するための手段

[0009] 本発明の一態様は、(a) 第 1 導電型の半導体基体と、(b) 半導体基体の下面に設けられ、第 1 電位が印加される下面電極と、(c) 半導体基体の上面側に設けられ、第 1 電位よりも低い第 2 電位が印加される第 2 導電型の第 1 ウェルと、(d) 第 1 ウェル内に設けられた第 1 導電型の第 2 ウェルと、(e) 第 1 ウェルに設けられ、第 2 電位よりも高い第 3 電位を第 2 ウェルに供給するエッジ構造とを備える半導体集積回路であることを要旨とする。

発明の効果

[0010] 本発明によれば、複数のウェルを有する多重拡散構造において、高温時のリーク電流を抑制し、パンチスルー耐圧を改善することができる半導体集積回路を提供することができる。

図面の簡単な説明

[0011] [図1]本発明の実施形態に係る半導体集積回路の一例を示す要部断面図である。

。

[図2]実施形態に係る半導体集積回路の一例を示す要部平面図である。

[図3]実施形態に係る半導体集積回路の一例を示す等価回路図である。

[図4]実施形態に係るエッジ構造の一例を示す等価回路図である。

[図5]比較例に係る半導体集積回路の一例を示す要部断面図である。

[図6]比較例に係る半導体集積回路のI-V特性を表すグラフである。

[図7]実施形態に係る半導体集積回路のI-V特性を表すグラフである。

[図8]実施形態の変形例に係る半導体集積回路の一例を示す要部断面図である。

。

[図9]実施形態の変形例に係る半導体集積回路の一例を示す要部平面図である。

。

発明を実施するための形態

[0012] 以下において、図面を参照して本発明の実施形態を説明する。以下の説明で参照する図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

[0013] 実施形態において、半導体チップに出力段素子として集積化される半導体素子には、「第1主電極領域」及び「第2主電極領域」の用語が用いられている。「第1主電極領域」及び「第2主電極領域」は、主電流が流入若しくは流出する半導体素子の主電極領域である。「第1主電極領域」とは、出力段素子として集積化される半導体素子が絶縁ゲート型バイポーラトランジスタ（IGBT）であれば、エミッタ領域又はコレクタ領域のいずれか一方となる半導体領域を意味する。また、出力段素子として集積化される半導体素

子が電界効果トランジスタ（FET）や静電誘導トランジスタ（SIT）であれば、ソース領域又はドレイン領域のいずれか一方となる半導体領域を意味する。また、出力段素子として集積化される半導体素子が静電誘導サイリスタ（SISCYRIST）やゲートターンオフサイリスタ（GTO）であれば、アノード領域又はカソード領域のいずれか一方となる半導体領域を意味する。

[0014] 「第2主電極領域」とは、出力段素子として集積化される半導体素子がIGBTであれば、上記第1主電極領域とはならないエミッタ領域又はコレクタ領域のいずれか一方となる領域を意味する。また、出力段素子として集積化される半導体素子がFETやSITであれば、上記第1主電極領域とはならないソース領域又はドレイン領域のいずれか一方となる半導体領域を意味する。また、出力段素子として集積化される半導体素子がSISCYRISTやGTOであれば、上記第1主電極領域とはならないアノード領域又はカソード領域のいずれか一方となる領域を意味する。即ち、出力段素子として集積化される半導体素子の「第1主電極領域」がソース領域であれば、「第2主電極領域」はドレイン領域を意味する。また、「第1主電極領域」がエミッタ領域であれば、「第2主電極領域」はコレクタ領域を意味する。また、「第1主電極領域」がアノード領域であれば、「第2主電極領域」はカソード領域を意味する。

[0015] また、実施形態に係る半導体集積回路では、同一半導体チップに種々の半導体素子がモノリシックに集積化される。実施形態において、回路部に集積化される回路素子等の半導体素子の「第3主電極領域」及び「第4主電極領域」とは、FETやSITの場合にはソース領域又はドレイン領域のいずれか一方となり、主電流が流入若しくは流出する半導体領域を意味する。MISFET等で対称構造の半導体素子となる場合は、バイアス関係を交換すれば「第3主電極領域」の機能と「第4主電極領域」の機能を交換可能な場合もある。回路部に集積化される回路素子等の半導体素子の「第5主電極領域」及び「第6主電極領域」もFETやSITのソース領域又はドレイン領域

のいずれか一方となる半導体領域を意味する。

[0016] CMOS回路を構成する場合は、回路上の要請で、「第3主電極領域」～「第6主電極領域」のうちでいずれをソース領域又はドレイン領域とするかが決定される。回路部に集積化される回路素子等の半導体素子の「第1主端子領域」及び「第2主端子領域」、「第5主端子領域」及び「第6主端子領域」等も同様に、回路設計の要請で決まるソース領域又はドレイン領域のいずれか一方を意味する。また、ダイオードに関して用いられる「第3主端子領域」及び「第4主端子領域」の用語もアノード領域又はカソード領域のいずれかになる。

[0017] また、以下の説明における「上面」「下面」等の上下や左右等の方向の定義は、単に説明の便宜上の定義であって、本発明の技術的思想を限定するものではない。例えば、対象を90°回転して観察すれば上下は左右に変換して読まれ、180°回転して観察すれば上下は反転して読まれることは勿論である。また、以下の説明では、第1導電型がn型、第2導電型がp型の場合について例示的に説明する。しかし、導電型を逆の関係に選択して、第1導電型をp型、第2導電型をn型としても構わない。また、「n」や「p」に付す「+」又は「-」は、「+」又は「-」が付されていない半導体領域に比して、それぞれ相対的に不純物濃度が高い又は低い（換言すれば、比抵抗が低い又は高い）半導体領域であることを意味する。但し、図面の表現において、同じ「n」と「n」とが付された半導体領域であっても、それぞれの半導体領域の不純物濃度（比抵抗）が厳密に同じであることを意味するものではない。

[0018] <半導体集積回路>

本発明の実施形態に係る半導体集積回路は、図1に示すように、同一の半導体チップに出力部100及び回路部200がモノリシックに集積されたハイサイド型パワーICである。図1では、半導体基体(1, 2)が、高不純物濃度で第1導電型(n⁺型)の半導体基板(Siウェハ)からなる低比抵抗層1上に、低比抵抗層1よりも低不純物濃度で第1導電型(n⁻型)の高比抵

抗層 2 がエピタキシャル成長された構造を例示する。実施形態に係る半導体集積回路では、半導体チップを構成する半導体基体（1，2）が、シリコン（Si）からなる半導体材料を母材とする場合を例示的に説明するが、母材はSiに限定されない。なお、高比抵抗層 2 となる n⁻型の半導体基板（Siウエハ）の下面に、n⁺型の不純物添加層からなる低比抵抗層 1 をイオン注入や熱拡散で形成することで半導体基体（1，2）を構成してもよい。

[0019] 半導体基板を低比抵抗層 1 とする場合、低比抵抗層 1 の不純物濃度は例えば $2 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度である。この場合、高比抵抗層 2 の不純物濃度は例えば $1 \times 10^{12} \text{ cm}^{-3} \sim 1 \times 10^{16} \text{ cm}^{-3}$ 程度に選択でき、ここでは例えば $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{16} \text{ cm}^{-3}$ 程度である。n⁻型の半導体基板からなる高比抵抗層 2 の下面に、n⁺型の不純物添加層で低比抵抗層 1 を形成する場合は、低比抵抗層 1 の不純物濃度を $5 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 程度とすることが可能である。なお、低比抵抗層 1 の不純物濃度は一定でなくてもよく、低比抵抗層 1 に接続される下面電極 29 との界面で $1 \times 10^{21} \text{ cm}^{-3}$ 程度まで高不純物濃度となるような不純物プロファイルでも構わない。例えば高比抵抗層 2 側の $5 \times 10^{18} \text{ cm}^{-3} \sim 2 \times 10^{19} \text{ cm}^{-3}$ 程度の層と、下面電極側の $3 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 程度の層との複合構造でも構わない。

[0020] 図 1 の右側には、出力部 100 に集積化されるパワー半導体素子である出力段素子 T0 として、トレンチゲート型の縦型 nMOS トランジスタを例示する。低比抵抗層 1 の一部が出力段素子 T0 の第 1 主電極領域（ドレイン領域）として機能し、この第 1 主電極領域上に位置する高比抵抗層 2 の一部が出力段素子 T0 のドリフト層として機能する。低比抵抗層 1 の下面側にはドレイン電極となる下面電極 29 が配置されている。下面電極 29 は、第 1 電位端子（電源端子）VCC に接続される。第 1 電位端子 VCC には、高電位側の第 1 電位（電源電位）V1 が印加される。第 1 電位は、例えば 13 V 程度である。

[0021] 出力部 100 側に位置する高比抵抗層 2 の上部の一部には第 2 導電型（p

型)のボディ領域(ベース領域)3が配置されている。ボディ領域3の上部には、高比抵抗層2よりも高不純物濃度の第1導電型(n^+ 型)の第2主電極領域(ソース領域)4a, 4bが選択的に設けられている。ボディ領域3の上部には、第2主電極領域4a, 4bに接するように p^+ 型のベースコンタクト領域5が選択的に設けられている。ベースコンタクト領域5及び第2主電極領域4a, 4bは出力端子OUTに接続される。

[0022] 図1の単位セルに着目すれば、ボディ領域3の上面から掘り込まれた一对の対向するゲートトレンチ30a, 30bが設けられている。ゲートトレンチ30a, 30bは、少なくとも側面の一部がボディ領域3と接し、ボディ領域3よりも深く設けられている。図1の断面図では、一对のゲートトレンチ30a, 30bとして見かけ上の例示がされているが、実際には図1の紙面の裏側で連続した、平面形状が環状の1つのトレンチでもよい。

[0023] ゲートトレンチ30a, 30bのそれぞれの内部には、ゲートトレンチ30a, 30bの内面に沿ってゲート絶縁膜6a, 6bが設けられている。そして、ゲート絶縁膜6aを介してゲート電極7aがゲートトレンチ30aの内部に埋め込まれ、トレンチ型の制御電極構造(6a, 7a)を構成している。また、ゲート絶縁膜6bを介してゲート電極7bがゲートトレンチ30bの内部に埋め込まれ、トレンチ型の制御電極構造(6b, 7b)を構成している。

[0024] ゲート絶縁膜6a, 6bとしては、例えばシリコン酸化膜(SiO_2 膜)等が使用可能であるが、 SiO_2 膜の他にもシリコン窒化(Si_3N_4)膜、ストロンチウム酸化物(SrO)膜、シリコン窒化物(Si_3N_4)膜、アルミニウム酸化物(Al_2O_3)膜も使用可能である。或いは、マグネシウム酸化物(MgO)膜、イットリウム酸化物(Y_2O_3)膜、ハフニウム酸化物(HfO_2)膜、ジルコニウム酸化物(ZrO_2)膜、タンタル酸化物(Ta_2O_5)膜、ビスマス酸化物(Bi_2O_3)膜でもよい。更にはこれらの単層膜内のいくつかを選択し、複数を積層した複合膜等も使用可能である。

[0025] ゲート電極7a, 7bの材料としては、例えば n 型不純物が高濃度に添加

されたポリシリコン（ドーパドポリシリコン）が使用可能であるが、ドーパドポリシリコン（DOPOS）の他にもタングステン（W）、モリブデン（Mo）、チタン（Ti）等の高融点金属、高融点金属とポリシリコンとのシリサイド等が使用可能である。更にゲート電極7a、7bの材料はポリシリコンと高融点金属のシリサイドとの複合膜であるポリサイドでもよい。

[0026] ゲート電極7aは、ゲート絶縁膜6aを介して、ボディ領域3のゲートトレンチ30aの右側面側の半導体領域の表面ポテンシャルを静電的に制御することにより、ボディ領域3のゲートトレンチ30aの側面側に反転チャンネルを形成する。ゲート電極7bは、ゲート絶縁膜6bを介して、ボディ領域3のゲートトレンチ30bの左側面側の半導体領域の表面ポテンシャルを静電的に制御することにより、ボディ領域3のゲートトレンチ30bの側面側に反転チャンネルを形成する。

[0027] 出力段素子T0においては、上面側の第2主電極領域4a、4bと、第2主電極領域4a、4bに対向する下面側の低比抵抗層1の一部で構成される第1主電極領域の間を主電流が流れる。単位セルに着目すれば、縦型nMOSトランジスタの主電流は、上面側に位置する2つの第2主電極領域4a、4bの近傍に、第2主電極領域4a、4bに対しそれぞれ定義される2つの反転チャンネルを介して主電流がそれぞれ流れる。

[0028] 図1の中央部及び中央部より左側に示した回路部200は、出力段素子T0を制御する第1回路素子T1及び第2回路素子T2を含む。例えば第1回路素子T1を横型nMOSトランジスタとし、第2回路素子T2をpMOSトランジスタとした相補型MOS（CMOS）が回路素子として採用可能である。第1回路素子T1は、高比抵抗層2の上部に設けられた第2導電型（p型）の第1ウェル（以下において「pウェル」と略記する。）8に設けられる。pウェル8の不純物濃度は例えば $1 \times 10^{16} \text{ cm}^{-3}$ 程度である。pウェル8の不純物濃度は、出力部100側のボディ領域3の不純物濃度と略同一であってよい。pウェル8の深さは、出力部100側のボディ領域3の深さと略同一であってよい。

- [0029] 第1回路素子T1は、pウェル8の上部に第1導電型（n⁺型）の第3主電極領域（ソース領域）10と第4主電極領域（ドレイン領域）11を対向させている。第3主電極領域10及び第4主電極領域11は、pウェル8の上部に互いに離間して選択的に設けられており、高比抵抗層2よりも高不純物濃度のn⁺型半導体領域である。第3主電極領域10及び第4主電極領域11の不純物濃度は、出力部100側の第2主電極領域4a、4bの不純物濃度と略同一であってよい。第3主電極領域10及び第4主電極領域11の深さは、出力部100側の第2主電極領域4a、4bの深さと略同一であってよい。
- [0030] pウェル8上には平面型の制御電極構造（12、13）が横方向に延在している。制御電極構造（12、13）は、第3主電極領域10と第4主電極領域11の間のpウェル8上に設けられたゲート絶縁膜12と、ゲート絶縁膜12上に配置されたゲート電極13を備える。ゲート絶縁膜12としては、ゲート絶縁膜6a、6bと同様の材料が使用可能であり、例えばSiO₂膜等が使用可能である。
- [0031] ゲート電極13は、ゲート絶縁膜12を介して、pウェル8の表面ポテンシャルを静電的に制御することにより、pウェル8の表層に反転チャネルを形成する。ゲート電極13の材料としては、ゲート電極7a、7bと同様の材料が使用可能であり、例えばDOPOS等が使用可能である。
- [0032] 第2回路素子T2は、pウェル8の上部に設けられ、高比抵抗層2よりも高不純物濃度の第1導電型（n型）の第2ウェル（以下において「nウェル」と略記する。）9に設けられる。nウェル9の不純物濃度は例えば $1 \times 10^{17} \text{ cm}^{-3}$ 程度である。第2回路素子T2は、nウェル9の上部に第2導電型（p⁺型）の第5主電極領域（ソース領域）15及び第6主電極領域（ドレイン領域）16を対向させている。第5主電極領域15及び第6主電極領域16は、nウェル9の上部に互いに離間して選択的に設けられており、pウェル8よりも高不純物濃度のp⁺型半導体領域である。
- [0033] 第2回路素子T2は、高比抵抗層2の上部のpウェル8と、nウェル9と

、 p^+ 型の第5主電極領域15及び第6主電極領域16との3重拡散構造で $p-n-p$ 接合構造を構成している。 $p-n-p$ 接合構造により、第2回路素子T2のバックゲート領域である n ウェル9は、高比抵抗層2から電氣的に絶縁分離されてフローティング電位で使用される。

[0034] n ウェル9上には平面型の制御電極構造(17, 18)が横方向に延在している。制御電極構造(17, 18)は、第5主電極領域15と第6主電極領域16の間の n ウェル9上に設けられたゲート絶縁膜17と、ゲート絶縁膜17上に配置されたゲート電極18を備える。ゲート電極18は、ゲート絶縁膜17を介して、 n ウェル9の表面ポテンシャルを静電的に制御することにより、 n ウェル9の表層に反転チャネルを形成する。なお、高比抵抗層2の上面の第1回路素子T1、第2回路素子T2及び出力段素子T0等の間には、図示を省略した局部絶縁膜(LOCOS膜)等のフィールド酸化膜が選択的に設けられている。

[0035] 第6主電極領域16には、スイッチング素子T3が接続されている。スイッチング素子T3は、例えば $pMOS$ トランジスタで構成されている。スイッチング素子T3は、 n ウェル9内に形成してもよく、或いは同一半導体チップ内の回路部200とは異なる領域に形成してもよい。スイッチング素子T3のゲートは、インバータ33を介して、出力段素子T0を駆動するための入力信号が入力される入力端子INが接続されている。

[0036] スwitching素子T3は、通常動作時には、入力端子INからの入力信号に応じてオン状態となり、 $CMOS$ を構成している第1回路素子T1及び第2回路素子T2に電源電圧を供給する。スイッチング素子T3は、通常動作時以外である待機時等の特定時には、入力信号に応じてオフ状態となり、 $CMOS$ を構成している第1回路素子T1及び第2回路素子T2の電源電圧の供給を停止させて、低消費電力化を図ることができる。

[0037] p ウェル8内には、 p ウェル8よりも高不純物濃度の p^+ 型のウェルコンタクト領域28が設けられている。ウェルコンタクト領域28には、第2電位端子GNDが接続されている。第2電位端子GNDには、高電位側の第1電

位 V_1 よりも低い低電位側の第2電位 V_2 として、例えば接地電位が印加される。

[0038] 更に、回路部200は、 n ウェル9の外周部の p ウェル8内に設けられたエッジ構造（電位供給回路）201を備える。エッジ構造201は、通常動作時及び通常動作時以外である待機時等の特定時において常に、 n ウェル9の電位を、第2電位 V_2 よりも高い第3電位 V_3 に固定する。エッジ構造201は、エンハンスメント型（以下、「E型」という。）トランジスタ T_{11} と、デプレッション型（以下、「D型」という。）トランジスタ T_{12} と、定電圧ダイオード（ツェナーダイオード） D_1 とを備える。

[0039] E型トランジスタ T_{11} は、 n ウェル9を共通領域とする第1主端子領域（ソース領域）と、 p ウェル8内に n ウェル9から離間して設けられた n^- 型の第2主端子領域（ドレイン領域）19とを備える。更に、E型トランジスタ T_{11} は、第1主端子領域をなす n ウェル9と第2主端子領域19との間の p ウェル8上に設けられたゲート絶縁膜21と、ゲート絶縁膜21上に設けられた第1制御電極（ゲート電極）22とを備える。第2主端子領域19内には、第2主端子領域19よりも高不純物濃度の n^+ 型のエッジコンタクト領域20が設けられている。エッジコンタクト領域20は、配線31により、高比抵抗層2の上部に選択的に設けられた n^+ 型の基体コンタクト領域14に接続されている。

[0040] ツェナーダイオード D_1 は、 p ウェル8内に設けられ、 p ウェル8よりも高不純物濃度の p 型の第3主端子領域（アノード領域）23と、第3主端子領域23内に設けられた n^+ 型の第4主端子領域（カソード領域）24とで構成される。第3主端子領域23は、 p ウェル8内に n ウェル9及び第2主端子領域19から離間して設けられている。第3主端子領域23と第4主端子領域24との p - n 接合によりツェナーダイオード D_1 が構成されている。

[0041] D型トランジスタ T_{12} は、第4主端子領域24との共有領域である第5主端子領域（ソース領域）と、第2主端子領域19との共有領域である第6主端子領域（ドレイン領域）とを備える。第6主端子領域をなす第2主端子

領域 19 と、第 5 主端子領域をなす第 4 主端子領域 24 の間の p ウェル 8 内に、D 型トランジスタ T12 の n 型のチャネル形成領域 25 が定義される。チャネル形成領域 25 の一端は第 4 主端子領域 24 に接している。チャネル形成領域 25 の他端は第 2 主端子領域 19 に接している。チャネル形成領域 25 の不純物濃度は、第 2 主端子領域 19 の不純物濃度より高くてもよく、第 2 主端子領域 19 の不純物濃度と略同一でもよい。チャネル形成領域 25 の不純物濃度は、p 型の第 3 主端子領域 23 と重複する部分の導電型が反転可能な濃度（抵抗値）に調整されている。

[0042] 更に、D 型トランジスタ T12 は、チャネル形成領域 25 上に設けられたゲート絶縁膜 26 と、ゲート絶縁膜 26 上に設けられた第 2 制御電極（ゲート電極）27 とを備える。ゲート電極 27 は、配線 32 を介して第 4 主端子領域 24 及びゲート電極 22 に接続されている。

[0043] 図 2 は、図 1 に示した回路部 200 の平面図である。図 2 の A-A 方向から見た断面図が、図 1 に相当する。図 2 に示すように、p ウェル 8 は、例えば n ウェル 9 の周囲を囲むように枠状（環状）に設けられている。エッジ構造 201 は、例えば n ウェル 9 の左側に配置されている。エッジ構造 201 は、n ウェル 9 の外周部に複数個配置されていてもよい。なお、p ウェル 8、n ウェル 9 及びエッジ構造 201 の平面レイアウトは特に限定されない。

[0044] 図 3 は、図 1 に示した実施形態に係る半導体集積回路の等価回路図を示す。図 3 から、実施形態に係る半導体集積回路は、出力部 100 及び回路部 200 を備えることが理解できる。回路部 200 の第 1 回路素子 T1 及び第 2 回路素子 T2 は、例えば出力部 100 を制御する制御回路の一部に相当する。図 3 では図示を省略するが、第 2 回路素子 T2 のドレイン側には図 1 に示したスイッチング素子 T3 が接続されている。図 3 に示すように、出力部 100 の出力段素子 T0 には還流ダイオード D0 が接続されている。出力段素子 T0 の第 1 主電極領域（ドレイン領域）が第 1 電位端子 VCC に接続され、第 2 主電極領域（ソース領域）が出力端子 OUT に接続されている。

[0045] 図 4 は、図 1 に示した実施形態に係る半導体集積回路のエッジ構造 201

の等価回路を示す。E型トランジスタT11の第1主端子領域（ソース領域）はnウェル9と等電位の電位供給端子VNWに接続されている。E型トランジスタT11の第2主端子領域（ドレイン領域）は第1電位端子VCCに接続されている。E型トランジスタT11の閾値電圧Vthは例えば1V程度である。

[0046] 図4に示すように、ツェナーダイオードD1の第3主端子領域（アノード領域）は、第2電位端子GNDに接続されている。ツェナーダイオードD1の第4主端子領域（カソード領域）は、E型トランジスタT11の第1制御電極（ゲート電極）、D型トランジスタT12の第2制御電極（ゲート電極）及び第5主端子領域（ソース領域）に接続されている。ツェナーダイオードD1の降伏電圧Vzは、例えば5V～10V程度である。ツェナーダイオードD1は定電圧Vzを出力する。

[0047] D型トランジスタT12の第6主端子領域（ドレイン領域）は、第1電位端子VCC及びE型トランジスタT11の第2主端子領域（ドレイン領域）に接続されている。D型トランジスタT12は、ピンチ抵抗として機能する。

[0048] E型トランジスタT11のソースの第3電位V3は、以下の式で表される。

[0049]
$$V_3 = V_2 + V_z - V_{th} - \alpha \dots (1)$$

[0050] 式(1)において、 α はバックゲート効果であり、例えば1V～2V程度である。適切な特性のトランジスタ、ツェナーダイオードを選択することにより、第3電位V3は、第2電位端子GNDの第2電位V2よりも高く設定することが可能である。第3電位V3は、例えば5V～10V程度である。nウェル9の電位は、E型トランジスタT11のソースの第3電位V3によりクランプされる。

[0051] <比較例>

ここで、図5を参照して、比較例に係る半導体集積回路を説明する。図5では、図1に示した出力部100の図示を省略している。比較例に係る半導

体集積回路では、図5に示すように、図1に示したエッジ構造201が無い点が、図1に示した半導体集積回路と異なる。nウェル9には、電位供給端子VNWが接続されている。電位供給端子VNWには、回路部200とは異なる領域に設けられた回路（図示省略）が接続されている。

[0052] 比較例に係る半導体集積回路の通常動作時は、第1電位端子VCCには第1電位V1が印加される。また、第2電位端子GNDには、第1電位V1よりも低い第2電位V2が印加される。また、電位供給端子VNWには、第1電位V1よりも低く、且つ第2電位V2よりも高い第3電位V3が、回路部200とは異なる領域に設けられた回路から印加される。即ち、 $V1 > V3 > V2$ の電位関係で回路を動作させる。

[0053] 一方、比較例に係る半導体集積回路の通常動作時以外である待機時等の特定時には、第1電位端子VCCには、通常動作時と同様の第1電位V1が印加されるが、低消費電力化のため、第3電位V3を第2電位V2と同等まで低下させ、nウェル9全体が例えば接地電位となるように制御する（ $V2 = V3 = GND$ ）。本発明者らは、この制御状態で高温になるとリーク電流が増大し、n-型の高比抵抗層2、pウェル8及びnウェル9で構成されるn-p-n接合構造のパンチスルー耐圧が低下するという知見を得た。なお、図5の矢印はパンチスルーを模式的に示している。

[0054] そこで、実施形態に係る半導体集積回路では、図1、図2及び図4に示すように、nウェル9の外周部のpウェル8内にエッジ構造201を設けている。エッジ構造201が、常にnウェル9の第3電位V3をpウェル8の第2電位V2よりも高く制御することにより、待機時等の特定時においても第3電位V3が第2電位V2よりも高くなる。このため、図5に示した比較例に係る半導体集積回路のような高温時のリーク電流を低減することができ、n-型の高比抵抗層2、pウェル8及びnウェル9で構成されるn-p-n接合構造におけるパンチスルー耐圧の低下を防止することができる。更に、回路部200のpウェル8内でエッジ構造201が一体化しているため、pウェル8の外部に個別の回路を付加する必要が無く、小面積で実現可能となる。

。

[0055] 更に、E型トランジスタT11の第1主端子領域（ソース領域）を、nウェル9との共通領域とし、D型トランジスタT12の第5主端子領域（ソース領域）を、第4主端子領域24との共有領域とし、D型トランジスタT12の第6主端子領域（ドレイン領域）を、第2主端子領域19との共有領域とすることにより、小面積化を図ることができる。

[0056] なお、図1では、E型トランジスタT11の第1主端子領域（ソース領域）を、nウェル9との共通領域とする場合を例示したが、E型トランジスタT11の第1主端子領域（ソース領域）を、nウェル9とは個別に設けてもよい。また、D型トランジスタT12の第5主端子領域（ソース領域）を、ツェナーダイオードD1の第4主端子領域24との共有領域とする場合を例示したが、D型トランジスタT12の第5主端子領域（ソース領域）を、ツェナーダイオードD1の第4主端子領域24とは個別に設けてもよい。また、D型トランジスタT12の第6主端子領域（ドレイン領域）を、E型トランジスタT11の第2主端子領域19との共有領域とする場合を例示したが、D型トランジスタT12の第6主端子領域（ドレイン領域）を、E型トランジスタT11の第2主端子領域19とは個別に設けてもよい。

[0057] 更に、図1に示したE型トランジスタT11のゲート長L1が、D型トランジスタT12のゲート長L2よりも短く、且つ図2に示したE型トランジスタT11のゲート幅W1が、D型トランジスタT12のゲート幅W2よりも大きい。これにより、D型トランジスタT12の電流を絞り込み、消費電流を低減することができると共に、E型トランジスタT11では大電流を流し易くすることができる。ゲート長L1とゲート長L2とを同じ長さとしてもよいし、ゲート長L1をゲート長L2よりも長くしてもよい。また、ゲート幅W1とゲート幅W2とを同じ幅としてもよいし、ゲート幅W1をゲート幅W2より小さくしてもよい。

[0058] <実施例>

図6は、比較例に係る半導体集積回路の25℃及び175℃のI-V特性

のシミュレーション結果を示し、図7は、実施形態に係る半導体集積回路の25℃及び175℃のI-V特性のシミュレーション結果を示す。図6に示す比較例に係る半導体集積回路では、第2電位V2及び第3電位V3として0Vを印加した状態で、第1電位V1を変化させた。一方、図7に示す実施形態に係る半導体集積回路では、第2電位V2として0Vを印加し、第3電位V3として第2電位V2よりも大きい5Vを印加した状態で、第1電位V1を変化させた。図6に示す比較例に係る半導体集積回路では、175℃でリーク電流が増大し、パンチスルー耐圧が低下している。これに対して、図7に示す実施形態に係る半導体集積回路では、175℃でのリーク電流が抑制され、パンチスルー耐圧が改善していることが分かる。

[0059] <変形例>

実施形態の変形例に係る半導体集積回路は、図8及び図9に示すように、E型トランジスタT11の平面パターンが、pウェル8の周囲を取り囲むように枠状（環状）に設けられている点が、図1及び図2に示した実施形態に係る半導体集積回路と異なる。図8は、図9の平面図に示したA-A方向から見た断面図に相当する。E型トランジスタT11の平面パターンを枠状とすることにより、E型トランジスタT11のゲート幅を大きくすることができ、E型トランジスタT11に大電流を流れ易くすることができる。図8及び図9では、図1及び図2に示した第1回路素子T1は図示を省略しているが、例えばE型トランジスタT11の周囲を取り囲むpウェル8内に設けられる。

[0060] （その他の実施形態）

上記のように、本発明は実施形態によって記載したが、この開示の一部をなす論述及び図面は本発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

[0061] 例えば、実施形態では、出力部100の出力段素子T0としてトレンチゲート型のMOSトランジスタを例示したが、これに限定されない。例えば、

出力段素子T₀がトレンチゲート型のIGBTであってもよい。出力段素子T₀がIGBTの場合は、例えば、図1の低比抵抗層1をp⁺型の半導体層とすればよい。また、回路部200に含まれる制御用の回路として、第1回路素子T₁及び第2回路素子T₂から構成されるCMOSを例示したが、CMOSに限定されず、他の半導体素子からなる制御用の回路であっても構わない。

[0062] また、実施形態では、半導体基体(1, 2)としてSiを用いた場合を例示した。しかし、Siの他にも、炭化ケイ素(SiC)、窒化ガリウム(GaN)、ダイヤモンド又は窒化アルミニウム(AlN)等のSiよりも禁制帯幅が広い半導体(ワイドバンドギャップ半導体)材料を用いた場合にも適用可能である。

[0063] また、図1では、半導体基体(1, 2)がn⁺型の半導体基板からなる低比抵抗層1上に、n⁻型の高比抵抗層2がエピタキシャル成長された構造を例示したが、これに限定されない。例えば、低比抵抗層1の代わりに、p型の支持基板(半導体ウェハ)の上にエピタキシャル成長されたn⁺型の埋め込み層を用い、このn⁺型の埋め込み層の上にn⁻型の高比抵抗層2をエピタキシャル成長して3層構造の半導体基体を構成してもよい。低比抵抗層1の代わりにn⁺型の埋め込みエピタキシャル層を用いた3層構造の半導体基体の場合は、高比抵抗層2の上面から埋め込みエピタキシャル層に届くシンカー領域を設ければよい。即ち、シンカー領域を介してドレイン領域として機能するn⁺型の埋め込みエピタキシャル層に高比抵抗層2の上面側から接続してもよい。この場合、ドレイン電極配線は高比抵抗層2の上面側に設けられる。低比抵抗層1の代わりにn⁺型の埋め込みエピタキシャル層を用いる場合は、下面側の支持基板を絶縁体基板としてSOI構造にしても構わない。

[0064] このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

符号の説明

- [0065] 1…低比抵抗層
2…高比抵抗層（第1主電極領域）
3…ボディ領域
4 a, 4 b…第2主電極領域
5…ベースコンタクト領域
6 a, 6 b, 17, 21, 26…ゲート絶縁膜
7 a, 7 b, 13, 18, 22, 27…ゲート電極
8…第1ウェル
9…第2ウェル（第1主端子領域）
10…第3主電極領域
11…第4主電極領域
14…基体コンタクト領域
15…第5主電極領域
16…第6主電極領域
19…第2主端子領域（第6主端子領域）
20…エッジコンタクト領域
23…第3主端子領域
24…第4主端子領域（第5主端子領域）
25…チャネル形成領域
28…ウェルコンタクト領域
29…下面電極
30 a, 30 b…ゲートトレンチ
31, 31…配線
33…インバータ
100…出力部
200…回路部
201…エッジ構造
D0…還流ダイオード

D 1 …ツェナーダイオード

T 0 …出力段素子

T 1 …第 1 回路素子

T 2 …第 2 回路素子

T 3 …スイッチング素子

T 1 1 …エンハンスメント型トランジスタ

T 1 2 …デプレッション型トランジスタ

請求の範囲

- [請求項1] 第1導電型の半導体基体と、
前記半導体基体の下面に設けられ、第1電位が印加される下面電極と、
前記半導体基体の上面側に設けられ、前記第1電位よりも低い第2電位が印加される第2導電型の第1ウェルと、
前記第1ウェル内に設けられた第1導電型の第2ウェルと、
前記第1ウェルに設けられ、前記第2電位よりも高い第3電位を前記第2ウェルに供給するエッジ構造と、
を備えることを特徴とする半導体集積回路。
- [請求項2] 前記エッジ構造は、
前記第2ウェルと電位が等しく前記第3電位を供給する第1導電型の第1主端子領域、前記第1電位が印加される第1導電型の第2主端子領域、及び前記第1主端子領域と前記第2主端子領域の間を流れる電流を制御する第1制御電極を有するエンハンスメント型トランジスタと、
前記第2電位が印加される第2導電型の第3主端子領域、及び前記第1制御電極に接続された第1導電型の第4主端子領域を有するツェナーダイオードと、
前記第4主端子領域に接続された第1導電型の第5主端子領域、前記第1電位が印加される第1導電型の第6主端子領域、及び前記第1制御電極に接続され前記第5主端子領域と前記第6主端子領域の間を流れる電流を制御する第2制御電極を有するデプレッション型トランジスタと、
を備えることを特徴とする請求項1に記載の半導体集積回路。
- [請求項3] 前記第1主端子領域が、前記第2ウェルとの共有領域で構成されることを特徴とする請求項2に記載の半導体集積回路。
- [請求項4] 前記第2主端子領域が、前記第1ウェル内に前記第1主端子領域が

ら離間して設けられ、前記半導体基体と第1配線を介して接続されていることを特徴とする請求項2又は3に記載の半導体集積回路。

[請求項5] 前記エンハンスメント型トランジスタが、前記第1主端子領域と前記第2主端子領域との間の前記第1ウェル上に設けられた第1ゲート絶縁膜を更に備え、

前記第1制御電極が、前記第1ゲート絶縁膜上に設けられていることを特徴とする請求項2～4のいずれか1項に記載の半導体集積回路。

[請求項6] 前記第3主端子領域が、前記第1ウェル内に前記第2ウェル及び前記第2主端子領域から離間して設けられ、前記第1ウェルよりも高不純物濃度の半導体領域であることを特徴とする請求項2～5のいずれか1項に記載の半導体集積回路。

[請求項7] 前記第4主端子領域が、前記第3主端子領域内に設けられ、前記第3主端子領域とpn接合をなすことを特徴とする請求項2～6に記載の半導体集積回路。

[請求項8] 前記第5主端子領域が、前記第4主端子領域との共有領域で構成されることを特徴とする請求項請求項2～7のいずれか1項に記載の半導体集積回路。

[請求項9] 前記第6主端子領域が、前記第2主端子領域との共有領域で構成されることを特徴とする請求項請求項2～8のいずれか1項に記載の半導体集積回路。

[請求項10] 前記デプレッション型トランジスタが、
前記第5主端子領域と前記第6主端子領域の間に設けられ、前記第3主端子領域と重複する部分の導電型が反転可能な第1導電型のチャネル形成領域と、

前記チャネル形成領域上に設けられた第2ゲート絶縁膜と、
を更に備え、

前記第2制御電極が前記第2ゲート絶縁膜上に設けられ、前記第5

主端子領域及び前記第 1 制御電極と第 2 配線を介して接続されていることを特徴とする請求項 2 ～ 9 のいずれか 1 項に記載の半導体集積回路。

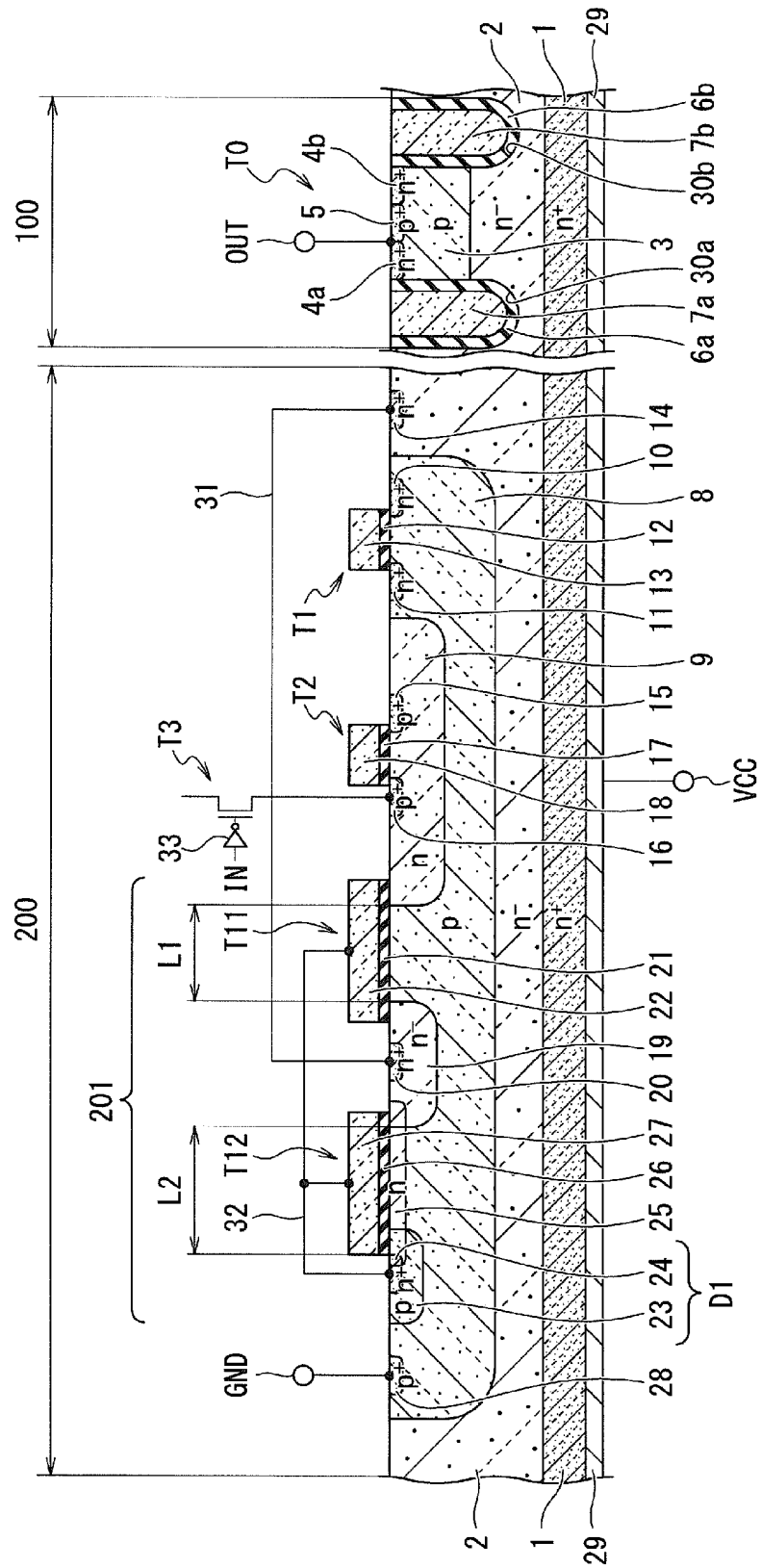
[請求項11] 前記ツェナーダイオードは、5 V ～ 1 0 V の降伏電圧を有することを特徴とする請求項 2 ～ 1 0 のいずれか 1 項に記載の半導体集積回路。

[請求項12] 前記エンハンスメント型トランジスタのゲート長が、前記デプレッション型トランジスタのゲート長よりも短いことを特徴とする請求項 2 ～ 1 1 のいずれか 1 項に記載の半導体集積回路。

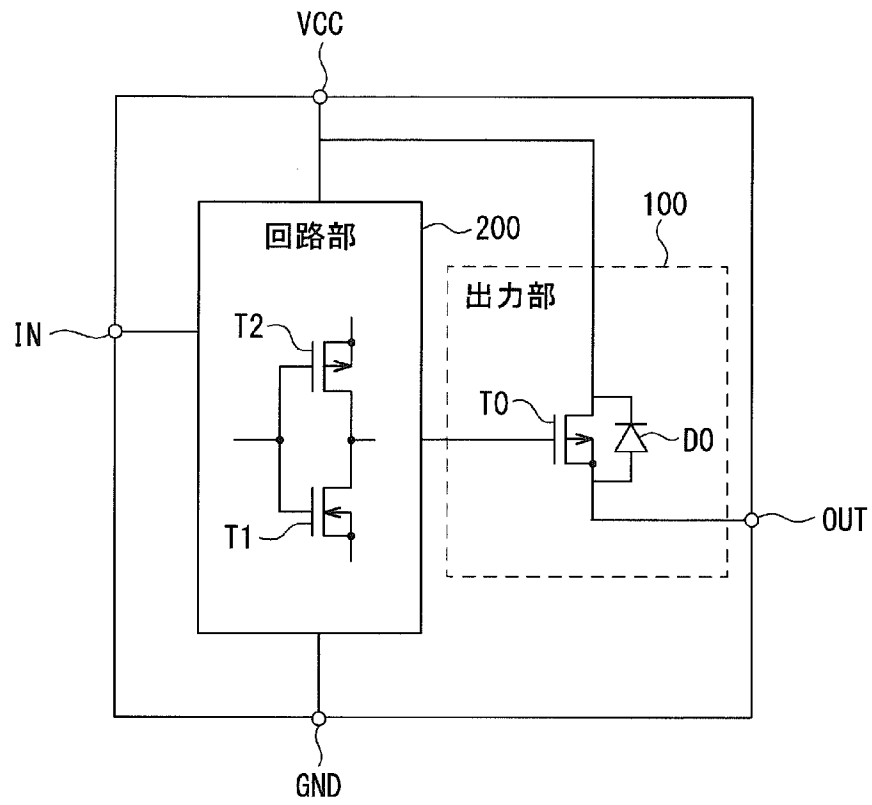
[請求項13] 前記エンハンスメント型トランジスタのゲート幅が、前記デプレッション型トランジスタのゲート幅よりも広いことを特徴とする請求項 2 ～ 1 2 のいずれか 1 項に記載の半導体集積回路。

[請求項14] 前記エンハンスメント型トランジスタの平面パターンが、前記第 2 ウェルを取り囲むように設けられていることを特徴とする請求項 2 ～ 1 3 のいずれか 1 項に記載の半導体集積回路。

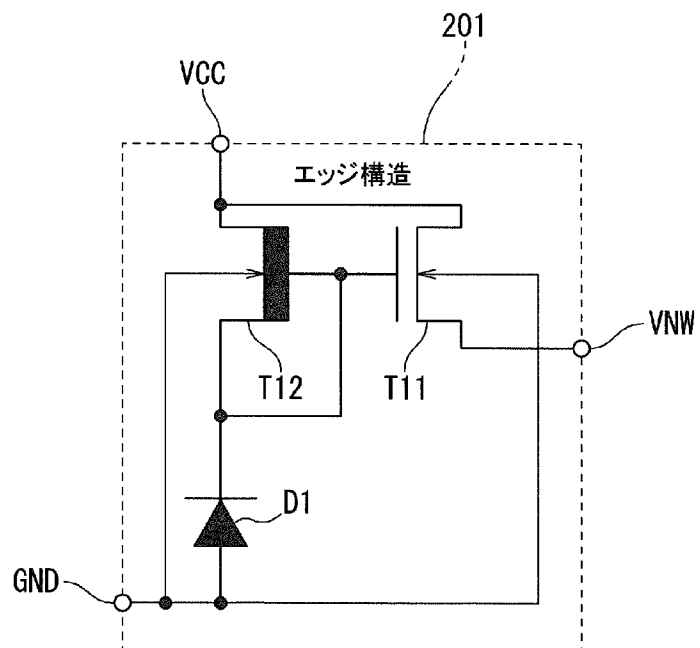
[図1]



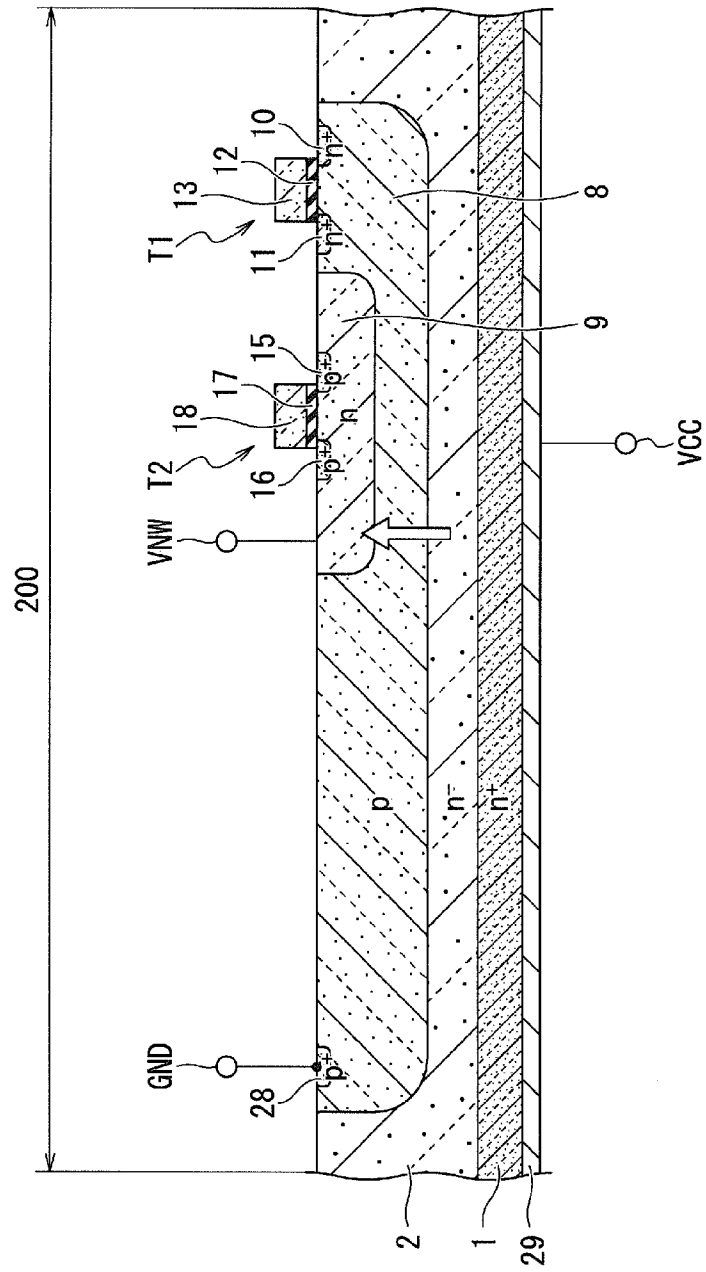
[図3]



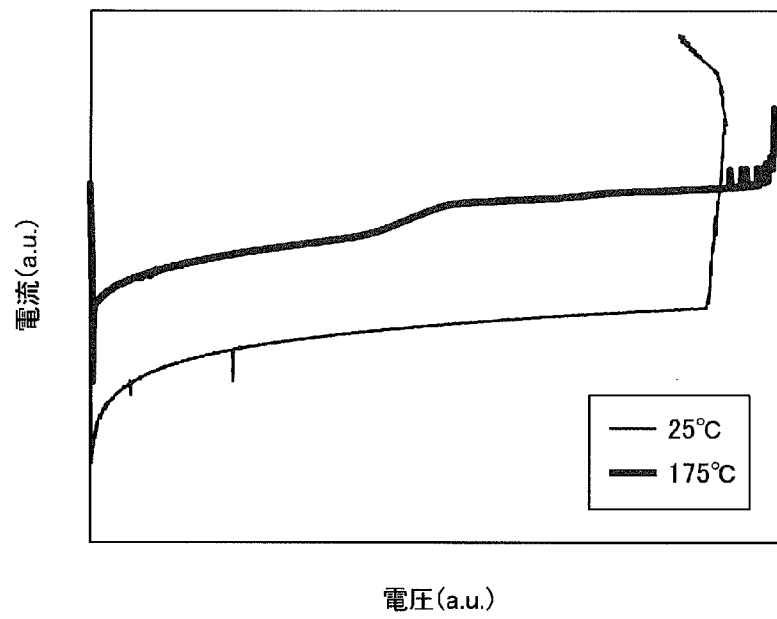
[図4]



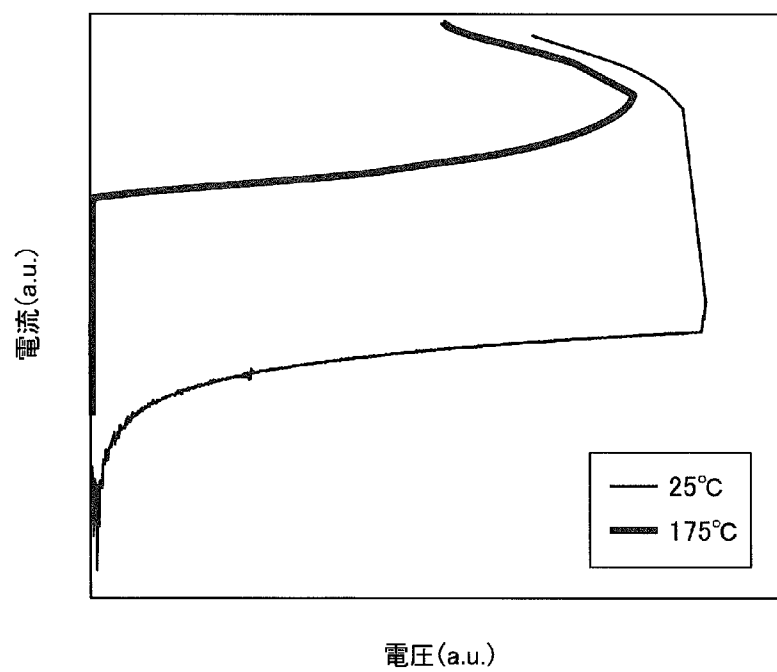
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/014219

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L27/088(2006.01)i, H01L21/329(2006.01)i, H01L21/822(2006.01)i, H01L21/8234(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i, H01L29/12(2006.01)i, H01L29/739(2006.01)i, H01L29/78(2006.01)i, H01L29/866(2006.01)i
FI: H01L27/088 A, H01L29/78 656C, H01L29/78 657A, H01L29/78 653A, H01L29/78 652T, H01L27/06 102A, H01L29/78 655Z, H01L29/90 D, H01L27/04 F, H01L27/04 H

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L27/088, H01L21/329, H01L21/822, H01L21/8234, H01L27/04, H01L27/06, H01L29/12, H01L29/739, H01L29/78, H01L29/866

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2020
Registered utility model specifications of Japan 1996-2020
Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2016/132418 A1 (FUJI ELECTRIC CO., LTD.) 25 August 2016	1-14
A	WO 2016/132417 A1 (FUJI ELECTRIC CO., LTD.) 25 August 2016	1-14
A	JP 2016-42558 A (FUJI ELECTRIC CO., LTD.) 31 March 2016	1-14
A	JP 2005-191263 A (FUJI ELECTRIC DEVICE TECHNOLOGY CO., LTD.) 14 July 2005	1-14

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
09.06.2020

Date of mailing of the international search report
16.06.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/014219

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
WO 2016/132418 A1	25.08.2016	US 2017/0133401 A1 CN 106663658 A	
WO 2016/132417 A1	25.08.2016	US 2017/0141114 A1	
JP 2016-42558 A	31.03.2016	US 2016/0056148 A1 CN 105374818 A	
JP 2005-191263 A	14.07.2005	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/088(2006.01)i; H01L 21/329(2006.01)i; H01L 21/822(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/04(2006.01)i; H01L 27/06(2006.01)i; H01L 29/12(2006.01)i; H01L 29/739(2006.01)i; H01L 29/78(2006.01)i; H01L 29/866(2006.01)i FI: H01L27/088 A; H01L29/78 656C; H01L29/78 657A; H01L29/78 653A; H01L29/78 652T; H01L27/06 102A; H01L29/78 655Z; H01L29/90 D; H01L27/04 F; H01L27/04 H																	
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L27/088; H01L21/329; H01L21/822; H01L21/8234; H01L27/04; H01L27/06; H01L29/12; H01L29/739; H01L29/78; H01L29/866 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年							
日本国実用新案公報	1922 - 1996年																
日本国公開実用新案公報	1971 - 2020年																
日本国実用新案登録公報	1996 - 2020年																
日本国登録実用新案公報	1994 - 2020年																
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>WO 2016/132418 A1（富士電機株式会社）25.08.2016（2016 - 08 - 25）</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>WO 2016/132417 A1（富士電機株式会社）25.08.2016（2016 - 08 - 25）</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>JP 2016-42558 A（富士電機株式会社）31.03.2016（2016 - 03 - 31）</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>JP 2005-191263 A（富士電機デバイステクノロジー株式会社）14.07.2005（2005 - 07 - 14）</td> <td>1-14</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	WO 2016/132418 A1（富士電機株式会社）25.08.2016（2016 - 08 - 25）	1-14	A	WO 2016/132417 A1（富士電機株式会社）25.08.2016（2016 - 08 - 25）	1-14	A	JP 2016-42558 A（富士電機株式会社）31.03.2016（2016 - 03 - 31）	1-14	A	JP 2005-191263 A（富士電機デバイステクノロジー株式会社）14.07.2005（2005 - 07 - 14）	1-14
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号															
A	WO 2016/132418 A1（富士電機株式会社）25.08.2016（2016 - 08 - 25）	1-14															
A	WO 2016/132417 A1（富士電機株式会社）25.08.2016（2016 - 08 - 25）	1-14															
A	JP 2016-42558 A（富士電機株式会社）31.03.2016（2016 - 03 - 31）	1-14															
A	JP 2005-191263 A（富士電機デバイステクノロジー株式会社）14.07.2005（2005 - 07 - 14）	1-14															
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																	
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献				
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの																
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの																
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの																
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献																
“O” 口頭による開示、使用、展示等に言及する文献																	
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献																	
国際調査を完了した日 09.06.2020	国際調査報告の発送日 16.06.2020																
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 岩本 勉 5F 9355 電話番号 03-3581-1101 内線 3516																

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/014219

引用文献			公表日	パテントファミリー文献			公表日
WO	2016/132418	A1	25.08.2016	US	2017/0133401	A1	
				CN	106663658	A	
WO	2016/132417	A1	25.08.2016	US	2017/0141114	A1	
JP	2016-42558	A	31.03.2016	US	2016/0056148	A1	
				CN	105374818	A	
JP	2005-191263	A	14.07.2005	(ファミリーなし)			