

(此處由本局於收
文時黏貼條碼)

民國 102 年 7 月 24 日 修正本

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：095137185

※申請日期：95 年 10 月 05 日

※IPC 分類：G02F 1/368 (2006.01)

H01L 29/86 (2006.01)

一、發明名稱：

(中) 薄膜電晶體基板及薄膜電晶體基板之製造方法
(英)

二、申請人：(共 1 人)

1. 姓 名：(中) 出光興產股份有限公司

(英) IDEMITSU KOSAN CO., LTD.

代表人：(中) 1. 天坊昭彥

(英) 1. TEMBO, AKIHIKO

地 址：(中) 日本國東京都千代田區丸之內三丁目一番一號

(英) 1-1, Marunouchi 3-chome, Chiyoda-ku, Tokyo 100-8321 Japan

國籍：(中英) 日本

JAPAN

三、發明人：(共 3 人)

1. 姓 名：(中) 井上一吉

(英) INOUE, KAZUYOSHI

國 籍：(中) 日本

(英) JAPAN

2. 姓 名：(中) 矢野公規

(英) YANO, KOKI

國 籍：(中) 日本

(英) JAPAN

3. 姓 名：(中) 田中信夫

(英) TANAKA, NOBUO

國 籍：(中) 日本

(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

民國 102 年 7 月 24 日 修正

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本 ; 2005/10/05 ; 2005-292823 ☒有主張優先權
2. 日本 ; 2005/12/02 ; 2005-349826 ☒有主張優先權
3. 日本 ; 2005/12/09 ; 2005-356563 ☒有主張優先權
4. 日本 ; 2005/12/09 ; 2005-357034 ☒有主張優先權
5. 日本 ; 2005/12/16 ; 2005-363150 ☒有主張優先權
6. 日本 ; 2006/01/31 ; 2006-022849 ☒有主張優先權

五、中文發明摘要

發明之名稱：薄膜電晶體基板及薄膜電晶體基板之製造方法

本發明係提案一種可減少製造步驟的步驟數，縮短製造處理時間，藉此可降低製造成本，且使製造良品率提升之方法。

薄膜電晶體（TFT）基板係具備：

基板；及

形成於該基板上方的閘極電極及閘極配線；

形成於閘極電極及閘極配線上方的閘極絕緣膜；

至少在閘極電極上方的閘極絕緣膜上方所被形成的第一氧化物層；及

形成於第一氧化物層上方的第二氧化物層，

且，藉由第二氧化物層來至少形成畫素電極。

六、英文發明摘要

發明之名稱：

七、指定代表圖：

(一) 本案指定代表圖為：第(9)圖

(二) 本代表圖之元件符號簡單說明：

- 1010：玻璃基板
- 1001：TFT基板
- 1012a：閘極電極
- 1012b：閘極配線
- 1012c：源極配線
- 1012d：汲極配線
- 1012e：源極電極
- 1012f：汲極電極
- 1012g：畫素電極
- 1012h：通道部
- 1013：閘極絕緣膜
- 1014：n型氧化物半導體層
- 1015：氧化物導電體層
- 1017：閘極配線取出孔
- 1017a：閘極配線焊墊

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

九、發明說明

【發明所屬之技術領域】

本發明是有關使用於液晶顯示裝置或有機電致發光（以下亦簡稱為 EL）發光裝置等的薄膜電晶體（以下亦簡稱 TFT）基板及其製造方法。

【先前技術】

LCD（液晶顯示裝置）或有機 EL 顯示裝置是基於顯示性能及省能源等的理由而廣泛被利用。該等特別是作為行動電話或 PDA（個人攜帶資訊終端機）、個人電腦或膝上型個人電腦、電視等的顯示裝置，大致成主流。該等的顯示裝置，一般為使用 TFT 基板。

例如，液晶顯示裝置是在 TFT 基板與對向基板之間充填有液晶等的顯示材料。並且，此顯示材料會依各畫素而被選擇性施加電壓。在此，TFT 基板是配置有由半導體薄膜（亦稱為半導體膜）等所構成的 TFT（薄膜電晶體）之基板。一般，TFT 基板是陣列狀配置 TFT，因此亦稱為「TFT 陣列基板」。

另外，在使用於液晶顯示裝置等的 TFT 基板中，TFT 與液晶顯示裝置的畫面的 1 畫素組（此稱為 1 單元）會被縱橫配設於玻璃基板上。TFT 基板是在玻璃基板上，閘極配線會例如於縱方向以等間隔配置，源極配線或汲極配線的一方會於橫方向以等間隔配置。並且，源極配線或汲極配線的另一方，閘極電極，源極電極及汲極電極會分別被

設置於構成各畫素的上述單元中。

< TFT 基板的以往製造方法 >

就此 TFT 基板的製造法而言，通常有使用 5 片光罩的 5 片光罩製程、或藉由半色調曝光（half tone exposure）技術，使用 4 片光罩的 4 片光罩製程等。

但，如此的 TFT 基板的製造法，必須使用 5 片或 4 片的光罩，因此其製造製程必須眾多的步驟。例如，4 片光罩製程必須超過 35 步驟（步驟）、5 片光罩製程必須超過 40 步驟（步驟）的步驟。若一旦如此地步驟數變多，則製造良品率恐會有降低之虞。又，一旦步驟數多，則步驟會變複雜，製造成本會有增大之虞。

（使用 5 片光罩的製造方法）

圖 69 是用以說明以往例之 TFT 基板的製造方法的概略圖，（a）是表示形成閘極電極的剖面圖。（b）是表示形成蝕刻阻擋層的剖面圖。（c）是表示形成源極電極及汲極電極的剖面圖。（d）是表示形成層間絕緣膜的剖面圖。（e）是表示形成畫素電極的剖面圖。

在圖 69（a）中，於玻璃基板 9210 上，利用第一光罩（未圖示）來形成閘極電極 9212。亦即，首先，在玻璃基板 9210 上，藉由濺射來堆積金屬（例如、Al（鋁）等）。其次，利用第一光罩，藉由光蝕刻微影法來形成阻絕層。其次，藉由蝕刻成所定的形狀來形成閘極電極

9212，且阻絕層會被灰化。

其次，如圖 69 (b) 所示，在玻璃基板 9210 及閘極電極 9212 上，依序積層由 SiN 膜（氮化矽膜）所構成的閘極絕緣膜 9213，及 α -Si:H(i) 膜 9214。其次，堆積通道保護層的 SiN 膜（氮化矽膜）。其次，利用第二光罩（未圖示），藉由光蝕刻微影法來形成阻絕層。其次，利用 CHF 氣體來將 SiN 膜乾蝕刻成所定的形狀，蝕刻阻擋層 9215 會被形成，且阻絕層會被灰化。

其次，如圖 69 (c) 所示，在 α -Si:H(i) 膜 9214 及蝕刻阻擋層 9215 上，堆積 α -Si:H(n) 膜 9216。其次，在其上，Cr(鉻)/Al 二層膜會藉由真空蒸著或濺射法來堆積。其次，利用第三光罩（未圖示），藉由光蝕刻微影法來形成阻絕層。其次，Cr/Al 二層膜會被蝕刻，形成所定的形狀之源極電極 9217a 及汲極電極 9217b。此刻，對 Al 進行使用 $\text{H}_3\text{PO}_4\text{-CH}_3\text{COOH-HNO}_3$ 的光蝕刻 (photoetching)，且對 Cr 進行使用硝酸銻銨水溶液的光蝕刻。其次，對 α -Si:H 膜 (9216 及 9214) 進行使用 CHF 氣體的乾蝕刻、及使用胼水溶液 ($\text{NH}_2\text{NH}_2\cdot\text{H}_2\text{O}$) 的溼蝕刻，形成所定的形狀之 α -Si:H(n) 膜 9216 及 α -Si:H(i) 膜 9214，且阻絕層會被灰化。

其次，如圖 69 (d) 所示，形成透明電極 9219 之前，在閘極絕緣膜 9213，蝕刻阻擋層 9215，源極電極 9217a 及汲極電極 9217b 上，堆積層間絕緣膜 9218。其次，利用第四光罩（未圖示），藉由光蝕刻微影法來形成

阻絕層。其次，層間絕緣膜 9218 會被蝕刻，形成用以使透明電極 9219 與源極電極 9217a 電性連接的貫通孔 9218a，且阻絕層會被灰化。

其次，如圖 69 (e) 所示，在形成有源極電極 9217a 及汲極電極 9217b 的圖案之區域的層間絕緣膜 9218 上，藉由濺射法來堆積以氧化銦及氧化鋅為主成分的非晶質透明導電膜。其次，利用第五光罩（未圖示），藉由光蝕刻微影法來形成阻絕層。其次，對非晶質透明導電膜，使用草酸約 4 重量 % 的水溶液作為蝕刻劑來進行光蝕刻。其次，非晶質透明導電膜會被形成與源極電極 9217a 電性連接那樣的形狀，且阻絕層會被灰化。藉此，形成透明電極 9219。

如此一來，若根據該以往例的 TFT 基板的製造方法，則需要 5 片的光罩。

（使用 3 片光罩的製造方法）

就改良上述以往技術的技術而言，有各種減少光罩數（例如從 5 片減少至 3 片），以更為減少製造步驟的方法來製造 TFT 基板的技術被提案。例如，在下記專利文獻 1 ~ 7 中記載有使用 3 片光罩的 TFT 基板的製造方法。

〔專利文獻 1〕日本國特開 2004-317685 號公報

〔專利文獻 2〕日本國特開 2004-319655 號公報

〔專利文獻 3〕日本國特開 2005-017669 號公報

〔專利文獻 4〕日本國特開 2005-019664 號公報

〔專利文獻 5〕日本國特開 2005-049667 號公報

〔專利文獻 6〕日本國特開 2005-106881 號公報

〔專利文獻 7〕日本國特開 2005-108912 號公報

【發明內容】

（發明所欲解決的課題）

但，上述專利文獻 1～7 所記載之使用 3 片光罩的 TFT 基板的製造方法需要閘極絕緣膜的陽極氧化步驟等，為非常繁雜的製造製程。因此，上述 TFT 基板的製造方法，為實用困難的技術。

並且，在實際的製造線中會被要求可使生產性及品質提升的實用性技術。

本發明是有鑑於該課題而研發者，其目的是在於提供一種可藉由削減製造步驟的步驟數來大幅度降低製造成本之 TFT 基板及 TFT 基板的製造方法。

（用以解決課題的手段）

為了達成此目的，本發明的 TFT 基板係具備：

基板；

在該基板的上方所被形成的閘極電極及閘極配線；

至少在上述閘極電極及上述閘極配線的上方所被形成的閘極絕緣膜；

至少在上述閘極電極的上方的上述閘極絕緣膜的上方所被形成的第一氧化物層；及

在上述第一氧化物層的上方所被形成的第二氧化物層，

其特徵為：

藉由上述第二氧化物層來至少形成畫素電極。

另外，上述「在...的上方」是具有“在（離開表面）...之上”及“在（接觸於表面）...之上”的雙方意思。皆為較佳者記載於各實施形態。

又，最好藉由上述第二氧化物層來形成上述畫素電極、源極電極及汲極電極、源極配線及汲極配線。

又，最好上述畫素電極為上述第一氧化物層及上述第二氧化物層所構成。

又，最好上述第一氧化物層為 n 型氧化物半導體層，上述第二氧化物層為氧化物導電體層。

又，本發明的 TFT 基板的製造方法係具有：

在基板的上方，利用第一光罩來形成閘極電極及閘極配線之步驟；

在上述基板、上述閘極電極及上述閘極配線的上方，依序積層閘極絕緣膜、第一氧化物層、第二氧化物層及阻絕層之步驟；

利用第二光罩，藉由半色調曝光來將上述阻絕層形成所定的形狀之步驟；

選擇性蝕刻上述第一氧化物層及上述第二氧化物層，而形成源極配線、汲極配線及畫素電極之步驟；

將上述阻絕層再形成所定的形狀之步驟；

選擇性蝕刻上述第二氧化物層，而形成源極電極、汲極電極及通道部之步驟；及

選擇性蝕刻上述閘極絕緣膜，而形成閘極配線焊墊之步驟。

又，本發明的 TFT 基板的製造方法係具有：

在基板的上方，利用第一光罩來形成閘極電極及閘極配線之步驟；

在上述基板、上述閘極電極及上述閘極配線的上方，依序積層閘極絕緣膜、第一氧化物層、第二氧化物層及阻絕層之步驟；

利用第二光罩，藉由半色調曝光來將上述阻絕層形成所定的形狀之步驟；

蝕刻上述第一氧化物層、上述第二氧化物層及上述閘極絕緣膜，而形成源極配線、汲極配線、畫素電極及閘極配線焊墊之步驟；

將上述阻絕層予以再形成所定的形狀之步驟；及

選擇性蝕刻上述第二氧化物層，而形成源極電極、汲極電極及通道部之步驟。

又，最好在上述源極配線、上述汲極配線、上述源極電極及上述汲極電極的上方，利用第三光罩來形成輔助配線或輔助電極之步驟。

爲了達成上述目的，本發明的 TFT 基板具備：在上述畫素電極，源極配線焊墊或汲極配線焊墊，及閘極配線焊墊露出的狀態下，形成於上述閘極電極及閘極配線的上

方，以及源極配線，汲極配線，源極電極及汲極電極的上方之保護用絕緣膜，且藉由上述第二氧化物層來形成上述源極配線，汲極配線，源極電極，汲極電極及畫素電極。

如此一來，通道部的第一氧化物層的上部會藉由保護用絕緣膜所保護，因此 TFT 基板可長期間安定作動。又，可藉由製造時所使用之光罩數的減少、及製造步驟的削減來謀求生產效率的提升及製造原價的成本降低。又，由於形成有保護用絕緣膜，因此藉由在 TFT 基板設置有機 EL 材料，電極及保護膜，可容易取得有機電場發光裝置。

另外，所謂源極・汲極配線焊墊是意指源極配線焊墊或汲極配線焊墊。

又，最好上述第一氧化物層為 n 型氧化物半導體層，且上述第二氧化物層為氧化物導電體層。

如此，藉由使用氧化物半導體層作為 TFT 的活性層，即使電流流動也會安定，對於藉由控制電流來使作動的有機電場發光裝置而言有用。並且，可容易形成通道部，源極電極及汲極電極。

又，最好上述畫素電極為上述第一氧化物層與第二氧化物層的積層膜所構成。

如此一來，可將積層膜設成透明，因此可防止光所造成的錯誤動作。

又，最好至少在上述第二氧化物層的基板側形成上述第一氧化物層。

如此一來，可將第二氧化物層及第一氧化物層設成透明，因此可防止光所造成的錯誤動作。

又，最好上述源極配線，汲極配線，源極電極，汲極電極及畫素電極的至少一個上形成輔助導電層。

如此一來，可降低各配線或電極的電阻，可使可靠度提升，且可抑止能源效率的降低。

又，最好上述第一氧化物層及第二氧化物層的能隙為 3.0eV 以上。

如此，將能隙設為 3.0eV 以上，可防止光所造成的錯誤動作。另外，通常能隙為 3.0eV 以上即可，但最好為 3.2eV 以上，更理想是 3.4eV 以上。如此，藉由增大能隙，更可確實防止光所造成的錯誤動作。

又，本發明的 TFT 基板的製造方法係具有：

在基板上，利用第一光罩來形成閘極電極及閘極配線之步驟；

在上述基板，閘極電極及閘極配線上，依序積層閘極絕緣膜，第一氧化物層，第二氧化物層及第二阻絕層，且利用第二光罩來將上述第二阻絕層形成所定的形狀之步驟；

利用上述第二阻絕層來蝕刻上述第二氧化物層，而形成源極配線，汲極配線，源極電極，汲極電極及畫素電極之步驟；

在上述第一氧化物層，源極配線，汲極配線，源極電極，汲極電極及畫素電極上依序積層保護用絕緣膜及第三

阻絕層，且藉由半色調曝光來將上述第三阻絕層形成所定的形狀之步驟；

利用上述第三阻絕層來蝕刻閘極配線焊墊上的上述保護用絕緣膜及第一氧化物層之步驟；及

再形成上述第三阻絕層之後，利用該第三阻絕層來選擇性蝕刻上述畫素電極，及源極配線焊墊或汲極配線焊墊上的上述保護用絕緣膜，以及上述閘極配線焊墊上的上述閘極絕緣膜，使上述畫素電極，上述源極配線焊墊或汲極配線焊墊，及閘極配線焊墊露出之步驟。

如此，本發明作為 TFT 基板的製造方法亦有效。可利用三片的光罩來製造具有保護用絕緣膜的 TFT 基板，可減少光罩數，削減製造步驟。藉此，可謀求生產效率的提升及製造原價的成本降低。又，由於通道部的第一氧化物層的上部會藉由保護用絕緣膜來保護，因此 TFT 基板可長期間安定作動。

又，本發明的 TFT 基板的製造方法係具有：

在基板上，利用第一光罩來形成閘極電極及閘極配線之步驟；

在上述基板，閘極電極及閘極配線上依序積層閘極絕緣膜，第一氧化物層，第二氧化物層，輔助導電層及第二阻絕層，且藉由半色調曝光來將上述第二阻絕層形成所定的形狀之步驟；

利用上述第二阻絕層來蝕刻上述輔助導電層及第二氧化物層，而形成源極配線，汲極配線，源極電極，汲極電

極及畫素電極，且形成由上述輔助導電層所構成的輔助配線及輔助電極之步驟；

再形成上述第二阻絕層之後，利用該第二阻絕層來選擇性蝕刻上述畫素電極上的上述輔助導電層，使上述畫素電極露出之步驟；

在上述第一氧化物層及畫素電極上、以及上述源極配線，汲極配線，源極電極及汲極電極上所被形成的上述輔助導電層上，依序積層保護用絕緣膜及第三阻絕層，且藉由半色調曝光來將第三阻絕層形成所定的形狀之步驟；

利用上述第三阻絕層來蝕刻閘極配線焊墊上的上述保護用絕緣膜及第一氧化物層之步驟；及

再形成上述第三阻絕層之後，利用該第三阻絕層來選擇性蝕刻上述畫素電極，及源極配線焊墊或汲極配線焊墊上的上述保護用絕緣膜，以及上述閘極配線焊墊上的上述閘極絕緣膜，使上述畫素電極，上述源極配線焊墊或汲極配線焊墊，及上述閘極配線焊墊露出之步驟。

如此，可利用三片的光罩來製造具有保護用絕緣膜的 TFT 基板，可減少光罩數，削減製造步驟。藉此，可謀求生產效率的提升及製造原價的成本降低。又，可降低各配線或電極的電阻，可使可靠度提升，且可抑止能源效率的降低。

爲了達成上述目的，本發明的 TFT 基板，最好藉由上述第二氧化物層，至少形成上述畫素電極，及與該畫素電極連接的源極電極或汲極電極。

如此一來，可藉由製造時所使用之光罩數的減少、及製造步驟的削減來謀求生產效率的提升及製造原價的成本降低。

另外，所謂源極・汲極電極是意指源極電極或汲極電極。

又，最好上述薄膜電晶體基板的上方係藉由保護用絕緣膜所覆蓋，且上述保護用絕緣膜在對應於各畫素電極，及源極配線焊墊或汲極配線焊墊，及閘極配線焊墊的位置具有開口部。

如此一來，通道部的第一氧化物層的上部會藉由保護用絕緣膜來保護，因此 TFT 基板可長期間安定作動。又，由於 TFT 基板本身具備保護用絕緣膜，因此可提供一種能夠容易製造利用液晶或有機 EL 材料等的顯示手段或發光手段之 TFT 基板。

另外，所謂源極・汲極配線焊墊是意指源極配線焊墊或汲極配線焊墊。

又，最好上述第一氧化物層為 n 型氧化物半導體層，且上述第二氧化物層為氧化物導電體層。

如此，藉由使用氧化物半導體層作為 TFT 的活性層，可使電流安定流動，因此 TFT 基板對於藉由電流控制來作動的有機電場發光裝置而言有用。並且，可容易形成通道部，源極電極及汲極電極。

又，最好上述畫素電極為上述第一氧化物層與第二氧化物層的積層膜所構成。

如此一來，可將積層膜設成透明，因此可防止光所造成的錯誤動作。

又，最好至少在上述第二氧化物層的基板側形成上述第一氧化物層。

如此一來，可將第二氧化物層及第一氧化物層設成透明，因此可防止光所造成的錯誤動作。

又，最好在上述源極配線，汲極配線，源極電極，汲極電極及畫素電極的至少一個上方形成輔助導電層。

如此一來，可降低各配線或電極的電阻，可使可靠度提升，且可抑止能源效率的降低。

又，最好上述第一氧化物層被形成於對應於上述通道部，源極配線，汲極配線，源極電極，汲極電極及畫素電極的所定位置。

如此一來，通常第一氧化物層會只被形成於所定的位置，因此可排除閘極配線彼此間干擾（Cross Talk）等的擔憂。

又，最好上述第一氧化物層及/或第二氧化物層的能隙為 3.0eV 以上。

如此，藉由使能隙成為 3.0eV 以上，可防止光所造成的錯誤動作。另外，通常能隙為 3.0eV 以上即可，但最好為 3.2eV 以上，更理想是 3.4eV 以上。如此，藉由增大能隙，更可確實防止光所造成的錯誤動作。

又，最好上述畫素電極的一部份藉由反射金屬層所覆蓋。

如此一來，可長期間安定作動，且可防止干擾（Cross Talk），且可提供一種能夠大幅度降低製造成本之半透過型的 TFT 基板或半反射型的 TFT 基板。

又，最好藉由上述反射金屬層來形成源極配線，汲極配線，上述源極電極及汲極電極的至少一個。

如此一來，可使更多的光反射，可使反射光的亮度提升。

又，最好上述反射金屬層為鋁，銀或金所構成的薄膜、或者含鋁，銀或金的合金層所構成。

如此一來，可使更多的光反射，可使反射光的亮度提升。

又，最好上述 TFT 基板具備金屬層，且具有保護上述金屬層的金屬層保護用氧化物導電體層。

如此一來，可防止金屬層的腐蝕，且使耐久性提升。例如，使用金屬層來作為閘極配線時，在形成閘極配線焊墊用的開口部時，可防止金屬表面露出，可使連接可靠度提升。並且，當金屬層為反射金屬層時，可防止反射金屬層的變色等，可防止反射金屬層的反射率降低等不良的情況。

又，最好上述 TFT 基板係具備閘極電極，閘極配線，源極配線，汲極配線，源極電極，汲極電極或畫素電極的其中至少一個以上，且上述閘極電極，閘極配線，源極配線，汲極配線，源極電極，汲極電極及畫素電極的至少一個為氧化物透明導電體層所構成。

如此一來，光的透過量會增大，因此可提供一種亮度佳的顯示裝置。

又，本發明的 TFT 基板的製造方法係具有：

在基板的上方，利用第一光罩來形成閘極電極及閘極配線之步驟；

在上述基板，閘極電極及閘極配線的上方，積層閘極絕緣膜，第一氧化物層，第二氧化物層及第二阻絕層，且藉由半色調曝光來將上述第二阻絕層形成所定的形狀之步驟；

利用上述第二阻絕層來蝕刻上述第二氧化物層及第一氧化物層，而形成源極配線，汲極配線及畫素電極之步驟；

再形成上述第二阻絕層之後，利用該第二阻絕層來選擇性蝕刻上述閘極電極的上方的上述第二氧化物層，形成源極電極及汲極電極之步驟；

在露出的上述閘極絕緣膜及第一氧化物層的上方、以及上述源極配線，汲極配線，源極電極，汲極電極及畫素電極的上方，積層保護用絕緣膜及第三阻絕層，且利用第三光罩來將第三阻絕層形成所定的形狀之步驟；及

利用上述第三阻絕層來蝕刻上述畫素電極，及源極配線焊墊或汲極配線焊墊的上方的上述保護用絕緣膜、以及閘極配線焊墊的上方的上述保護用絕緣膜及閘極絕緣膜，使上述畫素電極，及上述源極配線焊墊或汲極配線焊墊，及閘極配線焊墊露出之步驟。

如此，本發明作為 TFT 基板的製造方法亦有效。可利用三片的光罩來製造具有保護用絕緣膜的 TFT 基板，可減少光罩數，削減製造步驟。藉此，可謀求生產效率的提升及製造原價的成本降低。又，由於通道部的第一氧化物層的上部會藉由保護用絕緣膜來保護，因此 TFT 基板可長期間安定作動。又，通常第一氧化物層會只被形成於所定的位置（對應於通道部，源極配線，汲極配線，源極電極，汲極電極及畫素電極的所定位置），因此可排除閘極配線彼此間干擾（Cross Talk）等的擔憂。

又，本發明的 TFT 基板的製造方法係具有：

在基板的上方，利用第一光罩來形成閘極電極及閘極配線之步驟；

在上述基板，閘極電極及閘極配線的上方，積層閘極絕緣膜，第一氧化物層，第二氧化物層，輔助導電層及第二阻絕層，且藉由半色調曝光來將上述第二阻絕層形成所定的形狀之步驟；

利用上述第二阻絕層來蝕刻上述輔助導電層，第二氧化物層及第一氧化物層，而形成源極配線，汲極配線及畫素電極，且形成由上述輔助導電層所構成的輔助配線之步驟；

再形成上述第二阻絕層之後，利用該第二阻絕層來選擇性蝕刻上述閘極電極的上方的上述輔助導電層及第二氧化物層，形成源極電極及汲極電極，且形成由上述輔助導電層所構成的輔助電極之步驟；

在露出的上述閘極絕緣膜及第一氧化物層的上方、以及上述源極配線，汲極配線，源極電極，汲極電極及畫素電極的上方所被形成的上述輔助導電層的上方，積層保護用絕緣膜及第三阻絕層，且利用第三光罩來將第三阻絕層形成所定的形狀之步驟；

利用上述第三阻絕層來蝕刻上述畫素電極，及源極配線焊墊或汲極配線焊墊的上方的上述保護用絕緣膜、以及閘極配線焊墊的上方的上述保護用絕緣膜，使上述畫素電極，及源極配線焊墊或汲極配線焊墊的上方的上述輔助導電層露出之步驟；

利用上述第三阻絕層來蝕刻露出的上述畫素電極，及上述源極配線焊墊或汲極配線焊墊的上方的上述輔助導電層，使上述畫素電極，及上述源極配線焊墊或汲極配線焊墊露出之步驟；及

利用上述第三阻絕層來蝕刻上述閘極配線焊墊的上方的上述閘極絕緣膜，使上述閘極配線焊墊露出之步驟。

如此，可利用三片的光罩來製造具有輔助導電層及保護用絕緣膜的 TFT 基板，並且，可減少光罩數，削減製造步驟。藉此，可謀求生產效率的提升及製造原價的成本降低。又，可降低各配線或電極的電阻，可使可靠度提升，且可抑止能源效率的降低。

又，本發明的 TFT 基板的製造方法係具有：

在基板的上方，利用第一光罩來形成閘極電極及閘極配線之步驟；

在上述基板，閘極電極及閘極配線的上方，積層閘極絕緣膜，第一氧化物層，第二氧化物層，反射金屬層及第二阻絕層，且藉由半色調曝光來將上述第二阻絕層形成所定的形狀之步驟；

利用上述第二阻絕層來蝕刻上述反射金屬層，第二氧化物層及第一氧化物層，而形成源極配線，汲極配線及畫素電極之步驟；

再形成上述第二阻絕層之後，利用該第二阻絕層來選擇性蝕刻上述閘極電極的上方的上述反射金屬層及第二氧化物層，形成源極電極及汲極電極之步驟；

在露出的上述閘極絕緣膜及第一氧化物層的上方、以及上述源極配線，汲極配線，源極電極，汲極電極及畫素電極的上方所被形成的上述反射金屬層的上方，積層保護用絕緣膜及第三阻絕層，且藉由半色調曝光來將第三阻絕層形成所定的形狀之步驟；

利用上述第三阻絕層來使上述畫素電極的一部份露出，且形成由上述反射金屬層所構成的反射金屬部之步驟；

將上述第三阻絕層予以再形成所定的形狀之步驟；及

蝕刻上述反射金屬部，及源極配線焊墊或汲極配線焊墊的上方的上述保護用絕緣膜、以及閘極配線焊墊的上方的上述保護用絕緣膜及閘極絕緣膜，使上述反射金屬部，及上述源極配線焊墊或汲極配線焊墊，及上述閘極配線焊墊露出之步驟。

如此一來，可提供一種使長期間安定作動，且可防止干擾（Cross Talk），同時可大幅度降低製造成本之半透過型的 TFT 基板或半反射型的 TFT 基板。

又，最好在上述反射金屬層的上方形成保護該反射金屬層的金屬層保護用氧化物導電體層。

如此一來，可防止反射金屬層的變色等，可防止反射金屬層的反射率降低等不良的情況。

【實施方式】

[第一實施形態的 TFT 基板的製造方法]

本實施形態的 TFT 基板的製造方法為使用 2 片光罩的方法，對應於請求項 8，9，13。

（a）使用第一光罩的步驟

圖 1 是用以說明本發明的第一實施形態之 TFT 基板的製造方法，使用第一光罩的步驟概略剖面圖。

並且，圖 2 是圖 1 的概略立體圖。

圖 1，2 中顯示使用第一光罩（未圖示）來形成的閘極電極 1012a 及閘極配線 1012b。

就使用第一光罩的步驟而言，首先，在透光性的玻璃基板 1010 上，Al 及 Mo（鉬）會依該等的順序利用高頻濺射法來積層，形成膜厚約 300nm 的金屬薄膜 1100。其次，使用由氧化銦-氧化鋅（IZO： In_2O_3 ： ZnO =約 90：10wt%）所構成的濺射靶來形成膜厚約 100nm 的薄膜

1102。藉此，由金屬薄膜 1100 及薄膜 1102 所構成的閘極電極及配線用薄膜會被形成。

其次，利用第一光罩，藉由光蝕刻微影法來形成阻絕層（未圖示），閘極電極及配線用薄膜會藉由磷酸、醋酸及硝酸所構成的混酸（適當簡稱為混酸）來蝕刻。如此一來，可形成所定形狀的閘極電極 1012a 及閘極配線 1012b。

就上述蝕刻而言，由於 IZO 會被混酸所蝕刻，因此可利用混酸來一起蝕刻金屬薄膜 1100 及薄膜 1102。又，由於 IZO 會被草酸系蝕刻液所蝕刻，因此亦可首先藉由草酸系蝕刻液來只蝕刻薄膜 1102，然後藉由混酸來蝕刻金屬薄膜 1100。

（b）使用第二光罩的步驟

（b-a）第一蝕刻步驟 a

圖 3 是用以說明本發明的第一實施形態之 TFT 基板的製造方法的概略剖面圖，在同圖中，顯示有利用第二光罩來形成的源極配線、汲極配線及畫素電極。

並且，圖 4 是圖 3 的概略立體圖。

其次，如圖 3，4 所示，藉由輝光放電 CVD 法，氮化矽（ SiN_x ）膜的閘極絕緣膜 1013 會被堆積成膜厚約 300nm。放電氣體為使用 $\text{SiH}_4\text{-NH}_3\text{-N}_2$ 系的混合氣體。

其次，利用氧化銦-氧化鉀-氧化鋅（ InGaZnO_4 ）靶，藉由高頻濺射法，在氧約 15%、氬約 85%的環境條件下，

形成厚度約 150nm 的 n 型氧化物半導體層 1014。

其次，利用氧化銦 - 氧化鋅 ($\text{IZO} : \text{In}_2\text{O}_3 : \text{ZnO} = \text{約 } 90 : 10 \text{ wt\%}$) 靶，藉由高頻濺射法，在氧約 15%、氬約 85% 的環境條件下，形成厚度約 150nm 的氧化物導電體層 1015。

在此，n 型氧化物半導體層 1014 是申請專利範圍的「第一氧化物層」之一較佳例，氧化物導電體層 1015 是申請專利範圍的「第二氧化物層」之一較佳例。

其次，塗佈阻絕層 1016 之後，藉由半色調曝光來將阻絕層 1016 形成所定的形狀。

其次，參照圖面來說明有關一般的半色調曝光技術。

圖 5 是一般的半色調曝光技術的說明圖，(a) 是表示曝光中的概略剖面圖，(b) 是表示顯像後的概略剖面圖。

在圖 5 (a) 中，曝光光 1201 會透過未被掩蔽的部份，阻絕層 1016 會感光。

其次，藉由光罩 1200 而被掩蔽的阻絕層 1016，由於曝光光 1201 不透過，因此不會感光。另一方面，藉由半色調光罩部 1200a 而被掩蔽的阻絕層 1016，由於約一半的曝光光 1201a 會透過，因此大概只一半的量感光。

上述曝光後，阻絕層 1016 會被顯像。圖 5 (b) 是表示顯像後的阻絕層 1016 的狀態。如圖 5 (b) 所示，未被掩蔽的部份的阻絕層 1016 是完全被剝離。並且，被光罩 1200 掩蔽的阻絕層 1016 會原封不動剩下。另一方面，被

半色調光罩部 1200a 的阻絕層 1016 會被剝離，形成約一半的厚度。其結果，阻絕層 1016 是形成圖 5 (b) 那樣的形狀。

本實施形態是藉由如此的手法來將阻絕層 1016 形成所定的形狀。

如圖 3，4 所示，阻絕層 1016 形成後，氧化物導電體層 1015 的上述 IZO、及 n 型氧化物半導體層 1014 的上述氧化銦-氧化鉀-氧化鋅會一起以草酸系的蝕刻液來蝕刻。然後，源極配線 1012c、汲極配線 1012d、源極電極 1012e 的一部份、汲極電極 1012f 的一部份、及畫素電極 1012g 會被形成。在此，利用上述草酸系的蝕刻液之蝕刻，是氧化物導電體層 1015 及 n 型氧化物半導體層 1014 的蝕刻速度比閘極絕緣膜 1013 的蝕刻速度更快的蝕刻法 A。

另外，本實施形態是汲極配線 1012d 與畫素電極 1012g 連接，但並非限於此限定。

如此，本實施形態的特徵是氧化物導電體層 1015 與 n 型氧化物半導體層 1014 的兩層的膜具有 3 種類的部份（源極配線 1012c 與汲極配線 1012d、源極電極 1012e 與汲極電極 1012f、及畫素電極 1012g）的機能。因此，在本實施形態中，不必準備配合該等各 3 種類的部份的形狀之 3 種類的光罩，可藉由 1 片的第二光罩來形成 3 種類的部份。

如圖 4 所示，由 n 型氧化物半導體層 1014（氧化銦-

氧化鉀-氧化鋅)及氧化物導電體層 1015 (IZO)所構成的 2 層構造會被形成於閘極絕緣膜 1013 上。藉由此 2 層構造，畫素電極 1012g 是由 n 型氧化物半導體層 1014 及氧化物導電體層 1015 所構成。並且，如圖 4 所示，透明基板 1010 是藉由閘極絕緣膜 1013 來覆蓋。

另外，在圖 4 中，省略了氧化物導電體層 1015 上的阻絕層 1016，而使能夠容易理解。並且，如圖 3，4 所示，形成有閘極配線取出孔 1017。

(b-b) 第二蝕刻步驟 b

圖 6 是用以說明本發明的第一實施形態之 TFT 基板的製造方法的概略剖面圖，在同圖中，顯示有利用第二光罩來形成的源極電極及汲極電極。

並且，圖 7 為圖 6 的概略立體圖。

其次，如圖 6 所示，使阻絕層 1016 灰化(阻絕層的剝離及去除)，再形成所定的形狀。

其次，參照圖面來說明有關灰化技術。

圖 8 是用以再形成阻絕層的灰化處理的說明圖，(a)是表示被再形成前的阻絕層的概略剖面圖，(b)是被再形成的阻絕層的概略剖面圖。

如圖 8(a)所示，在被再形成前的阻絕層 1016 中，藉由半色調曝光來形成有凹部 1050。

灰化處理是進行阻絕層 1016 的剝離及去除的處理，就灰化方法而言，使用藥液的溼洗淨等為從以前被使用。

若阻絕層 1016 僅以所定的時間灰化，則如圖 8 (b) 所示，凹部 1050 的下方的阻絕層 1016 會完全被去除。並且，未形成有凹部 1050 的阻絕層 1016 的較厚部份會從上方部份地被去除，形成大約一半的厚度。

本實施形態亦藉由上述灰化，再形成阻絕層 1016。

其次，如圖 6，7 所示，藉由混酸來蝕刻氧化物導電體層 1015 的 IZO，形成通道部 1012h。此刻，完成源極電極 1012e 及汲極電極 1012f 的形成。並且，藉由此蝕刻，閘極配線 1012b 上方不要的氧化物導電體層 1015 會被去除。而且，利用上述混酸的蝕刻是比 n 型氧化物半導體層 1014 及閘極絕緣膜 1013 的蝕刻速度更快的蝕刻法 B。

另外，在圖 6 中，省略了氧化物導電體層 1015 上的阻絕層 1016，而使能夠容易理解。

(c) 閘極配線焊墊的形成步驟

圖 9 是用以說明本發明的第一實施形態之 TFT 基板的製造方法的概略剖面圖，在同圖中，閘極配線焊墊會被形成，阻絕層會被去除。

並且，圖 10 為圖 9 的概略立體圖。

其次，如圖 9，10 所示，使用 CHF (CF₄、CHF₃ 等)、氧氣、氬氣等的混合氣體的反應蝕刻氣體，藉由乾蝕刻法來蝕刻閘極配線取出孔 1017 下方的閘極絕緣膜 1013，形成閘極配線焊墊 1017a。並且，此刻不要的閘極絕緣膜 1013 也會被蝕刻。在此，上述乾蝕刻是閘極絕緣

膜 1013 的蝕刻速度比氧化物導電體層 1015 及 n 型氧化物半導體層 1014 的蝕刻速度更快的蝕刻法 C。

其次，阻絕層 1016 會被剝離，玻璃基板 1010 會被洗淨。如此一來，可取得使用所望的氧化物半導體之 2 片光罩法的 TFT 基板 1001。

另外，圖 9 是合併圖 10 的 A-A'線、B-B'線、C-C'線所示的各部份的剖面而成爲一個剖面圖者。上述圖 1、圖 3、圖 6 亦相同。

在此，使用氧化銦-氧化鋅（IZO： In_2O_3 ： ZnO =約 90：10wt%）靶來成膜的薄膜（氧化物導電體層 1015）可藉由草酸系蝕刻劑（etchant）或混酸來蝕刻。

另一方面，使用氧化銦-氧化鉀-氧化鋅（ InGaZnO_4 ）靶來成膜的薄膜（n 型氧化物半導體層 1014）是藉由草酸系蝕刻劑來蝕刻，但對混酸而言，蝕刻速度慢。

因此，上述（b-b）第二蝕刻步驟 b 的選擇性蝕刻可能。n 型氧化物半導體層 1014 及氧化物導電體層 1015，只要是上述那樣的蝕刻特性，即使是其他的材料也無妨。

並且，藉由反應蝕刻等的乾蝕刻來形成閘極配線焊墊 1017a 時，同時通道部 1012f 也會被微量蝕刻。但，通道部 1012f 是被形成於第一氧化物層 1014，乾蝕刻的蝕刻速度慢，實質上幾乎沒有損傷。

又，本實施形態中，n 型氧化物半導體層 1014 爲使用氧化銦-氧化鉀-氧化鋅（ InGaZnO_4 ），但只要實質上對乾蝕刻具有耐性的材料即可。亦即，可選定具有實質乾蝕

刻耐性的其他氧化物半導體作為 n 型氧化物半導體層 1014（第一氧化物層）。

又，本實施形態中，雖是將閘極電極 1012a 及閘極配線 1012b 形成金屬薄膜與 IZO 的 2 層構成，但由於此 IZO 等的金屬氧化物，如前述對乾蝕刻具有耐性，因此在乾蝕刻時不會對下層的金屬薄膜層造成損傷。

又，本實施形態中，將金屬薄膜構成 2 層（Al/Mo）的理由是為了降低氧化物與金屬的接觸電阻，若使用接觸電阻小的金屬，則亦可以 1 層來構成。

又，本實施形態作為 TFT 基板的發明亦有效，上述 TFT 基板 1001 是對應於請求項 1，2，3，6，7。

[第二實施形態的 TFT 基板的製造方法]

本實施形態的 TFT 基板的製造方法為使用 3 片光罩的方法，對應於請求項 8，9，11，12，13。

（a）使用第一光罩的步驟

就使用第一光罩的步驟而言，首先，在透光性的玻璃基板 1010 上，Al 及 Mo（鉬）會依序使用高頻濺射法來積層，形成膜厚約 300nm 的金屬薄膜 1100。其次，使用由氧化銦-氧化錫-氧化鉍（ITCO： In_2O_3 ： SnO_2 ： CeO_2 =約 90：7：3wt%）所構成的濺射靶來形成膜厚約 100nm 的薄膜 1102。藉此，形成由金屬薄膜 1100 及薄膜 1102 所構成的閘極電極及配線用薄膜。

其次，利用第一光罩，藉由光蝕刻微影法來形成阻絕層，閘極配線用薄膜會藉由混酸來蝕刻。如此一來，形成所定的形狀的閘極電極 1012a 及閘極配線 1012b（參照圖 1，2）。

就上述蝕刻而言，由於 ITCO 會被混酸所蝕刻，因此可利用混酸來一起蝕刻金屬薄膜 1100 及薄膜 1102。又，由於 ITCO 會被草酸系蝕刻液所蝕刻，因此亦可首先藉由草酸系蝕刻液來只蝕刻薄膜 1102，然後藉由混酸來蝕刻金屬薄膜 1100。

（b）使用第二光罩的步驟

（b-a）第一蝕刻步驟 a

其次，藉由輝光放電 CVD 法，氮化矽（ SiN_x ）膜的閘極絕緣膜 1013 會被堆積成膜厚約 300nm。放電氣體為使用 $\text{SiH}_4\text{-NH}_3\text{-N}_2$ 系的混合氣體。

其次，使用氧化銦-氧化鉀-氧化鋅（ InGaZnO_4 ）靶，藉由高頻濺射法，在氧約 15%、氬約 85%的環境條件下，形成厚度約 150nm 的 n 型氧化物半導體層 1014。

其次，使用氧化銦-氧化錫-氧化鋅（ $\text{ITSmO}:\text{In}_2\text{O}_3:\text{SnO}_2:\text{Sm}_2\text{O}_3=\text{約 } 90:7:3\text{wt}\%$ ）靶，藉由高頻濺射法，以氧約 15%、氬約 85%的環境下的條件來形成厚度約 150nm 的氧化物導電體層 1015。

在此，n 型氧化物半導體層 1014 是申請專利範圍的「第一氧化物層」之一較佳例，氧化物導電體層 1015 是

申請專利範圍的「第二氧化物層」之一較佳例。

其次，塗佈阻絕層 1016 之後，藉由半色調曝光來將阻絕層 1016 形成所定的形狀。

阻絕層 1016 的形成後，氧化物導電體層 1015 的上述 ITSmO、及 n 型氧化物半導體層 1014 的上述氧化銦-氧化鉀-氧化鋅會一起以草酸系的蝕刻液來蝕刻（蝕刻法 A）。然後，源極配線 1012c、汲極配線 1012d、源極電極 1012e 的一部份、汲極電極 1012f 的一部份、及畫素電極 1012g 會被形成（參照圖 3，4）。

如此，本實施形態的特徵是氧化物導電體層 1015 與 n 型氧化物半導體層 1014 的兩層的膜具有 3 種類的部份（源極配線 1012c 與汲極配線 1012d、源極電極 1012e 與汲極電極 1012f、及畫素電極 1012g）的機能。因此，在本實施形態中，不必準備配合該等各 3 種類的部份的形狀之 3 種類的光罩，可藉由 1 片的第二光罩來形成 3 種類的部份。

（b-b）第二蝕刻步驟 b

其次，使阻絕層 1016 灰化（阻絕層的剝離及去除），再形成所定的形狀。

其次，藉由混酸來蝕刻氧化物導電體層 1015 的 ITSmO（蝕刻法 B），形成通道部 1012h。並且，藉由該蝕刻來去除閘極配線 1012b 上方的不要氧化物導電體層 1015（參照圖 6，7）。

(c) 閘極配線焊墊的形成步驟

其次，使用 CHF (CF₄、CHF₃ 等)、氧氣、氬氣等的混合氣體的反應蝕刻氣體，藉由乾蝕刻法（蝕刻法 C）來蝕刻閘極配線取出孔 1017 下方的閘極絕緣膜 1013，形成閘極配線焊墊 1017a。

其次，阻絕層 1016 會被剝離，玻璃基板 1010 會被洗淨。如此一來，可取得使用所望的氧化物半導體之 2 片光罩法的 TFT 基板。

本實施形態的上述處理是與第一實施形態（利用 2 片光罩之 TFT 基板的製造）大致相同（參照圖 9）。

(d) 使用第三光罩的處理

圖 11 是用以說明本發明的第二實施形態之 TFT 基板的製造方法的概略剖面圖，在同圖中，形成有輔助電極及輔助配線。

並且，圖 12 為圖 11 的概略立體圖。

在圖 11，12 中，首先，上述 TFT 基板進行約 230℃、30 分鐘的熱處理。其次，形成輔助電極及輔助配線的 Al 層會被積層約 250nm。其次，利用第三光罩來形成所定的形狀之輔助電極及輔助配線。

在本實施形態，源極配線 1012c、汲極配線 1012d、源極電極 1012e 及汲極電極 1012f 為由氧化物導電體所構成。並且，氧化物導電體的材質為 ITSmO，此 ITSmO 的

比電阻約為 $300\mu\Omega\text{cm}$ ，較大。因此，配線電阻會變大，所以在本實施形態是藉由形成上述輔助電極 1018e，1018f 及輔助配線 1018c，1018d 來縮小配線電阻。

另外，在第一實施形態，取代 ITSmO，而使用 IZO。和第二實施形態同樣，藉由進行使用第三光罩的處理（形成輔助電極 1018e，1018f 及輔助配線 1018c，1018d 的處理），亦可縮小第一實施形態的配線電阻。

爲了形成上述輔助電極 1018e，1018f 及輔助配線 1018c，1018d，藉由混酸來蝕刻 Al 層（蝕刻法 B）。此刻，藉由進行上述約 230°C 、30 分鐘的熱處理，氧化物導電體會被結晶化，對混酸具有耐蝕刻性，因此可只蝕刻 Al 層。

在本實施形態，氧化物導電體爲使用 ITCO 或 ITSmO，但只要是藉由加熱處理而使對混酸具有耐蝕刻性的氧化物導電體，無論對何種的材料皆可形成輔助電極及輔助配線。

其次，阻絕層會被剝離，玻璃基板 1010 會被洗淨。如此一來，可取得形成有輔助電極及輔助配線的 TFT 基板 1001a。

如此一來，若在源極電極 1012e、汲極電極 1012f、源極配線 1012c 及汲極配線 1012d 重疊設置輔助電極 1018e，1018f 及輔助配線 1018c，1018d，則更可降低源極電極、汲極電極、源極配線及汲極配線的電阻。

另外，圖 11 是合併圖 12 的 D-D'線、E-E'線、F-F'線

所示的各部份的剖面而成爲一個剖面圖者。

（輔助電極及輔助配線的保護膜）

並且，輔助電極 1018e，1018f 及輔助配線 1018c，1018d 的 Al 層露出。因此，依照用途，有必要使對腐蝕等的安定性提升。此情況，最好在 Al 層上形成由 IZO 所構成之厚度約 10~50nm 程度的保護膜（未圖示），藉此可使安定性提升。由於 IZO 是容易藉由 Al 的蝕刻液之混酸來蝕刻，因此亦可與 Al 一起蝕刻。由於該一起蝕刻不會使步驟增加，因此非常合適。

進行一起蝕刻時，是在積層 Al 層及保護膜之後，以混酸來對 Al 層及保護膜一起進行蝕刻，形成所定的形狀。

另外，亦可在形成由 Al 層所構成的輔助電極及輔助配線之後，形成上述保護膜。

在本實施形態中，上述保護膜的材料爲使用 IZO，但亦可爲其他的材料，只要是可一起蝕刻輔助電極及輔助配線的材料即可。但，必須有某程度的導電性。

因此，上述保護膜最好爲 IZO、ITCO、ITSmO、ITZO 等的非晶質膜。由蝕刻特性來看，較理想是 IZO，但若考量製造步驟上的方便，最好是採用和使用於 TFT 基板的透明電極同一材料。

又，IZO 的氧化銦：氧化鋅的比率爲 $In/(In+Zn)$ = 約 0.55~0.95（原子數的比率）（此式中，In 爲每單位的

銦原子數， Zn 為每單位的鋅原子數）是較佳的數值範圍。此比率約為 0.75~0.9 更佳。

又，ITCO、ITSmO 中，氧化錫的原子數比率，對全金屬而言，最好約為 0.03~0.15 的範圍。另一方面，同樣的，銻、鈐對全金屬的原子數比率最好約為 0.01~0.15 的範圍。若銻、鈐的原子數比率約為 0.01~0.1 的範圍，則上述選擇蝕刻性會提升，因此更佳。

又，本實施形態作為 TFT 基板的發明亦有效，上述 TFT 基板 1001a 是對應於請求項 1，2，3，4，5，6，7。

[第三實施形態的 TFT 基板的製造方法]

本實施形態的 TFT 基板的製造方法是使用 2 片的光罩，先蝕刻閘極絕緣膜的方法，對應於請求項 10，13。

(a) 使用第一光罩的步驟

圖 13 是用以說明本發明的第三實施形態之 TFT 基板的製造方法的概略剖面圖，在同圖中，顯示有利用第一光罩來形成的閘極電極及閘極配線。

圖 13 是表示利用第一光罩來形成的閘極電極 1012a 及閘極配線 1012b。

就使用第一光罩的步驟而言，首先，在透光性的玻璃基板 1010 上，Al 及 Mo 會依序利用高頻濺射法來積層，分別形成膜厚約 250nm、約 50nm 的金屬薄膜 1100a、1100b。其次，使用由氧化銦-氧化錫-氧化鈐（ITSmO：

$\text{In}_2\text{O}_3 : \text{SnO}_2 : \text{Sm}_2\text{O}_3 = \text{約 } 90 : 7 : 3 \text{ wt\%}$) 所構成的濺射靶來形成膜厚約 100nm 的薄膜 1102。藉此，由金屬薄膜 1100a、1100b 及薄膜 1102 所構成的閘極電極及配線用薄膜會被形成。

此情況，Mo 是爲了降低與氧化物薄膜的接觸電阻而被積層於 Al 上。若接觸電阻爲低成可無視的程度時，該 Mo 可不要。又，亦可適用 Mo 以外的金屬。可使用 Ti (鈦)、Ni (鎳) 等來取代 Mo。另外，閘極配線亦可使用 Ag (銀)、Cu (銅) 等的金屬薄膜或該等的合金薄膜。

其次，利用第一光罩，藉由光蝕刻微影法來形成阻絕層，ITSmO 薄膜是藉由草酸水溶液等的草酸系蝕刻液來蝕刻，金屬薄膜是藉由混酸來蝕刻。如此一來，所定的形狀的閘極電極 1012a 及閘極配線 1012b 會被形成。另外，由於 ITSmO 薄膜亦可用混酸來蝕刻，因此可利用混酸來與金屬薄膜一起蝕刻。

其次，藉由熱處理來降低 Al 的電阻。此刻，亦可藉由熱處理來使 ITSmO 結晶化。藉由此結晶化，ITSmO 對草酸系蝕刻液及混酸具有耐性。

配置於閘極配線的表面之 ITSmO 等的氧化物導電膜是在閘極絕緣膜形成貫通孔，形成閘極配線焊墊 1017a 時，防止使用於閘極配線的金屬表面露出。藉由如此的構成，可形成可靠度高的電性連接。

並且， SiN_x 、 SiON_x 、 SiO_2 等的絕緣物被使用於閘極

絕緣膜時，可藉由使用 CHF (CF₄、CHF₃) 的反應離子蝕刻，在上述閘極絕緣膜形成貫通孔。此情況，上述 ITSmO 亦可作為金屬配線的保護膜用。

本實施形態中雖是利用 ITSmO，但亦可使用取代 ITSmO 的材料，例如 ITO 中含有鐳系元素的材料、或 ITO 中添加 Mo 或 W (鎢) 等高融點金屬氧化物的材料等。在此，Mo 或 W 等的添加量，最好對全金屬元素而言約為 10 原子%以下。更理想是添加量約為 1~5 原子%的範圍。若添加量超過約 10 原子%，則該材料難以結晶化，溶於草酸水溶液或混酸。又，膜厚最好約為 20nm~500nm。更理想是膜厚的範圍約為 30nm~300nm。膜厚約未滿 20nm 的膜，有時具有針孔，無法作為保護膜。另一方面，膜厚超過約 500nm 的膜，對成膜或蝕刻而言需要更多的時間，其製造時間會變長。因此，其製造無效率，且不合經濟效益。

(b) 使用第二光罩的步驟

圖 14 是用以說明本發明的第三實施形態之 TFT 基板的製造方法的概略剖面圖，在同圖中，顯示有利用第二光罩來形成的源極配線、汲極配線及畫素電極。

並且，圖 15 為圖 14 的概略立體圖。

其次，如圖 14，15 所示，藉由輝光放電 CVD 法，氮化矽 (SiN_x) 膜的閘極絕緣膜 1013 會被堆積成膜厚約 300nm。放電氣體為使用 SiH₄-NH₃-N₂ 系的混合氣體。

其次，使用氧化錫-氧化鋅（ SnO_2 ： ZnO =約 30：70wt%）靶，藉由高頻濺射法，在氧約 15%、氬約 85%的環境，以基板溫度約 200℃的條件來形成厚度約 100nm 的 n 型氧化物半導體層 1014。

其次，使用氧化銦-氧化鋅（ IZO ： In_2O_3 ： ZnO =約 90：10wt%）靶，藉由高頻濺射法，在氧約 1%、氬約 99%的環境條件下，形成厚度約 150nm 的氧化物導電體層 1015。

在此，n 型氧化物半導體層 1014 是申請專利範圍的「第一氧化物層」之一較佳例，氧化物導電體層 1015 是申請專利範圍的「第二氧化物層」之一較佳例。

其次，在氧化物導電體層 1015 上積層阻絕層 1016。其次，利用第 2 光罩，藉由半色調曝光來將阻絕層 1016 形成所定的形狀。

其次，藉由混酸，由氧化銦-氧化鋅所構成的氧化物導電體層 1015 會被蝕刻。其次，藉由草酸水溶液，由氧化錫-氧化鋅所構成的 n 型氧化物半導體層 1014 會被蝕刻。然後，源極配線 1012c、汲極配線 1012d、源極電極 1012e 的一部份、汲極電極 1012f 的一部份、及畫素電極 1012g 會被形成。

其次，藉由使用 CHF（ CF_4 、 CHF_3 等）的反應離子蝕刻法來去除閘極配線焊墊 1017a 上的閘極絕緣膜，使 ITSmO 膜露出，形成閘極配線焊墊 1017a。

另外，在圖 15 中，省略了氧化物導電體層 1015 上的

阻絕層 1016，而使能夠容易理解。又，如圖 14，15 所示，形成有閘極配線取出孔 1017。

圖 16 是用以說明本發明的第三實施形態之 TFT 基板的製造方法的概略剖面圖，在同圖中，顯示有利用第二光罩來形成的源極電極及汲極電極。

並且，圖 17 為圖 16 的概略立體圖。

其次，雖未圖示，但是使阻絕層 1016 灰化，再形成所定的形狀。其次，如圖 16，17 所示，藉由混酸來蝕刻氧化物導電體層 15，形成通道部 1012h、源極電極 1012e 及汲極電極 1012f。此刻，閘極配線 1012b 上不要的氧化物導電體層 1015 也會被蝕刻。

至目前為止的處理是選擇性蝕刻申請專利範圍的 n 型氧化物半導體層，而形成通道部、源極電極及汲極電極之步驟的較佳例子。

其次，去除阻絕層 1016，取得所望的 TFT 基板 1001b。

另外，圖 16 是合併圖 17 的 G-G'線、H-H'線、I-I'線所示的各部份的剖面而成為一個剖面圖者。

又，本實施形態中，n 型氧化物半導體層 1014 是在約 200℃下成膜也不會結晶化。所使用的氧化錫-氧化鋅 ($\text{SnO}_2 : \text{ZnO} = \text{約 } 30 : 70 \text{ wt\%}$) 薄膜會被草酸水溶液所蝕刻，但不被混酸所蝕刻。因此，藉由用以蝕刻存在於上部的氧化物導電體層 1015 的藥液，氧化錫-氧化鋅薄膜不會被蝕刻。

另一方面，氧化物導電體層 1015 最好不使結晶化。經本發明者們的確認，本實施形態的氧化物導電體層 1015 是即使加熱至約 350℃也不會結晶化。藉由使用如此的氧化物導電體層 1015，可進行利用混酸的蝕刻。換言之，可在不對 n 型氧化物半導體層 1014 造成損傷的情況下，蝕刻氧化物導電體層 1015。

又，使用於 n 型氧化物半導體層 1014 的形成之氧化錫-氧化鋅（ $\text{SnO}_2 : \text{ZnO}$ =約 30 : 70wt%）靶中，氧化鋅的添加量約為 50 ~ 80wt% 的範圍較佳，更理想是約 60 ~ 75wt%。若氧化鋅的添加量約未滿 50wt%，則有時載流子濃度不會降低。另一方面，添加量超過約 80wt% 時，也會有載流子濃度不會降低，或對混酸的耐性變低之虞。

進行上述 n 型氧化物半導體層 1014 的 AC 電洞測定（TOYO corporation 製、商品名「RESITEST」）。其測定結果為載流子濃度： $10^{+14}/\text{cm}^3$ 、移動度： $35\text{cm}^2/\text{V} \cdot \text{sec}$ 。

又，針對氧化物導電體層 1015 亦同樣進行 AC 電洞測定。其測定結果為載流子濃度： $10^{+20}/\text{cm}^3$ 、移動度： $42\text{cm}^2/\text{V} \cdot \text{sec}$ 。

又，本實施形態作為 TFT 基板的發明亦有效，上述 TFT 基板 1001b 是對應於請求項 1，2，6，7。

[第四實施形態的 TFT 基板的製造方法]

本實施形態的 TFT 基板的製造方法是使用 3 片光罩

的方法，對應於請求項 10，11，12，13。並且，利用本實施形態的 TFT 基板的製造方法，對於上述第三實施形態的 TFT 基板，使用第三光罩來形成輔助電極及輔助配線。

圖 18 是用以說明本發明的第四實施形態之 TFT 基板的製造方法的概略剖面圖，在同圖中，形成有輔助電極及輔助配線。

圖 19 為圖 18 的概略立體圖。

就使用第三光罩的步驟而言，首先，在上述第三實施形態所作成的 TFT 基板上，Mo 及 Al 會依序使用高頻濺射法來積層，分別形成膜厚約 50nm、約 150nm 的金屬薄膜 1018a、1018b。其次，使用氧化銦-氧化鋅（ In_2O_3 ：ZnO=約 90：10wt%）靶，藉由高頻濺射法，在氧約 1%、氬約 99%的條件下，厚度約 50nm 的透明導電層 1020 會被形成於上述金屬薄膜 1018b 上。此透明導電層 1020 是形成由 Mo 及 Al 所構成的金屬薄膜 1018a，1018b 的保護層。另外，在圖 18、圖 19 中是把金屬薄膜 1018a、1018b 及透明導電層 1020 合而為一賦予 1030 的符號。

其次，在該等的上面塗佈阻絕層（未圖示），使用第三光罩來將此阻絕層形成所定的形狀。然後，藉由混酸來蝕刻由氧化銦-氧化鋅所構成的透明導電層 1020。其次，對 Mo 及 Al 進行蝕刻，形成由金屬薄膜 1018a、1018b 所構成的源極輔助電極、汲極輔助電極、源極輔助配線、及汲極輔助配線。其次，阻絕層會被剝離，玻璃基板 1010

會被洗淨。如此一來，可取得形成輔助電極及輔助配線的 TFT 基板 1001c。如此的處理是形成申請專利範圍的輔助配線或輔助電極的步驟之較佳的例子。

另外，圖 18 是合併圖 19 的 J-J'線、K-K'線、L-L'線所示的各部份的剖面而成爲一個剖面圖者。

如以上那樣，利用第三光罩來形成輔助電極及輔助配線。

又，本實施形態作爲 TFT 基板的發明亦有效，上述 TFT 基板 1001c 是對應於請求項 1，2，4，6，7。

如上述，若利用本發明的請求項 1～13，則與以往比較下，可減少使用於製造的光罩，因此可減少製造步驟數，及縮短處理時間，可使製造良品率提升。又，由於本發明可減少步驟數，因此可期待製造成本的降低。

[第五實施形態的 TFT 基板的製造方法]

本實施形態的 TFT 基板的製造方法爲使用 3 片光罩的方法，對應於請求項 21。

圖 20 是用以說明本發明的第五實施形態之 TFT 基板的製造方法的概略流程圖。

在圖 20 中，首先，在基板 2010 上，利用第一光罩 2022 來形成閘極電極 2021 及閘極配線 2022（步驟 S2001）。

其次，參照圖面來說明有關使用第一光罩 2022 的處理。

（使用第一光罩的處理）

圖 21 是用以說明本發明的第五實施形態之 TFT 基板的製造方法，使用第一光罩的處理概略圖。（a）是表示處理前的玻璃基板的剖面圖。（b）是表示金屬成膜的剖面圖。（c）是表示阻絕層塗佈的剖面圖。（d）是表示曝光/顯像/第一蝕刻/阻絕層剝離，形成閘極電極及閘極配線的剖面圖。

在圖 21（a）中，首先，準備透光性的玻璃基板 2010。

其次，如圖 21（b）所示，金屬會被成膜於玻璃基板 2010，形成閘極極・配線用薄膜（閘極電極及閘極配線用薄膜）2020。

就本實施形態而言，是在玻璃基板 2010 上，Al（鋁）及 Mo（鉬）會依序利用高頻濺射法來積層。然後，膜厚約 250nm 及 50nm 的金屬薄膜會分別被形成。其次，使用由氧化銦-氧化錫-氧化釷（ITSmO： In_2O_3 ： SnO_2 ： Sm_2O_3 =約 90：7：3wt%）所構成的濺射靶來形成膜厚約 100nm 的薄膜，且形成由 Al/Mo/ITSmO 所構成的閘極電極・配線用薄膜 2020。

其次，如圖 21（c）所示，在閘極電極・配線用薄膜 2020 上塗佈第一阻絕層 2021。

其次，如圖 21（d）所示，利用第一光罩 2022，藉由光蝕刻微影法，將阻絕層（未圖示）形成所定的形狀。其

次，ITSmO 薄膜是使用草酸水溶液來蝕刻。金屬薄膜是使用混酸（一般稱為 PAN）來蝕刻，形成所定形狀的閘極電極 2023 及閘極配線 2024（參照圖 22）。圖 21（d）所示的閘極電極 2023 及閘極配線 2024 是表示圖 22 的 A-A 剖面及 B-B 剖面。在此，ITSmO 亦可使用混酸來蝕刻，可使用上述混酸來與金屬薄膜一起蝕刻。

又，亦可在閘極電極・配線用薄膜 2020 形成後，實施熱處理，降低 Al 的電阻，且使 ITSmO 結晶化。亦即，若 ITSmO 結晶化，則不會溶解於草酸系蝕刻液或混酸，因此可保護 Al/Mo 層。

又，藉由使 ITSmO 等的氧化物導電膜形成於閘極配線 2024 的表面，在形成閘極配線焊墊 2025 時，使用於閘極配線 2024 的金屬表面不會露出。藉此，可形成可靠度高的連接。亦即，在閘極絕緣膜 2030 中形成用以形成閘極配線焊墊 2025 的貫通孔時，使用 SiN_x ， SiON_x ， SiO_2 等的絕緣物作為閘極絕緣膜 2030，且藉由使用 CHF（ CF_4 ， CHF_3 等）的反應離子蝕刻法來形成貫通孔。此情況，ITSmO 等的氧化物導電膜亦形成金屬薄膜（Al/Mo 層）的保護膜。

其次，如圖 20 所示，在玻璃基板 2010，閘極電極 2023 及閘極配線 2024 上，依序積層閘極絕緣膜 2030，作為第一氧化物層的 n 型氧化物半導體層 2040，作為第二氧化物層的氧化物導電體層 2050，作為輔助導電層的金屬層 2060 及第二阻絕層 2061（步驟 S2002），且利用第

二半色調光罩 2062 及半曝光來將第二阻絕層 2061 形成所定的形狀（步驟 S2003）。

其次，參照圖面來說明有關使用第二半色調光罩 2062 的處理。

（使用第二半色調光罩的處理）

圖 23 是用以說明本發明的第五實施形態之 TFT 基板的製造方法，使用第二半色調光罩的處理概略圖。（a）是表示閘極絕緣膜成膜/n 型氧化物半導體層成膜/氧化物半導體層成膜/金屬層成膜/阻絕層塗佈的剖面圖。（b）是表示半色調曝光/顯像的剖面圖。

在圖 23（a）中，首先，藉由輝光放電 CVD（化學蒸著法）法，在玻璃基板 2010，閘極電極 2023 及閘極配線 2024 上，將氮化矽（ SiN_x ）膜的閘極絕緣膜 2030 堆積成膜厚約 300nm。另外，本實施形態中，放電氣體為使用 $\text{SiH}_4\text{-NH}_3\text{-N}_2$ 系的混合氣體。

其次，在閘極絕緣膜 2030 上，使用氧化錫-氧化鋅（ $\text{SnO}_2\text{:ZnO}$ =約 65：35wt%）靶，藉由高頻濺射法，在氧約 15%、氬約 85%、基板溫度約 200℃的條件下，形成厚度約 100nm 的 n 型氧化物半導體層 2040。另外，此 n 型氧化物半導體層 2040 的能隙約為 3.6eV。

其次，在 n 型氧化物半導體層 2040 上，使用氧化銦-氧化錫-氧化鋅（ $\text{In}_2\text{O}_3\text{:SnO}_2\text{:ZnO}$ =約 60：20：20wt%）靶，藉由高頻濺射法，在氧約 1%、氬約 99%的條件下形

成厚度約 150nm 的氧化物導電體層 2050。另外，此氧化物導電體層 2050 的能隙約為 3.2eV。

其次，在氧化物導電體層 2050 上，形成輔助導電層的金屬層（Mo/Al/Mo 層）2060 會以能夠形成厚度約 350nm（Mo/Al/Mo 層分別厚度約 50nm/150nm/50nm）的方式，在室溫下成膜。其次，在金屬層 2060 上積層第二阻絕層 2061（步驟 S2002）。

另外，在後述的步驟 S2009 中，汲極配線焊墊 2058 上的保護用絕緣膜 2070 若使用蝕刻氣體（CHF（CF₄，CHF₃ 氣體等））來乾蝕刻，則金屬層 2060 會露出。因此，亦可在 Mo/Al/Mo 層的表面形成 IZO（In₂O₃：ZnO=約 90：10wt%）薄膜。此薄膜的厚度約為 10～500nm，較理想是約 20～100nm。其理由是因為若約未滿 10nm，則會有針孔發生的情況，若超過約 500nm，則成膜或蝕刻會花費更多的時間。

其次，如圖 23（b）所示，藉由第二半色調光罩 2062 及半色調曝光來將第二阻絕層 2061 形成所定的形狀（圖 20 的步驟 S2003）。第二阻絕層 2061 是覆蓋源極電極 2053，汲極電極 2054，源極配線 2055，汲極配線 2056 及畫素電極 2057，且藉由半色調光罩部 2621 來形成覆蓋畫素電極 2057 的部份比其他的部份更薄的形狀。

另外，金屬層 2060 並非限於 Mo/Al/Mo 的積層膜，例如亦可使用 Ti/Al/Ti 等金屬薄膜的積層膜。又，亦可使用 Al，Mo，Ag，Cu 等金屬或合金的單層或多層的積層

膜。

圖 24 是用以說明本發明的第五實施形態之 TFT 基板的製造方法，使用第二半色調光罩的處理概略圖。(a) 是表示第二蝕刻的剖面圖。(b) 是表示第二阻絕層的再形成的剖面圖。

在圖 24 (a) 中，利用第二阻絕層 2061 來對金屬層 2060 及氧化物半導體層 2050 進行第二蝕刻，形成所望的源極電極 2053，汲極電極 2054，源極配線 2055，汲極配線 2056 及畫素電極 2057，且形成後述的輔助配線及輔助電極（圖 20 的步驟 S2004）。在此，金屬層 2060 的 Mo/Al/Mo 是藉由混酸來蝕刻，且 n 型氧化物半導體層 2040 是用草酸水溶液來蝕刻。

藉由上述蝕刻，在閘極電極 2023 上方的 n 型氧化物半導體層 2040 形成通道部 2041。因此，TFT 基板 2001 被稱為通道蝕刻型。

可是，本實施形態作為 n 型氧化物半導體層 2040 使用的氧化錫-氧化鋅（ $\text{SnO}_2 : \text{ZnO} = \text{約 } 65 : 35 \text{ wt\%}$ ）薄膜即使在約 200°C 下成膜也不會結晶化。並且，此 n 型氧化物半導體層 2040 即使不結晶化也不會被草酸水溶液或混酸蝕刻。藉此，n 型氧化物半導體層 2040 不會被用以蝕刻存在於上方的氧化物半導體層 2050 或金屬層 2060 的藥液所侵蝕。

又，本實施形態作為氧化物半導體層 2050 使用的氧化銦-氧化錫-氧化鋅（ $\text{In}_2\text{O}_3 : \text{SnO}_2 : \text{ZnO} = \text{約 } 60 : 20 :$

20wt%) 薄膜即使藉由約 350℃ 的加熱也不會結晶化。此氧化物導電體層 2050 不使結晶化較佳，藉此，可進行草酸水溶液的蝕刻。並且，上述氧化物導電體層 2050 的組成是不被混酸蝕刻。亦即，氧化物導電體層 2050 對蝕刻金屬層 2060 的溶液具有耐性，另一方面，重要的是具有可用不對金屬層 2060 造成影響的蝕刻液來蝕刻等之選擇蝕刻特性。

又，使用於 n 型氧化物半導體層 2040 的形成之氧化錫-氧化鋅 ($\text{SnO}_2 : \text{ZnO}$ =約 65 : 35wt%) 靶中，氧化鋅的添加量是約 5~70wt% 較佳，更理想是約 10~50wt%。其理由是因為若氧化鋅的添加量約未滿 5wt%，則有時載流子濃度不會降低，若超過約 70wt%，則載流子濃度不會降低，或對草酸水溶液、混酸的耐性變無。

另外，進行上述 n 型氧化物半導體層 2040 的 AC 電洞測定（使用 TOYO corporation 製的 RESITEST（商品名）的測定）時，載流子濃度： $10^{+15}/\text{cm}^3$ 、移動度： $5\text{cm}^2/\text{V}\cdot\text{sec}$ 。並且，進行氧化物導電體層 2050 的 AC 電洞測定時，載流子濃度： $10^{+20}/\text{cm}^3$ 、移動度： $22\text{cm}^2/\text{V}\cdot\text{sec}$ 。

其次，如圖 20 所示，上述第二阻絕層 2061 會被再形成，畫素電極 2057 會被露出（步驟 S2005）。亦即，首先，如圖 24（b）所示，使第二阻絕層 2061 中藉由半色調曝光而薄薄形成的畫素電極 2057 上的阻絕層灰化，再形成第二阻絕層 2061。

其次，參照圖面說明有關使畫素電極 2057 露出的處理。

圖 25 是用以說明本發明的第五實施形態之 TFT 基板的製造方法，使用第二半色調網點光罩的處理概略圖。

(a) 是表示第三蝕刻的剖面圖。(b) 是表示第二阻絕層剝離的剖面圖。

在圖 25 (a) 中，利用再形成的第二阻絕層 2061，藉由硝酸的混酸來蝕刻畫素電極 2057 上的金屬層 2060，使畫素電極 2057 露出，形成透明畫素電極。

其次，若使再形成的第二阻絕層 2061 全部灰化，則被形成於源極電極 2053 上，汲極電極 2054 上，源極配線 2055 上，汲極配線 2056 上之由金屬層 2060 所構成的輔助導電層（輔助配線及輔助電極）會露出。亦即，由金屬層 2060 所構成的源極電極用輔助電極 2531，汲極電極用輔助電極 2541，源極配線用輔助配線 2551，汲極配線用輔助配線 2561 會露出（參照圖 26）。圖 25 (b) 所示之汲極電極 2054，通道部 2041，源極電極 2053，源極配線 2055 及畫素電極 2057 為顯示圖 26 的 C-C 剖面。又，圖 25 (b) 所示的汲極配線 2056 為顯示圖 26 的 D-D 剖面。

其次，如圖 20 所示，在 n 型氧化物半導體層 2040、畫素電極 2057、源極配線用輔助配線 2551、汲極配線用輔助配線 2561、源極電極用輔助電極 2531 及汲極電極用輔助電極 2541 上，依序積層保護用絕緣膜 2070 及第三阻絕層 2071（步驟 S2006），藉由第三半色調光罩 2072 及

半色調曝光來將第三阻絕層 2071 形成所定的形狀（步驟 S2007）。

其次，說明有關使用第三半色調光罩 2072 的處理。

（使用第三半色調光罩的處理）

圖 27 是用以說明本發明的第五實施形態之 TFT 基板的製造方法，使用第三半色調光罩的處理概略圖。（a）是表示保護用絕緣膜成膜/阻絕層塗佈的剖面圖。（b）是表示半色調曝光/顯像的剖面圖。

在圖 27（a）中，首先，在畫素電極 2057 露出的 TFT 基板 2001，藉由輝光放電 CVD 法來將氮化矽（ SiN_x ）膜的保護用絕緣膜 2070 堆積成膜厚約 200nm。放電氣體為使用 $\text{SiH}_4\text{-NH}_3\text{-N}_2$ 系的混合氣體。其次，在保護用絕緣膜 2070 上積層第三阻絕層 2071（步驟 S2006）。

其次，如圖 27（b）所示，藉由第三半色調光罩 2072 及半色調曝光來將第三阻絕層 2071 形成所定的形狀（步驟 S2007）。第三阻絕層 2071 是覆蓋除了閘極配線焊墊 2025 上以外的所有保護用絕緣膜 2070，且藉由半色調光罩部 2721 來形成覆蓋汲極配線焊墊 2058 及畫素電極 2057 的部份比其他的部份更薄的形狀。

圖 28 是用以說明本發明的第五實施形態之 TFT 基板的製造方法，使用第三半色調光罩的處理概略圖。（a）是表示第四蝕刻的剖面圖。（b）是表示第三阻絕層的再

形成的剖面圖。

在圖 28 (a) 中，第四蝕刻，首先，使用 CHF (CF_4 ， CHF_3 氣體等) 來乾蝕刻閘極配線焊墊 2025 上的保護用絕緣膜 2070，接著用鹽酸，氯化鐵系蝕刻劑，HBr (溴化氫)，王水等來蝕刻 n 型氧化物半導體層 2040 (步驟 S2008)。

其次，如圖 28 (b) 所示，使第三阻絕層 2071 中被薄薄形成的部份 (畫素電極 2057 及汲極配線焊墊 2058 上的部份) 灰化，再形成第三阻絕層 2071。

圖 29 是用以說明本發明的第五實施形態之 TFT 基板的製造方法，使用第三半色調光罩的處理概略圖。(a) 是表示第五蝕刻的剖面圖。(b) 是表示第三阻絕層剝離的剖面圖。

在圖 29 (a) 中，使用再形成的第三阻絕層 2071 及 CHF (CF_4 ， CHF_3 氣體等) 來選擇性乾蝕刻畫素電極 2057 及汲極配線焊墊 2058 上的保護用絕緣膜 2070，以及閘極配線焊墊 2025 上的閘極絕緣膜 2030，露出畫素電極 2057，汲極配線焊墊 2058 及閘極配線焊墊 2025 (步驟 S2009)。

其次，若使再形成的第三阻絕層 2071 灰化，則如圖 30 所示，在基板 2010 上，除了畫素電極 2057，汲極配線焊墊 2058 及閘極配線焊墊 2025 上以外，保護用絕緣膜 2070 會露出。圖 29 (b) 所示之汲極電極 2054，通道部 2041，閘極電極 2023，源極電極 2053，源極配線 2055 及

畫素電極 2057 為顯示圖 30 的 E-E 剖面。又，圖 29 (b) 所示之汲極配線焊墊 2058 為顯示圖 30 的 F-F 剖面。又，圖 29 (b) 所示之閘極配線焊墊 2025 為顯示圖 30 的 G-G 剖面。

如此，若利用本實施形態的 TFT 基板 2001 的製造方法，則可減少製造步驟的步驟數，藉此可大幅度降低製造成本。又，由於 TFT 基板 2001 是通道部 2041 的 n 型氧化物半導體層 2040 的上部會藉由保護用絕緣膜 2070 來保護，因此可長期間安定作動。又，由於形成有保護用絕緣膜 2070，因此藉由在 TFT 基板 2001 設置有機 EL 材料，電極及保護膜，可容易取得有機電場發光裝置。

又，藉由形成由金屬層 2060 所構成的源極電極用輔助電極 2531，汲極電極用輔助電極 2541，源極配線用輔助配線 2551 及汲極配線用輔助配線 2561，可降低源極電極 2053，汲極電極 2054，源極配線 2055 及汲極配線 2056 的電阻，提升可靠度，抑止能源效率的降低。

又，本實施形態作為 TFT 基板的發明亦有效，上述 TFT 基板 2001 是對應於請求項 1、14~19。

TFT 基板 2001，如圖 29 (b) 及圖 30 所示，具備：

玻璃基板 2010；

形成於該玻璃基板 2010 上的閘極電極 2023 及閘極配線 2024；

形成於玻璃基板 2010、閘極電極 2023 及閘極配線 2024 上的閘極絕緣膜 2030；

至少在閘極電極 2023 上的閘極絕緣膜 2030 上所被形成的 n 型氧化物半導體層 2040；及

在 n 型氧化物半導體層 2040 上藉由通道部 2041 而隔開形成的氧化物導電體層 2050。

亦即，設置 n 型氧化物半導體層 2040 作為第一氧化物層，設置氧化物導電體層 2050 作為第二氧化物層。此 TFT 基板 2001 是使用 n 型氧化物半導體層 2040 作為 TFT 的活性層，藉此電流會安定流動，因此對於藉由電流控制而作動的有機電場發光裝置而言有用。並且，通道部 2041、源極電極 2053 及汲極電極 2054 容易被形成。

又，TFT 基板 2001 是藉由氧化物導電體層 2050 來形成源極配線 2055，汲極配線 2056，源極電極 2053，汲極電極 2054 及畫素電極 2057。亦即，因為是藉由上述第五實施形態的製造方法以三片的光罩（第一光罩 2022，第二半色調光罩 2062，第三半色調光罩 2072）來製造，所以製造步驟會削減。藉此，可謀求生產效率的提升及製造原價的成本降低。

又，TFT 基板 2001 具備在畫素電極 2057，汲極配線焊墊 2058 及閘極配線焊墊 2025 露出的狀態下，形成於閘極電極 2023 及閘極配線 2024 的上方，以及源極配線 2055，汲極配線 2056，源極電極 2053 及汲極電極 2054 的上方之保護用絕緣膜 2070。如此一來，由於 TFT 基板 2001 是通道部 2041 的 n 型氧化物半導體層 2040 的上部會藉由保護用絕緣膜 2070 所保護，因此可長期間安定作

動。又，由於形成有保護用絕緣膜 2070，因此藉由在 TFT 基板 2001 設置有機 EL 材料，電極及保護膜，可容易取得有機電場發光裝置。

又，TFT 基板 2001 是畫素電極 2057 為 n 型氧化物半導體層 2040 與氧化物導電體層 2050 的積層膜所構成。如此一來，可將積層膜設成透明，因此可防止光所造成的錯誤動作。

又，TFT 基板 2001 是至少在氧化物導電體層 2050 的下層形成 n 型氧化物半導體層 2040，可將氧化物導電體層 2050 及 n 型氧化物半導體層 2040 設成透明，因此可確實防止光所造成的錯誤動作。

又，藉由使 n 型氧化物半導體層 2040 及氧化物導電體層 2050 的能隙成為 3.0eV 以上，可防止光所造成的錯誤動作。

又，TFT 基板 2001 是在源極配線 2055，汲極配線 2056，源極電極 2053 及汲極電極 2054 上，形成有由金屬層 2060 所構成的源極配線用輔助配線 2551，汲極配線用輔助配線 2561，源極電極用輔助電極 2531 及汲極電極用輔助電極 2541。如此一來，可降低各配線 2055，2056 或電極 2053，2054 的電阻，可使可靠度提升，且可抑止能源效率的降低。

另外，本實施形態雖是在源極電極 2053 上，汲極電極 2054 上，源極配線 2055 上，汲極配線 2056 上形成輔助導電層，但並非限於此構成。例如，亦可在源極電極

2053，汲極電極 2054，源極配線 2055，汲極配線 2056 及畫素電極 2057 的至少一個上形成輔助導電層。亦即，雖未圖示，但若在畫素電極 2057 上的一部份形成與源極配線用輔助配線 2551 連接的輔助導電層（由金屬層 2060 所構成），則藉由此輔助導電層，畫素電極 2057 的電氣導電性及動作的可靠度會提升。上述輔助導電層的形狀雖無特別加以限定，但例如可為梳型電極那樣的形狀。

如此，本實施形態的 TFT 基板 2001 可減少製造步驟的步驟數，藉此可大幅度降低製造成本，且通道部 2041 的 n 型氧化物半導體層 2040 的上部會藉由保護用絕緣膜 2070 來保護，因此可長期間安定作動。又，由於形成有保護用絕緣膜 2070，因此藉由在 TFT 基板 2001 設置有機 EL 材料，電極及保護膜，可容易取得有機電場發光裝置。又，藉由金屬層 2060 所構成的源極電極用輔助電極 2531，汲極電極用輔助電極 2541，源極配線用輔助配線 2551 及汲極配線用輔助配線 2561，可降低源極電極 2053，汲極電極 2054，源極配線 2055 及汲極配線 2056 的電阻，可使可靠度提升的同時，抑止能源效率的降低。

[第六實施形態的 TFT 基板的製造方法]

本實施形態的 TFT 基板的製造方法為使用 3 片光罩的方法，對應於請求項 20。

圖 31 是用以說明本發明的第六實施形態之 TFT 基板的製造方法的概略流程圖。

在圖 31 中，首先，在基板 2010 上，利用第一光罩 2022 來形成閘極電極 2021 及閘極配線 2022（步驟 S2011）。

另外，步驟 S2011 之使用第一光罩 2022 的處理是與第五實施形態的步驟 S2001 之使用第一光罩 2022 的處理同樣。

其次，如圖 31 所示，在玻璃基板 2010，閘極電極 2023 及閘極配線 2024 上，依序積層閘極絕緣膜 2030、作為第一氧化物層的 n 型氧化物半導體層 2040、作為第二氧化物層的氧化物導電體層 2050 及第二阻絕層 2051（步驟 S2012），且藉由第二光罩 2052 來將第二阻絕層 2051 形成所定的形狀。

其次，參照圖面來說明有關使用第二光罩 2052 的處理。

（使用第二光罩的處理）

圖 32 是用以說明本發明的第六實施形態之 TFT 基板的製造方法，使用第二光罩的處理概略圖。（a）是表示閘極絕緣膜成膜/n 型氧化物半導體層成膜/氧化物導電體層成膜/阻絕層塗佈的剖面圖。（b）是表示曝光/顯像的剖面圖。

在圖 32（a）中，首先，藉由輝光放電 CVD（化學蒸著法）法，在玻璃基板 2010、閘極電極 2023 及閘極配線 2024 上，將氮化矽（ SiN_x ）膜的閘極絕緣膜 2030 堆積成

膜厚約 300nm。另外，在本實施形態中，放電氣體為使用 $\text{SiH}_4\text{-NH}_3\text{-N}_2$ 系的混合氣體。

其次，在閘極絕緣膜 2030 上，利用氧化錫-氧化鋅（ $\text{SnO}_2\text{:ZnO}$ =約 65:35wt%）靶，藉由高頻濺射法，在氧約 15%、氬約 85%、基板溫度約 200℃的條件下，形成厚度約 100nm 的 n 型氧化物半導體層 2040。

接著，在 n 型氧化物半導體層 2040 上，利用氧化銦-氧化錫-氧化鋅（ $\text{In}_2\text{O}_3\text{:SnO}_2\text{:ZnO}$ =約 60:20:20wt%）靶，藉由高頻濺射法，在氧約 1%、氬約 99%的條件下，形成厚度約 150nm 的氧化物導電體層 2050。

其次，如圖 32（b）所示，藉由第二光罩 2052 來將第二阻絕層 2051 形成所定的形狀。第二阻絕層 2051 是形成覆蓋源極電極 2053，汲極電極 2054，源極配線 2055，汲極配線 2056 及畫素電極 2057 的形狀。

圖 33 是用以說明本發明的第六實施形態之 TFT 基板的製造方法，使用第二半色調光罩的處理概略圖。（a）是表示第二蝕刻的剖面圖。（b）是表示第二阻絕層剝離的剖面圖。

在圖 33（a）中，利用第二阻絕層 2051 來對氧化物導電體層 2050 進行第二蝕刻，形成所望的源極電極 2053、汲極電極 2054、源極配線 2055、汲極配線 2056 及畫素電極 2057（圖 31 的步驟 S2013）。在此，n 型氧化物半導體層 2040 是用草酸水溶液來蝕刻。

藉由上述蝕刻，在閘極電極 2023 上方的 n 型氧化物

半導體層 2040 形成通道部 2041。因此，TFT 基板 2001a 被稱為通道蝕刻型。

其次，如圖 33 (b) 所示，若使第二阻絕層 2051 全部灰化，則源極電極 2053、汲極電極 2054、源極配線 2055、汲極配線 2056 及畫素電極 2057 會露出。圖 33 (b) 所示之汲極電極 2054、通道部 2041、源極電極 2053、源極配線 2055 及畫素電極 2057 為顯示圖 34 的 H-H 剖面。圖 33 (b) 所示的汲極配線 2056 為顯示圖 34 的 I-I 剖面。

其次，如圖 31 所示，在 n 型氧化物半導體層 2040、汲極電極 2054、源極電極 2053、源極配線 2055、畫素電極 2057 及汲極配線 2056 上，依序積層保護用絕緣膜 2070 及第三阻絕層 2071 (步驟 S2014)，且藉由第三半色調光罩 2072 及半色調曝光來將第三阻絕層 2071 形成所定的形狀 (步驟 S2015)。

其次，說明有關利用第三半色調光罩 2072 的處理。

(使用第三半色調光罩的處理)

圖 35 是用以說明本發明的第六實施形態之 TFT 基板的製造方法，使用第三半色調光罩的處理概略圖。(a) 是表示保護用絕緣膜成膜/阻絕層塗佈的剖面圖。(b) 是表示半色調曝光/顯像的剖面圖。

在圖 35 (a) 中，首先，在畫素電極 2057 露出的 TFT 基板 2001a，藉由輝光放電 CVD 法，將氮化矽

(SiN_x) 膜的保護用絕緣膜 2070 堆積成膜厚約 200nm。放電氣體為使用 $\text{SiH}_4\text{-NH}_3\text{-N}_2$ 系的混合氣體。其次，在保護用絕緣膜 2070 上積層第三阻絕層 2071 (步驟 S2014)。

其次，如圖 35 (b) 所示，藉由第三半色調光罩 2072 及半色調曝光來將第三阻絕層 2071 形成所定的形狀 (步驟 S2015)。第三阻絕層 2071 是除了閘極配線焊墊 2025 上以外覆蓋所有保護用絕緣膜 2070，且藉由半色調光罩部 2721 來形成覆蓋汲極配線焊墊 2058 及畫素電極 2057 的部份比其他的部份更薄的形狀。

圖 36 是用以說明本發明的第六實施形態之 TFT 基板的製造方法，使用第三半色調光罩的處理概略圖。(a) 是表示第三蝕刻的剖面圖。(b) 是表示第三阻絕層的再形成的剖面圖。

在圖 36 (a) 中，第三蝕刻，首先，閘極配線焊墊 2025 上的保護用絕緣膜 2070 會使用 CHF (CF_4 , CHF_3 氣體等) 來乾蝕刻。其次，用鹽酸，氯化鐵系蝕刻劑，HBr (溴化氫)，王水等來蝕刻 n 型氧化物半導體層 2040 (步驟 S2016)。

其次，如圖 36 (b) 所示，第三阻絕層 2071 中被薄形成的部份 (畫素電極 2057 及汲極配線焊墊 2058 上的部份) 會被灰化，再形成第三阻絕層 71。

圖 37 是用以說明本發明的第六實施形態之 TFT 基板的製造方法，使用第三半色調光罩的處理概略圖。(a)

是表示第四蝕刻的剖面圖。(b)是表示第三阻絕層剝離的剖面圖。

在圖 37(a)中，利用再形成的第三阻絕層 2071 及 CHF (CF₄, CHF₃ 氣體等) 來選擇性乾蝕刻畫素電極 2057 及汲極配線焊墊 2058 上的保護用絕緣膜 2070，以及閘極配線焊墊 2025 上的閘極絕緣膜 2030，露出畫素電極 2057，汲極配線焊墊 2058 及閘極配線焊墊 2025 (步驟 S2017)。

其次，若再形成的第三阻絕層 2071 被灰化，則如圖 38 所示，在基板 2010 上，除了畫素電極 2057、汲極配線焊墊 2058 及閘極配線焊墊 2025 上以外，保護用絕緣膜 2070 會露出。圖 37(b) 所示之汲極電極 2054、通道部 2041、閘極電極 2023、源極電極 2053、源極配線 2055 及畫素電極 2057 為顯示圖 38 的 J-J 剖面。圖 37(b) 所示之汲極配線焊墊 2058 為顯示圖 38 的 K-K 剖面。圖 37(b) 所示之閘極配線焊墊 2025 為顯示圖 38 的 L-L 剖面。

如此，若利用本實施形態的 TFT 基板 2001a 的製造方法，則可藉由減少製造步驟的步驟數來大幅度降低製造成本。又，由於 TFT 基板 2001a 是通道部 2041 的 n 型氧化物半導體層 2040 的上部為保護用絕緣膜 2070 所保護，因此可長期間安定作動。又，由於形成有保護用絕緣膜 2070，因此藉由在 TFT 基板 2001a 設置有機 EL 材料，電極及保護膜，可容易取得有機電場發光裝置。

又，本實施形態作為 TFT 基板的發明亦有效，上述 TFT 基板 2001a 是對應於請求項 1、14、15、16、17、19。

TFT 基板 2001a 與 TFT 基板 2001 比較下，如圖 37 (b) 所示，在源極配線 2055、汲極配線 2056、源極電極 2053 及汲極電極 2054 上未形成有由金屬層 2060 所構成的源極配線用輔助配線 2551、汲極配線用輔助配線 2561、源極電極用輔助電極 2531 及汲極電極用輔助電極 2541 的點不同。亦即，藉由上述第六實施形態的製造方法以三片的光罩（第一光罩 2022、第二光罩 2052 及第三半色調光罩 2072）來製造，因此比 TFT 基板 2001 更減少製造步驟，進而能夠謀求生產效率的提升及製造原價的成本降低。

如此，本實施形態的 TFT 基板 2001a 是一方面具有與 TFT 基板 2001 大致同等的效果（除了輔助導電層的效果以外），另一方面比 TFT 基板 2001 更減少製造步驟，因此生產效率會更被提升，可謀求製造原價的成本降低。

如上述，若根據本發明的請求項 14～21，則可利用三片的光罩來製造具有輔助導電層及保護用絕緣膜的 TFT 基板，光罩數會被減少，製造步驟會被削減。藉此，可謀求生產效率的提升及製造原價的成本降低。又，由於通道部的第一氧化物層的上部被保護用絕緣膜所保護，因此 TFT 基板可長期間安定作動。又，藉由輔助導電層，各配線或電極的電阻會被降低，因此可靠度會提升，且可抑止

能源效率的降低。

[第七實施形態的 TFT 基板的製造方法]

本實施形態的 TFT 基板的製造方法為使用 3 片光罩的方法，對應於請求項 36。

圖 39 是用以說明本發明的第七實施形態之 TFT 基板的製造方法的概略流程圖。

在圖 39 中，首先，在基板 3010 上，利用第一光罩 3022 來形成閘極電極 3023 及閘極配線 3024（步驟 S3001）。

其次，參照圖面來說明使用第一光罩 3022 的處理。

（使用第一光罩的處理）

圖 40 是用以說明本發明的第七實施形態之 TFT 基板的製造方法，使用第一光罩的處理概略圖。（a）是表示處理前的玻璃基板的剖面圖。（b）是表示金屬成膜的剖面圖。（c）是表示阻絕層塗佈的剖面圖。（d）是表示曝光/顯像/第一蝕刻/阻絕層剝離，形成閘極電極及閘極配線的剖面圖。

在圖 40（a）中，首先，準備透光性的玻璃基板 3010。

另外，形成 TFT 基板 3001 的基材之板狀構件並非限於上述玻璃基板 3010，例如可為樹脂製的板狀構件或薄片狀構件等。

其次，如圖 40 (b) 所示，在玻璃基板 3010 進行金屬成膜，形成閘極電極・配線用薄膜（閘極電極及閘極配線用薄膜）3020。

本實施形態是在玻璃基板 3010 上，Al 及 Mo 會依序藉由高頻濺射法來積層。然後，膜厚約 250nm 及 50nm 的金屬薄膜會被分別被形成。其次，使用由氧化銦-氧化錫-氧化釐（一般稱為 ITSmO。 $\text{In}_2\text{O}_3 : \text{SnO}_2 : \text{Sm}_2\text{O}_3 = \text{約 } 90 : 7 : 3 \text{ wt\%}$ ）所構成的濺射靶來形成膜厚約 100nm 的薄膜，形成由 Al/Mo/ITSmO 所構成的閘極電極・配線用薄膜 3020。

其次，如圖 40 (c) 所示，在閘極電極・配線用薄膜 3020 上塗佈第一阻絕層 3021。

其次，如圖 40 (d) 所示，利用第一光罩 3022，藉由光蝕刻微影法來將阻絕層（未圖示）形成所定的形狀。其次，ITSmO 薄膜是使用草酸水溶液來蝕刻。金屬薄膜是使用混酸（一般被稱為 PAN）來蝕刻，形成所定形狀的閘極電極 3023 及閘極配線 3024（參照圖 41）。圖 40 (d) 所示之閘極電極 3023 及閘極配線 3024 為顯示圖 41 的 A-A 剖面及 B-B 剖面。在此，ITSmO 亦可使用混酸來蝕刻。因此，可利用此混酸來一起蝕刻 ITSmO 及金屬薄膜。

又，亦可在閘極電極・配線用薄膜 3020 形成後，實施熱處理，降低 Al 的電阻，且使 ITSmO 結晶化。亦即，若 ITSmO 結晶化，則不溶解於草酸系蝕刻液或混酸，因此可保護 Al/Mo 層。

又，藉由使 ITSmO 等的氧化物導電膜形成於閘極配線 3024 的表面，在形成閘極配線焊墊 3025 時，使用於閘極配線 3024 的金屬表面不會露出。藉此，可形成可靠度高的連接。亦即，在閘極絕緣膜 3030 中形成用以形成閘極配線焊墊 3025 的貫通孔（開口部）時，使用 SiN_x ， SiON_x ， SiO_2 等的絕緣物作為閘極絕緣膜 3030。然後，藉由使用 CHF（ CF_4 ， CHF_3 等）的反應離子蝕刻法來形成貫通孔。此情況，ITSmO 等的氧化物導電膜亦形成金屬薄膜（Al/Mo 層）的保護膜（亦稱為金屬層保護用氧化物導電體層）。

另外，就取代 ITSmO 的材料而言，可使用在 ITO 中含有鑷系元素的材料、或在 ITO 中添加 Mo，W（鎢）等高融點金屬氧化物的材料等。添加量，最好對全金屬元素而言約為 10 原子%以下。更理想是添加量約為 1~5 原子%的範圍。若添加量超過約 10 原子%，則不會結晶化，溶解於草酸水溶液或混酸。又，膜厚最好約為 20nm~500nm。更理想是膜厚的範圍約為 30nm~300nm。膜厚約未滿 20nm 的膜，有時具有針孔，無法作為保護膜。另一方面，膜厚超過約 500nm 的膜，對成膜或蝕刻而言需要更多的時間，其製造時間會變長。因此，其製造無效率，且不合經濟效益。

其次，如圖 39 所示，在玻璃基板 3010，閘極電極 3023 及閘極配線 3024 上，依序積層閘極絕緣膜 3030，作為第一氧化物層的 n 型氧化物半導體層 3040，作為第二

氧化物層的氧化物導電體層 3050，作為輔助導電層的金屬層 3060 及第二阻絕層 3061（步驟 S3002），且藉由第二半色調光罩 3062 及半曝光來將第二阻絕層 3061 形成所定的形狀（步驟 S3003）。

其次，參照圖面來說明有關使用第二半色調光罩 3062 的處理。

（使用第二半色調光罩的處理）

圖 42 是用以說明本發明的第七實施形態之 TFT 基板的製造方法，使用第二半色調光罩的處理概略圖。（a）是表示閘極絕緣膜成膜/n 型氧化物半導體層成膜/氧化物導電體層成膜/金屬層成膜/阻絕層塗佈的剖面圖。（b）是表示半色調曝光/顯像的剖面圖。

在圖 42（a）中，首先，藉由輝光放電 CVD（化學蒸著法）法，在玻璃基板 3010，閘極電極 3023 及閘極配線 3024 上，將氮化矽（ SiN_x ）膜的閘極絕緣膜 3030 堆積成膜厚約 300nm。另外，在本實施形態中，放電氣體為使用 $\text{SiH}_4\text{-NH}_3\text{-N}_2$ 系的混合氣體。

其次，在閘極絕緣膜 3030 上，使用氧化銦-氧化鋅-氧化鉀（ $\text{In}_2\text{O}_3\text{:ZnO:Ga}_2\text{O}_3$ =約 70:3:27wt%）靶，藉由高頻濺射法，在氧約 10%、氬約 90%、基板溫度約不超過 200℃的條件下（亦即，不使 n 型氧化物半導體層 3040 結晶化的條件下）形成厚度約 100nm 的 n 型氧化物半導體層（活性層）3040。另外，此 n 型氧化物半導體層

3040 的能隙約為 3.6eV 。

其次，在 n 型氧化物半導體層 3040 上，使用氧化銦-氧化鋅-氧化錫 ($\text{In}_2\text{O}_3 : \text{ZnO} : \text{SnO}_2 = \text{約 } 60 : 20 : 20\text{wt}\%$) 靶，藉由高頻濺射法，在氧約 1%、氬約 99%、且不使氧化物導電體層 3050 結晶化的條件下，形成厚度約 150nm 的氧化物導電體層 3050。另外，此氧化物導電體層 3050 的能隙約為 3.2eV 。

其次，在氧化物導電體層 3050 上，形成輔助導電層的金屬層 ($\text{Mo}/\text{Al}/\text{Mo}/\text{IZO}$ 薄膜) 3060 會被形成厚度約 450nm ($\text{Mo}/\text{Al}/\text{Mo}/\text{IZO}$ 層分別厚度約 $50\text{nm}/200\text{nm}/50\text{nm}/150\text{nm}$)。亦即，首先，在氧化物導電體層 3050 上， $\text{Mo}/\text{Al}/\text{Mo}$ 層會被成膜於室溫。接著，在 $\text{Mo}/\text{Al}/\text{Mo}$ 層上，使用氧化銦-氧化鋅 ($\text{In}_2\text{O}_3 : \text{ZnO} = \text{約 } 90 : 10\text{wt}\%$) 靶，藉由高頻濺射法，在氧約 1%、氬約 99% 的條件下形成厚度約 150nm 的氧化物保護膜 (亦稱為金屬層保護用氧化物導電體層，本實施形態為 IZO 薄膜)。另外，金屬層 3060 並非限於 $\text{Mo}/\text{Al}/\text{Mo}$ 的積層膜，例如亦可使用 $\text{Ti}/\text{Al}/\text{Ti}$ 等金屬薄膜的積層膜。又，亦可使用 Al ， Mo ， Ag ， Cu 等金屬或合金的單層或多層的積層膜。

其次，在金屬層 3060 上積層第二阻絕層 3061 (步驟 S3002)。

其次，如圖 42 (b) 所示，藉由第二半色調光罩 3062 及半色調曝光來將第二阻絕層 3061 形成所定的形狀 (圖 39 的步驟 S3003)。第二阻絕層 3061 是覆蓋閘極電極

3023，源極電極 3053，汲極電極 3054，源極配線 3055，汲極配線 3056 及畫素電極 3057 的上方，且藉由半色調光罩部 3621 來形成覆蓋通道部 3041 上方的部份比其他的部份更薄的形狀。

圖 43 是用以說明本發明的第七實施形態之 TFT 基板的製造方法，使用第二半色調光罩的處理概略圖。(a) 是表示第二蝕刻/第三蝕刻的剖面圖。(b) 是表示第二阻絕層的再形成的剖面圖。

在圖 43 (a) 中，使用第二阻絕層 3061 及混酸來對金屬層 (Mo/Al/Mo/IZO 層) 3060 進行第二蝕刻。其次，利用第二阻絕層 3061 及草酸水溶液來對氧化物導電體層 3050 及 n 型氧化物半導體層 3040 進行第三蝕刻。藉由該等的蝕刻來形成所望的源極配線 3055，汲極配線 3056 及畫素電極 3057，且後述的輔助配線會被形成 (圖 39 的步驟 S3004)。

另外，藉由上述第二及第三蝕刻，隔開源極電極 3053 及汲極電極 3054 的空隙不會被形成，但源極電極 3053，汲極電極 3054 及後述的輔助電極的外圍的一部份會被形成。

其次，如圖 43 (b) 所示，再形成上述第二阻絕層 3061 (圖 39 的步驟 S3005)。亦即，首先，如圖 43 (b) 所示，第二阻絕層 3061 中藉由半色調曝光而被薄薄形成的通道部 3041 上的阻絕層會被灰化，再形成第二阻絕層 3061。

其次，利用再形成的第二阻絕層 3061 來選擇性蝕刻閘極電極 3023 上方的金屬層 3060 及氧化物導電體層 3050，形成源極電極 3053 及汲極電極 3054，且金屬層 3060 所構成的輔助電極會形成（圖 39 的步驟 S3005）。

其次，參照圖面來說明有關形成源極電極 3053 及汲極電極 3054 的處理。

圖 44 是用以說明本發明的第七實施形態之 TFT 基板的製造方法，使用第二半色調光罩的處理概略圖。（a）是表示第四蝕刻/第五蝕刻的剖面圖。（b）是表示第二阻絕層剝離的剖面圖。

在圖 44（a）中，使用再形成的第二阻絕層 3061 及混酸來對閘極電極 3023 上方的金屬層 3060 進行第四蝕刻。其次，利用再形成的第二阻絕層 3061 及草酸水溶液來對氧化物導電體層 3050 選擇性進行第五蝕刻（亦即，不使形成通道部 3041 的 n 型氧化物半導體層 3040 溶解下進行蝕刻）。藉由上述蝕刻，在閘極電極 3023 上方的 n 型氧化物半導體層 3040 形成通道部 3041。因此，TFT 基板 3001 被稱為通道蝕刻型。

在此，最好是在進行上述蝕刻前，加熱 n 型氧化物半導體層 3040（例如、200℃ 以上 350℃ 以下），使結晶化。亦即，作為本實施形態的 n 型氧化物半導體層 3040 使用的氧化銦-氧化鋅-氧化鉀（ $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = \text{約 } 70 : 27 : 3 \text{ wt\%}$ ）是在非晶形狀態（未被結晶化的狀態）下藉由草酸水溶液來蝕刻，但若使結晶化，則不會被草酸

水溶液或混酸所蝕刻。藉此，對於用以蝕刻存在於上方的氧化物導電體層 3050 之藥液（本實施形態為草酸水溶液）而言，n 型氧化物半導體層 3040 具有耐蝕刻性，因此可防止形成通道部 3041 的 n 型氧化物半導體層 3040 被侵蝕等不良的情況。又，藉由 n 型氧化物半導體層 3040（活性層）被結晶化，可顯現安定的半導體特性。

並且，在 n 型氧化物半導體層 3040 的形成所使用的氧化銦 - 氧化鋅 - 氧化鉀（ $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO}$ = 約 70 : 27 : 3 wt%）靶中，氧化鋅的添加量最好約為 1 ~ 6 wt%，更理想是約 2 ~ 5 wt%。其理由是因為若約未滿 1 wt%，則有時載流子濃度不會降低，若超過約 6 wt%，則載流子濃度不會降低，或不會結晶化，對混酸的耐性會變無。

又，作為本實施形態的氧化物導電體層 3050 使用的氧化銦 - 氧化錫 - 氧化鋅（ $\text{In}_2\text{O}_3 : \text{SnO}_2 : \text{ZnO}$ = 約 60 : 20 : 20 wt%）薄膜是即使在 350℃ 的加熱下也不會結晶化。此氧化物導電體層 3050 不使結晶化較佳，藉此，可進行草酸水溶液的蝕刻。並且，具有上述組成的氧化物導電體層 3050 即使不被結晶化，也不會被混酸蝕刻。亦即，氧化物導電體層 3050 對用以蝕刻畫素電極 3057 上的金屬層 3060 之液（混酸）具有耐性，另一方面，具有可用不對結晶化的 n 型氧化物半導體層 3040 造成影響的蝕刻液（草酸水溶液）來蝕刻的選擇蝕刻特性。並且，重要的是具有選擇蝕刻特性，亦即氧化物導電體層 3050 是藉由所定的蝕刻液（草酸水溶液）來與未被結晶化的 n 型氧化物

半導體層 3040 一起被蝕刻，且藉由被結晶化的 n 型氧化物半導體層 3040 具有耐性的蝕刻液（草酸水溶液）來蝕刻。

另外，進行上述 n 型氧化物半導體層 3040 的 AC 電洞測定（使用 TOYO corporation 製的 RESITEST（商品名）之測定）時，載流子濃度： $10^{+14}/\text{cm}^3$ 、移動度： $30\text{cm}^2/\text{V}\cdot\text{sec}$ 。並且，進行氧化物導電體層 3050 的 AC 電洞測定時，載流子濃度： $10^{+20}/\text{cm}^3$ 、移動度： $38\text{cm}^2/\text{V}\cdot\text{sec}$ 。如此活性層的移動度為 $30\text{cm}^2/\text{V}\cdot\text{sec}$ 以上，與通常的非晶形矽的移動度 $0.1\sim 1\text{cm}^2/\text{V}\cdot\text{sec}$ 比較下，具有大的移動度，作為開關元件非常有用。並且，n 型氧化物半導體層 3040 及氧化物導電體層 3050 的材料並非限於上述材料。

其次，如圖 44（b）所示，若使再形成的第二阻絕層 3061 全部灰化，則形成於源極電極 3053 上，汲極電極 3054 上，源極配線 3055 上，汲極配線 3056 上及畫素電極 3057 上之由金屬層 3060 所構成的輔助導電層（輔助配線及輔助電極（畫素電極 3057 上的金屬層 3060 係之後被蝕刻））會露出。亦即，由金屬層 3060 所構成的源極電極用輔助電極 3531，汲極電極用輔助電極 3541，源極配線用輔助配線 3551，汲極配線用輔助配線 3561 會露出（參照圖 45）。圖 44（b）所示之汲極電極 3054，通道部 3041，源極電極 3053，源極配線 3055 及畫素電極 3057 為顯示圖 45 的 C-C 剖面。圖 44（b）所示之汲極配

線 3056 為顯示圖 45 的 D-D 剖面。

其次，如圖 39 所示，在露出的閘極絕緣膜 3030 及 n 型氧化物半導體層 3040 上、以及源極配線 3055，汲極配線 3056，源極電極 3053，汲極電極 3054 及畫素電極 3057 上所被形成的金屬層 3060 上，依序積層有保護用絕緣膜 3070 及第三阻絕層 3071（步驟 S3006），且利用第三光罩 3072 來將第三阻絕層 3071 形成所定的形狀（步驟 S3007）。

其次，說明有關使用第三光罩 3072 的處理。

（使用第三光罩的處理）

圖 46 是用以說明本發明的第七實施形態之 TFT 基板的製造方法，使用第三光罩的處理概略圖。（a）是表示保護用絕緣膜成膜/阻絕層塗佈的剖面圖，（b）是表示曝光/顯像的剖面圖。

在圖 46（a）中，首先，在形成有通道部 3041 的 TFT 基板 3001，藉由輝光放電 CVD 法，將氮化矽（ SiN_x ）膜的保護用絕緣膜 3070 堆積成膜厚約 200nm。放電氣體為使用 $\text{SiH}_4\text{-NH}_3\text{-N}_2$ 系的混合氣體。其次，在保護用絕緣膜 3070 上積層第三阻絕層 3071（步驟 S3006）。

其次，如圖 46（b）所示，藉由第三光罩 3072 來將第三阻絕層 3071 形成所定的形狀（步驟 S3007）。第三阻絕層 3071 是形成除了畫素電極 3057，汲極配線焊墊

3058 及閘極配線焊墊 3025 上以外覆蓋全部的保護用絕緣膜 3070 之形狀。

圖 47 是用以說明本發明的第七實施形態之 TFT 基板的製造方法，使用第三光罩的處理概略圖。(a) 是表示第六蝕刻的剖面圖。(b) 是表示第七蝕刻的剖面圖。

在圖 47 (a) 中，第六蝕刻為使用第三阻絕層 3071 及 CHF (CF₄, CHF₃ 氣體等) 來乾蝕刻畫素電極 3057 及汲極配線焊墊 3058 上的保護用絕緣膜 3070、以及閘極配線焊墊 3025 上的保護用絕緣膜 3070 (圖 39 的步驟 S3008)，露出畫素電極 3057 及汲極配線焊墊 3058 上的金屬層 3060。另外，在閘極配線焊墊 3025 上積層閘極絕緣膜 3030 及保護用絕緣膜 3070，藉由上述第六蝕刻，通常閘極配線焊墊 3025 不會露出。

其次，如圖 47 (b) 所示，第七蝕刻為使用第三阻絕層 3071 及混酸來蝕刻畫素電極 3057 及汲極配線焊墊 3058 上的金屬層 3060 (圖 39 的步驟 S3009)，露出畫素電極 3057 及汲極配線焊墊 3058。在此，蝕刻畫素電極 3057 上的金屬層 3060，使畫素電極 3057 露出，藉此形成透明畫素電極。

圖 48 是用以說明本發明的第七實施形態之 TFT 基板的製造方法，使用第三光罩的處理概略圖。(a) 是表示第八蝕刻的剖面圖。(b) 是表示第三阻絕層剝離的剖面圖。

在圖 48 (a) 中，第八蝕刻為使用第三阻絕層 3071

及 CHF (CF₄, CHF₃ 氣體等) 來乾蝕刻閘極配線焊墊 3025 上的保護用絕緣膜 3070 及閘極絕緣膜 3030, 露出閘極配線焊墊 3025 (圖 39 的步驟 S3010)。

其次, 若第三阻絕層 3071 灰化, 則如圖 49 所示, 在基板 3010 上, 除了畫素電極 3057, 汲極配線焊墊 3058 及閘極配線焊墊 3025 上以外, 保護用絕緣膜 3070 會露出。圖 48 (b) 所示之汲極電極 3054, 通道部 3041, 閘極電極 3023, 源極電極 3053, 源極配線 3055 及畫素電極 3057 為顯示圖 49 的 E-E 剖面。圖 48 (b) 所示的汲極配線焊墊 3058 為顯示圖 49 的 F-F 剖面。圖 48 (b) 所示的閘極配線焊墊 3025 為顯示圖 49 的 G-G 剖面。

如此, 若利用本實施形態的 TFT 基板 3001 的製造方法, 則可減少製造步驟的步驟數, 藉此可大幅度降低製造成本。又, 由於 TFT 基板 3001 是通道部 3041 的 n 型氧化物半導體層 3040 的上部會藉由保護用絕緣膜 3070 來保護, 因此可長期間安定作動。又, 通常 n 型氧化物半導體層 3040 會僅形成於所定的位置 (對應於通道部 3041, 源極配線 3055, 汲極配線 3056, 源極電極 3053, 汲極電極 3054 及畫素電極 3057 的所定位置), 因此可排除閘極配線 3024 彼此間干擾 (Cross Talk) 等的擔憂。又, 由於形成有保護用絕緣膜 3070, 因此藉由在 TFT 基板 3001 設置有機 EL 材料, 電極及保護膜, 可容易取得有機電場發光裝置。

又, 藉由形成由金屬層 3060 所構成的源極電極用輔

助電極 3531，汲極電極用輔助電極 3541，源極配線用輔助配線 3551 及汲極配線用輔助配線 3561，可降低源極電極 3053，汲極電極 3054，源極配線 3055 及汲極配線 3056 的電阻。藉此，可使可靠度提升，且可抑止能源效率的降低。

另外，本實施形態是在玻璃基板 3010 上積層閘極電極・配線用薄膜 3020 及第一阻絕層 3021，更積層閘極絕緣膜 3030，n 型氧化物半導體層 3040，氧化物導電體層 3050，金屬層 3060 及第二阻絕層 3061，更積層保護用絕緣膜 3070 及第三阻絕層 3071，但並非限定於此。例如，亦可在各層間（例如不損及本實施形態的機能或效果、或輔助其他的機能或效果等）經由其他的層來積層。此對於後述的實施形態也是同樣。

又，本實施形態作為 TFT 基板的發明亦有效，上述 TFT 基板 3001 是對應於請求項 1、22、23、24、25、26、27、28、29、33、34。

TFT 基板 3001，如圖 48（b）及圖 49 所示，具備：

玻璃基板 3010；

形成於該玻璃基板 3010 上的閘極電極 3023 及閘極配線 3024；

形成於玻璃基板 3010，閘極電極 3023 及閘極配線 3024 上的閘極絕緣膜 3030；

至少在閘極電極 3023 上的閘極絕緣膜 3030 上所被形成的 n 型氧化物半導體層 3040；及

在 n 型氧化物半導體層 3040 上藉由通道部 3041 而隔開形成的氧化物導電體層 3050。

亦即，設置 n 型氧化物半導體層 3040 作為第一氧化物層，設置氧化物導電體層 3050 作為第二氧化物層。如此一來，藉由使用 n 型氧化物半導體層 3040 作為 TFT 的活性層，電流會安定流動，因此 TFT 基板 3001 對於藉由電流控制而使作動的有機電場發光裝置而言有用。並且，通道部 3041，源極電極 3053 及汲極電極 3054 會容易形成。

又，TFT 基板 3001 是藉由氧化物導電體層 3050 來形成源極配線 3055，汲極配線 3056，源極電極 3053，汲極電極 3054 及畫素電極 3057。亦即，藉由上述第七實施形態的製造方法以三片的光罩（第一光罩 3022，第二半色調光罩 3062，第三光罩 3072）來製造，因此製造步驟會被削減。藉此，生產效率會提升，可謀求製造原價的成本降低。又，TFT 基板 3001 是藉由氧化物導電體層 3050 來形成畫素電極 3057 及源極配線 3055，汲極配線 3056，源極電極 3053 及汲極電極 3054，因此可效率佳地製造源極配線 3055，汲極配線 3056，源極電極 3053，汲極電極 3054 及畫素電極 3057。

又，TFT 基板 3001 是 TFT 基板 3001 的上方為保護用絕緣膜 3070 所覆蓋，且保護用絕緣膜 3070 具有用以在對應於各畫素電極 3057，汲極配線焊墊 3058 及閘極配線焊墊 3025 的位置使畫素電極 3057，汲極配線焊墊 3058

及閘極配線焊墊 3025 露出的開口部。亦即，除了露出的畫素電極 3057，汲極配線焊墊 3058 及閘極配線焊墊 3025 上方以外，TFT 基板 3001 的上方、通常是全部被保護用絕緣膜 3070 所覆蓋。如此一來，通道部 3041 的 n 型氧化物半導體層 3040 的上部會被保護用絕緣膜 3070 所保護，因此 TFT 基板 3001 可長期間安定作動。又，由於 TFT 基板 3001 本身形成具備保護用絕緣膜 3070 的構造，因此可提供一種容易製造利用液晶或有機 EL 材料等的顯示手段或發光手段之 TFT 基板 3001。

又，TFT 基板 3001 是畫素電極 3057 為 n 型氧化物半導體層 3040 與氧化物導電體層 3050 的積層膜所構成。如此一來，可將積層膜成設成透明，因此可防止光所造成的錯誤動作。

又，TFT 基板 3001 是在氧化物導電體層 3050 的下層形成有 n 型氧化物半導體層 3040，可將氧化物導電體層 3050 及 n 型氧化物半導體層 3040 設成透明，因此可確實防止光所造成的錯誤動作。

又，n 型氧化物半導體層 3040 及氧化物導電體層 3050 的能隙為 3.0eV 以上，藉此可防止光所造成的錯誤動作。

又，TFT 基板 3001 是在源極配線 3055，汲極配線 3056，源極電極 3053 及汲極電極 3054 上形成有由金屬層 3060 所構成的源極配線用輔助配線 3551，汲極配線用輔助配線 3561，源極電極用輔助電極 3531 及汲極電極用輔

助電極 3541。如此一來，可降低各配線 3055，3056 或電極 3053，3054 的電阻，可使可靠度提升，且可抑止能源效率的降低。

又，TFT 基板 3001 是 n 型氧化物半導體層 3040 會被形成於對應於通道部 3041，源極配線 3055，汲極配線 3056，源極電極 3053，汲極電極 3054 及畫素電極 3057 的所定位置。亦即，通常除了上述所定的位置以外的區域的全部 n 型氧化物半導體層 3040 會藉由蝕刻而被去除。如此一來，通常 n 型氧化物半導體層 3040 會只被形成於所定的位置，因此可排除閘極配線 3024 彼此間干擾する (Cross Talk) 等的擔憂。

另外，TFT 基板 3001 是在源極電極 3053 上，汲極電極 3054 上，源極配線 3055 上，汲極配線 3056 上形成輔助導電層，但並非限於此構成。例如，亦可在源極電極 3053，汲極電極 3054，源極配線 3055，汲極配線 3056 及畫素電極 3057 的至少一個上形成輔助導電層。亦即，雖未圖示，但若在畫素電極 3057 上的一部份形成與源極配線用輔助配線 3551 連接的輔助導電層（由金屬層 3060 所構成），則藉由此輔助導電層，可提升畫素電極 3057 的電氣導電性及動作的可靠度。上述輔助導電層的形狀並無特別加以限定，例如可為梳型電極那樣的形狀。

如此，本實施形態的 TFT 基板 3001 可減少製造步驟的步驟數，藉此可大幅度降低製造成本。又，由於通道部 3041 的 n 型氧化物半導體層 3040 的上部會藉由保護用絕

緣膜 3070 來保護，因此 TFT 基板 3001 可長期間安定作動。又，由於形成有保護用絕緣膜 3070，因此藉由在 TFT 基板 3001 設置有機 EL 材料，電極及保護膜，可容易取得有機電場發光裝置。又，藉由金屬層 3060 所構成的源極電極用輔助電極 3531，汲極電極用輔助電極 3541，源極配線用輔助配線 3551 及汲極配線用輔助配線 3561，可降低源極電極 3053，汲極電極 3054，源極配線 3055 及汲極配線 3056 的電阻。藉此，可靠度會提升的同時，能源效率的降低會被抑止。又，由於 n 型氧化物半導體層 3040 只會被形成於所定的位置，因此可排除閘極配線 3024 彼此間干擾（Cross Talk）等的擔憂。

[第八實施形態的 TFT 基板的製造方法]

本實施形態的 TFT 基板的製造方法為使用 3 片光罩的方法，對應於請求項 35。

圖 50 是用以說明本發明的第八實施形態之 TFT 基板的製造方法的概略流程圖。

在圖 50 中，首先，在基板 3010 上，利用第一光罩 3022 來形成閘極電極 3023 及閘極配線 3024（步驟 S3011）。

另外，步驟 S3011 之使用第一光罩 3022 的處理是與第七實施形態的步驟 S3001 之使用第一光罩 3022 的處理同樣。

其次，如圖 50 所示，在玻璃基板 3010，閘極電極

3023 及閘極配線 3024 上，依序積層閘極絕緣膜 3030，作為第一氧化物層的 n 型氧化物半導體層 3040，作為第二氧化物層的氧化物導電體層 3050 及第二阻絕層 3051（步驟 S3012），且藉由第二半色調光罩 3052 及半曝光來將第二阻絕層 3051 形成所定的形狀（步驟 S3013）。

其次，參照圖面來說明有關使用第二半色調光罩 3052 的處理。

（使用第二半色調光罩的處理）

圖 51 是用以說明本發明的第八實施形態之 TFT 基板的製造方法，使用第二半色調光罩的處理概略圖。（a）是表示閘極絕緣膜成膜/n 型氧化物半導體層成膜/氧化物導電體層成膜/阻絕層塗佈的剖面圖。（b）是表示半色調曝光/顯像的剖面圖。

在圖 51（a）中，首先，藉由輝光放電 CVD（化學蒸著法）法，在玻璃基板 3010，閘極電極 3023 及閘極配線 3024 上，將氮化矽（ SiN_x ）膜的閘極絕緣膜 3030 堆積成膜厚約 300nm。另外，在本實施形態中，放電氣體為使用 $\text{SiH}_4\text{-NH}_3\text{-N}_2$ 系的混合氣體。

其次，在閘極絕緣膜 3030 上，使用氧化銦-氧化鋅-氧化鉀（ $\text{In}_2\text{O}_3\text{:Ga}_2\text{O}_3\text{:ZnO}$ =約 70：27：3wt%）靶，藉由高頻濺射法，在氧約 10%、氬約 90%、基板溫度約不超過 200℃的條件下（亦即，不使 n 型氧化物半導體層 3040 結晶化的條件下）形成厚度約 100nm 的 n 型氧化物半導

體層（活性層）3040。

其次，在 n 型氧化物半導體層 3040 上，使用氧化銦-氧化鋅-氧化錫（ In_2O_3 ： ZnO ： SnO_2 =約 60：20：20wt%）靶，藉由高頻濺射法，在氧約 1%、氬約 99%、且不使氧化物導電體層 3050 結晶化的條件下形成厚度約 150nm 的氧化物半導體層 3050。

其次，在氧化物導電體層 3050 上積層第二阻絕層 3051（步驟 S3012）。

其次，如圖 51（b）所示，藉由第二半色調光罩 3052 及半色調曝光來將第二阻絕層 3051 形成所定的形狀（圖 50 的步驟 S3013）。第二阻絕層 3051 是覆蓋閘極電極 3023，源極電極 3053，汲極電極 3054，源極配線 3055，汲極配線 3056 及畫素電極 3057 的上方，且藉由半色調光罩部 3521 來形成覆蓋通道部 3041 上方的部份比其他的部份更薄的形狀。

圖 52 是用以說明本發明的第八實施形態之 TFT 基板的製造方法，使用第二半色調光罩的處理概略圖。（a）是表示第二蝕刻的剖面圖。（b）是表示第二阻絕層的再形成的剖面圖。

在圖 52（a）中，利用第二阻絕層 3051 及草酸水溶液來對氧化物導電體層 3050 及 n 型氧化物半導體層 3040 進行第二蝕刻，形成所望的源極配線 3055，汲極配線 3056 及畫素電極 3057（圖 50 的步驟 S3014）。

其次，如圖 52（b）所示，再形成上述第二阻絕層

3051。亦即，首先，如圖 52 (b) 所示，若第二阻絕層 3051 中藉由半色調曝光而被薄薄形成的通道部 3041 上的阻絕層被灰化，則第二阻絕層 3051 會被再形成。

其次，利用再形成的第二阻絕層 3051 來選擇性蝕刻閘極電極 3023 上方的氧化物導電體層 3050，形成源極電極 3053 及汲極電極 3054 (圖 50 的步驟 S3015)。

其次，參照圖面來說明有關形成源極電極 3053 及汲極電極 3054 的處理。

圖 53 是用以說明本發明的第八實施形態之 TFT 基板的製造方法，使用第二半色調光罩的處理概略圖。(a) 是表示第三蝕刻的剖面圖。(b) 是表示第二阻絕層剝離的剖面圖。

在圖 53 (a) 中，利用再形成的第二阻絕層 3051 及草酸水溶液來對氧化物導電體層 3050 選擇性進行第三蝕刻 (亦即，不使形成通道部 3041 的 n 型氧化物半導體層 3040 溶解下蝕刻)。藉由上述蝕刻，在閘極電極 3023 上方的 n 型氧化物半導體層 3040 形成通道部 3041。

在此，最好是在進行上述蝕刻前，加熱 (例如 200℃ 以上 350℃ 以下) n 型氧化物半導體層 3040，使結晶化。亦即，對於用以蝕刻存在於上方的氧化物導電體層 3050 的藥液 (本實施形態為草酸水溶液) 而言，結晶化的 n 型氧化物半導體層 3040 具有耐性，因此可防止形成通道部 3041 的 n 型氧化物半導體層 3040 被侵蝕等不良的情況。並且，重要的是具有選擇蝕刻特性，亦即氧化物導電體層

3050 是藉由所定的蝕刻液（草酸水溶液）來與未被結晶化的 n 型氧化物半導體層 3040 一起被蝕刻，且藉由被結晶化的 n 型氧化物半導體層 3040 具有耐性的蝕刻液（草酸水溶液）來蝕刻。

其次，如圖 53（b）所示，若使再形成的第二阻絕層 3051 全部灰化，則源極電極 3053，汲極電極 3054，源極配線 3055，汲極配線 3056 及畫素電極 3057 會露出（參照圖 54）。圖 53（b）所示之汲極電極 3054，通道部 3041，源極電極 3053，源極配線 3055 及畫素電極 3057 為顯示圖 54 的 H-H 剖面。圖 53（b）所示之汲極配線 3056 為顯示圖 54 的 I-I 剖面。

其次，如圖 50 所示，在露出的閘極絕緣膜 3030，n 型氧化物半導體層 3040 上、以及源極配線 3055，汲極配線 3056，源極電極 3053，汲極電極 3054 及畫素電極 3057 上，依序積層保護用絕緣膜 3070 及第三阻絕層 3071（步驟 S3016），且利用第三光罩 3072 來將第三阻絕層 3071 形成所定的形狀（步驟 S3017）。

其次，說明有關使用第三光罩 3072 的處理。

（使用第三光罩的處理）

圖 55 是用以說明本發明的第八實施形態之 TFT 基板的製造方法，使用第三光罩的處理概略圖。（a）是表示保護用絕緣膜成膜/阻絕層塗佈的剖面圖。（b）是表示曝光/顯像的剖面圖。

在圖 55 (a) 中，首先，在形成有通道部 3041 的 TFT 基板 3001a，藉由輝光放電 CVD 法，將氮化矽 (SiN_x) 膜的保護用絕緣膜 3070 堆積成膜厚約 200nm。放電氣體為使用 $\text{SiH}_4\text{-NH}_3\text{-N}_2$ 系的混合氣體。接著，在保護用絕緣膜 3070 上積層第三阻絕層 3071 (步驟 S3016)。

其次，如圖 55 (b) 所示，藉由第三光罩 3072 來將第三阻絕層 3071 形成所定的形狀 (步驟 S3017)。第三阻絕層 3071 是形成除了畫素電極 3057，汲極配線焊墊 3058 及閘極配線焊墊 3025 上以外覆蓋全部的保護用絕緣膜 3070 之形狀。

圖 56 是用以說明本發明的第八實施形態之 TFT 基板的製造方法，使用第三光罩的處理概略圖。(a) 是表示第四蝕刻的剖面圖。(b) 是表示第三阻絕層剝離的剖面圖。

在圖 56 (a) 中，第四蝕刻為使用第三阻絕層 3071 及 CHF (CF_4 ， CHF_3 氣體等) 來乾蝕刻畫素電極 3057 及汲極配線焊墊 3058 上的保護用絕緣膜 3070、以及閘極配線焊墊 3025 上的保護用絕緣膜 3070 及閘極絕緣膜 3030 (圖 50 的步驟 S3018)，使畫素電極 3057，汲極配線焊墊 3058 及閘極配線焊墊 3025 露出。

其次，如圖 56 (b) 所示，若使第三阻絕層 3071 灰化，則如圖 57 所示，在基板 3010 上，除了畫素電極 3057，汲極配線焊墊 3058 及閘極配線焊墊 3025 上以外，

露出保護用絕緣膜 3070。圖 56 (b) 所示之汲極電極 3054，通道部 3041，閘極電極 3023，源極電極 3053，源極配線 3055 及畫素電極 3057 為顯示圖 57 的 J-J 剖面。圖 56 (b) 所示之汲極配線焊墊 3058 為顯示圖 57 的 K-K 剖面。圖 56 (b) 所示之閘極配線焊墊 3025 為顯示圖 57 的 L-L 剖面。

如此，若利用本實施形態的 TFT 基板 3001a 的製造方法，則可減少製造步驟的步驟數，藉此可大幅度降低製造成本。又，由於通道部 3041 的 n 型氧化物半導體層 3040 的上部會藉由保護用絕緣膜 3070 來保護，因此 TFT 基板 3001a 可長期間安定作動。又，通常 n 型氧化物半導體層 3040 會僅形成於所定的位置（對應於通道部 3041，源極配線 3055，汲極配線 3056，源極電極 3053，汲極電極 3054 及畫素電極 3057 的所定位置），因此可排除閘極配線 3024 彼此間干擾（Cross Talk）等的擔憂。

又，本實施形態作為 TFT 基板的發明亦有效，上述 TFT 基板 3001a 是對應於請求項 1、22、23、24、25、26、28、29、33、34。

TFT 基板 3001a 與 TFT 基板 3001 比較下，如圖 56 (b) 所示，在源極配線 3055，汲極配線 3056，源極電極 3053 及汲極電極 3054 上，未形成由金屬層 3060 所構成的源極配線用輔助配線 3551，汲極配線用輔助配線 3561，源極電極用輔助電極 3531 及汲極電極用輔助電極 3541 的點不同。亦即，藉由上述第七實施形態的製造方

法以三片的光罩（第一光罩 3022，第二光罩 3052，第三光罩 3072）來製造，因此比 TFT 基板 3001 更會減少製造步驟，生產效率會提升，可謀求製造原價的成本降低。

如此，本實施形態的 TFT 基板 3001a 是一方面具有與 TFT 基板 3001 大致同等的效果（除了輔助導電層的效果以外），另一方面比 TFT 基板 3001 更減少製造步驟，因此生產效率會更被提升，可謀求製造原價的成本降低。

[第九實施形態的 TFT 基板的製造方法]

本實施形態的 TFT 基板的製造方法為使用 3 片光罩的方法，對應於請求項 37，38。

圖 58 是用以說明本發明的第九實施形態之 TFT 基板的製造方法的概略流程圖。

在圖 58 中，首先，在基板 3010 上，利用第一光罩 3022 來形成閘極電極 3023 及閘極配線 3024（步驟 S3031）。

其次，參照圖面來說明有關使用第一光罩 3022 的處理。

（使用第一光罩的處理）

圖 59 是用以說明本發明的第九實施形態之 TFT 基板的製造方法，使用第一光罩的處理概略圖。（a）是表示處理前的玻璃基板的剖面圖。（b）是表示金屬成膜/金屬層保護用氧化物導電體層成膜的剖面圖。（c）是表示阻

絕層塗佈的剖面圖。(d)是表示曝光/顯像/第一蝕刻/阻絕層剝離，形成閘極電極及閘極配線的剖面圖。

在圖 59 (a) 中，首先，準備透光性的玻璃基板 3010。

其次，如圖 59 (b) 所示，在玻璃基板 3010 進行金屬成膜，形成閘極電極・配線用薄膜（閘極電極及閘極配線用薄膜）3020。

本實施形態是在玻璃基板 3010 上，Al 及 Mo 會依序藉由高頻濺射法來積層。然後，膜厚約 250nm 及 50nm 的金屬薄膜會被分別被形成。其次，使用由氧化銦-氧化鋅（IZO： In_2O_3 ： ZnO =約 90：10wt%）所構成的濺射靶來形成膜厚 100nm 的金屬層保護用氧化物導電體層（適當簡稱為氧化物保護膜）3026，形成由 Al/Mo/IZO 所構成的閘極電極・配線用薄膜 3020。

在此，IZO 或 ITSmO 等的透明導電膜會作為金屬層保護用氧化物導電體層 3026 來配置於閘極配線 3024 的表面。藉此，在閘極絕緣膜 3030 形成開口部 3251，且形成閘極配線焊墊 3025 時，使用於閘極配線 3024 的金屬表面不會露出。因此，可形成可靠度高的連接。

並且，在閘極絕緣膜 3030 形成開口部 3251 時，使用 SiN_x ， SiON_x ， SiO_2 等的絕緣物作為閘極絕緣膜 3030。藉由使用 CHF（ CF_4 ， CHF_3 等）的反應離子蝕刻法來形成開口部 3251 時，IZO 等的氧化物導電膜亦成為金屬薄膜（Al/Mo 層）的保護膜。

其次，如圖 59 (c) 所示，在閘極電極・配線用薄膜 3020 上塗佈第一阻絕層 3021。

其次，如圖 59 (d) 所示，使用第一光罩 3022，藉由光蝕刻微影法來將阻絕層（未圖示）形成所定的形狀。其次，利用草酸水溶液來蝕刻金屬層保護用氧化物導電體層 3026。其次，利用混酸（一般被稱為 PAN）來蝕刻金屬薄膜，形成所望形狀的閘極電極 3023 及閘極配線 3024（參照圖 60）。圖 59 (d) 所示之閘極電極 3023 及閘極配線 3024 為顯示圖 60 的 M-M 剖面及 N-N 剖面。在此，IZO 亦可使用混酸來蝕刻，可使用上述混酸來與金屬薄膜一起蝕刻。

其次，如圖 58 所示，在玻璃基板 3010，閘極電極 3023 及閘極配線 3024 上，依序積層閘極絕緣膜 3030，作為第一氧化物層的 n 型氧化物半導體層 3040，作為第二氧化物層的氧化物透明導電體層 3050b，反射金屬層 3090 及第二阻絕層 3091（步驟 S3032），且藉由第二半色調光罩 3092 及半曝光來將第二阻絕層 3091 形成所定的形狀（步驟 S3033）。

其次，參照圖面來說明有關使用第二半色調光罩 3092 的處理。

（使用第二半色調光罩的處理）

圖 61 是用以說明本發明的第九實施形態之 TFT 基板的製造方法，使用第二半色調光罩的處理概略圖。（a）

是表示閘極絕緣膜成膜/n 型氧化物半導體層成膜/氧化物透明導電體層成膜/反射金屬層成膜/金屬層保護用氧化物導電體層成膜/阻絕層塗佈的剖面圖。(b)是表示半色調曝光/顯像的剖面圖。

在圖 61(a)中，首先，藉由輝光放電 CVD(化學蒸著法)法，在玻璃基板 3010，閘極電極 3023 及閘極配線 3024 上，將氮化矽(SiN_x)膜的閘極絕緣膜 3030 堆積成膜厚約 300nm。另外，本實施形態中，放電氣體為使用 $\text{SiH}_4\text{-NH}_3\text{-N}_2$ 系的混合氣體。

其次，在閘極絕緣膜 3030 上，使用氧化銦-氧化鋅-氧化鉀($\text{In}_2\text{O}_3\text{:ZnO:Ga}_2\text{O}_3$ =約 70:3:27wt%)靶，藉由高頻濺射法，在氧約 10%、氬約 90%、基板溫度約不超過 200℃的條件下(亦即，不使 n 型氧化物半導體層 3040 結晶化的條件下)形成厚度約 100nm 的 n 型氧化物半導體層(活性層) 3040。另外，此 n 型氧化物半導體層 3040 的能隙約為 3.6eV。

又，上述 n 型氧化物半導體層 3040 中，氧化鋅的添加量是約 1~6wt%較佳，更理想是約 2~5wt%。其理由是因為若約未滿 1wt%，則有時載流子濃度不會降低，且若超過約 6wt%，則載流子濃度不會降低，或不結晶化，對混酸的耐性變無。

其次，在 n 型氧化物半導體層 3040 上，使用氧化銦-氧化鋅-氧化錫($\text{In}_2\text{O}_3\text{:ZnO:SnO}_2$ =約 60:20:20wt%)靶，藉由高頻濺射法，在氧約 1%、氬約 99%、且不使氧

氧化物透明導電體層 3050b 結晶化的條件下形成厚度約 150nm 的氧化物透明半導體層 3050b。另外，此氧化物透明導電體層 3050b 的能隙約為 3.2eV。

其次，在氧化物透明導電體層 3050b 上，Mo、Al 及 Mo 會依此順序使用高頻濺射法來積層。然後，分別形成膜厚約 50nm、200nm 及 50nm，形成由 Mo/Al/Mo 所構成的反射金屬層 3090。另外，反射金屬層 3090 亦可使用 Ag，Au 等的金屬薄膜，或包含 Al，Ag，Au 的至少一種的合金薄膜。並且，Al 與氧化物透明導電體層 3050b 的接觸電阻小到可不在意的程度時，不必將 Mo 等的金屬使用於中間層。

其次，使用氧化銦-氧化鋅（一般被稱為 IZO。 In_2O_3 ：ZnO=約 90：10wt%）靶，藉由高頻濺射法，在氧約 1%、氬約 99%的條件下形成厚度約 150nm 的金屬層保護用氧化物導電體層 3095（本實施形態為 IZO 薄膜）。藉由此金屬層保護用氧化物導電體層 3095，可防止反射金屬層 3090 的變色等，可防止反射金屬層 3090 的反射率降低等不良的情況。

接著，在金屬層保護用氧化物導電體層 3095 上積層第二阻絕層 3091（步驟 S3032）。

其次，如圖 61（b）所示，藉由第二半色調光罩 3092 及半色調曝光來將第二阻絕層 3091 形成所定的形狀（圖 58 的步驟 S3033）。第二阻絕層 3091 是覆蓋閘極電極 3023，源極電極 3053，汲極電極 3054，源極配線 3055，

汲極配線 3056 及畫素電極 3057 的上方，且藉由半色調光罩部 3921 來形成覆蓋通道部 3041 上方的部份比其他的部份更薄的形狀。

圖 62 是用以說明本發明的第九實施形態之 TFT 基板的製造方法，使用第二半色調光罩的處理概略圖。(a) 是表示第二蝕刻/第三蝕刻的剖面圖。(b) 是表示第二阻絕層的再形成的剖面圖。

在圖 62 (a) 中，使用第二阻絕層 3091 及混酸來對金屬層保護用氧化物導電體層 3095 及反射金屬層 3090 進行第二蝕刻，更利用第二阻絕層 3091 及草酸水溶液來對氧化物透明導電體層 3050b 及 n 型氧化物半導體層 3040 進行第三蝕刻，形成所望的源極配線 3055，汲極配線 3056 及畫素電極 3057 (圖 58 的步驟 S3034)。

其次，如圖 62 (b) 所示，上述第二阻絕層 3091 會被再形成 (圖 58 的步驟 S3035)。亦即，首先，如同圖 (b) 所示，第二阻絕層 3091 中藉由半色調曝光而被薄薄形成的通道部 3041 上的阻絕層會被灰化，再形成第二阻絕層 3091。

其次，利用再形成的第二阻絕層 3091 來選擇性蝕刻閘極電極 3023 上方的金屬層保護用氧化物導電體層 3095、反射金屬層 3090 及氧化物透明導電體層 3050b，形成源極電極 3053 及汲極電極 3054 (圖 58 的步驟 S3035)。

其次，參照圖面來說明有關形成源極電極 3053 及汲

極電極 3054 的處理。

圖 63 是用以說明本發明的第九實施形態之 TFT 基板的製造方法，使用第二半色調光罩的處理概略圖。(a) 是表示第四蝕刻/第五蝕刻的剖面圖。(b) 是表示第二阻絕層剝離的剖面圖。

在圖 63 (a) 中，使用再形成的第二阻絕層 3091 及混酸來對閘極電極 3023 上方的金屬層保護用氧化物導電體層 3095 及反射金屬層 3090 進行第四蝕刻。其次，使用再形成的第二阻絕層 3091 及草酸水溶液來對氧化物透明導電體層 3050b 選擇性進行第五蝕刻（亦即，不使形成通道部 3041 的 n 型氧化物半導體層 3040 溶解下進行蝕刻）。藉由上述蝕刻，在閘極電極 3023 上方的 n 型氧化物半導體層 3040 形成通道部 3041。

其次，如圖 63 (b) 所示，若使再形成的第二阻絕層 3091 全部灰化，則形成於源極電極 3053 上，汲極電極 3054 上，源極配線 3055 上，汲極配線 3056 上及畫素電極 3057 上的反射金屬層 3090 的金屬層保護用氧化物導電體層 3095 會露出。在此，形成於源極電極 3053 上，汲極電極 3054 上，源極配線 3055 上及汲極配線 3056 上的反射金屬層 3090 具有作為輔助電極層的機能，形成由反射金屬層 3090 所構成的源極電極用輔助電極 3531b，汲極電極用輔助電極 3541b，源極配線用輔助配線 3551b，汲極配線用輔助配線 3561b。（參照圖 64）。圖 63 (b) 所示之汲極電極 3054，通道部 3041，源極電極 3053，源極

配線 3055 及畫素電極 3057 爲顯示圖 64 的 O-O 剖面。圖 63 (b) 所示之汲極配線 3056 爲顯示圖 64 的 P-P 剖面。

其次，如圖 58 所示，在露出的閘極絕緣膜 3030 及 n 型氧化物半導體層 3040 上、以及源極配線 3055，汲極配線 3056，源極電極 3053，汲極電極 3054 及畫素電極 3057 上方所形成的金屬層保護用氧化物導電體層 3095 上，依序積層保護用絕緣膜 3070 及第三阻絕層 3071b (步驟 S3036)。利用第三半色調光罩 3072b 來將第三阻絕層 3071b 形成所定的形狀 (步驟 S3037)。

其次，說明有關使用第三半色調光罩 3072b 的處理。

(使用第三半色調光罩的處理)

圖 65 是用以說明本發明的第九實施形態之 TFT 基板的製造方法，使用第三半色調光罩的處理概略圖。(a) 是表示保護用絕緣膜成膜/第三阻絕層塗佈的剖面圖。(b) 是表示半色調曝光/顯像的剖面圖。

在圖 65 (a) 中，首先，在形成有通道部 3041 的 TFT 基板，藉由輝光放電 (CVD) 法，將氮化矽 (SiN_x) 膜的保護用絕緣膜 3070b 堆積成膜厚約 200nm。放電氣體爲使用 $\text{SiH}_4\text{-NH}_3\text{-N}_2$ 系的混合氣體。其次，在保護用絕緣膜 3070b 上積層第三阻絕層 3071b (步驟 S3036)。

其次，如圖 65 (b) 所示，藉由第三半色調光罩 3072b 來將第三阻絕層 3071b 形成所定的形狀 (步驟 S3037)。第三阻絕層 3071b 是形成除了反射金屬部 3094

以外覆蓋畫素電極 3057 的部份及除了閘極配線焊墊 3025 的上方以外覆蓋全部的保護用絕緣膜 3070 之形狀，且藉由半色調光罩部 3721b 來形成汲極配線焊墊 3068 及反射金屬部 3094 上方的部份比其他的部份更薄的形狀。

圖 66 是用以說明本發明的第九實施形態之 TFT 基板的製造方法，使用第三半色調光罩的處理概略圖。(a) 是表示第六蝕刻的剖面圖。(b) 是表示第七蝕刻的剖面圖。

在圖 66 (a) 中，第六蝕刻為使用第三阻絕層 3071b 及 CHF (CF₄, CHF₃ 氣體等)，除了反射金屬部 3094 以外，乾蝕刻畫素電極 3057 的部份及閘極配線焊墊 3025 上方的保護用絕緣膜 3070 (圖 58 的步驟 S3038)。另外，除了反射金屬部 3094 以外，畫素電極 3057 的部份上方的保護用絕緣膜 3070 會全部被蝕刻，但閘極配線焊墊 3025 上方的保護用絕緣膜 3070 通常一部份不會被蝕刻而剩下。

其次，如圖 66 (b) 所示，第七蝕刻為使用第三阻絕層 3071b 及混酸，除了反射金屬部 3094 以外，蝕刻畫素電極 3057 的部份上方的金屬層保護用氧化物導電體層 3095 及反射金屬層 3090，除了反射金屬部 3094 以外，使畫素電極 3057 的部份露出 (圖 58 的步驟 S3039)。

圖 67 是用以說明本發明的第九實施形態之 TFT 基板的製造方法，使用第三半色調光罩的處理概略圖。(a) 是表示第三阻絕層的再形成的剖面圖。(b) 是表示第八

蝕刻/第三阻絕層剝離的剖面圖。

在圖 67 (a) 中，上述第三阻絕層 3071b 會被再形成。亦即，使第三阻絕層 3071b 中藉由半色調曝光而被薄薄形成的反射金屬部 3094 及汲極配線焊墊 3058 上方的阻絕層灰化，再形成第三阻絕層 3071b。

其次，第八蝕刻為使用再形成的第三阻絕層 3071b 及 CHF (CF₄, CHF₃ 氣體等) 來乾蝕刻反射金屬部 3094 及汲極配線焊墊 3058 上的保護用絕緣膜 3070，且乾蝕刻閘極配線焊墊 3025 上的保護用絕緣膜 3070 及閘極絕緣膜 3030，使反射金屬部 3094、汲極配線焊墊 3058 及閘極配線焊墊 3025 露出 (圖 58 的步驟 S3040)。

其次，若使第三阻絕層 3071b 灰化，則如圖 68 所示，在基板 3010 上，除了畫素電極 3057，反射金屬部 3094，汲極配線焊墊 3058 及閘極配線焊墊 3025 上以外，保護用絕緣膜 3070 會露出。圖 67 (b) 所示之汲極電極 3054，通道部 3041，閘極電極 3023，源極電極 3053，源極配線 3055，反射金屬部 3094 及畫素電極 3057 為顯示圖 68 的 Q-Q 剖面。圖 67 (b) 所示之汲極配線焊墊 3058 為顯示圖 68 的 R-R 剖面。圖 67 (b) 所示之閘極配線焊墊 3025 為顯示圖 68 的 S-S 剖面。

如此，利用本實施形態的 TFT 基板 3001b 的製造方法，具有和第七實施形態大致同樣的效果，且可製造通道蝕刻型且半反射型的 TFT 基板 3001b。又，由於源極電極 3053，汲極電極 3054，源極配線 3055，反射金屬部 3094

及汲極配線 3056 的上部形成有反射金屬層 3090，因此可降低源極電極 3053，汲極電極 3054，源極配線 3055 及汲極配線 3056 的電阻，可使可靠度提升，且可抑止能源效率的降低。

另外，本實施形態是除了反射金屬部 3094 以外畫素電極 3057 的部份為由氧化物透明導電體層 3050b 所構成，經由該部份來使光透過使用時，可將 TFT 基板 3001b 作為半透過型的 TFT 基板使用。

又，本實施形態作為 TFT 基板的發明亦有效，上述 TFT 基板 3001b 是對應於請求項 1、22～34。

TFT 基板 3001b 與 TFT 基板 3001 比較下，如圖 67 (b)、68 所示，畫素電極 3057 的一部份會藉由反射金屬層 3090 所構成的反射金屬部 3094 來覆蓋的點不同。

另外，其他的構造是大致與第七實施形態的 TFT 基板 3001 相同。

並且，TFT 基板 3001b 是藉由反射金屬層 3090 來形成源極配線 3055，汲極配線 3056，源極電極 3053 及汲極電極 3054 之構成。如此一來，可反射更多的光，可使反射光的亮度提升。

又，由於反射金屬層 3090 為 Al 所構成的薄膜，因此可使更多的光反射，可使反射光的亮度提升。

又，TFT 基板 3001b 是具有保護反射金屬層 3090 的金屬層保護用氧化物導電體層 3095 之構成。如此一來，可防止反射金屬層 3090 的腐蝕，且使耐久性提升。例

如，可防止反射金屬層 3090 的變色等，可防止反射金屬層 3090 的反射率降低等不良的情況。

又，使用氧化物透明導電體層 3050b 作為第二氧化物層，且源極配線 3055，汲極配線 3056，源極電極 3053，汲極電極 3054 及畫素電極 3057 為氧化物透明導電體層 3050b 所構成。如此一來，光的透過量會增大，因此可提供亮度佳的顯示裝置。

如此，本實施形態的 TFT 基板 3001b 是具有和 TFT 基板 3001 大致同樣的效果，作為顯示裝置時，可提供亮度佳的半透過型的 TFT 基板或半反射型的 TFT 基板。

如上述，若利用本發明的請求項 22～38，可利用三片的光罩來製造具有輔助導電層及保護用絕緣膜的 TFT 基板，可減少光罩數，削減製造步驟。藉此，可謀求生產效率的提升及製造原價的成本降低。又，由於通道部的第一氧化物層的上部會被保護用絕緣膜所保護，因此 TFT 基板可長期間安定作動。更，可排除閘極配線彼此間干擾（Cross Talk）等的擔憂。又，可藉由輔助導電層來降低各配線或電極的電阻，使可靠度提升，且可抑止能源效率的降低。更，可提供長期間安定作動，且可防止干擾（Cross Talk）之半透過型的 TFT 基板或半反射型的 TFT 基板。

以上，有關本發明的 TFT 基板及 TFT 基板的製造方法是以較佳的實施形態來說明，但本發明的 TFT 基板及 TFT 基板的製造方法並非限於上述實施形態，只要不脫離

本發明的主旨範圍，亦可實施各種的變更。

例如，雖未圖示，但在 TFT 基板 2001，2001a 中，於玻璃基板 2010 上僅積層有閘極絕緣膜 2030/n 型氧化物半導體層 2040/保護用絕緣膜 2070 的範圍（亦即，離開閘極電極 2023，閘極配線 2024，源極電極 2053，汲極電極 2054，源極配線 2055，汲極配線 2056 及畫素電極 2057 的範圍）在蝕刻閘極配線焊墊 2025 上的閘極絕緣膜 2030/n 型氧化物半導體層 2040/保護用絕緣膜 2070 時，亦可同樣蝕刻。藉此，可不使來自玻璃基板 2010 下面的光的透過量增大。

又，使用於上述各實施形態的 n 型氧化物半導體層或氧化物導電體層、氧化物透明導電體層並非限於上述材料。

亦即，n 型氧化物半導體層的材料，可舉氧化銦、氧化鋅、氧化錫、氧化銦-氧化鋅、氧化鋅-氧化錫、氧化銦-氧化鋅-氧化錫、氧化銦-氧化鋅-氧化鉀等、或該等中添加絕緣性透明氧化物者。另外，絕緣性透明氧化物，可舉氧化釷、氧化鈦、氧化鋯、氧化鉛、氧化鋮、氧化鉭、氧化硼素、氧化鋁、氧化矽、氧化鍺、鐳系元素的氧化物等。

又，使用上述氧化物作為 n 型氧化物半導體層時，重要的是使其載流子密度成為 $10^{17}/\text{cm}^3$ 以下。此情況，在大量的氧存在下成膜，或在氧的存在下進行熱處理，藉此使缺氧的載流子減少的方法、或使載流子密度降低的目的

下，在氧化銦中添加氧化鋅時，或在氧化錫中添加氧化銦時等等，亦可藉由荷電子控制來進行。並且，該等的組合亦具效果。

又，氧化物導電體層、氧化物透明導電體層的材料，可舉氧化銦、氧化鋅、氧化錫、氧化銦-氧化鋅、氧化鋅-氧化錫、氧化銦-氧化鋅-氧化錫等。使用上述氧化物作為氧化物導電體層、氧化物透明導電體層時，重要的是其載流子密度成為 $10^{+20}/\text{cm}^3$ 以上。

〔產業上的利用可能性〕

本發明的 TFT 基板及 TFT 基板的製造方法並非限於使用在 LCD（液晶顯示裝置）或有機 EL 顯示裝置的 TFT 基板及 TFT 基板的製造方法，例如 LCD（液晶顯示裝置）或有機 EL 顯示裝置以外的顯示裝置、或使用其他用途的 TFT 基板及 TFT 基板的製造方法亦可適用本發明。

【圖式簡單說明】

圖 1 是用以說明本發明的第一實施形態之 TFT 基板的製造方法的概略剖面圖，在同圖中，顯示有使用第一光罩來形成的閘極電極及閘極配線。

圖 2 是圖 1 的概略立體圖。

圖 3 是用以說明本發明的第一實施形態之 TFT 基板的製造方法的概略剖面圖，在同圖中，顯示有使用第二光罩來形成的源極配線、汲極配線及畫素電極。

圖 4 是圖 3 的概略立體圖。

圖 5 是一般的半色調曝光技術的說明圖，（a）是表示曝光中的概略剖面圖，（b）是表示顯像後的概略剖面圖。

圖 6 是用以說明本發明的第一實施形態之 TFT 基板的製造方法的概略剖面圖，在同圖中，顯示有使用第二光罩來形成的源極電極及汲極電極。

圖 7 是圖 6 的概略立體圖。

圖 8 是用以再形成阻絕層的灰化處理的說明圖，（a）是表示再形成前的阻絕層的概略剖面圖，（b）是表示再形成的阻絕層的概略剖面圖。

圖 9 是用以說明本發明的第一實施形態之 TFT 基板的製造方法的概略剖面圖，在同圖中，閘極配線焊墊被形成，阻絕層被去除。

圖 10 是圖 9 的概略立體圖。

圖 11 是用以說明本發明的第二實施形態之 TFT 基板的製造方法的概略剖面圖，在同圖中，輔助電極及輔助配線被形成。

圖 12 是圖 11 的概略立體圖。

圖 13 是用以說明本發明的第三實施形態之 TFT 基板的製造方法的概略剖面圖，在同圖中，顯示有使用第一光罩來形成的閘極電極及閘極配線。

圖 14 是用以說明本發明的第三實施形態之 TFT 基板的製造方法的概略剖面圖，在同圖中，顯示有使用第二光

罩來形成的源極配線、汲極配線及畫素電極。

圖 15 是圖 14 的概略立體圖。

圖 16 是用以說明本發明的第三實施形態之 TFT 基板的製造方法的概略剖面圖，在同圖中，顯示有使用第二光罩來形成的源極電極及汲極電極。

圖 17 是圖 16 的概略立體圖。

圖 18 是用以說明本發明的第四實施形態之 TFT 基板的製造方法的概略剖面圖，在同圖中，輔助電極及輔助配線被形成。

圖 19 是圖 18 的概略立體圖。

圖 20 是用以說明本發明的第五實施形態之 TFT 基板的製造方法的概略流程圖。

圖 21 是用以說明本發明的第五實施形態之 TFT 基板的製造方法，使用第一光罩的處理概略圖，（a）是表示處理前的玻璃基板的剖面圖，（b）是表示金屬成膜的剖面圖，（c）是表示阻絕層塗佈的剖面圖、（d）是表示曝光/顯像/第一蝕刻/阻絕層剝離，形成閘極電極及閘極配線的剖面圖。

圖 22 是表示本發明的第五實施形態之 TFT 基板的製造方法中，形成有閘極電極及閘極配線的玻璃基板的要部概略平面圖。

圖 23 是用以說明本發明的第五實施形態之 TFT 基板的製造方法，使用第二半色調光罩的處理概略圖，（a）是表示閘極絕緣膜成膜/n 型氧化物半導體層成膜/氧化物

導電體層成膜/金屬層成膜/阻絕層塗佈的剖面圖，(b)是表示半色調曝光/顯像的剖面圖。

圖 24 是用以說明本發明的第五實施形態之 TFT 基板的製造方法，使用第二半色調光罩的處理概略圖，(a)是表示第二蝕刻的剖面圖，(b)是表示第二阻絕層的再形成的剖面圖。

圖 25 是用以說明本發明的第五實施形態之 TFT 基板的製造方法，使用第二半色調光罩的處理概略圖，(a)是表示第三蝕刻的剖面圖，(b)是表示第二阻絕層剝離的剖面圖。

圖 26 是表示本發明的第五實施形態之 TFT 基板的製造方法中，形成有汲極電極，源極電極，汲極配線，源極配線及畫素電極的玻璃基板的主要部概略平面圖。

圖 27 是用以說明本發明的第五實施形態之 TFT 基板的製造方法，使用第三半色調光罩的處理概略圖，(a)是表示保護用絕緣膜成膜/阻絕層塗佈的剖面圖，(b)是表示半色調曝光/顯像的剖面圖。

圖 28 是用以說明本發明的第五實施形態之 TFT 基板的製造方法，使用第三半色調光罩的處理概略圖，(a)是表示第四蝕刻的剖面圖，(b)是表示第三阻絕層的再形成的剖面圖。

圖 29 是用以說明本發明的第五實施形態之 TFT 基板的製造方法，使用第三半色調光罩的處理概略圖，(a)是表示第五蝕刻的剖面圖，(b)是表示第三阻絕層剝離

的剖面圖。

圖 30 是表示本發明的第五實施形態之 TFT 基板的製造方法中，畫素電極，汲極配線焊墊及閘極配線焊墊露出的 TFT 基板的主要部概略平面圖。

圖 31 是用以說明本發明的第六實施形態之 TFT 基板的製造方法的概略流程圖。

圖 32 是用以說明本發明的第六實施形態之 TFT 基板的製造方法，使用第二光罩的處理概略圖，（a）是表示閘極絕緣膜成膜/n 型氧化物半導體層成膜/氧化物導電體層成膜/阻絕層塗佈的剖面圖，（b）是表示曝光/顯像的剖面圖。

圖 33 是用以說明本發明的第六實施形態之 TFT 基板的製造方法，使用第二半色調光罩的處理概略圖，（a）是表示第二蝕刻的剖面圖，（b）是表示第二阻絕層剝離的剖面圖。

圖 34 是本發明的第六實施形態之 TFT 基板的製造方法中，形成有汲極電極，源極電極，汲極配線，源極配線及畫素電極的玻璃基板的主要部概略平面圖。

圖 35 是用以說明本發明的第六實施形態之 TFT 基板的製造方法，使用第三半色調光罩的處理概略圖，（a）是表示保護用絕緣膜成膜/阻絕層塗佈的剖面圖，（b）是表示半色調曝光/顯像的剖面圖。

圖 36 是用以說明本發明的第六實施形態之 TFT 基板的製造方法，使用第三半色調光罩的處理概略圖，（a）

是表示第三蝕刻的剖面圖，（b）是表示第三阻絕層的再形成的剖面圖。

圖 37 是用以說明本發明的第六實施形態之 TFT 基板的製造方法，使用第三半色調光罩的處理概略圖，（a）是表示第四蝕刻的剖面圖，（b）是表示第三阻絕層剝離的剖面圖。

圖 38 是表示在本發明的第六實施形態之 TFT 基板的製造方法中，畫素電極，汲極配線焊墊及閘極配線焊墊露出的 TFT 基板的主要部概略平面圖。

圖 39 是用以說明本發明的第七實施形態之 TFT 基板的製造方法的概略流程圖。

圖 40 是用以說明本發明的第七實施形態之 TFT 基板的製造方法，使用第一光罩的處理概略圖，（a）是表示處理前的玻璃基板的剖面圖，（b）是表示金屬成膜的剖面圖，（c）是表示阻絕層塗佈的剖面圖，（d）是表示曝光/顯像/第一蝕刻/阻絕層剝離，形成閘極電極及閘極配線的剖面圖。

圖 41 是表示本發明的第七實施形態之 TFT 基板的製造方法中，形成有閘極電極及閘極配線的玻璃基板的主要部概略平面圖。

圖 42 是用以說明本發明的第七實施形態之 TFT 基板的製造方法，使用第二半色調光罩的處理概略圖，（a）是表示閘極絕緣膜成膜/n 型氧化物半導體層成膜/氧化物導電層成膜/金屬層成膜/阻絕層塗佈的剖面圖，（b）

是表示半色調曝光/顯像的剖面圖。

圖 43 是用以說明本發明的第七實施形態之 TFT 基板的製造方法，使用第二半色調光罩的處理概略圖，（a）是表示第二蝕刻/第三蝕刻的剖面圖，（b）是表示第二阻絕層的再形成的剖面圖。

圖 44 是用以說明本發明的第七實施形態之 TFT 基板的製造方法，使用第二半色調光罩的處理概略圖，（a）是表示第四蝕刻/第五蝕刻的剖面圖，（b）是表示第二阻絕層剝離的剖面圖。

圖 45 是表示本發明的第七實施形態之 TFT 基板的製造方法中，源極電極用輔助電極，汲極電極用輔助電極，源極配線用輔助配線，汲極配線用輔助配線露出的玻璃基板的主要部概略平面圖。

圖 46 是用以說明本發明的第七實施形態之 TFT 基板的製造方法，使用第三光罩的處理概略圖，（a）是表示保護用絕緣膜成膜/阻絕層塗佈的剖面圖，（b）是表示曝光/顯像的剖面圖。

圖 47 是用以說明本發明的第七實施形態之 TFT 基板的製造方法，使用第三光罩的處理概略圖，（a）是表示第六蝕刻的剖面圖，（b）是表示第七蝕刻的剖面圖。

圖 48 是用以說明本發明的第七實施形態之 TFT 基板的製造方法，使用第三光罩的處理概略圖，（a）是表示第八蝕刻的剖面圖，（b）是表示第三阻絕層剝離的剖面圖。

圖 49 是表示本發明的第七實施形態之 TFT 基板的製造方法中，保護用絕緣膜露出的 TFT 基板的主要部概略平面圖。

圖 50 是用以說明本發明的第八實施形態之 TFT 基板的製造方法的概略流程圖。

圖 51 是用以說明本發明的第八實施形態之 TFT 基板的製造方法，使用第二半色調光罩的處理概略圖，（a）是表示閘極絕緣膜成膜/n 型氧化物半導體層成膜/氧化物半導體層成膜/阻絕層塗佈的剖面圖，（b）是表示半色調曝光/顯像的剖面圖。

圖 52 是用以說明本發明的第八實施形態之 TFT 基板的製造方法，使用第二半色調光罩的處理概略圖，（a）是表示第二蝕刻的剖面圖，（b）是表示第二阻絕層的再形成的剖面圖。

圖 53 是用以說明本發明的第八實施形態之 TFT 基板的製造方法，使用第二半色調光罩的處理概略圖，（a）是表示第三蝕刻的剖面圖，（b）是表示第二阻絕層剝離的剖面圖。

圖 54 是表示本發明的第八實施形態之 TFT 基板的製造方法中，源極電極，汲極電極，源極配線，汲極配線及畫素電極露出的玻璃基板的主要部概略平面圖。

圖 55 是用以說明本發明的第八實施形態之 TFT 基板的製造方法，使用第三光罩的處理概略圖，（a）是表示保護用絕緣膜成膜/阻絕層塗佈的剖面圖，（b）是表示曝

光/顯像的剖面圖。

圖 56 是用以說明本發明的第八實施形態之 TFT 基板的製造方法，使用第三光罩的處理概略圖，（a）是表示第四蝕刻的剖面圖，（b）是表示第三阻絕層剝離的剖面圖。

圖 57 是表示本發明的第八實施形態之 TFT 基板的製造方法中，保護用絕緣膜露出的 TFT 基板的主要部概略平面圖。

圖 58 是用以說明本發明的第九實施形態之 TFT 基板的製造方法的概略流程圖。

圖 59 是用以說明本發明的第九實施形態之 TFT 基板的製造方法，使用第一光罩的處理概略圖，（a）是表示處理前的玻璃基板的剖面圖，（b）是表示金屬成膜/金屬層保護用氧化物導電體層成膜的剖面圖，（c）是表示阻絕層塗佈的剖面圖，（d）是表示曝光/顯像/第一蝕刻/阻絕層剝離，形成閘極電極及閘極配線的剖面圖。

圖 60 是表示本發明的第九實施形態之 TFT 基板的製造方法中，形成有閘極電極及閘極配線的玻璃基板的主要部概略平面圖。

圖 61 是用以說明本發明的第九實施形態之 TFT 基板的製造方法，使用第二半色調光罩的處理概略圖，（a）是表示閘極絕緣膜成膜/n 型氧化物半導體層成膜/氧化物透明導電體層成膜/反射金屬層成膜/金屬層保護用氧化物導電體層成膜/阻絕層塗佈的剖面圖，（b）是表示半色調

曝光/顯像的剖面圖。

圖 62 是用以說明本發明的第九實施形態之 TFT 基板的製造方法，使用第二半色調光罩的處理概略圖，（a）是表示第二蝕刻/第三蝕刻的剖面圖，（b）是表示第二阻絕層的再形成的剖面圖。

圖 63 是用以說明本發明的第九實施形態之 TFT 基板的製造方法，使用第二半色調光罩的處理概略圖，（a）是表示第四蝕刻/第五蝕刻的剖面圖，（b）是表示第二阻絕層剝離的剖面圖。

圖 64 是表示本發明的第九實施形態之 TFT 基板的製造方法中，反射金屬層上的金屬層保護用氧化物導電體層露出的玻璃基板的主要部概略平面圖。

圖 65 是用以說明本發明的第九實施形態之 TFT 基板的製造方法，使用第三半色調光罩的處理概略圖，（a）是表示保護用絕緣膜成膜/第三阻絕層塗佈的剖面圖，（b）是表示半色調曝光/顯像的剖面圖。

圖 66 是用以說明本發明的第九實施形態之 TFT 基板的製造方法，使用第三半色調光罩的處理概略圖，（a）是表示第六蝕刻的剖面圖，（b）是表示第七蝕刻的剖面圖。

圖 67 是用以說明本發明的第九實施形態之 TFT 基板的製造方法，使用第三半色調光罩的處理概略圖，（a）是表示第三阻絕層的再形成的剖面圖，（b）是表示第八蝕刻/第三阻絕層剝離的剖面圖。

圖 68 是表示本發明的第九實施形態之 TFT 基板的製造方法中，保護用絕緣膜露出的 TFT 基板的主要部概略平面圖。

圖 69 是用以說明以往例之 TFT 基板的製造方法的概略圖，（a）是表示形成閘極電極的剖面圖，（b）是表示形成蝕刻阻擋層的剖面圖，（c）是表示形成源極電極及汲極電極的剖面圖，（d）是表示形成層間絕緣膜的剖面圖，（e）是表示形成畫素電極的剖面圖。

【主要元件符號說明】

9210：玻璃基板

9212：閘極電極

9213：閘極絕緣膜

9214： α -Si:H(i)膜

9215：蝕刻阻擋層

9216： α -Si:H(n)膜

9217a：源極電極

9217b：汲極電極

9218：層間絕緣膜

9218a：貫通孔

9219：透明電極

1001a：TFT 基板

1001b：TFT 基板

1001c：TFT 基板

1010：玻璃基板
 1012a：閘極電極
 1012b：閘極配線
 1012c：源極配線
 1012d：汲極配線
 1012e：源極電極
 1012f：汲極電極
 1012g：畫素電極
 1012h：通道部
 1013：閘極絕緣膜
 1014：n型氧化物半導體層
 1015：氧化物導電體層
 1016：阻絕層
 1017：閘極配線取出孔
 1017a：閘極配線焊墊
 1018a、1018b：金屬薄膜
 1018c、1018d：補助配線
 1018e、1018f：補助電極
 1020：透明導電層
 1050：凹部
 1100：金屬薄膜
 1100a：金屬薄膜
 1200：光罩
 1200a：半色調光罩部

- 1201：曝光光
- 1201a：曝光光
- 2001：TFT 基板
- 2001a：TFT 基板
- 2010：玻璃基板
- 2020：閘極電極・配線用薄膜
- 2021：閘極電極
- 2022：閘極配線
- 2023：閘極電極
- 2024：閘極配線
- 2025：閘極配線焊墊
- 2030：閘極絕緣膜
- 2040：n 型氧化物半導體層
- 2041：通道部
- 2050：氧化物導電層體
- 2051：第二阻絕層
- 2052：第二光罩
- 2053：源極電極
- 2054：汲極電極
- 2055：源極配線
- 2056：汲極配線
- 2057：畫素電極
- 2058：汲極配線焊墊
- 2060：金屬層

- 2061：第二阻絕層
- 2062：第二半色調光罩
- 2070：保護用絕緣膜
- 2071：第三阻絕層
- 2072：第三半色調光罩
- 2531：源極電極用補助電極
- 2541：汲極電極用補助電極
- 2551：源極配線用補助配線
- 2561：汲極配線用補助配線
- 2721：半色調光罩部
- 3001：TFT基板
- 3010：玻璃基板
- 3020：閘極電極・配線用薄膜（閘極電極及閘極配線用薄膜）
- 3021：第一阻絕層
- 3022：第一光罩
- 3023：閘極電極
- 3024：閘極配線
- 3025：閘極配線焊墊
- 3030：閘極絕緣膜
- 3040：n型氧化物半導體層
- 3041：通道部
- 3050：氧化物導電體層
- 3050b：氧化物透明導電體層

- 3051：第二阻絕層
- 3052：第二半色調光罩
- 3053：源極電極
- 3054：汲極電極
- 3055：源極配線
- 3056：汲極配線
- 3057：畫素電極
- 3058：汲極配線焊墊
- 3060：金屬層
- 3061：第二阻絕層
- 3062：第二半色調光罩
- 3068：汲極配線焊墊
- 3070：保護用絕緣膜
- 3071：第三阻絕層
- 3071b：第三阻絕層
- 3072：第三光罩
- 3072b：第三半色調光罩
- 3090：反射金屬層
- 3091：第二阻絕層
- 3092：第二半色調光罩
- 3094：反射金屬部
- 3095：金屬層保護用氧化物導電體層
- 3251：開口部
- 3531：源極電極用補助電極

3 5 4 1 : 汲 極 電 極 用 補 助 電 極

3 5 5 1 : 源 極 配 線 用 補 助 配 線

3 5 6 1 : 汲 極 配 線 用 補 助 配 線

3 6 2 1 : 半 色 調 光 罩 部

十、申請專利範圍

1.一種薄膜電晶體薄膜電晶體基板，係具備：

基板；

在該基板的上方所被形成的閘極電極及閘極配線；

至少在上述閘極電極及上述閘極配線的上方所被形成的閘極絕緣膜；

至少在上述閘極電極的上方的上述閘極絕緣膜的上方所被形成的第一氧化物層；及

在上述第一氧化物層的上方所被形成的第二氧化物層，

其特徵為：

藉由上述第二氧化物層來至少形成畫素電極；

前述畫素電極由前述第一氧化物層與前述第二氧化物層所構成。

2.如申請專利範圍第 1 項之薄膜電晶體基板，其中，藉由上述第二氧化物層來形成上述畫素電極、源極電極及汲極電極、源極配線及汲極配線。

3.如申請專利範圍第 2 項之薄膜電晶體基板，其中，在上述源極電極、汲極電極、源極配線及汲極配線上形成輔助配線或輔助電極。

4.如申請專利範圍第 3 項之薄膜電晶體基板，其中，上述第一氧化物層及上述第二氧化物層對上述申請專利範圍第 3 項的蝕刻法 B 具有耐性，上述輔助配線及上述輔助電極係藉由上述蝕刻法 B 來蝕刻。

5.如申請專利範圍第 2 項所記載之薄膜電晶體基板，其中，上述第一氧化物層為 n 型氧化物半導體層，上述第二氧化物層為氧化物導電層。

6.一種薄膜電晶體基板的製造方法，其特徵係具有：
在基板的上方，利用第一光罩來形成閘極電極及閘極配線之步驟；

在上述基板、上述閘極電極及上述閘極配線的上方，依序積層閘極絕緣膜、第一氧化物層、第二氧化物層及阻絕層之步驟；

利用第二光罩，藉由半色調曝光來將上述阻絕層形成所定的形狀之步驟；

選擇性蝕刻上述第一氧化物層及上述第二氧化物層，而形成源極配線、汲極配線及畫素電極之步驟；

將上述阻絕層再形成所定的形狀之步驟；

選擇性蝕刻上述第二氧化物層，而形成源極電極、汲極電極及通道部之步驟；及

選擇性蝕刻上述閘極絕緣膜，而形成閘極配線焊墊之步驟。

7.如申請專利範圍第 6 項之薄膜電晶體基板的製造方法，其中，

上述第一氧化物層及上述第二氧化物層的選擇性蝕刻，係使用上述第一氧化物層及上述第二氧化物層的蝕刻速度比上述閘極絕緣膜的蝕刻速度更快的蝕刻法 A 來進行，

上述第二氧化物層的選擇性蝕刻，係使用上述第二氧化物層的蝕刻速度比上述第一氧化物層及上述閘極絕緣膜的蝕刻速度更快的蝕刻法 B 來進行，

上述閘極絕緣膜的選擇蝕刻，係使用上述閘極絕緣膜的蝕刻速度比上述第一氧化物層及上述第二氧化物層的蝕刻速度更快的蝕刻法 C 來進行。

8. 一種薄膜電晶體基板的製造方法，其特徵係具有：

在基板的上方，利用第一光罩來形成閘極電極及閘極配線之步驟；

在上述基板、上述閘極電極及上述閘極配線的上方，依序積層閘極絕緣膜、第一氧化物層、第二氧化物層及阻絕層之步驟；

利用第二光罩，藉由半色調曝光來將上述阻絕層形成所定的形狀之步驟；

蝕刻上述第一氧化物層、上述第二氧化物層、及上述閘極絕緣膜，而形成源極配線、汲極配線、畫素電極及閘極配線焊墊之步驟；

將上述阻絕層再形成所定的形狀之步驟；及

選擇性蝕刻上述第二氧化物層，而形成源極電極、汲極電極及通道部之步驟。

9. 如申請專利範圍第 6～8 項中任一項所記載之薄膜電晶體基板的製造方法，其中，具有：在上述源極配線、上述汲極配線、上述源極電極及上述汲極電極的上方，利用第三光罩來形成輔助配線或輔助電極之步驟。

10.如申請專利範圍第 9 項之薄膜電晶體基板的製造方法，其中，形成上述輔助配線或輔助電極的步驟，係藉由熱處理來使上述第一氧化物層及上述第二氧化物層的蝕刻特性變化之後，輔助配線層或輔助電極層會利用第三光罩來蝕刻。

11.如申請專利範圍第 6～8 項中任一項所記載之薄膜電晶體基板的製造方法，其中，上述第一氧化物層為 n 型氧化物半導體層，上述第二氧化物層為氧化物導電體層。

12.如申請專利範圍第 1 項之薄膜電晶體基板，其中，具備：在上述畫素電極，與源極配線焊墊或汲極配線焊墊，以及閘極配線焊墊露出的狀態下，形成於上述閘極電極及閘極配線的上方，以及源極配線，汲極配線，源極電極及汲極電極的上方之保護用絕緣膜，且藉由上述第二氧化物層來形成上述源極配線，汲極配線，源極電極，汲極電極及畫素電極。

13.如申請專利範圍第 12 項之薄膜電晶體基板，其中，上述第一氧化物層為 n 型氧化物半導體層，且上述第二氧化物層為氧化物導電體層。

14.如申請專利範圍第 12 或 13 項所記載之薄膜電晶體基板，其中，至少在上述第二氧化物層的基板側形成有上述第一氧化物層。

15.如申請專利範圍第 12 或 13 項所記載之薄膜電晶體基板，其中，在上述源極配線，汲極配線，源極電極，汲極電極及畫素電極的至少一個上形成輔助導電層。

16.如申請專利範圍第 12 或 13 項所記載之薄膜電晶體基板，其中，上述第一氧化物層及第二氧化物層的能隙為 3.0eV 以上。

17.一種薄膜電晶體基板的製造方法，其特徵係具有：

在基板上，利用第一光罩來形成閘極電極及閘極配線之步驟；

在上述基板，閘極電極及閘極配線上，依序積層閘極絕緣膜，第一氧化物層，第二氧化物層及第二阻絕層，且利用第二光罩來將上述第二阻絕層形成所定的形狀之步驟；

利用上述第二阻絕層來蝕刻上述第二氧化物層，而形成源極配線，汲極配線，源極電極，汲極電極及畫素電極之步驟；

在上述第一氧化物層，源極配線，汲極配線，源極電極，汲極電極及畫素電極上依序積層保護用絕緣膜及第三阻絕層，且藉由半色調曝光來將上述第三阻絕層形成所定的形狀之步驟；

利用上述第三阻絕層來蝕刻閘極配線焊墊上的上述保護用絕緣膜及第一氧化物層之步驟；及

再形成上述第三阻絕層之後，利用該第三阻絕層來選擇性蝕刻上述畫素電極及源極配線焊墊或汲極配線焊墊上的上述保護用絕緣膜，以及上述閘極配線焊墊上的上述閘極絕緣膜，使上述畫素電極，與上述源極配線焊墊或汲極

配線焊墊，及上述閘極配線焊墊露出之步驟。

18. 一種薄膜電晶體基板的製造方法，其特徵係具有：

在基板上，利用第一光罩來形成閘極電極及閘極配線之步驟；

在上述基板，閘極電極及閘極配線上依序積層閘極絕緣膜，第一氧化物層，第二氧化物層，輔助導電層及第二阻絕層，且藉由半色調曝光來將上述第二阻絕層形成所定的形狀之步驟；

利用上述第二阻絕層來蝕刻上述輔助導電層及第二氧化物層，而形成源極配線，汲極配線，源極電極，汲極電極及畫素電極，且形成由上述輔助導電層所構成的輔助配線及輔助電極之步驟；

再形成上述第二阻絕層之後，利用該第二阻絕層來選擇性蝕刻上述畫素電極上的上述輔助導電層，使上述畫素電極露出之步驟；

在上述第一氧化物層及畫素電極上、以及上述源極配線，汲極配線，源極電極及汲極電極上所被形成的上述輔助導電層上，依序積層保護用絕緣膜及第三阻絕層，且藉由半色調曝光來將第三阻絕層形成所定的形狀之步驟；

利用上述第三阻絕層來蝕刻閘極配線焊墊上的上述保護用絕緣膜及第一氧化物層之步驟；及

再形成上述第三阻絕層之後，利用該第三阻絕層來選擇性蝕刻上述畫素電極及源極配線焊墊或汲極配線焊墊上

的上述保護用絕緣膜，以及上述閘極配線焊墊上的上述閘極絕緣膜，使上述畫素電極，與上述源極配線焊墊或汲極配線焊墊，及上述閘極配線焊墊露出之步驟。

19.如申請專利範圍第 1 項之薄膜電晶體基板，其中，藉由上述第二氧化物層，至少形成上述畫素電極及與該畫素電極連接的源極電極或汲極電極。

20.如申請專利範圍第 19 項之薄膜電晶體基板，其中，上述薄膜電晶體基板的上方係藉由保護用絕緣膜所覆蓋，且上述保護用絕緣膜在對應於各畫素電極，與源極配線焊墊或汲極配線焊墊及閘極配線焊墊的位置具有開口部。

21.如申請專利範圍第 19 或 20 項之薄膜電晶體基板，其中，上述第一氧化物層為 n 型氧化物半導體層，且上述第二氧化物層為氧化物導電層。

22.如申請專利範圍第 19 或 20 項所記載之薄膜電晶體基板，其中，至少在上述第二氧化物層的基板側形成上述第一氧化物層。

23.如申請專利範圍第 19 或 20 項所記載之薄膜電晶體基板，其中，在上述源極配線，汲極配線，源極電極，汲極電極及畫素電極的至少一個上方形成輔助導電層。

24.如申請專利範圍第 19 或 20 項所記載之薄膜電晶體基板，其中，上述第一氧化物層被形成於對應於上述通道部，源極配線，汲極配線，源極電極，汲極電極及畫素電極的所定位置。

25.如申請專利範圍第 19 或 20 項所記載之薄膜電晶體基板，其中，上述第一氧化物層及/或第二氧化物層的能隙為 3.0eV 以上。

26.如申請專利範圍第 19 或 20 項所記載之薄膜電晶體基板，其中，上述畫素電極的一部份係藉由反射金屬層所覆蓋。

27.如申請專利範圍第 26 項之薄膜電晶體基板，其中，藉由上述反射金屬層來形成源極配線，汲極配線，及上述源極電極及汲極電極的至少一個。

28.如申請專利範圍第 26 項之薄膜電晶體基板，其中，上述反射金屬層為鋁，銀或金所構成的薄膜、或者含鋁，銀或金的合金層所構成。

29.如申請專利範圍第 19 或 20 項所記載之薄膜電晶體基板，其中，上述薄膜電晶體基板具備金屬層，且具有保護上述金屬層的金屬層保護用氧化物導電體層。

30.如申請專利範圍第 19 或 20 項所記載之薄膜電晶體基板，其中，上述薄膜電晶體基板係具備閘極電極，閘極配線，源極配線，汲極配線，源極電極，汲極電極或畫素電極的其中至少一個以上，且上述閘極電極，閘極配線，源極配線，汲極配線，源極電極，汲極電極及畫素電極的至少一個為氧化物透明導電體層所構成。

31.一種薄膜電晶體基板的製造方法，其特徵係具有：

在基板的上方，利用第一光罩來形成閘極電極及閘極

配線之步驟；

在上述基板，閘極電極及閘極配線的上方，積層閘極絕緣膜，第一氧化物層，第二氧化物層及第二阻絕層，且藉由半色調曝光來將上述第二阻絕層形成所定的形狀之步驟；

利用上述第二阻絕層來蝕刻上述第二氧化物層及第一氧化物層，而形成源極配線，汲極配線及畫素電極之步驟；

再形成上述第二阻絕層之後，利用該第二阻絕層來選擇性蝕刻上述閘極電極的上方的上述第二氧化物層，形成源極電極及汲極電極之步驟；

在露出的上述閘極絕緣膜及第一氧化物層的上方、以及上述源極配線，汲極配線，源極電極，汲極電極及畫素電極的上方，積層保護用絕緣膜及第三阻絕層，且利用第三光罩來將第三阻絕層形成所定的形狀之步驟；及

利用上述第三阻絕層來蝕刻上述畫素電極，及源極配線焊墊或汲極配線焊墊的上方的上述保護用絕緣膜、以及閘極配線焊墊的上方的上述保護用絕緣膜及閘極絕緣膜，使上述畫素電極，上述源極配線焊墊或汲極配線焊墊，及上述閘極配線焊墊露出之步驟。

32. 一種薄膜電晶體基板的製造方法，其特徵係具有：

在基板的上方，利用第一光罩來形成閘極電極及閘極配線之步驟；

在上述基板，閘極電極及閘極配線的上方，積層閘極絕緣膜，第一氧化物層，第二氧化物層，輔助導電層及第二阻絕層，且藉由半色調曝光來將上述第二阻絕層形成所定的形狀之步驟；

利用上述第二阻絕層來蝕刻上述輔助導電層，第二氧化物層及第一氧化物層，而形成源極配線，汲極配線及畫素電極，且形成由上述輔助導電層所構成的輔助配線之步驟；

再形成上述第二阻絕層之後，利用該第二阻絕層來選擇性蝕刻上述閘極電極的上方的上述輔助導電層及第二氧化物層，形成源極電極及汲極電極，且形成由上述輔助導電層所構成的輔助電極之步驟；

在露出的上述閘極絕緣膜及第一氧化物層的上方、以及上述源極配線，汲極配線，源極電極，汲極電極及畫素電極的上方所被形成的上述輔助導電層的上方，積層保護用絕緣膜及第三阻絕層，且利用第三光罩來將第三阻絕層形成所定的形狀之步驟；

利用上述第三阻絕層來蝕刻上述畫素電極，及源極配線焊墊或汲極配線焊墊的上方的上述保護用絕緣膜、以及閘極配線焊墊的上方的上述保護用絕緣膜，使上述畫素電極，及上述源極配線焊墊或汲極配線焊墊的上方的上述輔助導電層露出之步驟；

利用上述第三阻絕層來蝕刻露出的上述畫素電極，及上述源極配線焊墊或汲極配線焊墊的上方的上述輔助導電

層，使上述畫素電極及上述源極配線焊墊或汲極配線焊墊露出之步驟；及

利用上述第三阻絕層來蝕刻上述閘極配線焊墊的上方的上述閘極絕緣膜，使上述閘極配線焊墊露出之步驟。

33. 一種薄膜電晶體基板的製造方法，其特徵係具有：

在基板的上方，利用第一光罩來形成閘極電極及閘極配線之步驟；

在上述基板，閘極電極及閘極配線的上方，積層閘極絕緣膜，第一氧化物層，第二氧化物層，反射金屬層及第二阻絕層，且藉由半色調曝光來將上述第二阻絕層形成所定的形狀之步驟；

利用上述第二阻絕層來蝕刻上述反射金屬層，第二氧化物層及第一氧化物層，而形成源極配線，汲極配線及畫素電極之步驟；

再形成上述第二阻絕層之後，利用該第二阻絕層來選擇性蝕刻上述閘極電極的上方的上述反射金屬層及第二氧化物層，形成源極電極及汲極電極之步驟；

在露出的上述閘極絕緣膜及第一氧化物層的上方、以及上述源極配線，汲極配線，源極電極，汲極電極及畫素電極的上方所被形成的上述反射金屬層的上方，積層保護用絕緣膜及第三阻絕層，且藉由半色調曝光來將第三阻絕層形成所定的形狀之步驟；

利用上述第三阻絕層來使上述畫素電極的一部份露

出，且形成由上述反射金屬層所構成的反射金屬部之步驟；

將上述第三阻絕層予以再形成所定的形狀之步驟；及
蝕刻上述反射金屬部，及源極配線焊墊或汲極配線焊墊的上方的上述保護用絕緣膜、以及閘極配線焊墊的上方的上述保護用絕緣膜及閘極絕緣膜，使上述反射金屬部，上述源極配線焊墊或汲極配線焊墊，及上述閘極配線焊墊露出之步驟。

34.如申請專利範圍第 33 項之薄膜電晶體基板的製造方法，其中，在上述反射金屬層的上方形成保護該反射金屬層的金屬層保護用氧化物導電體層。

圖1

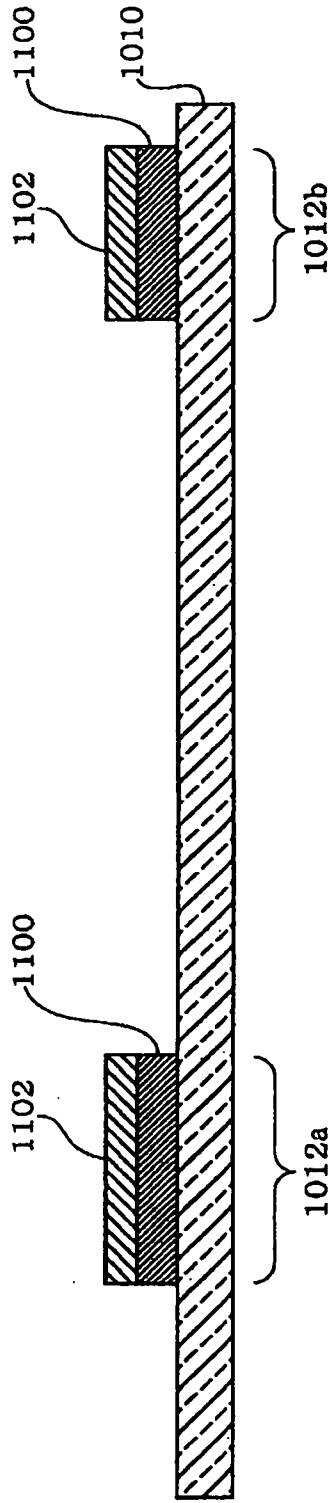


圖2

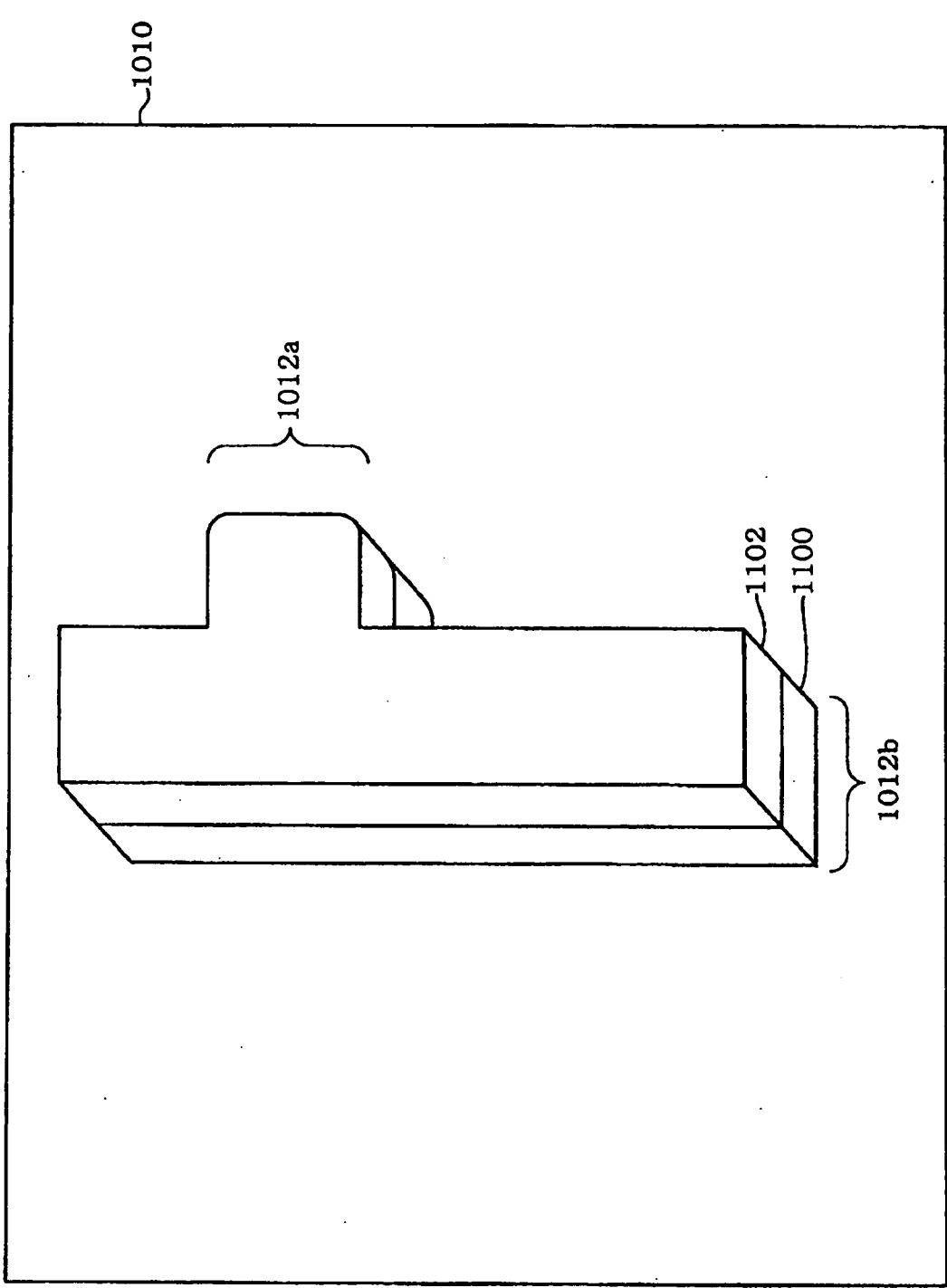


圖3

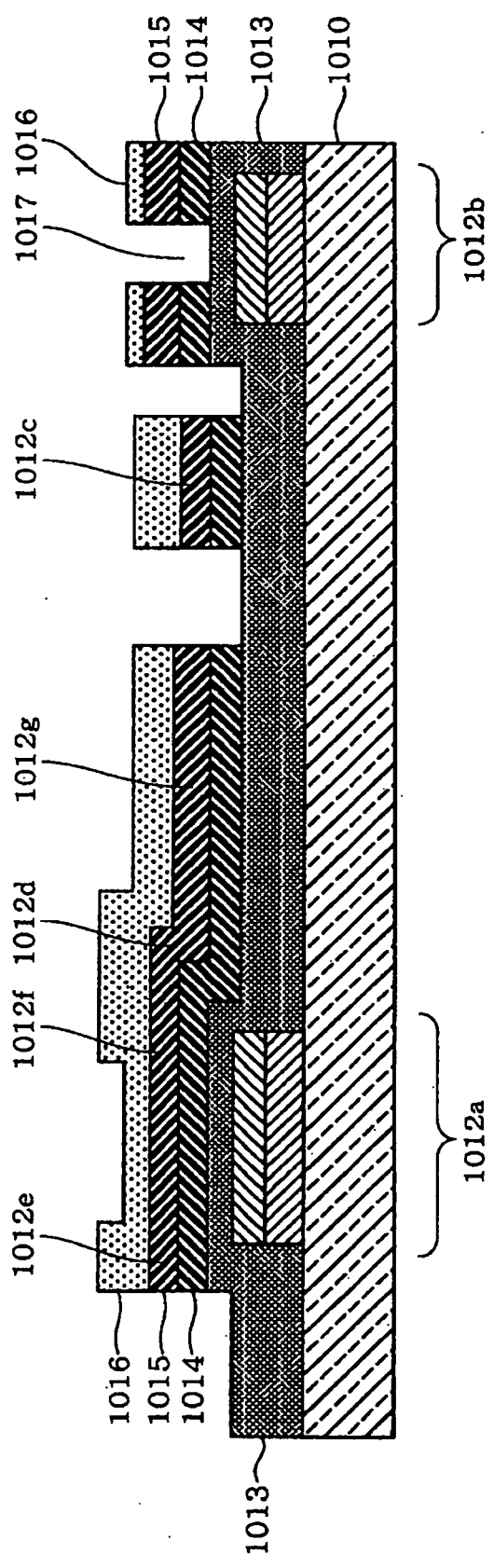


圖4

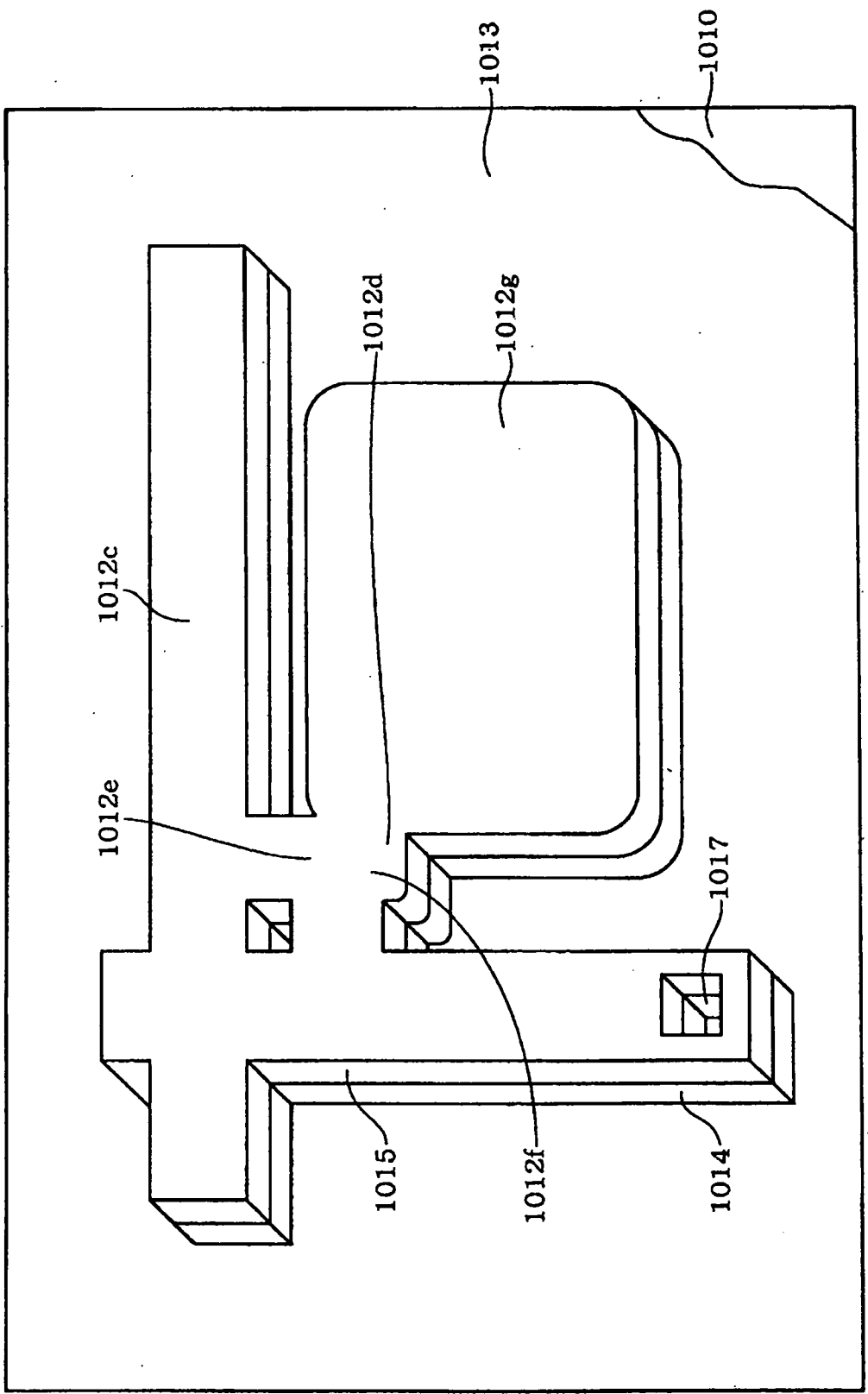


圖5

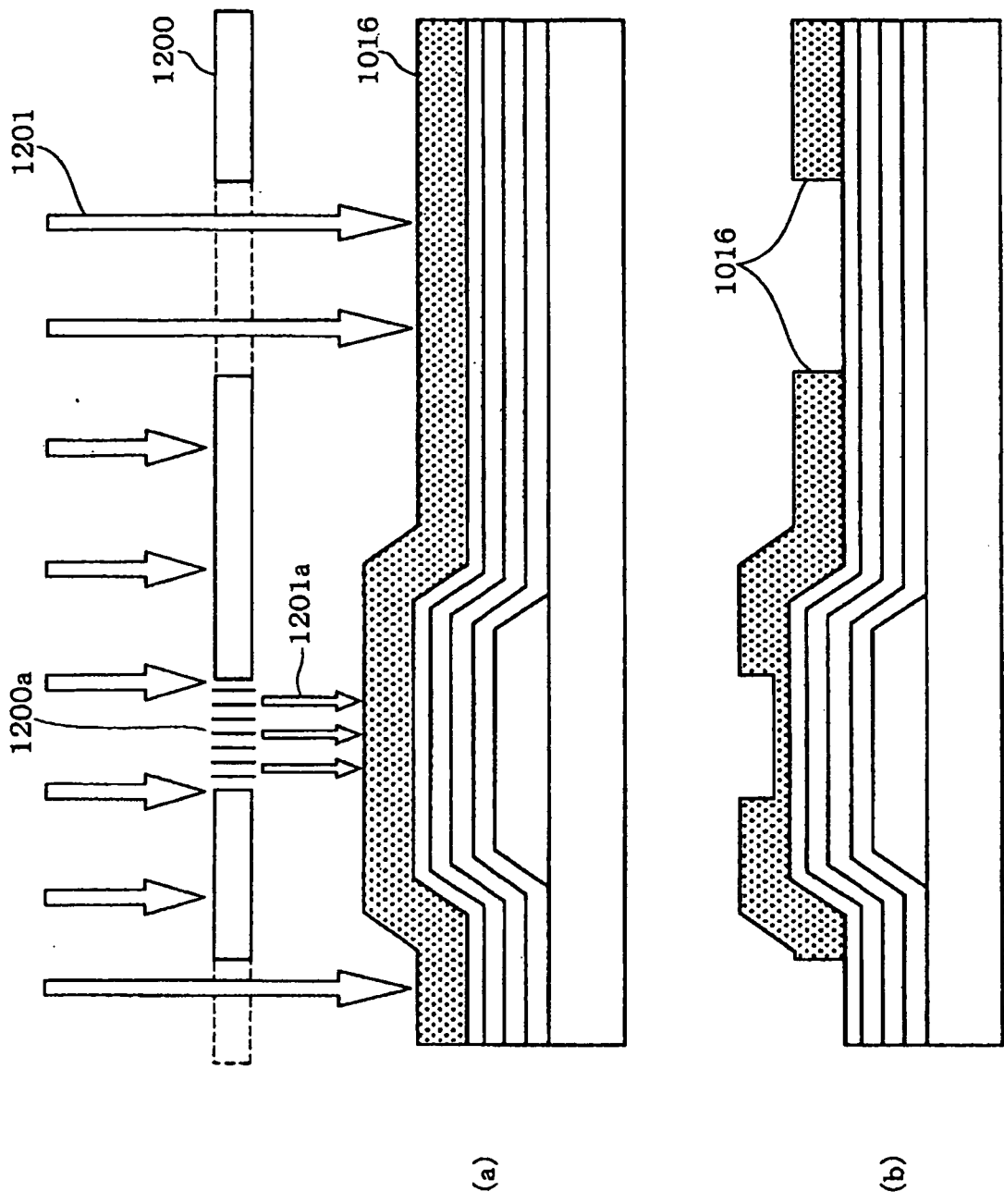


圖6

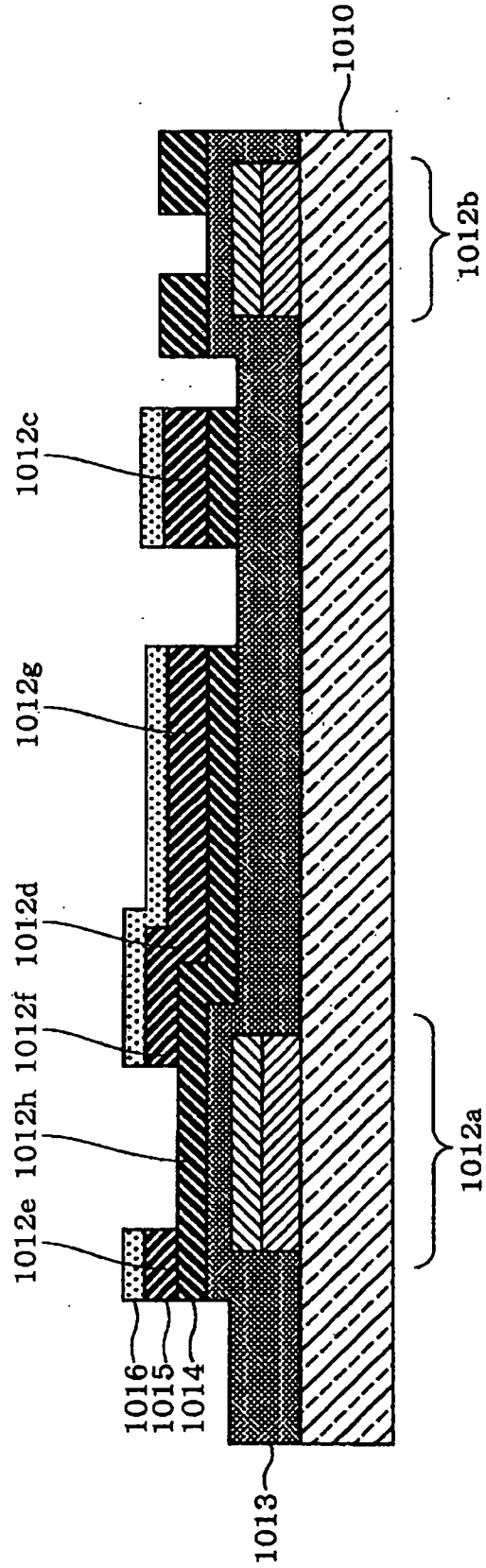


圖7

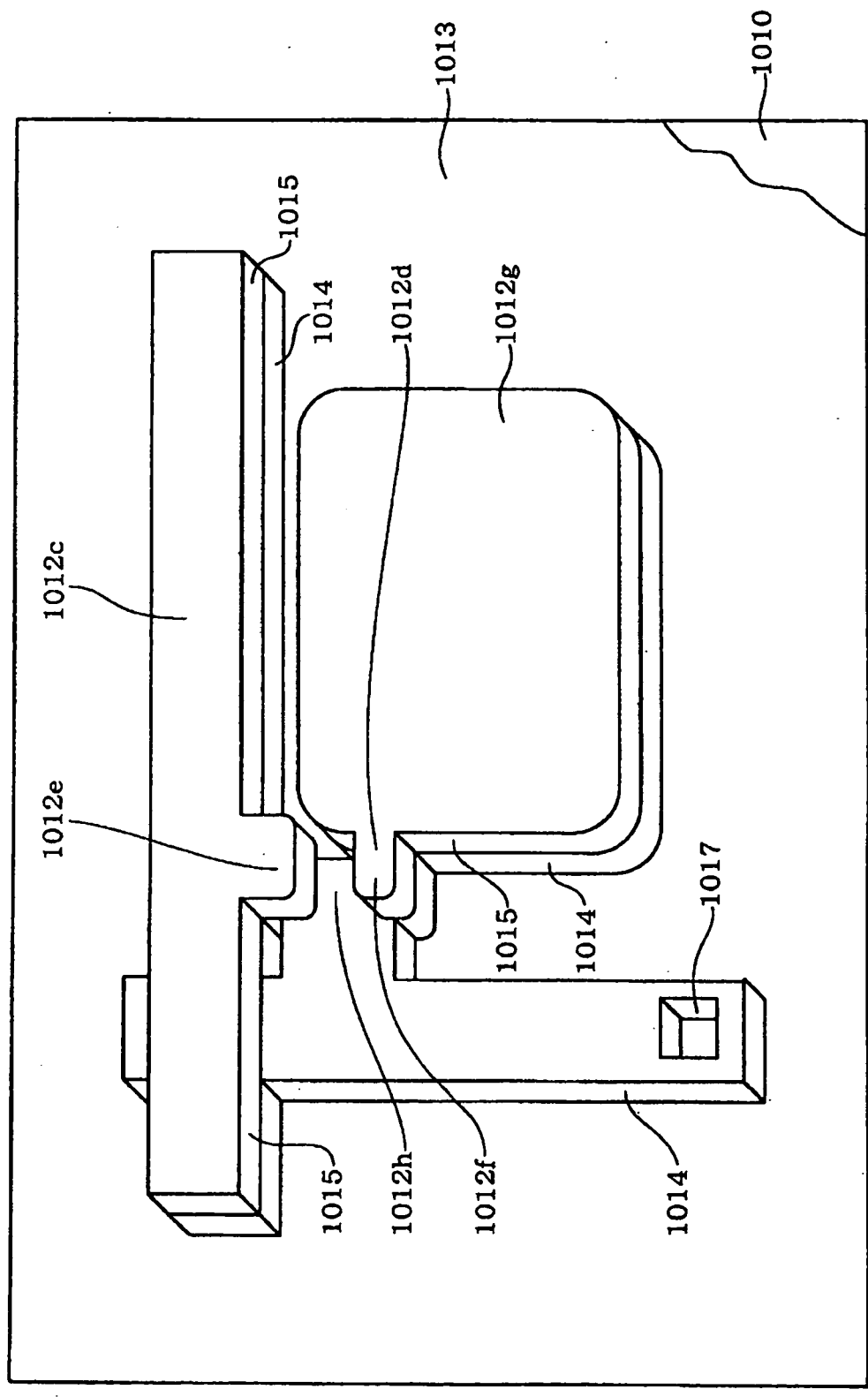


圖8

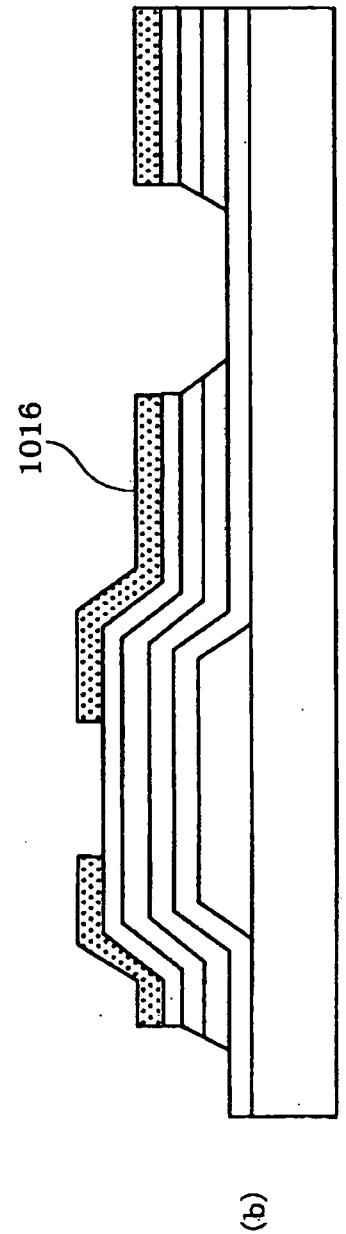
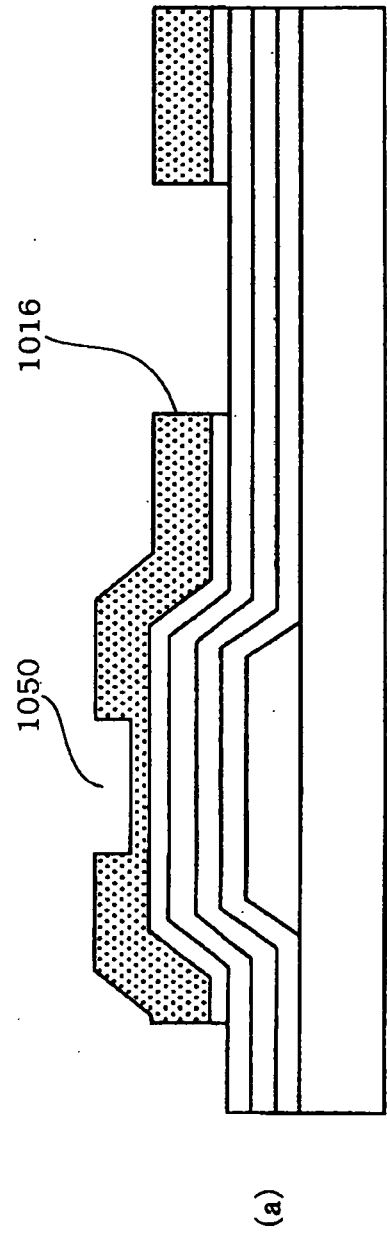
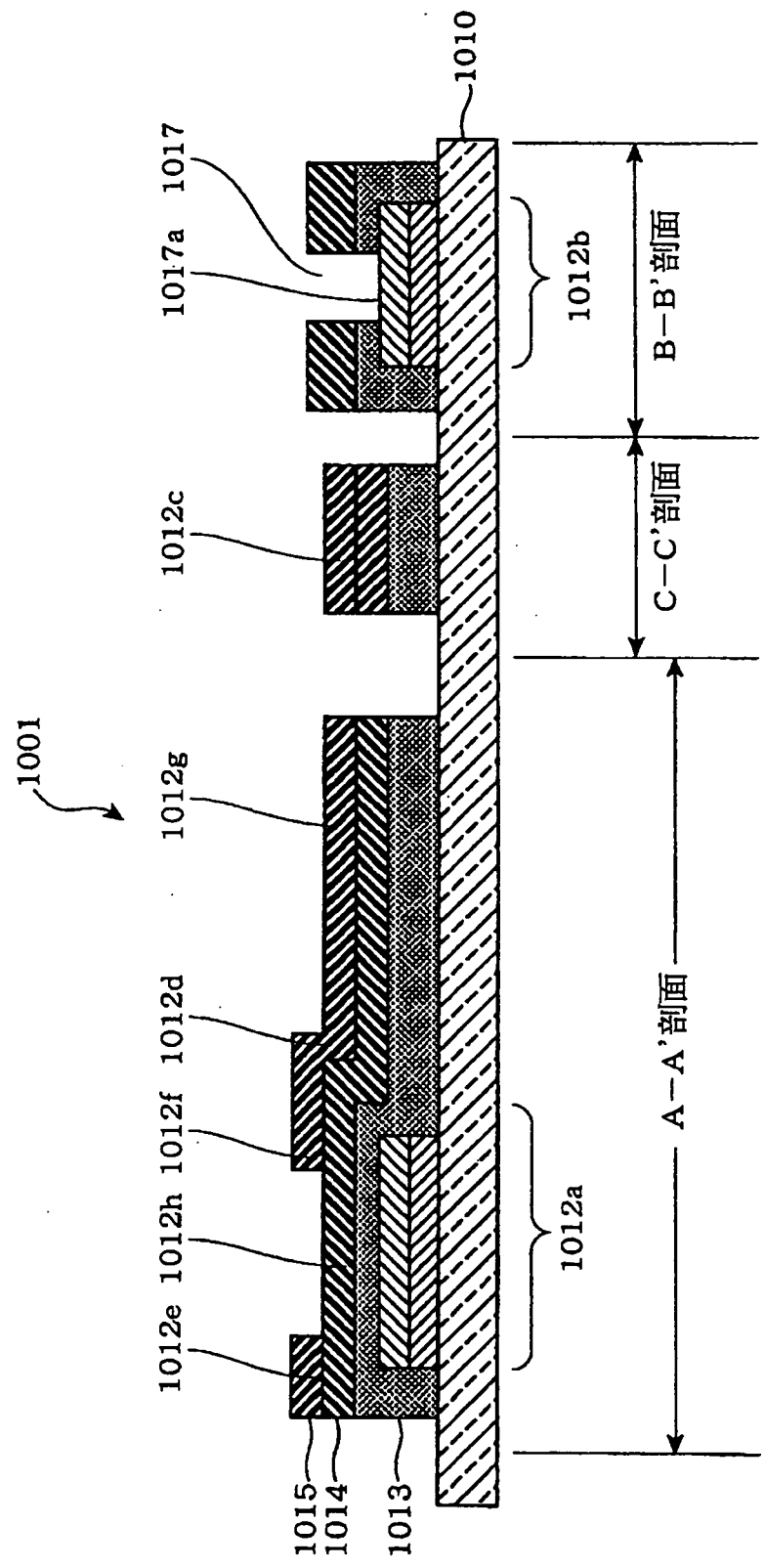


圖9



10

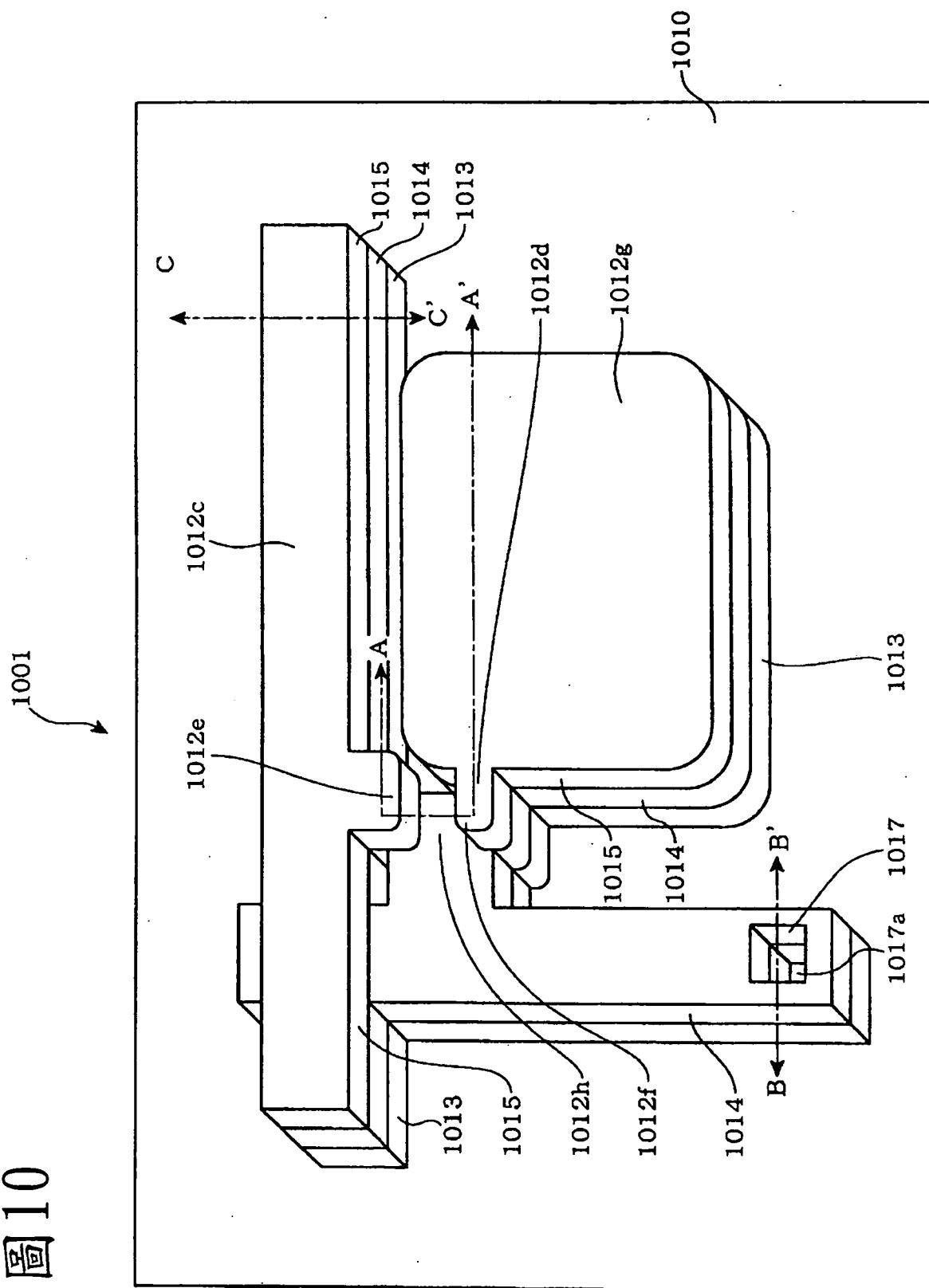


圖11

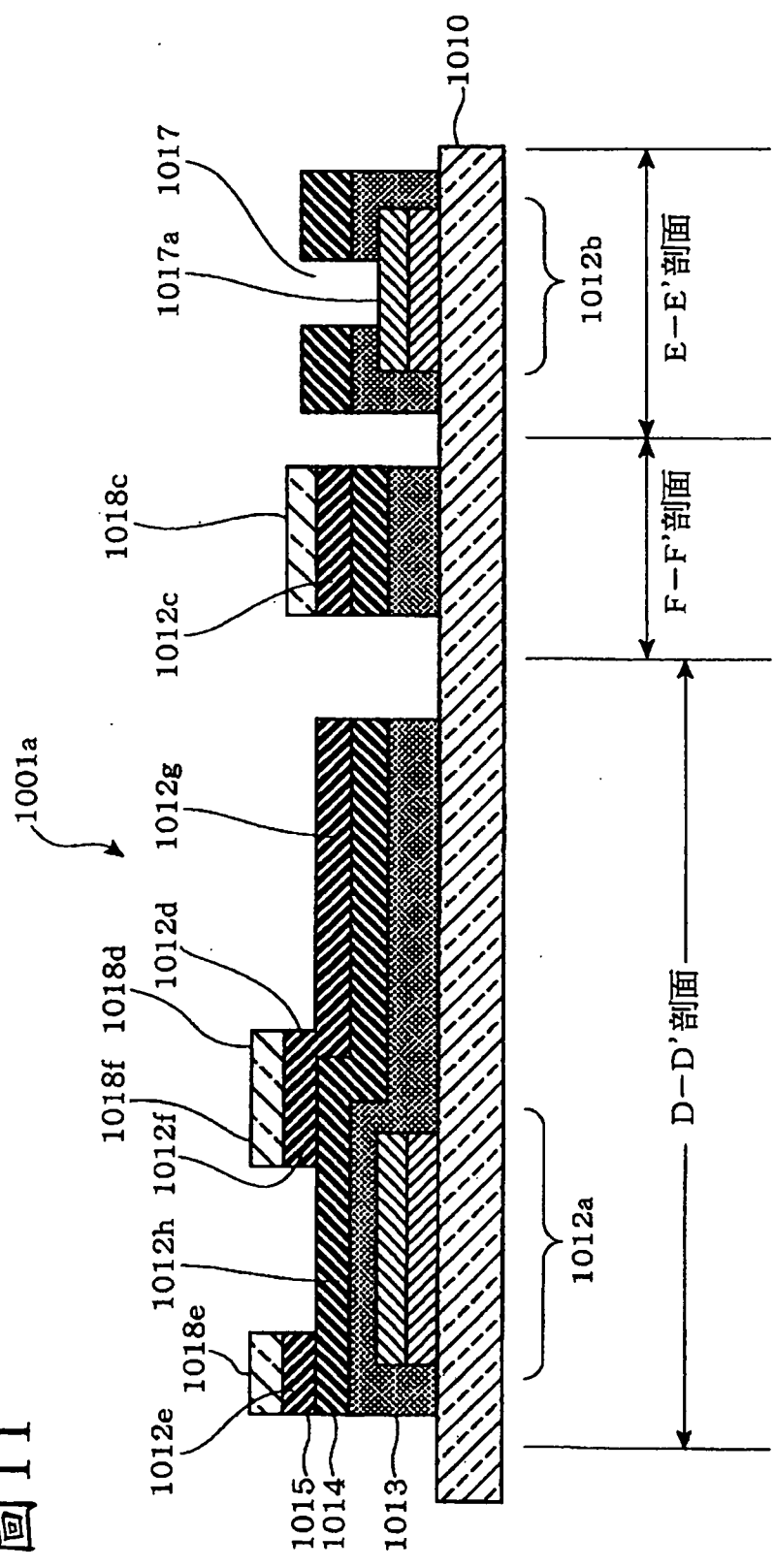


圖13

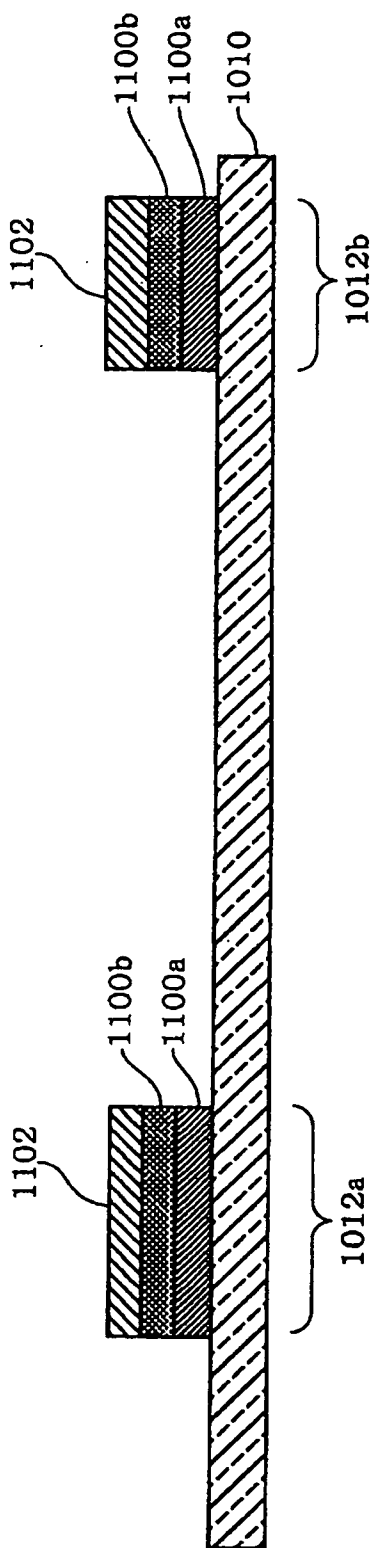


圖14

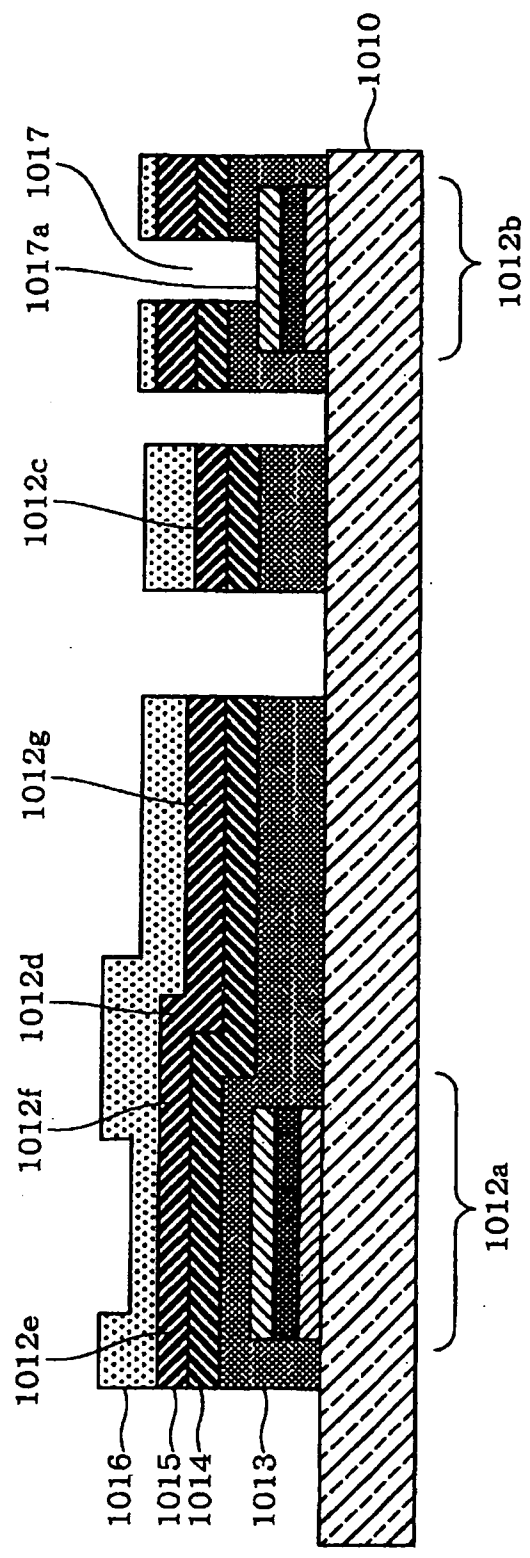


圖15

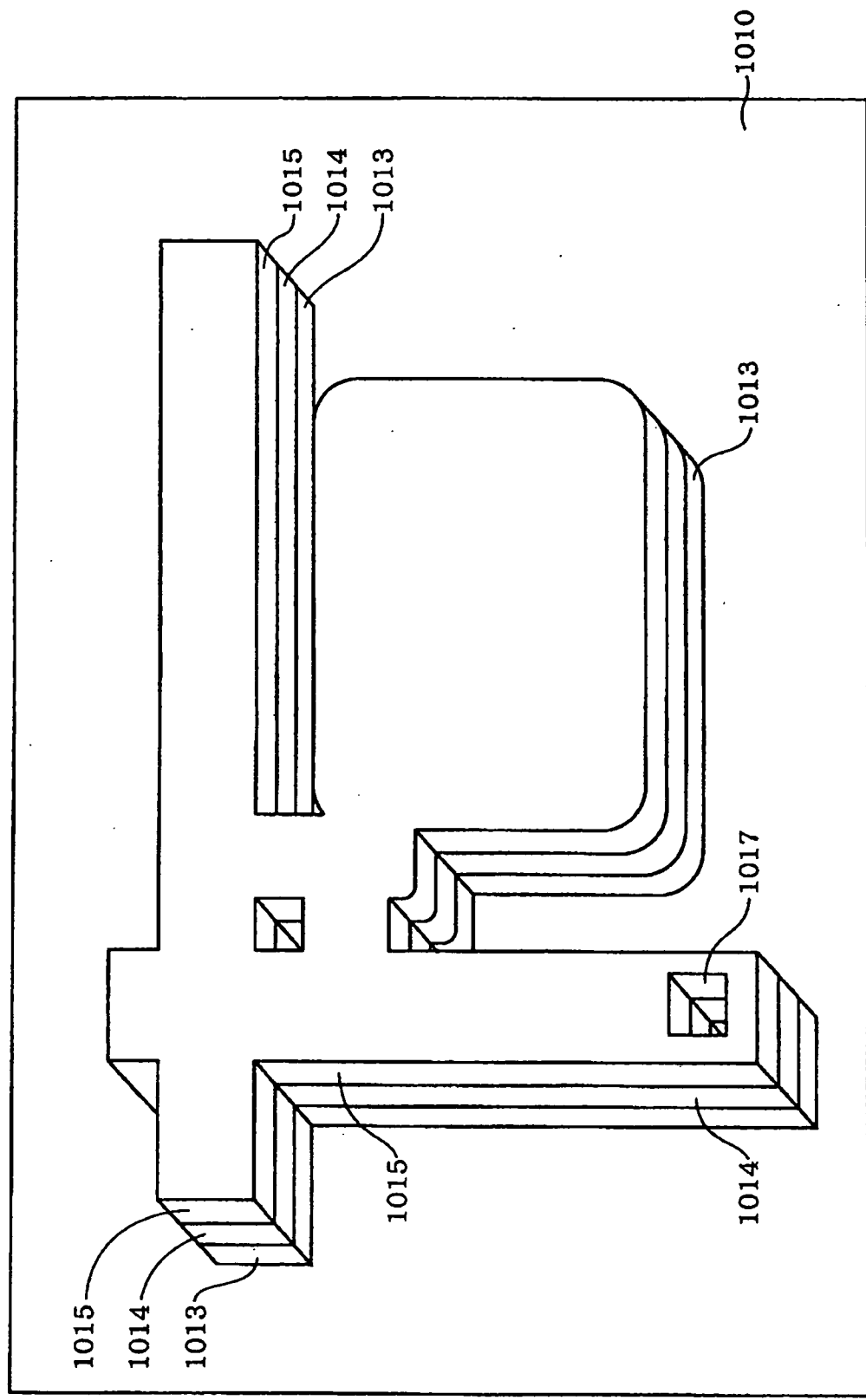


圖16

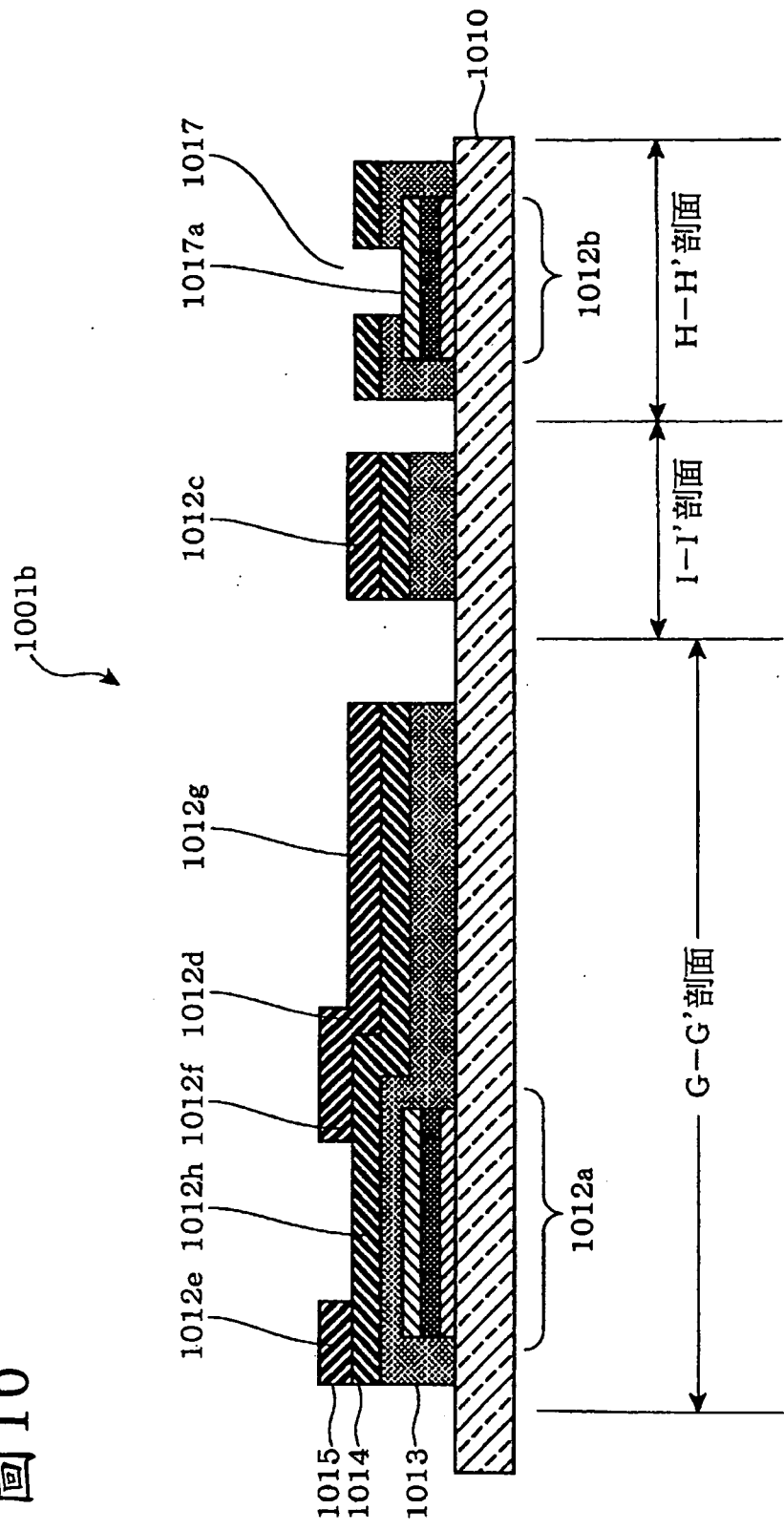


圖19

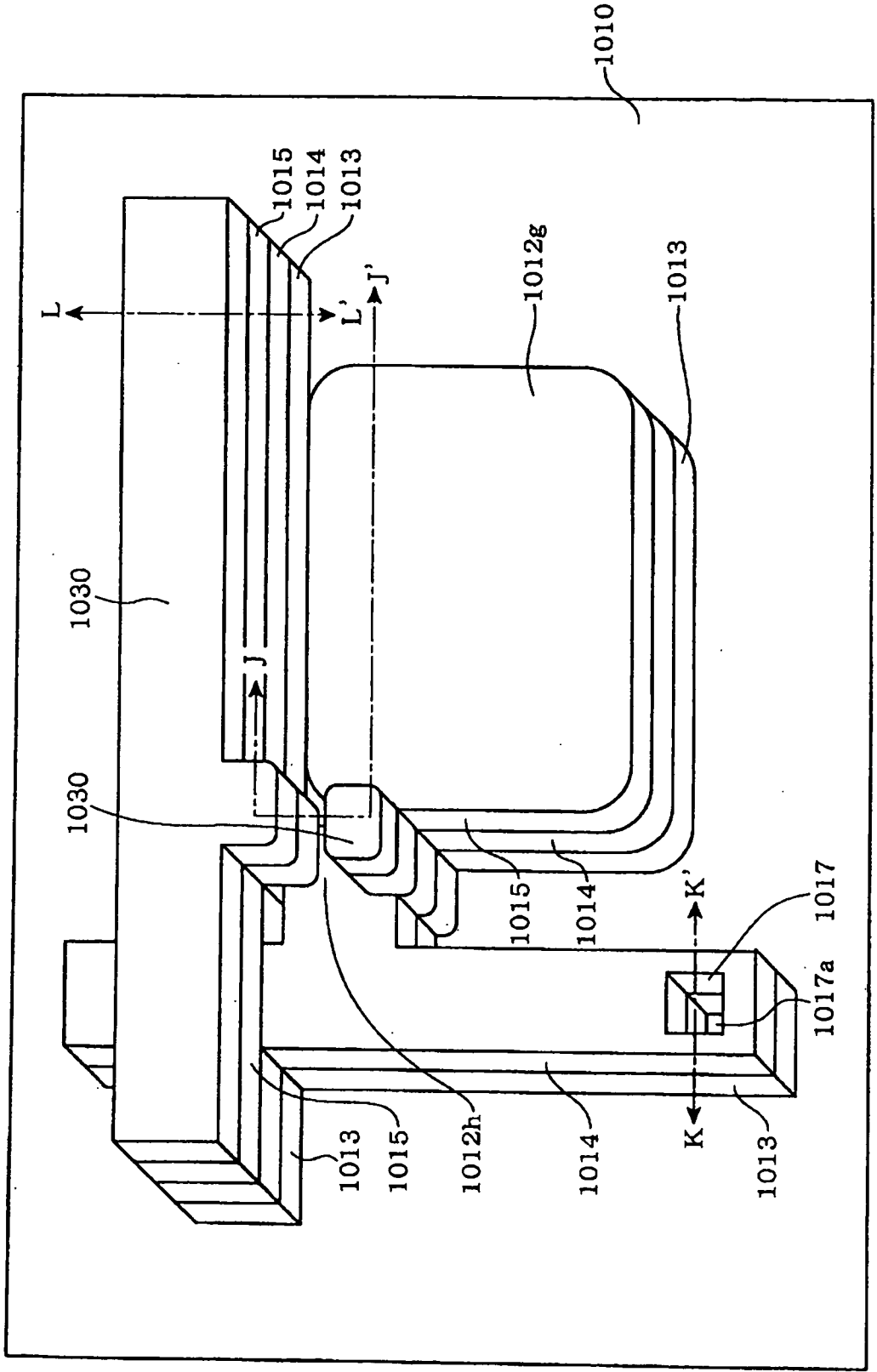


圖 20

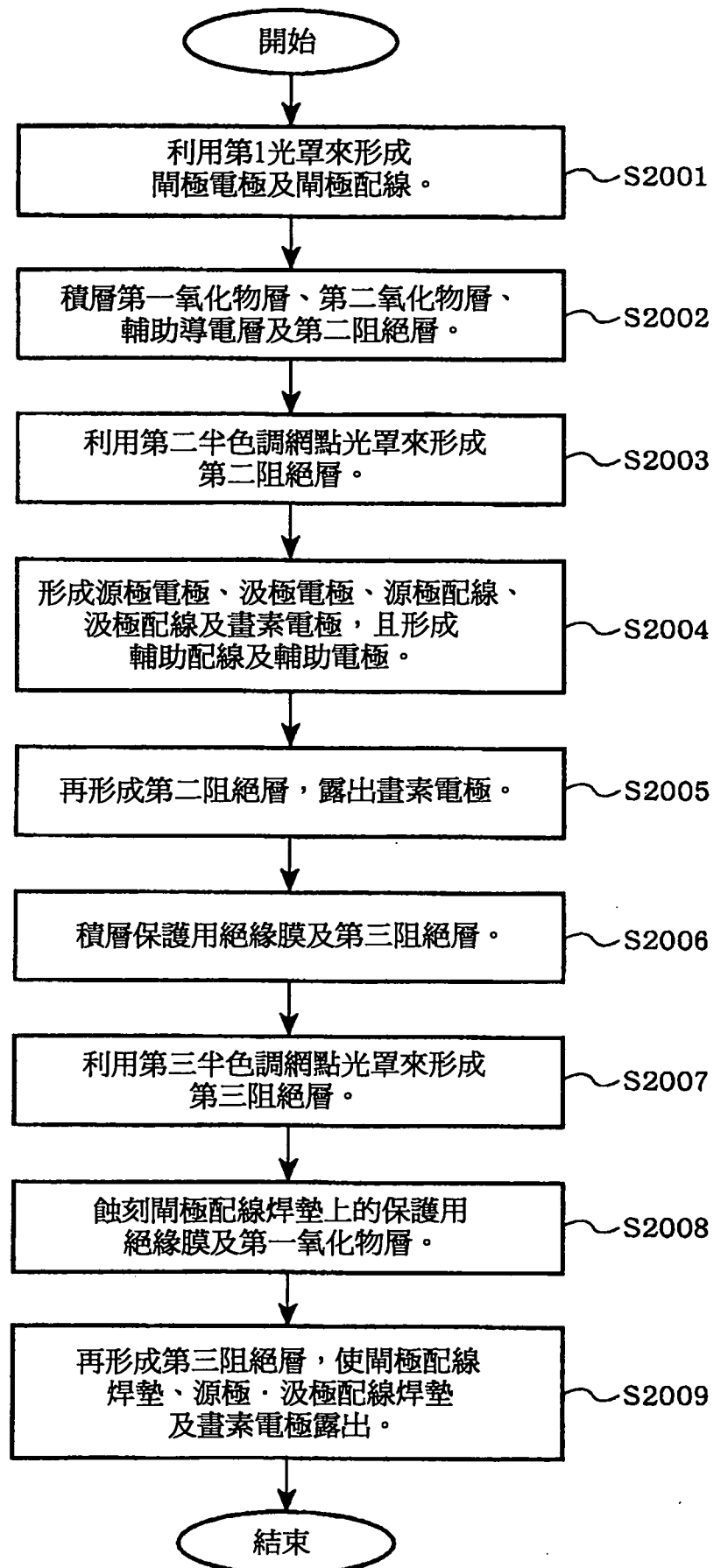


圖21

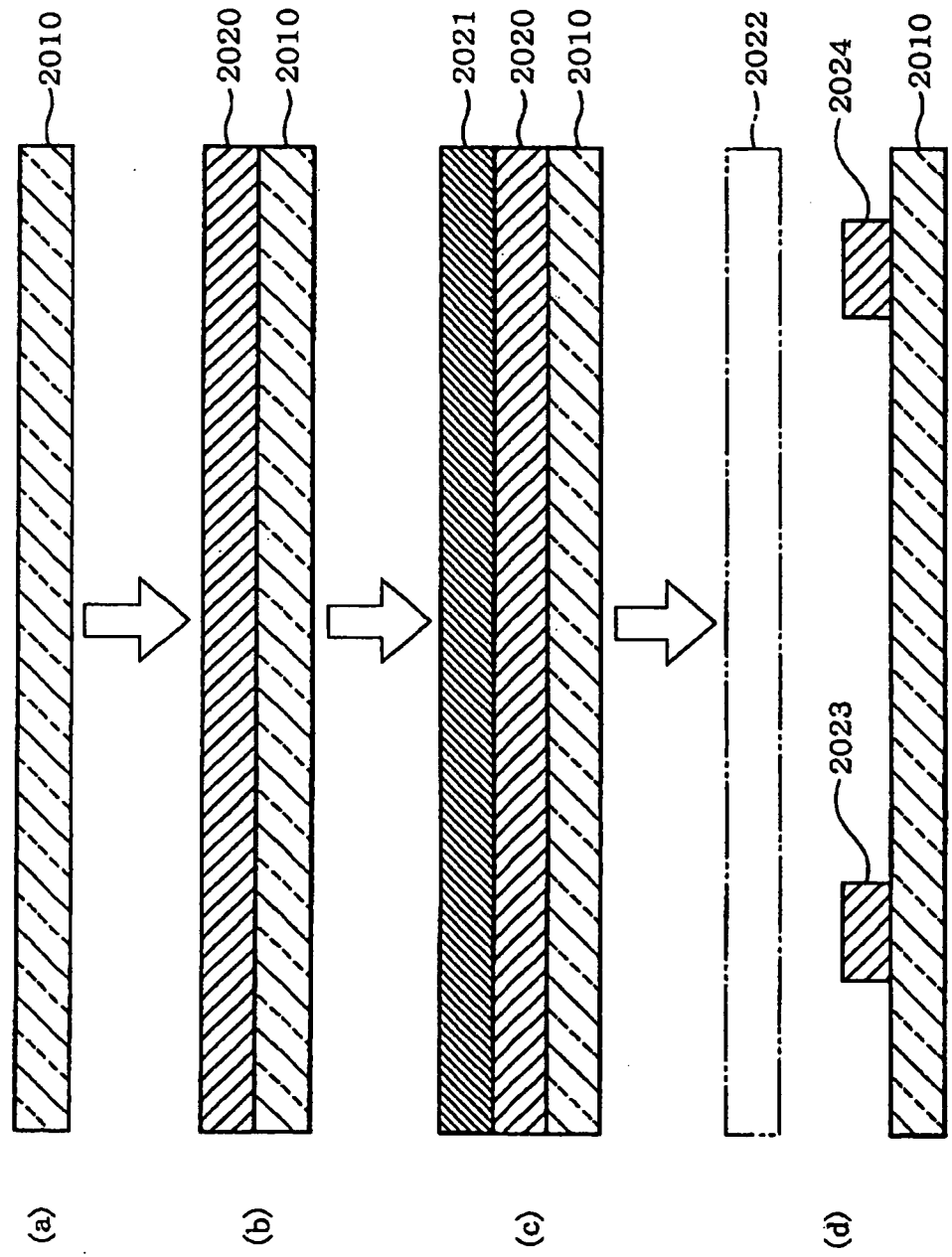


圖 22

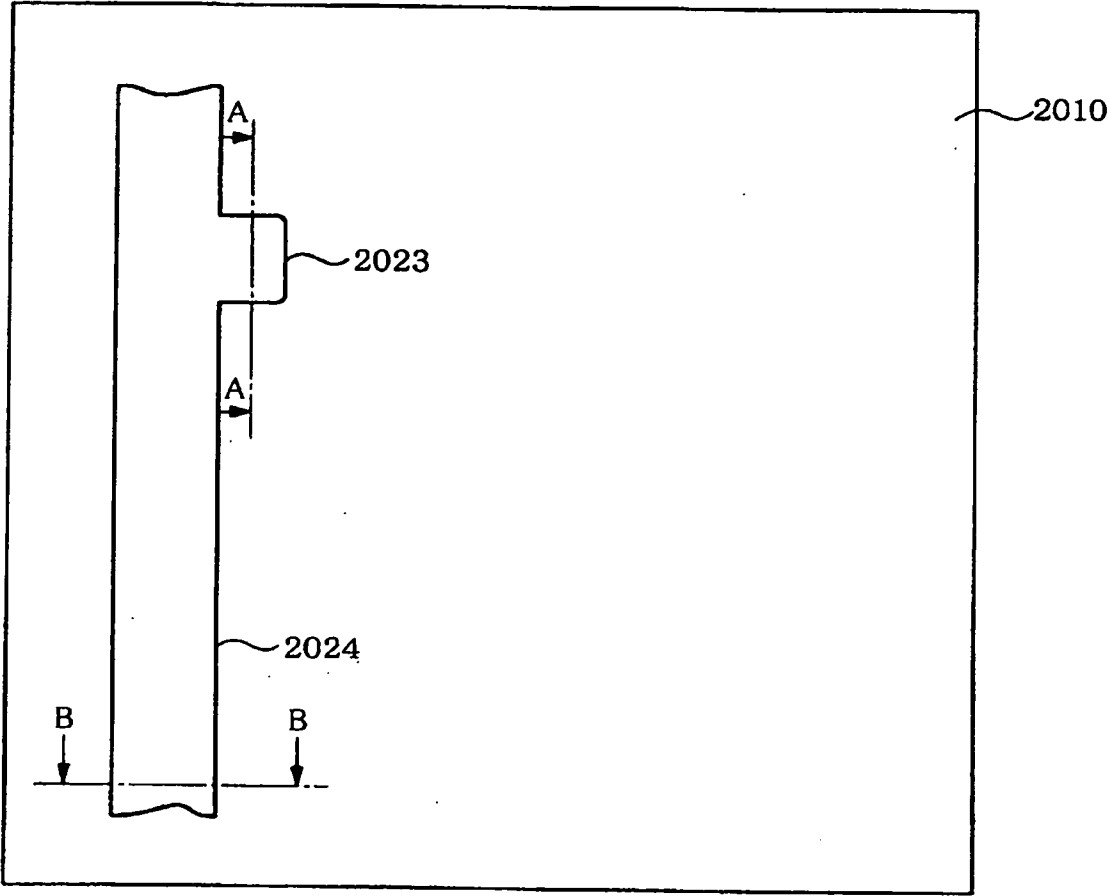
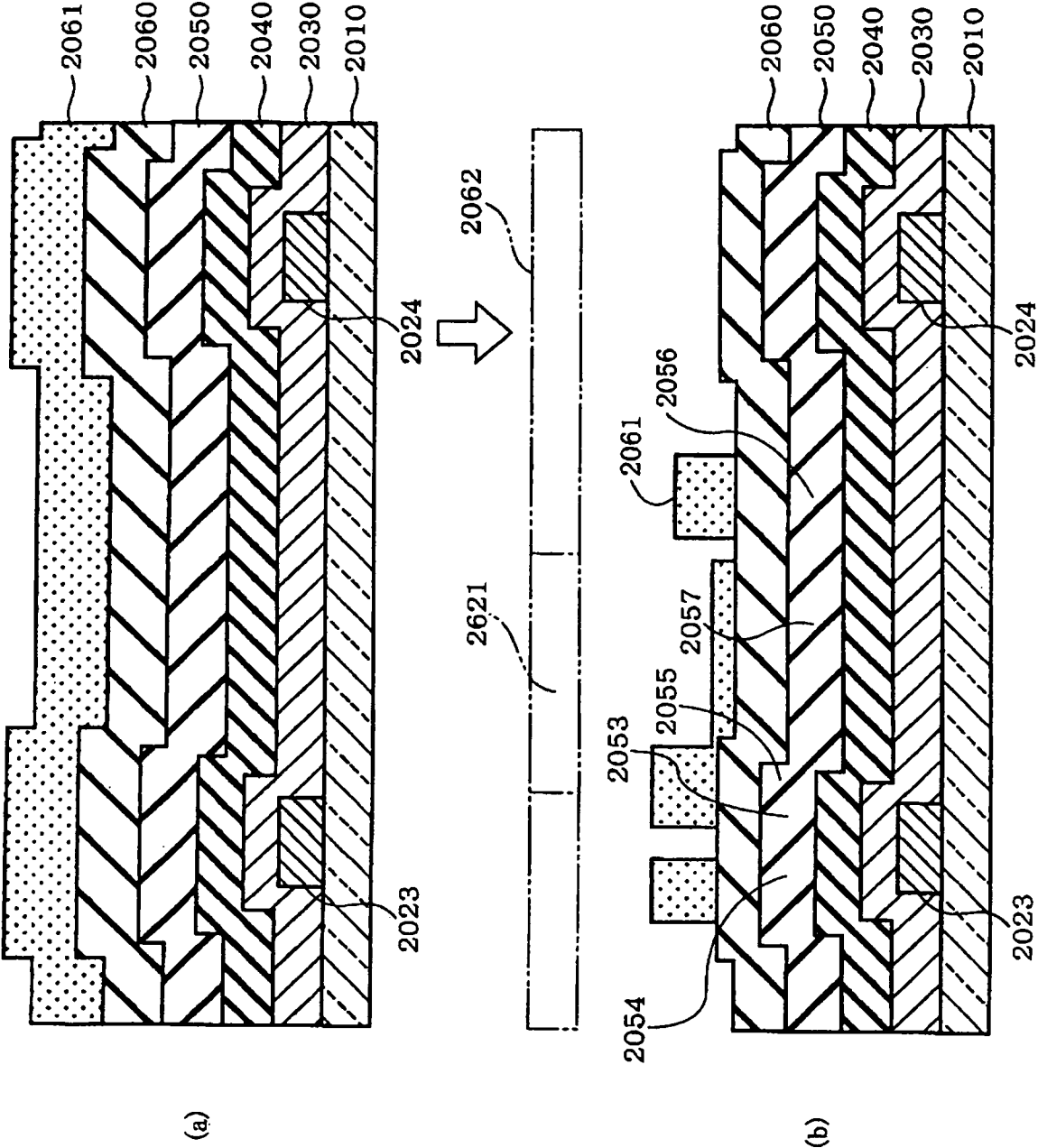


圖 23



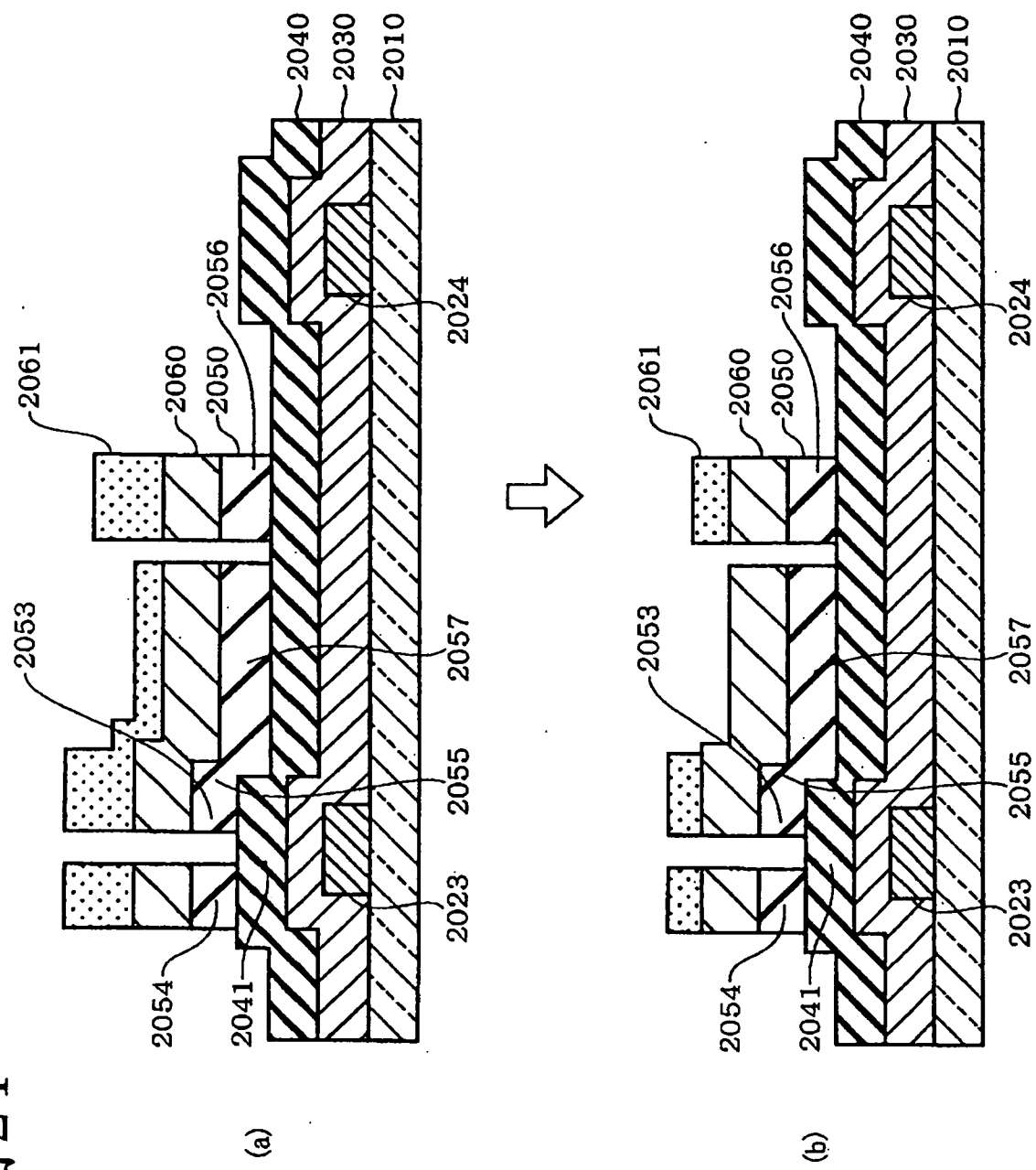


圖25

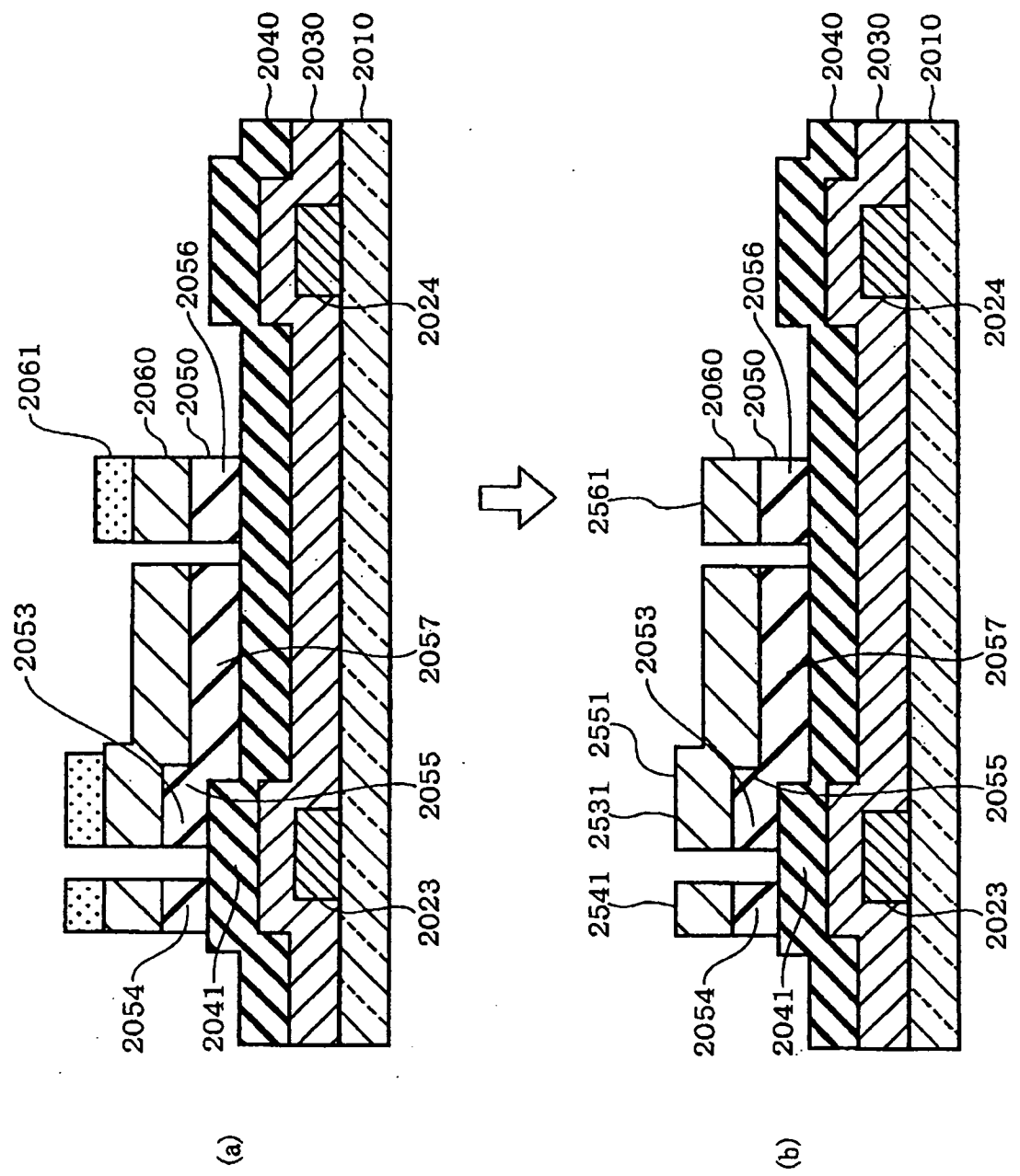
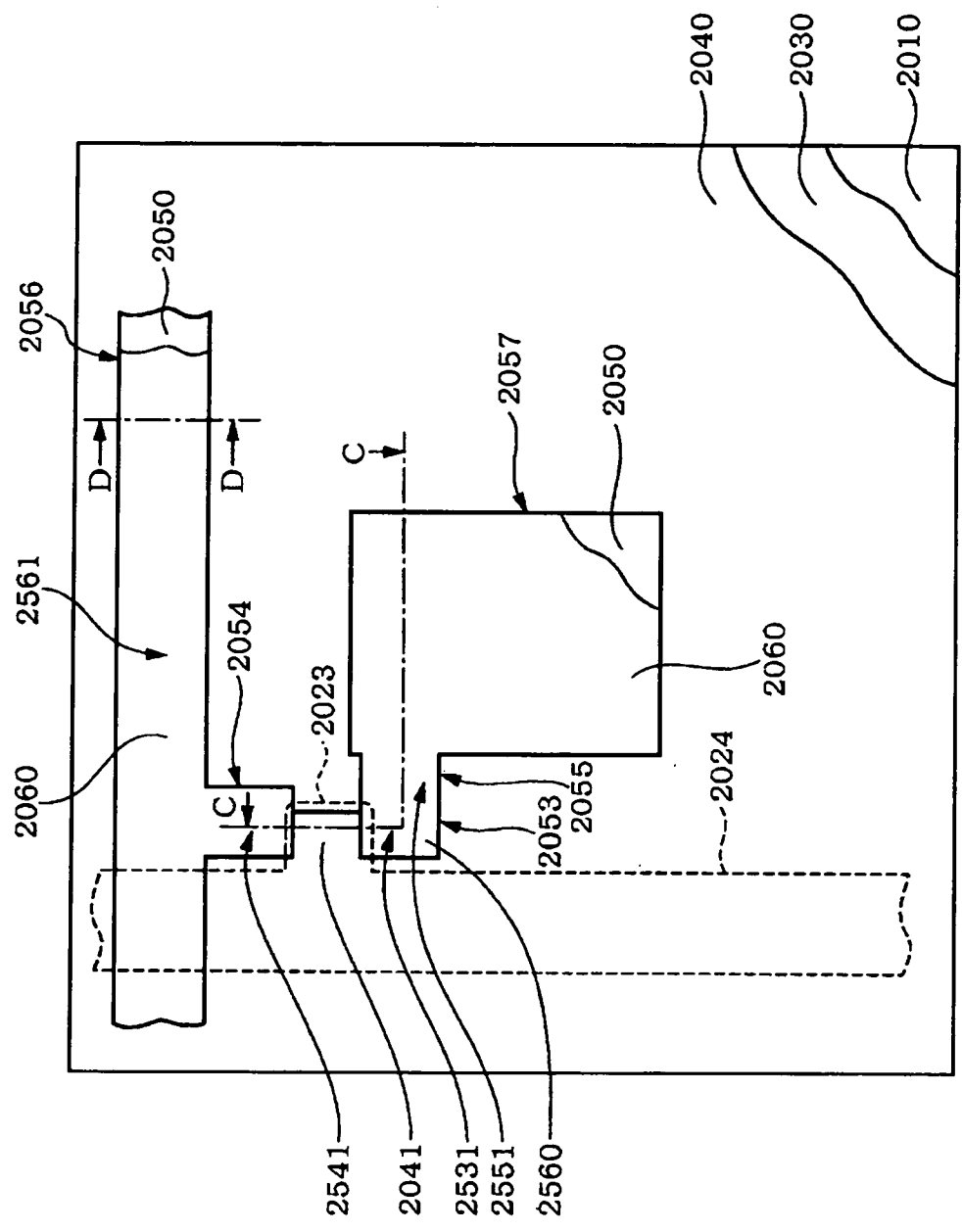


圖 26



62 年 7 月 日修正替換

圖27

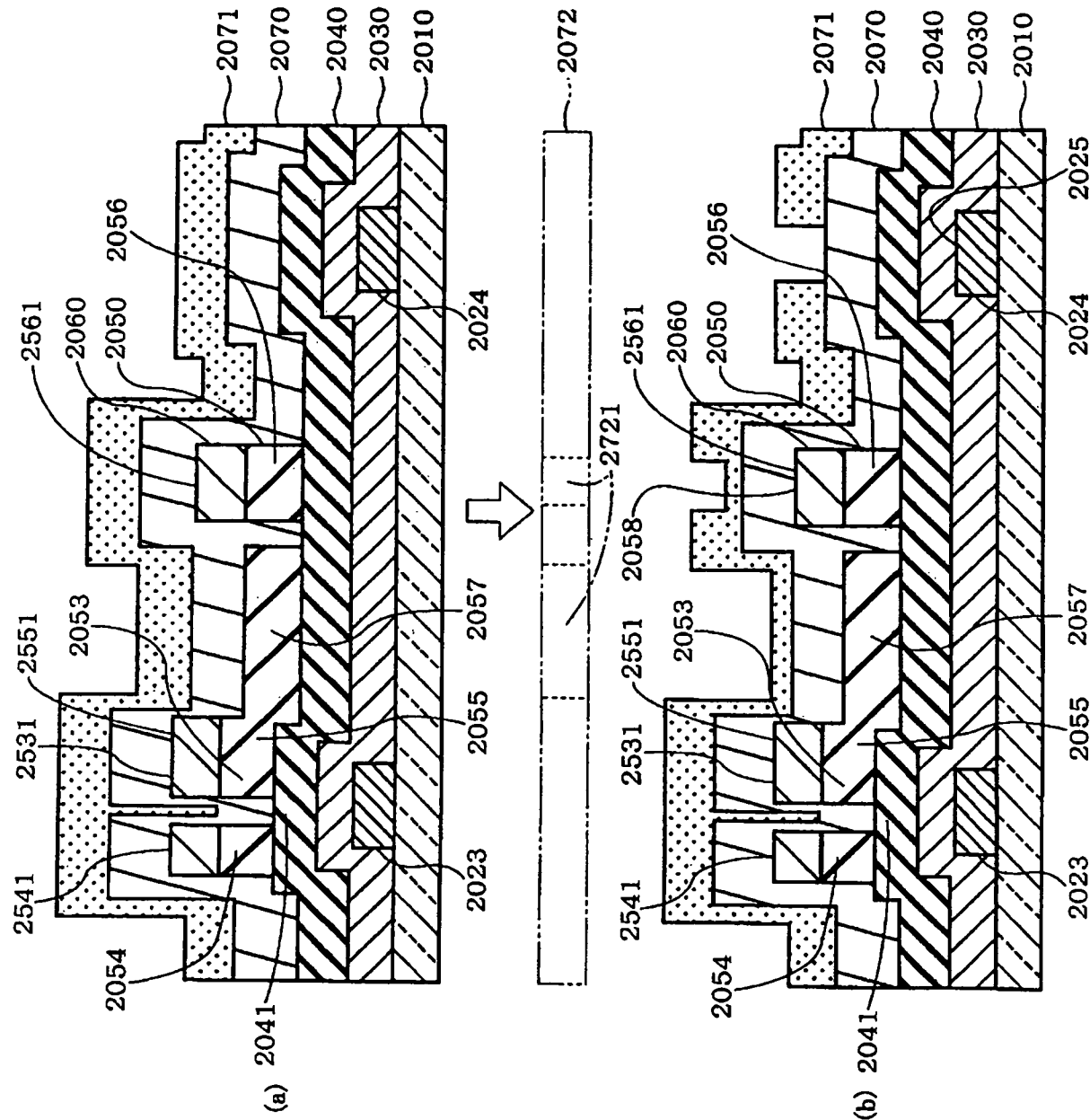


圖28

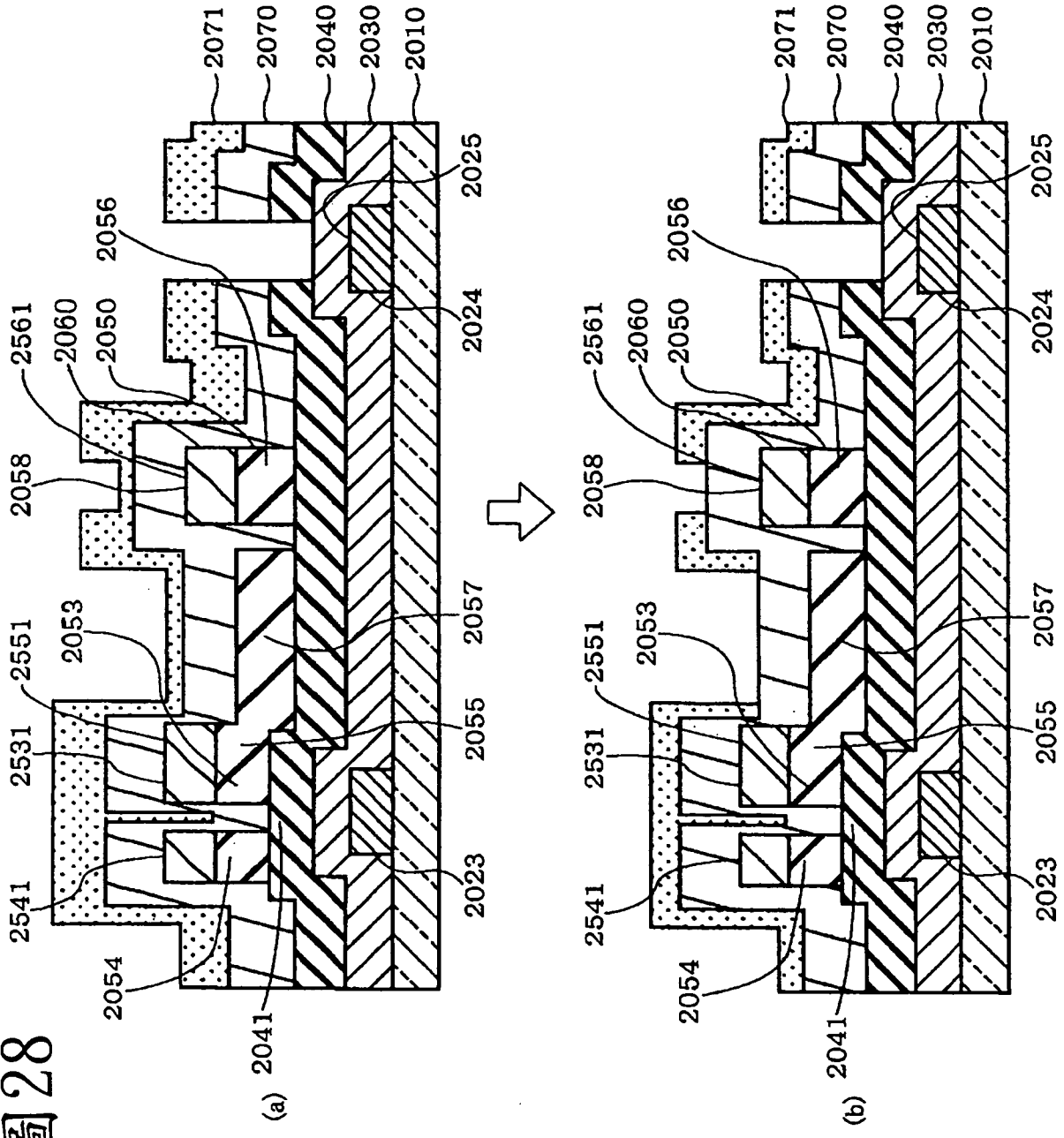


圖 29

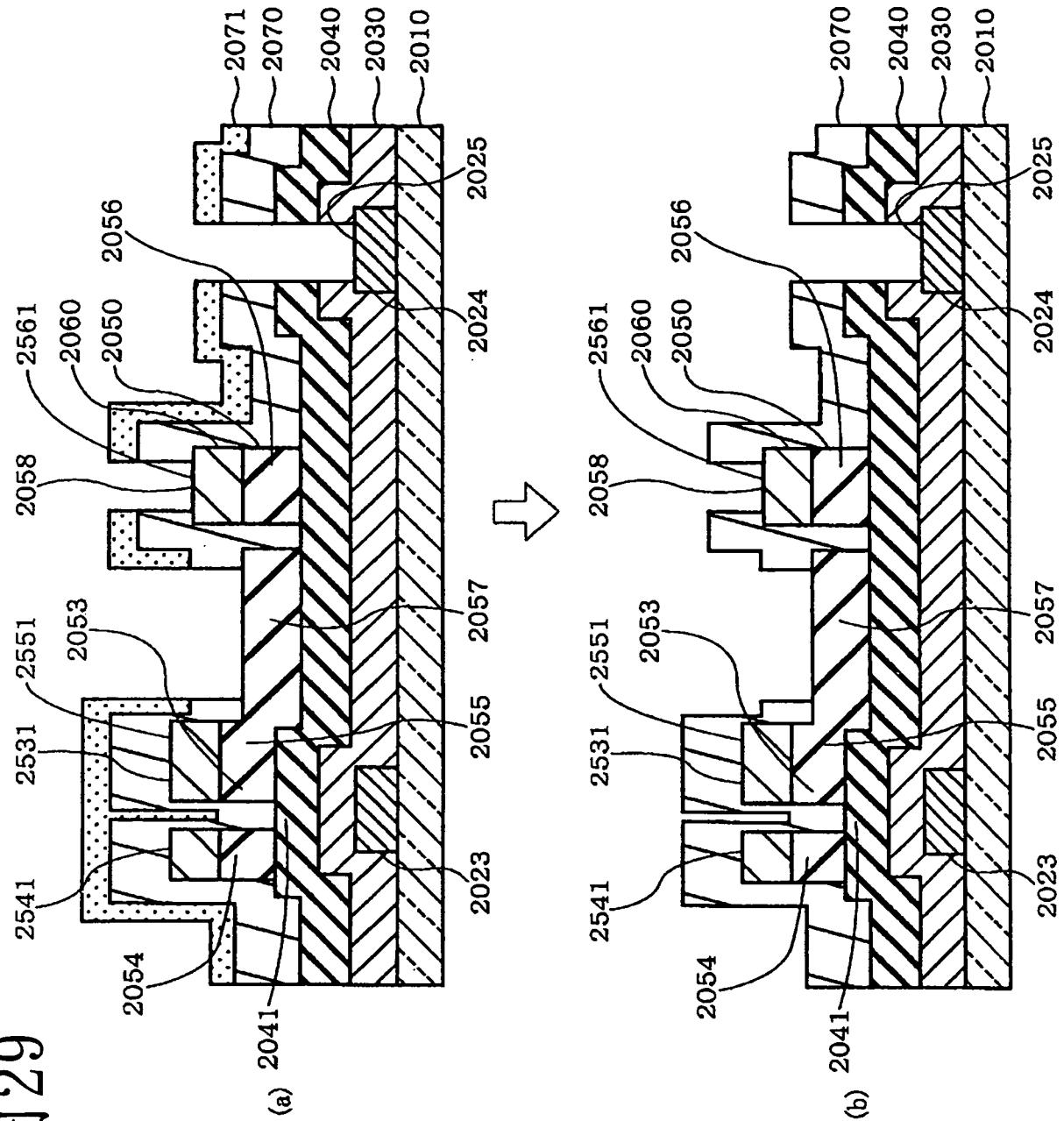


圖30

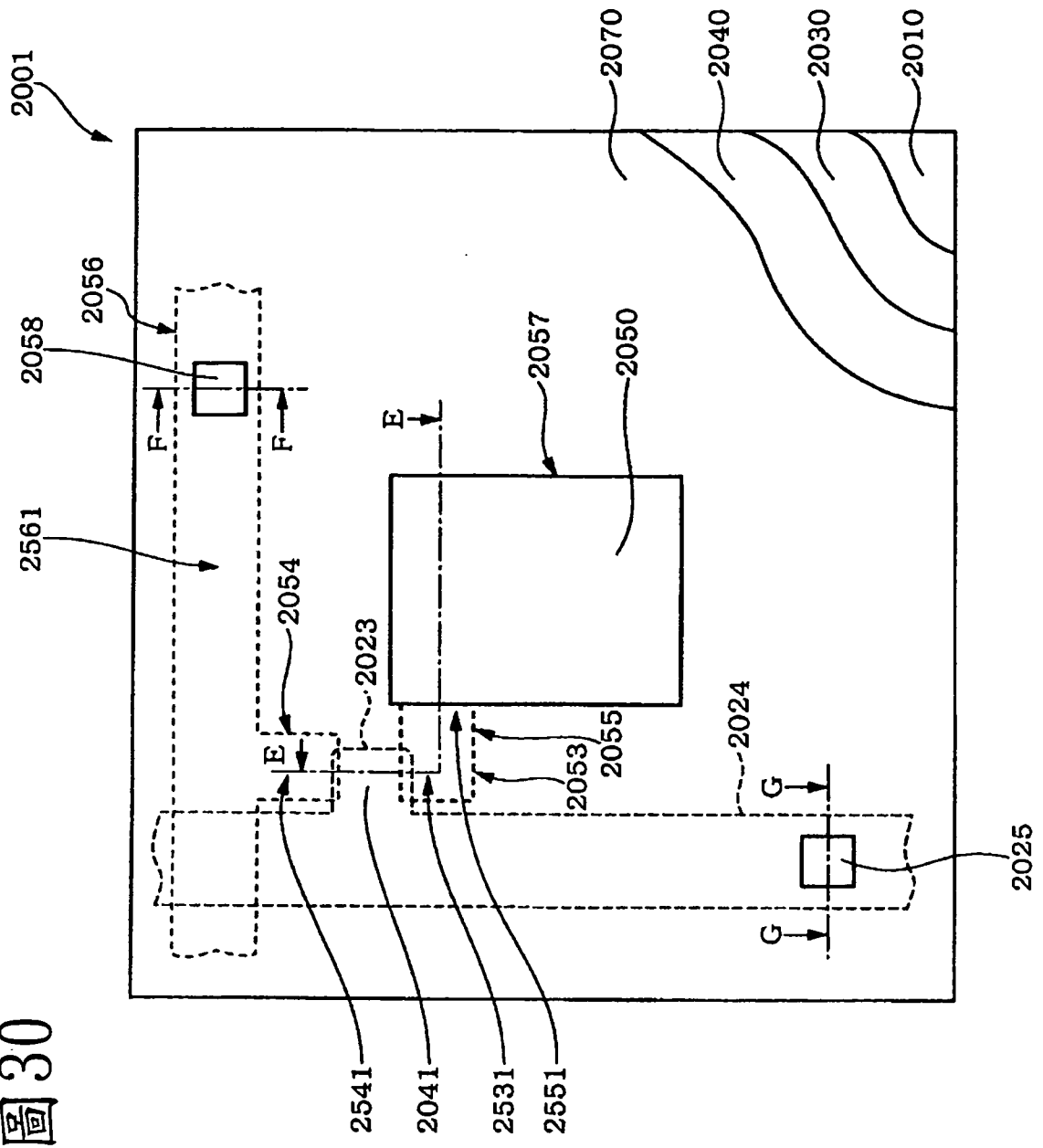


圖 31

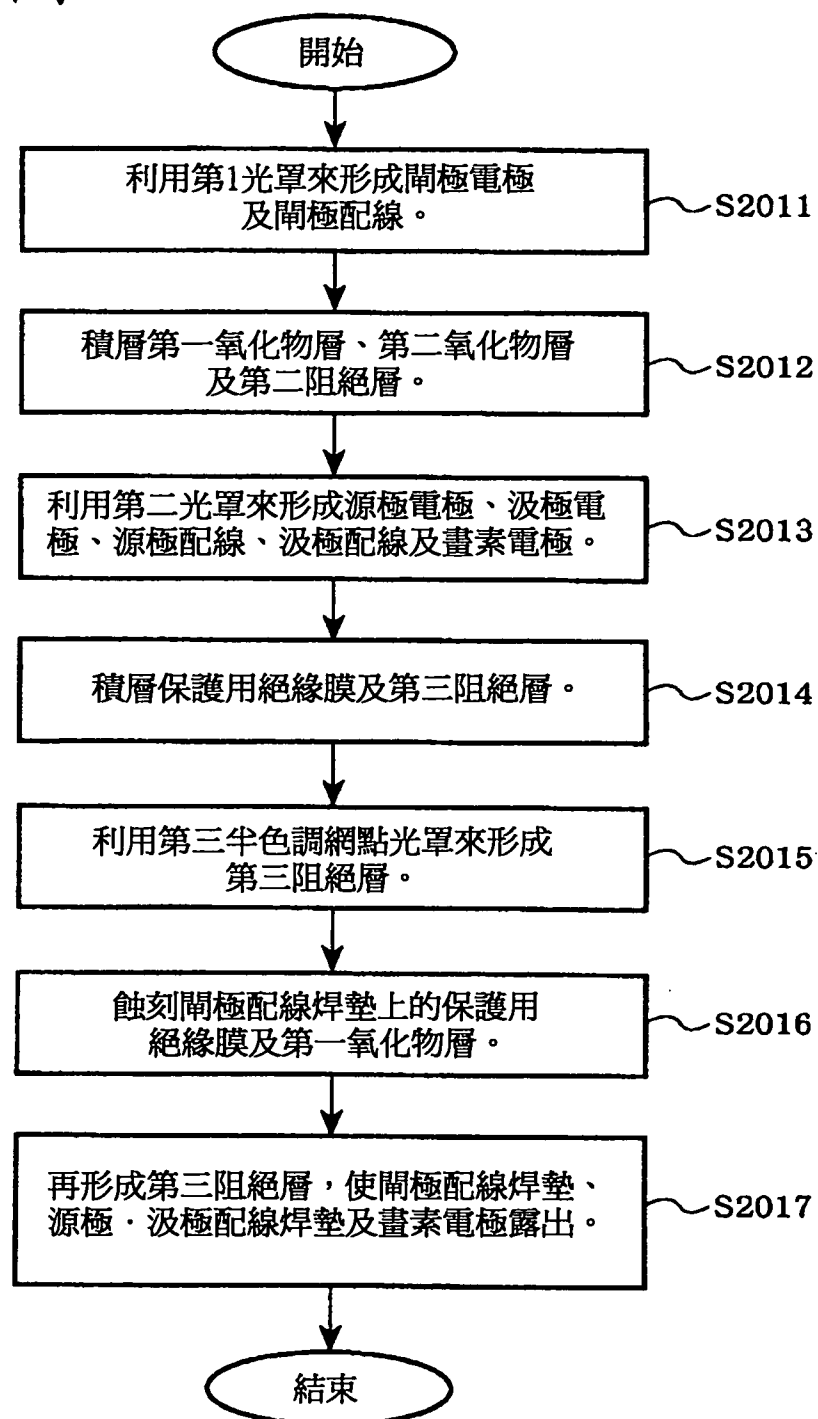
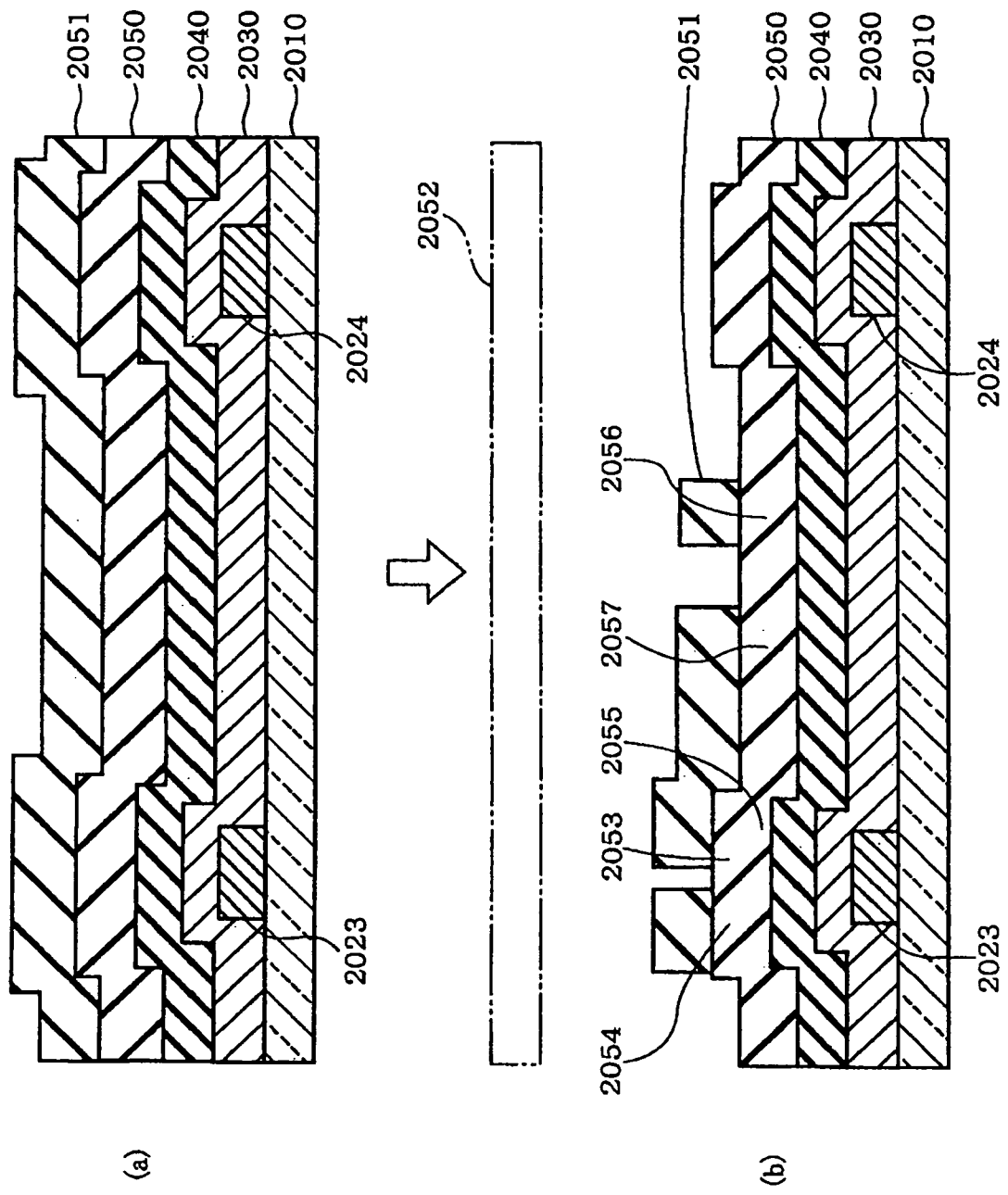
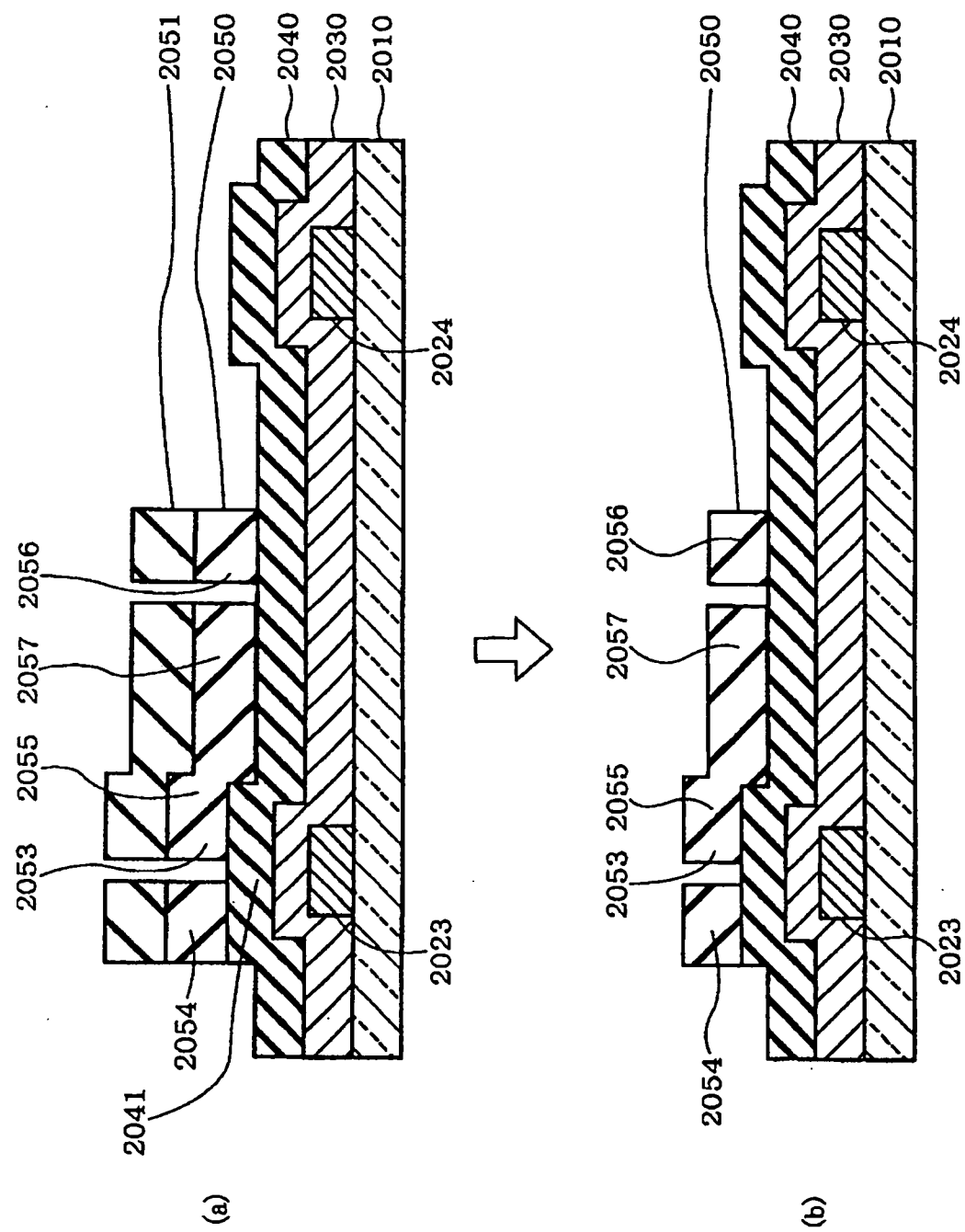


圖32



33



35

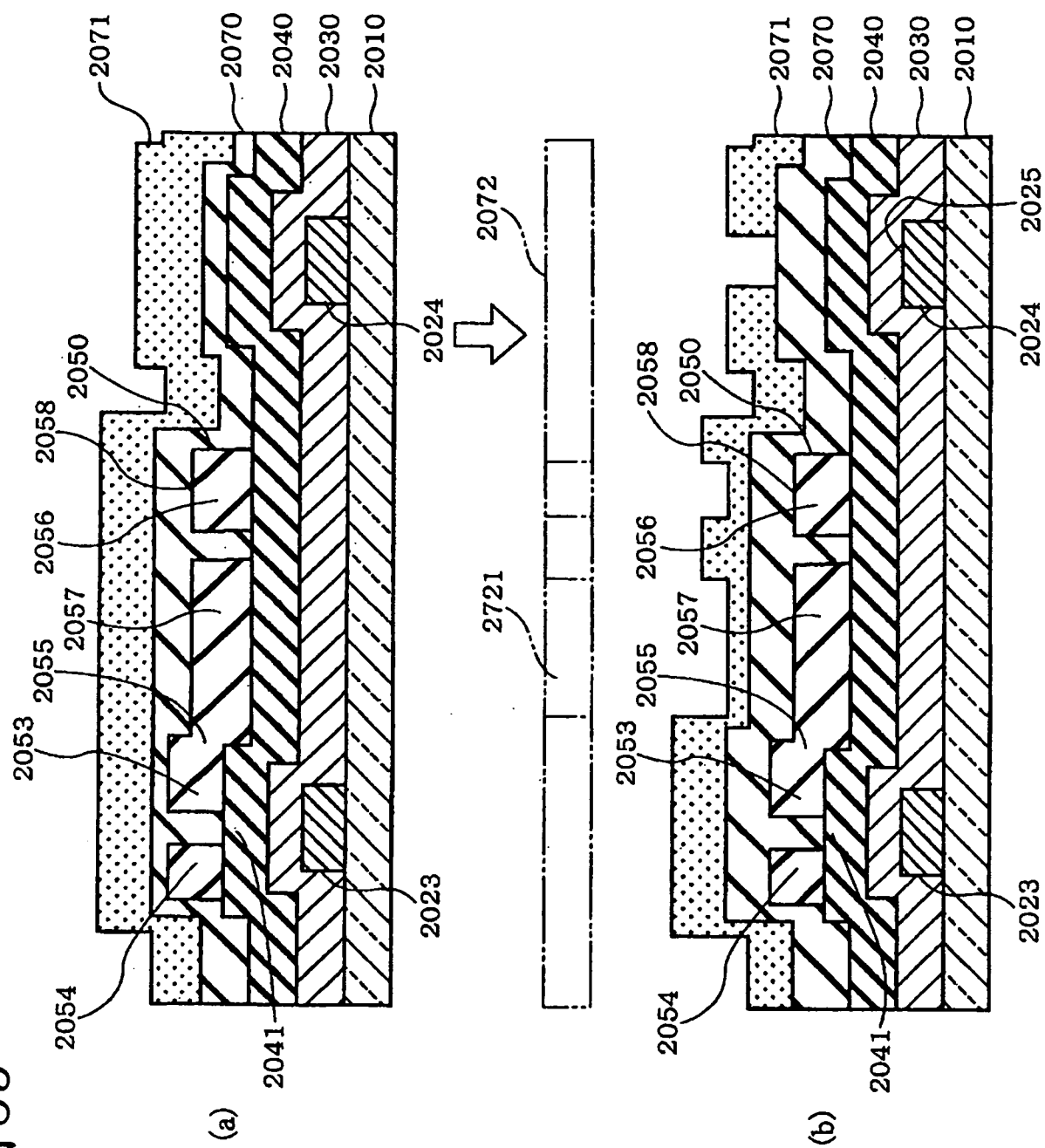


圖36

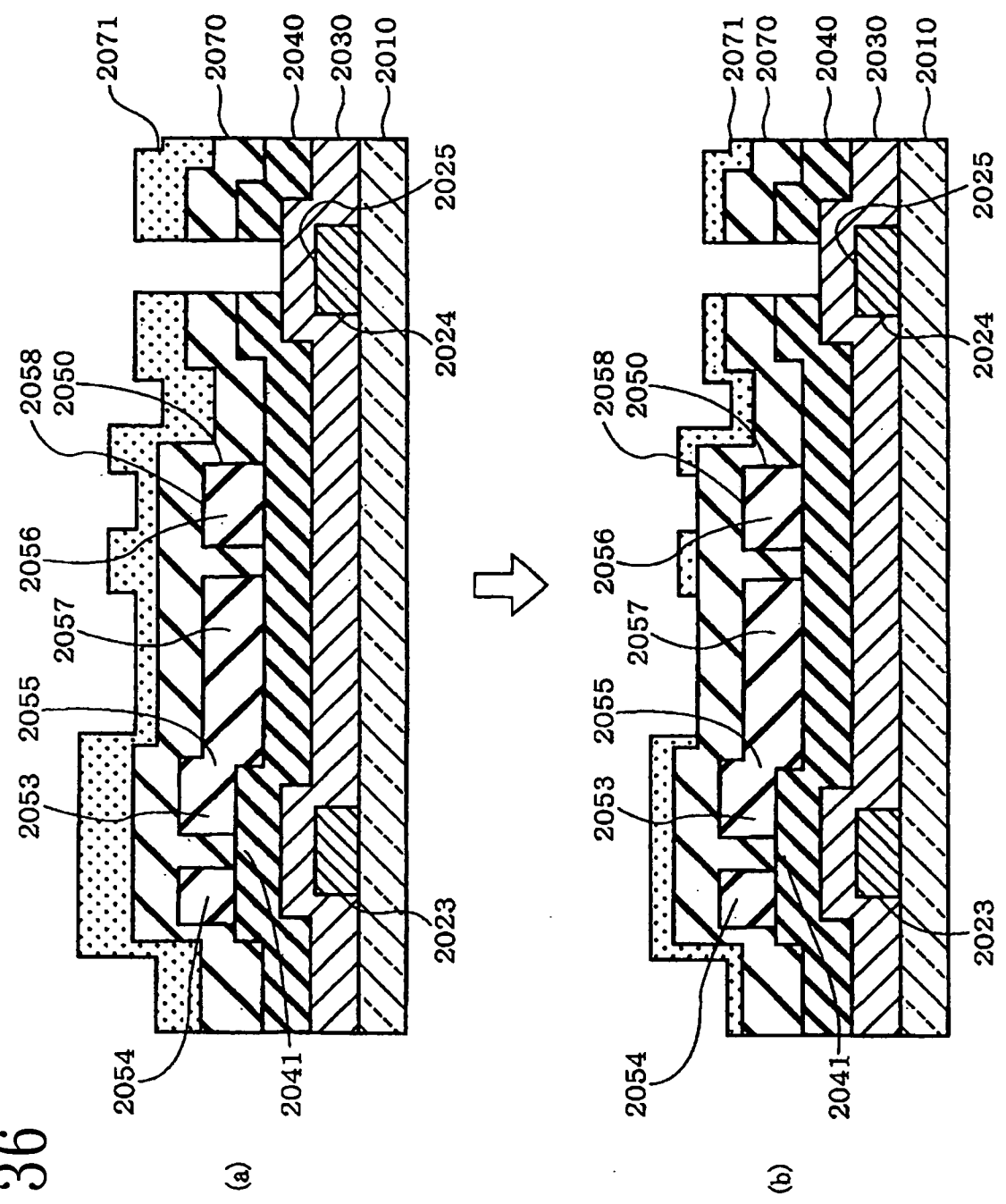


圖38

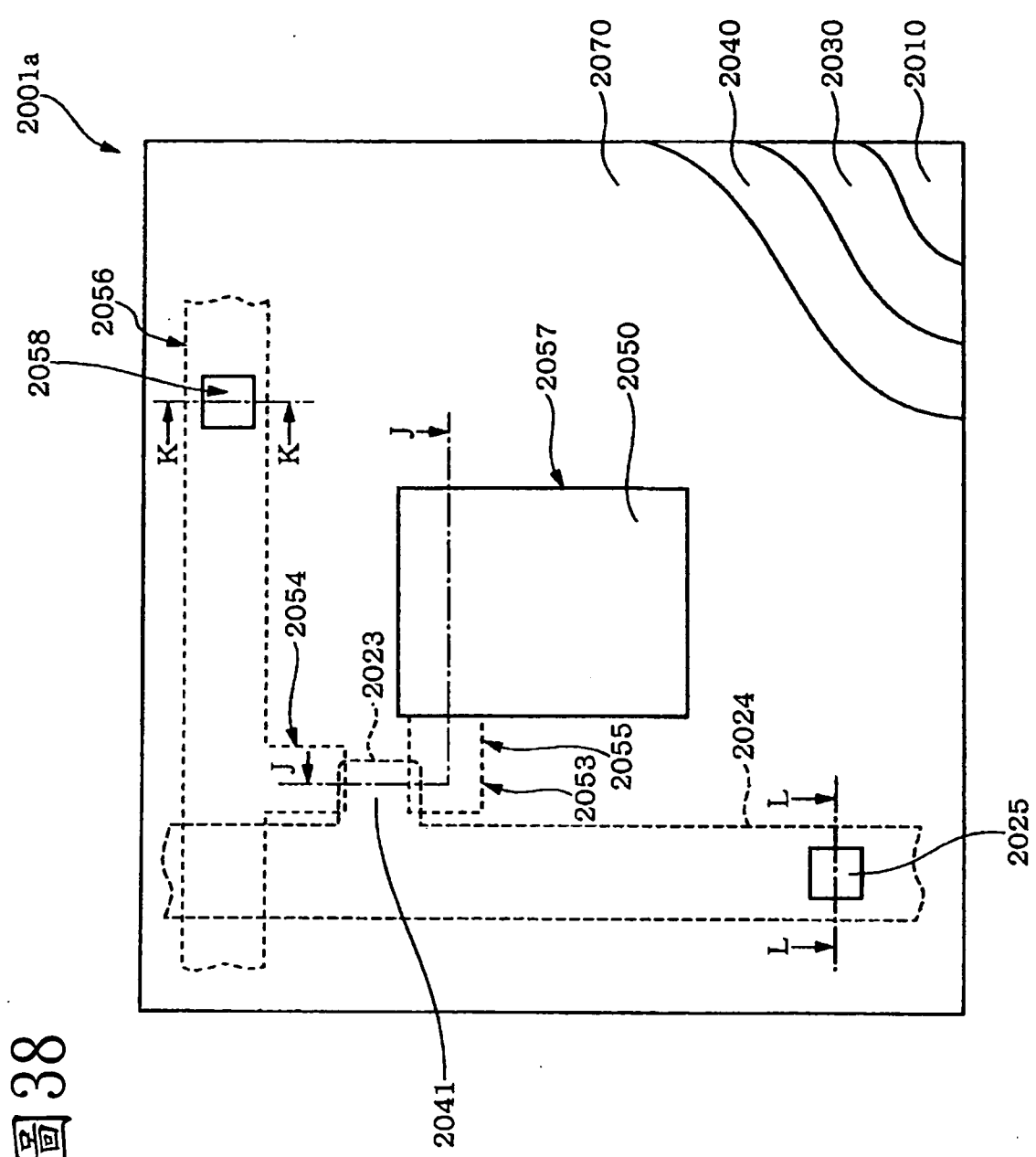


圖 39

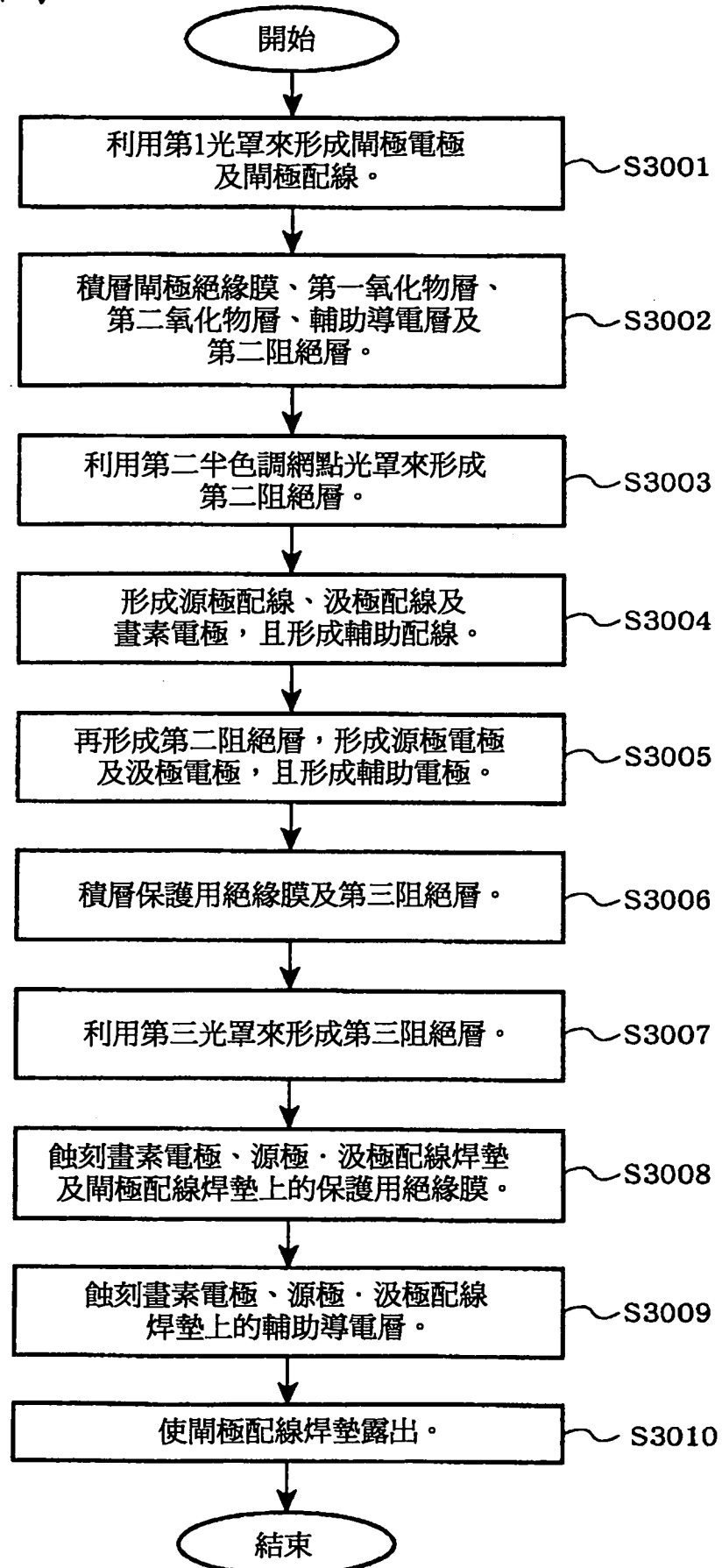


圖 40

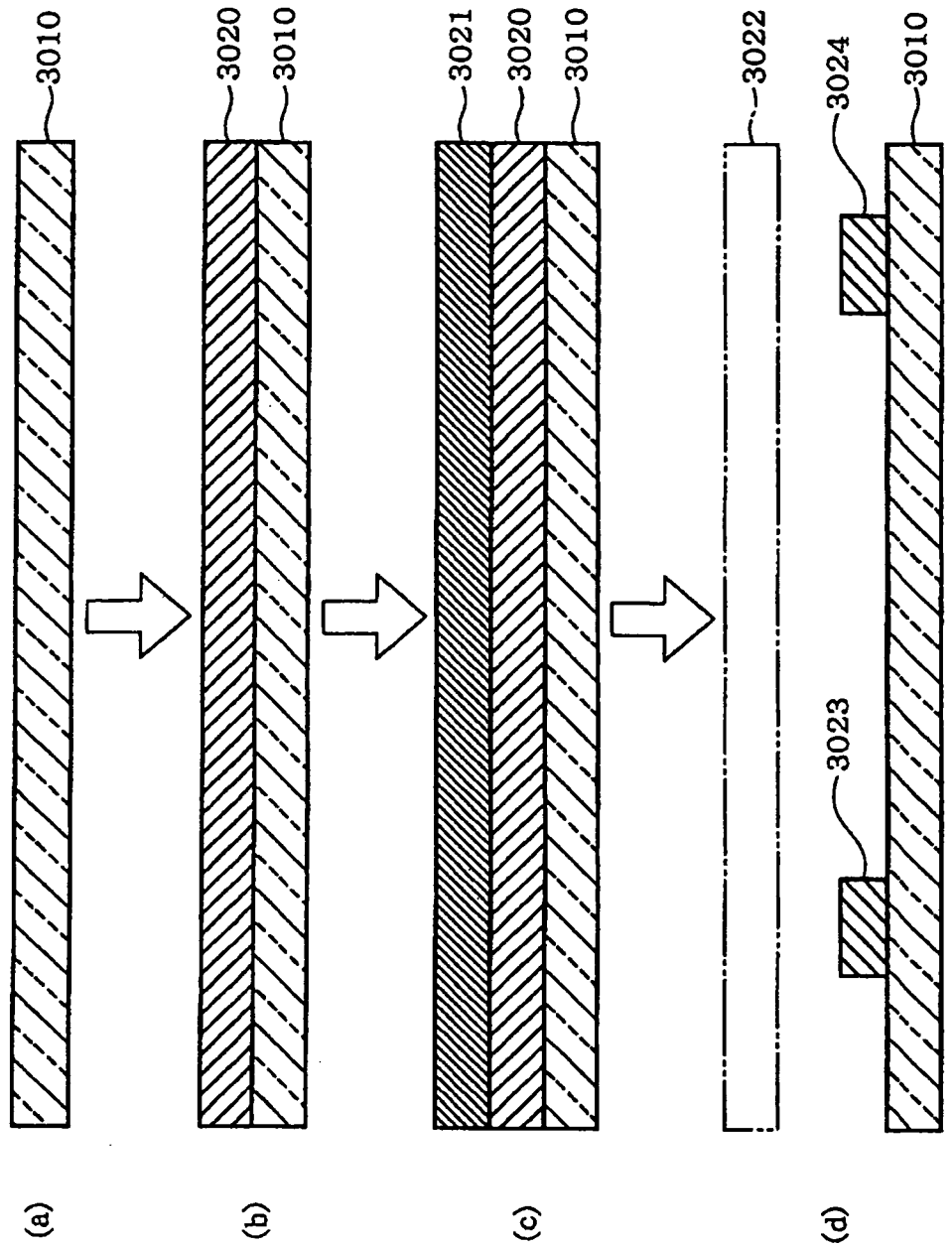


圖 41

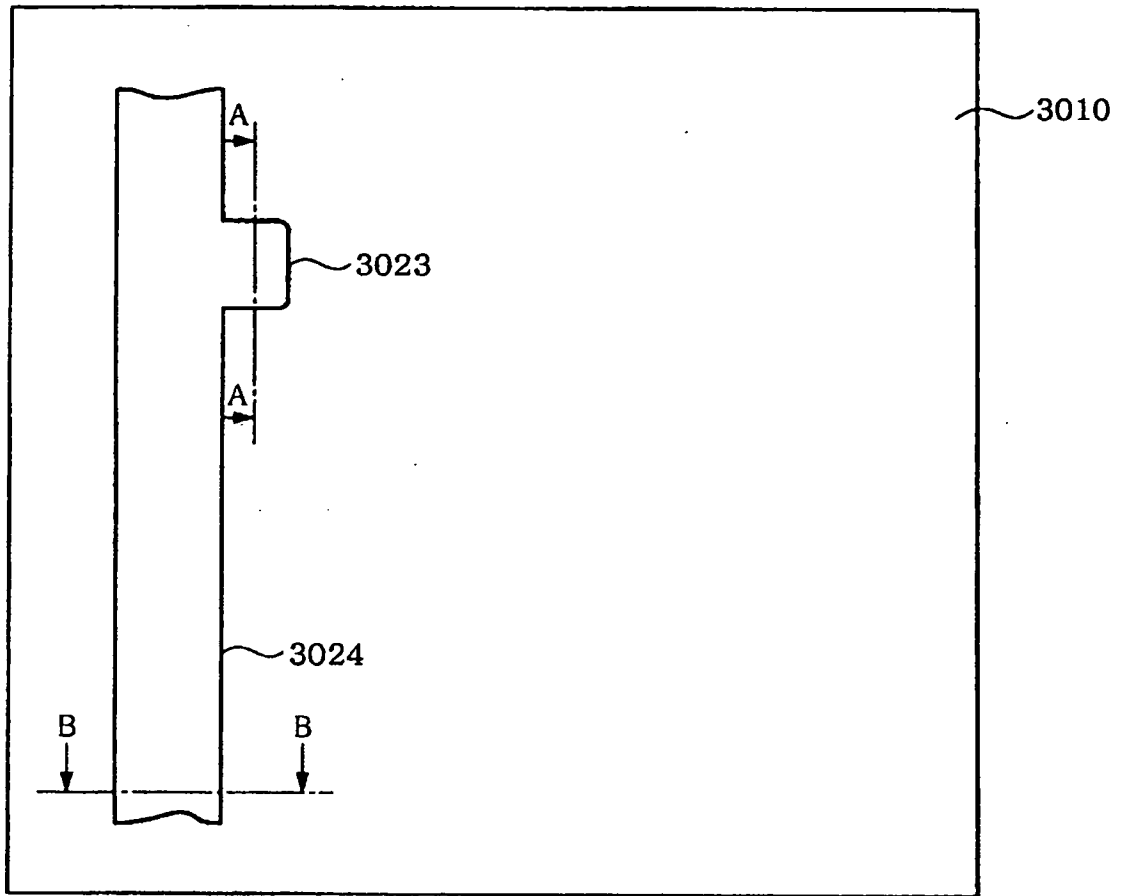


圖 43

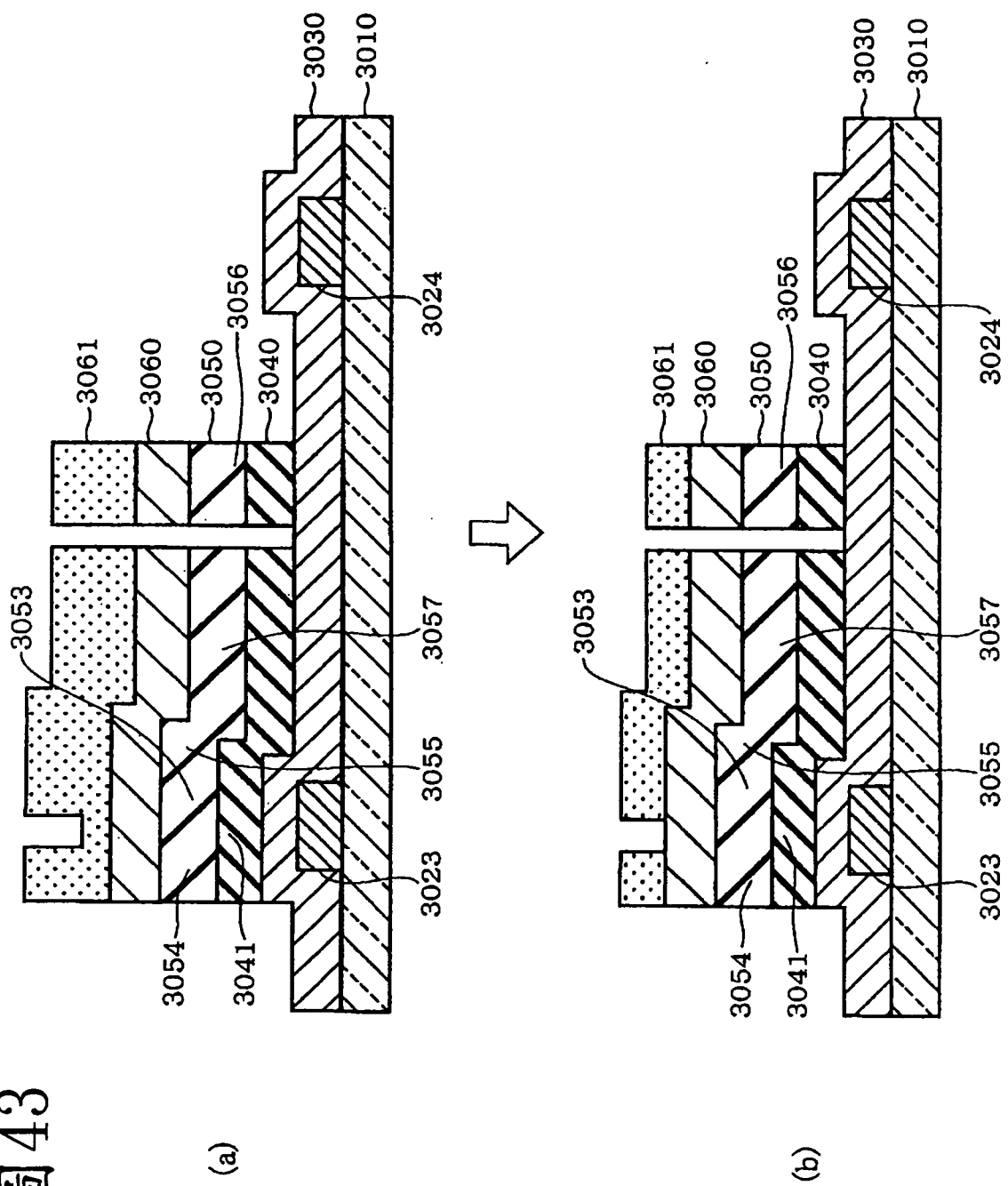


圖 44

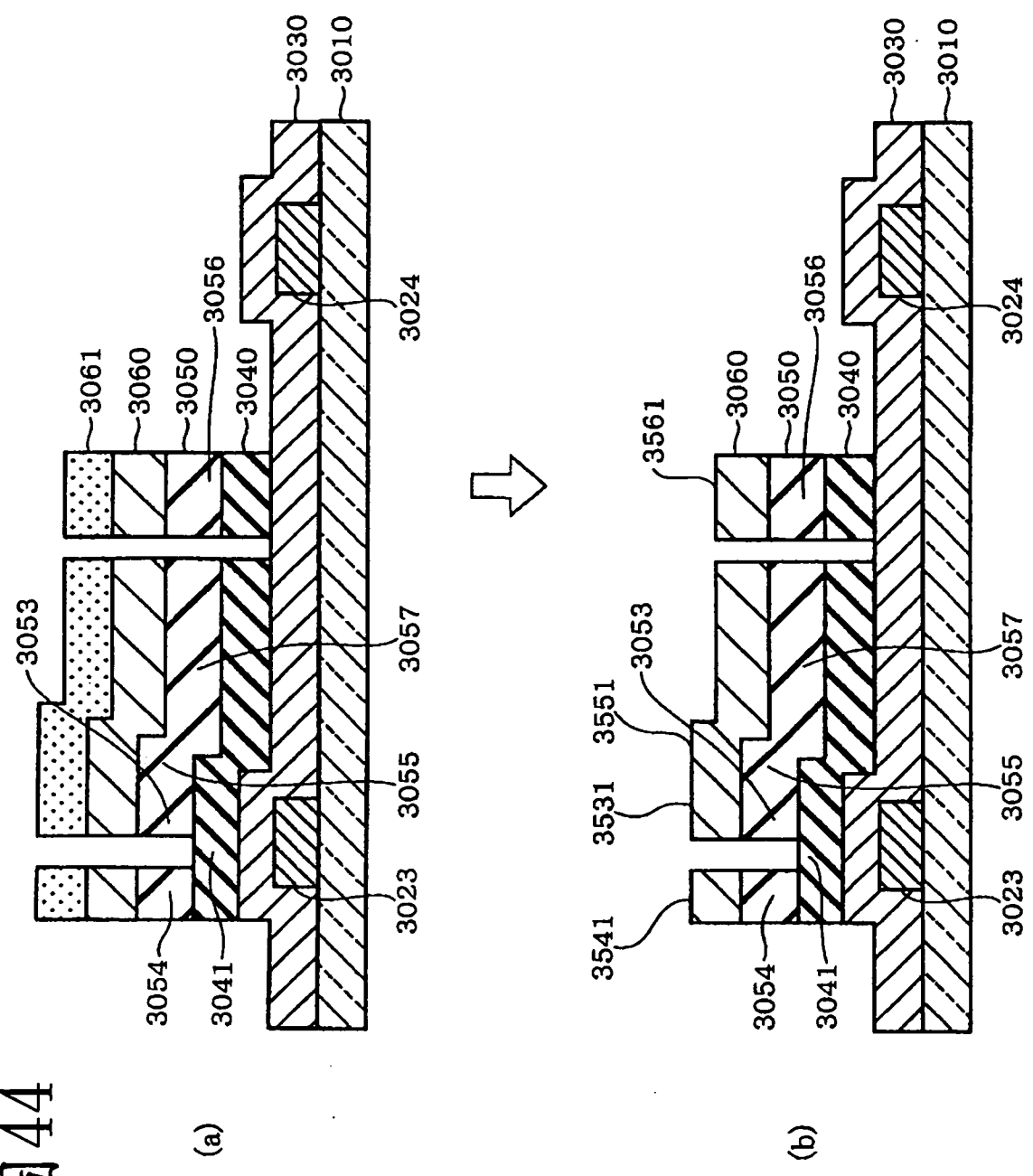


圖46

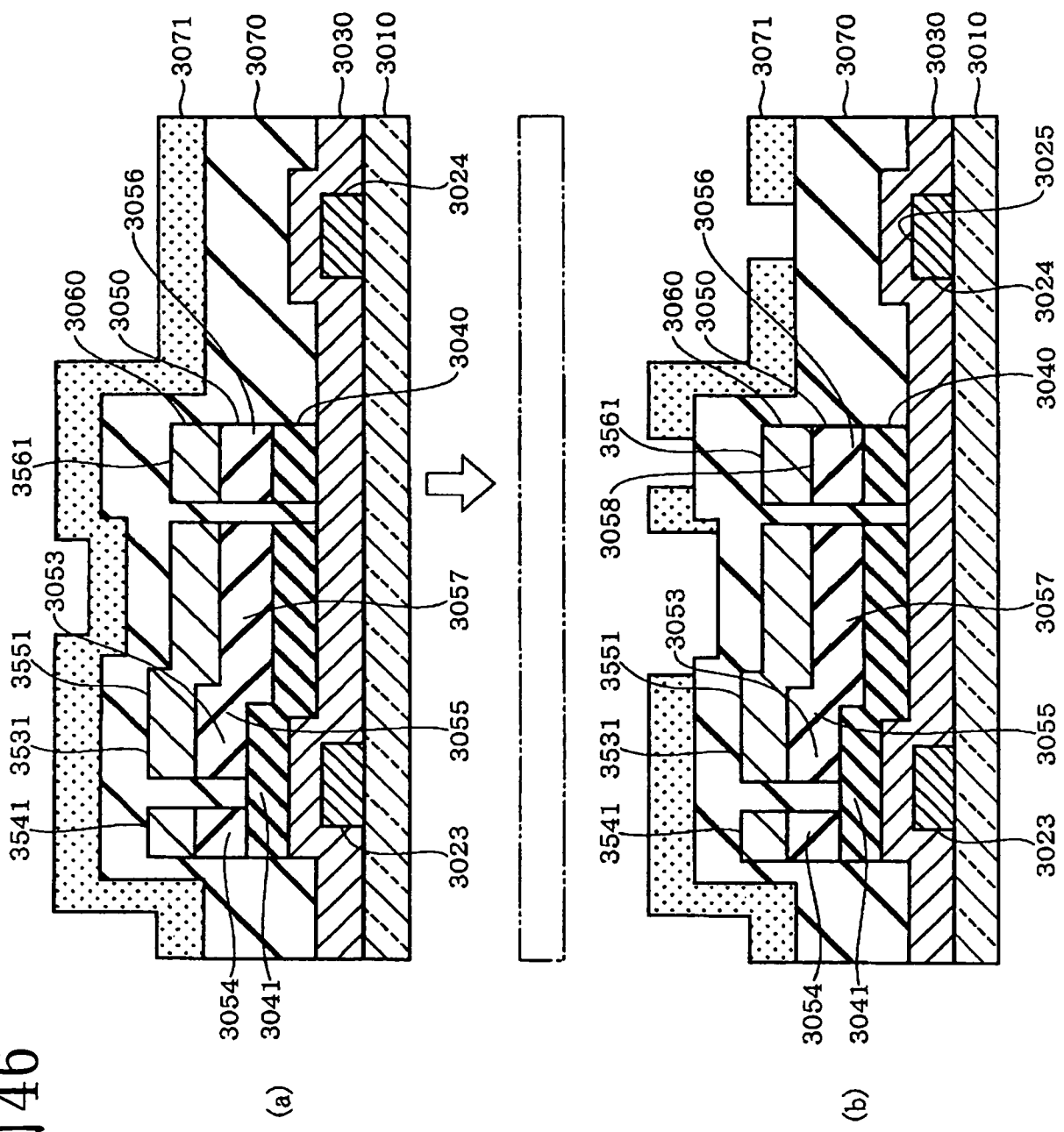
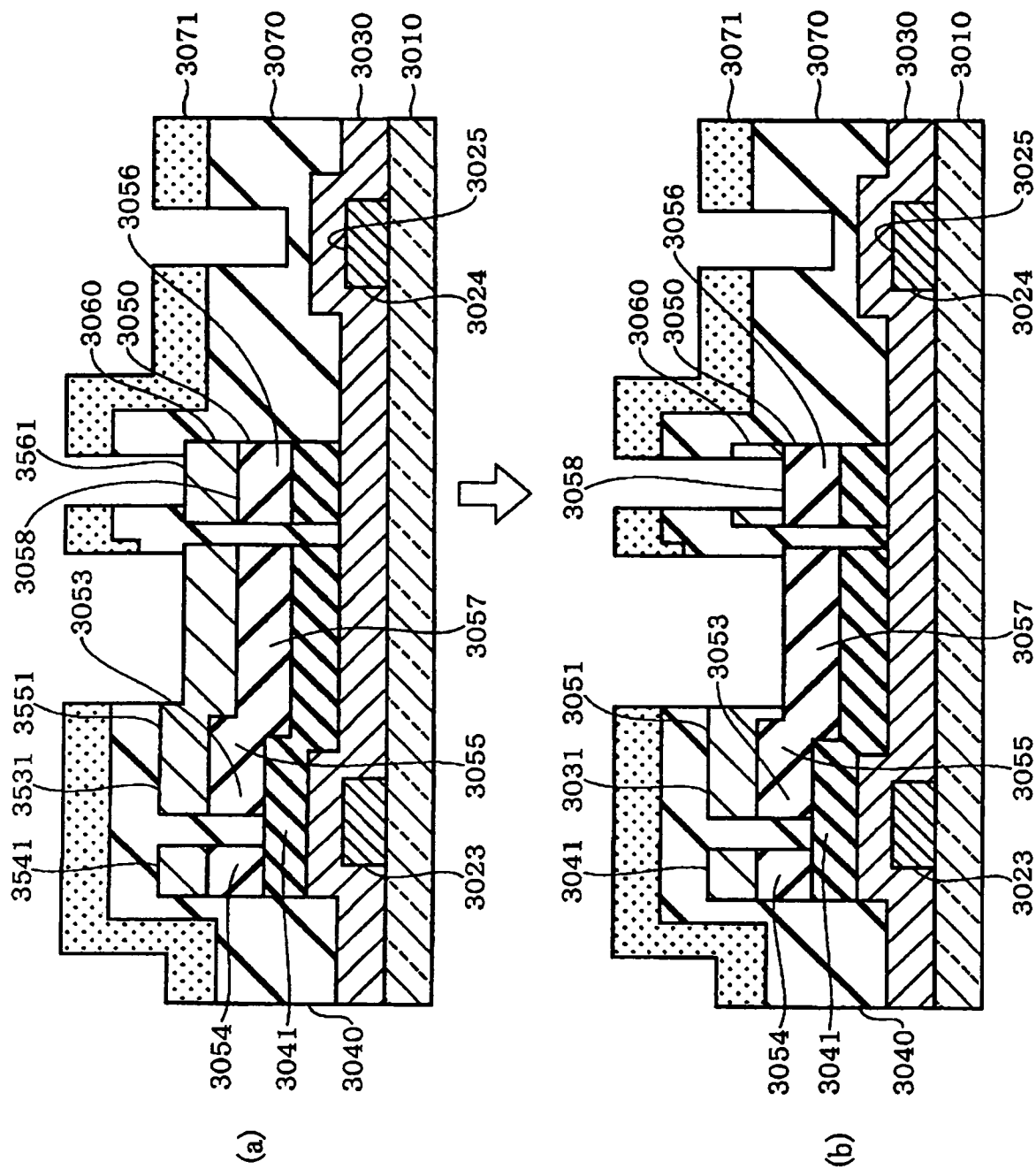


圖 47



10 7 x4

圖 50

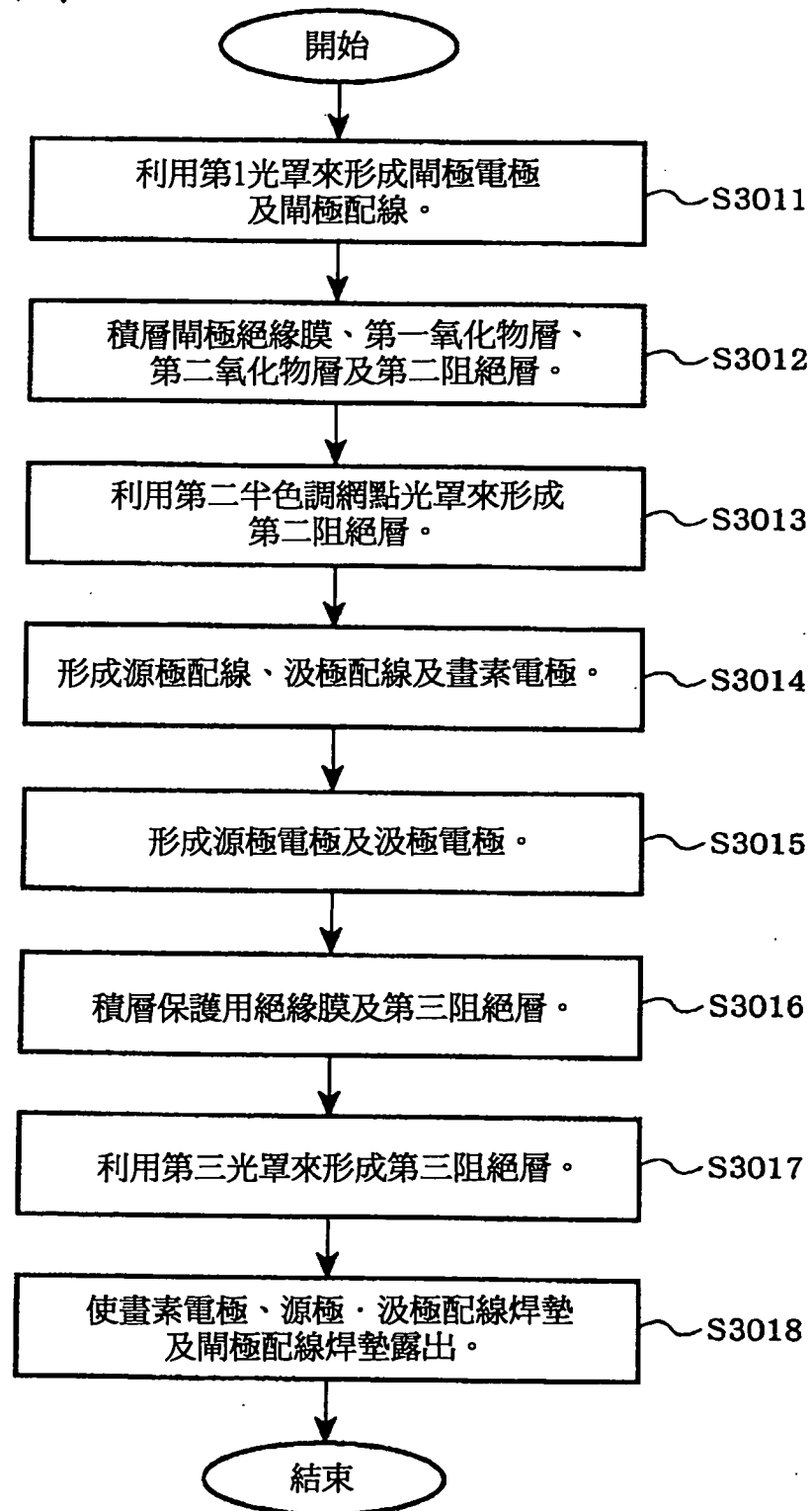


圖51

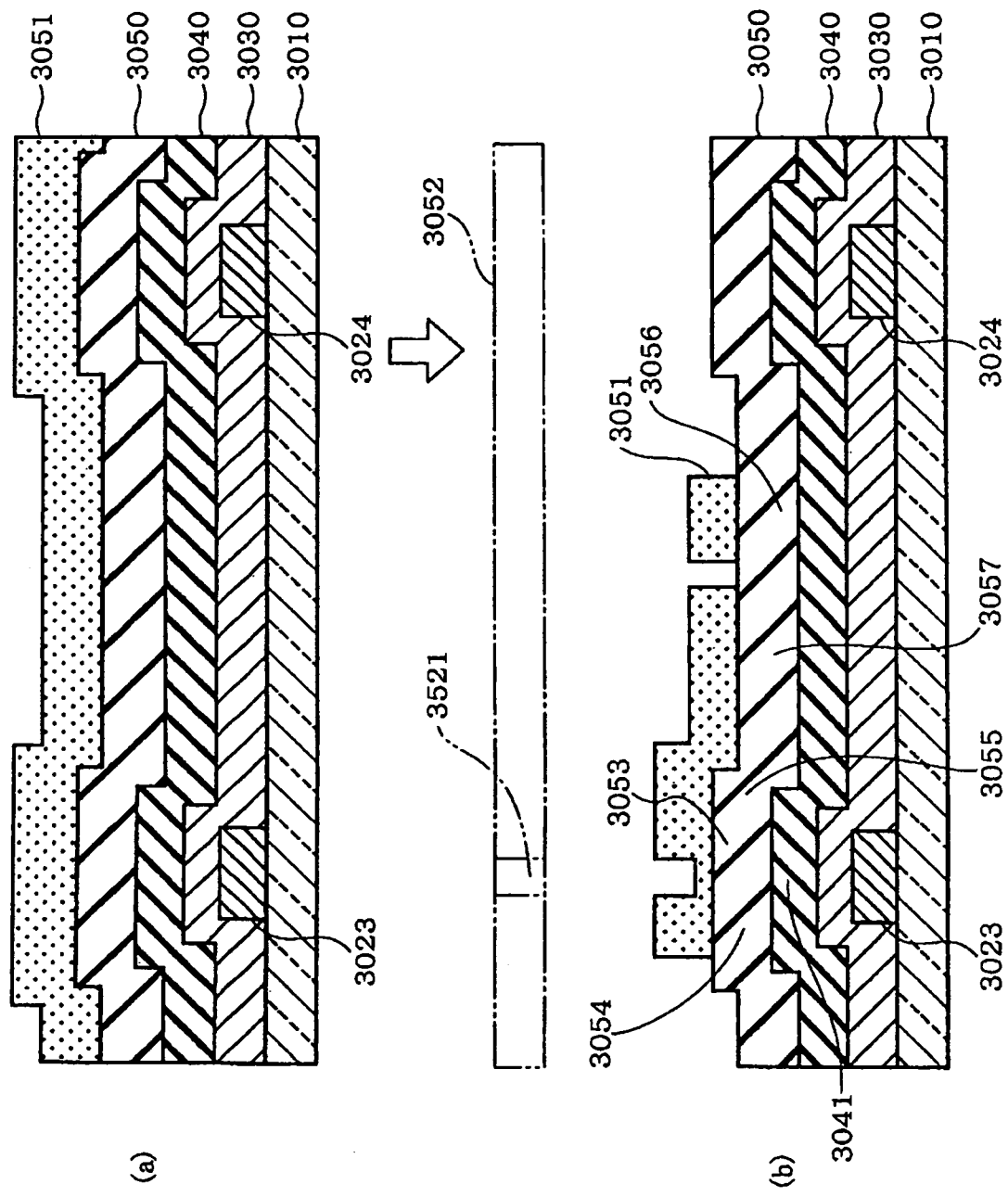


圖52

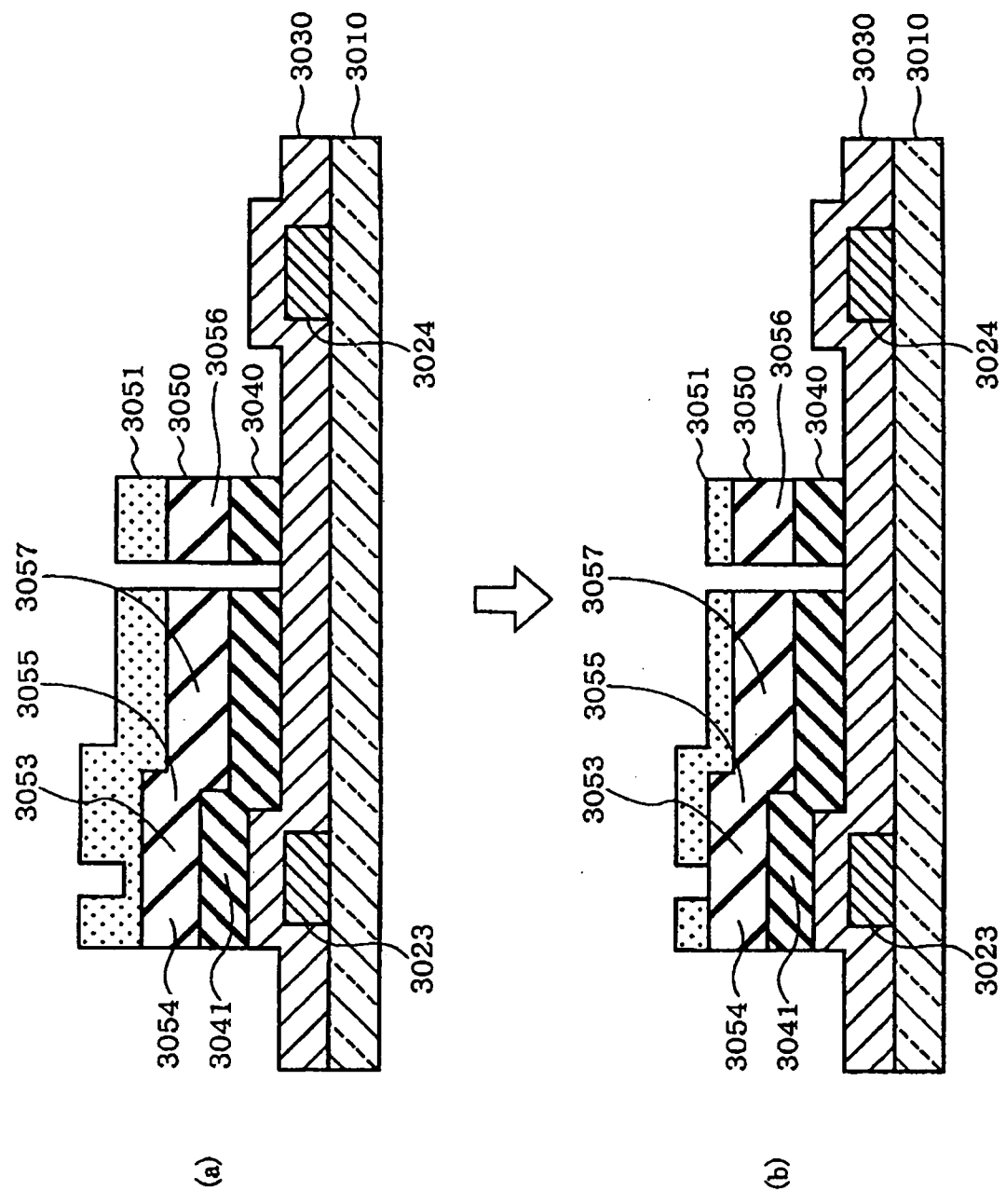


圖53

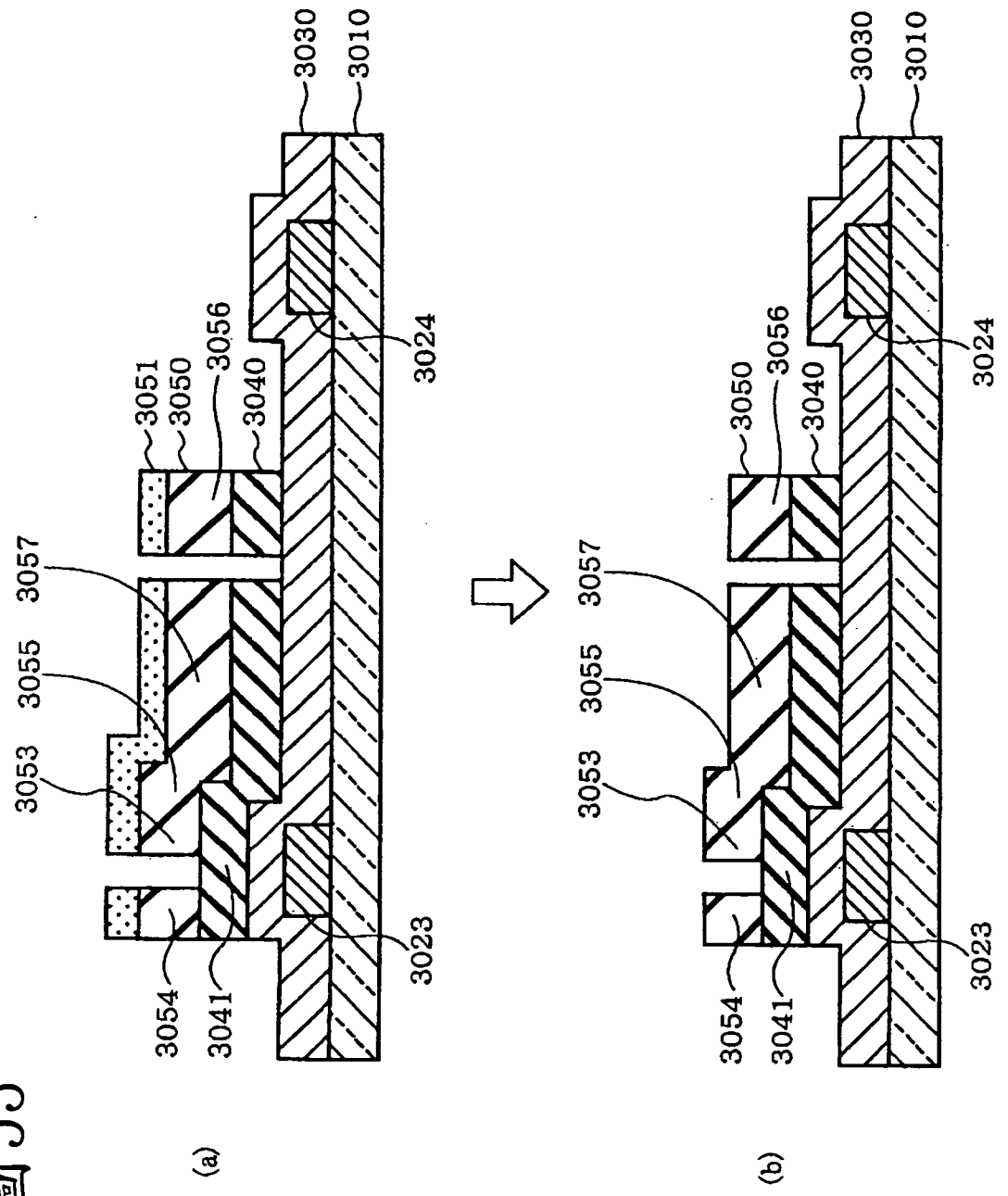


圖55

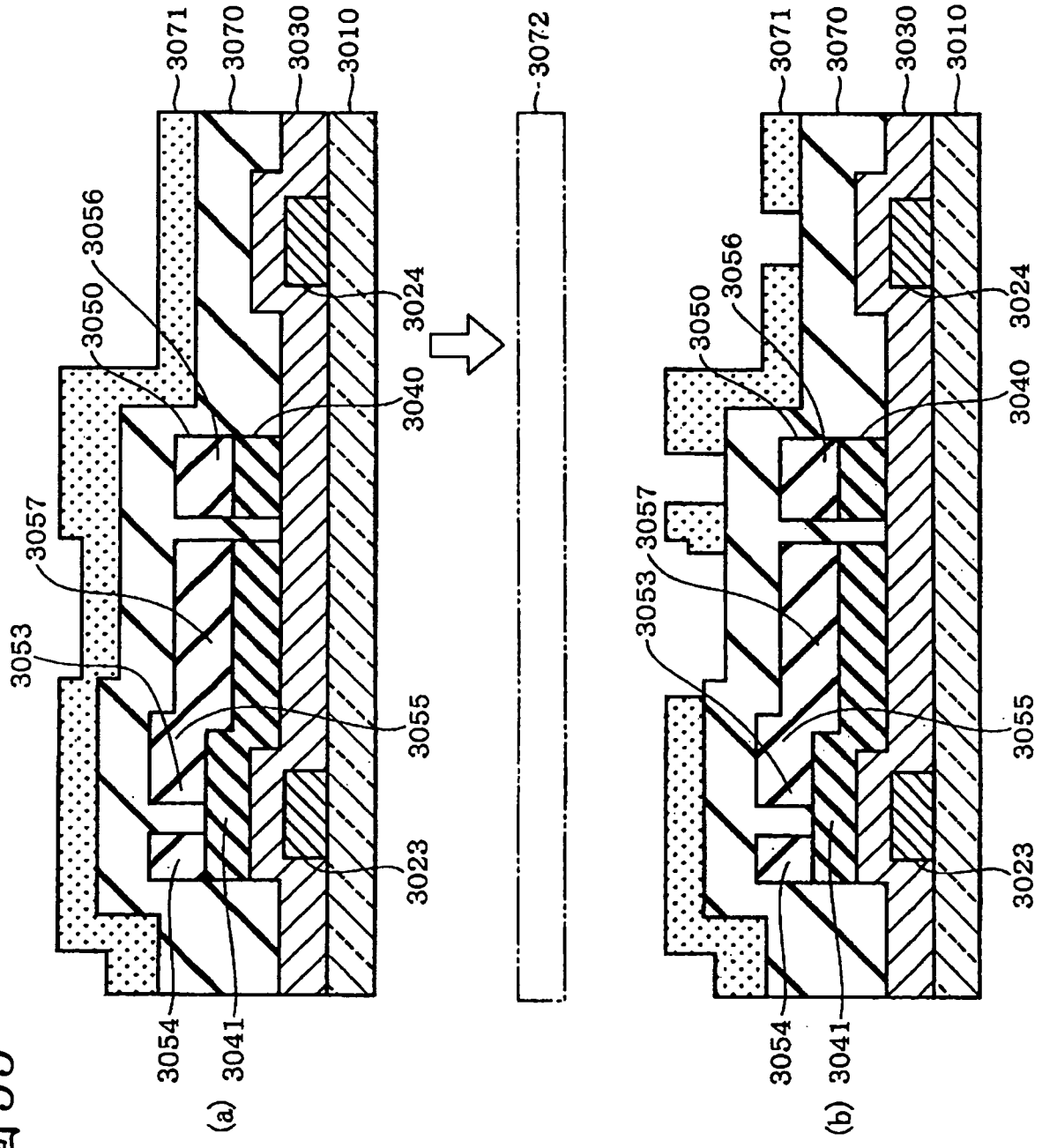


圖56

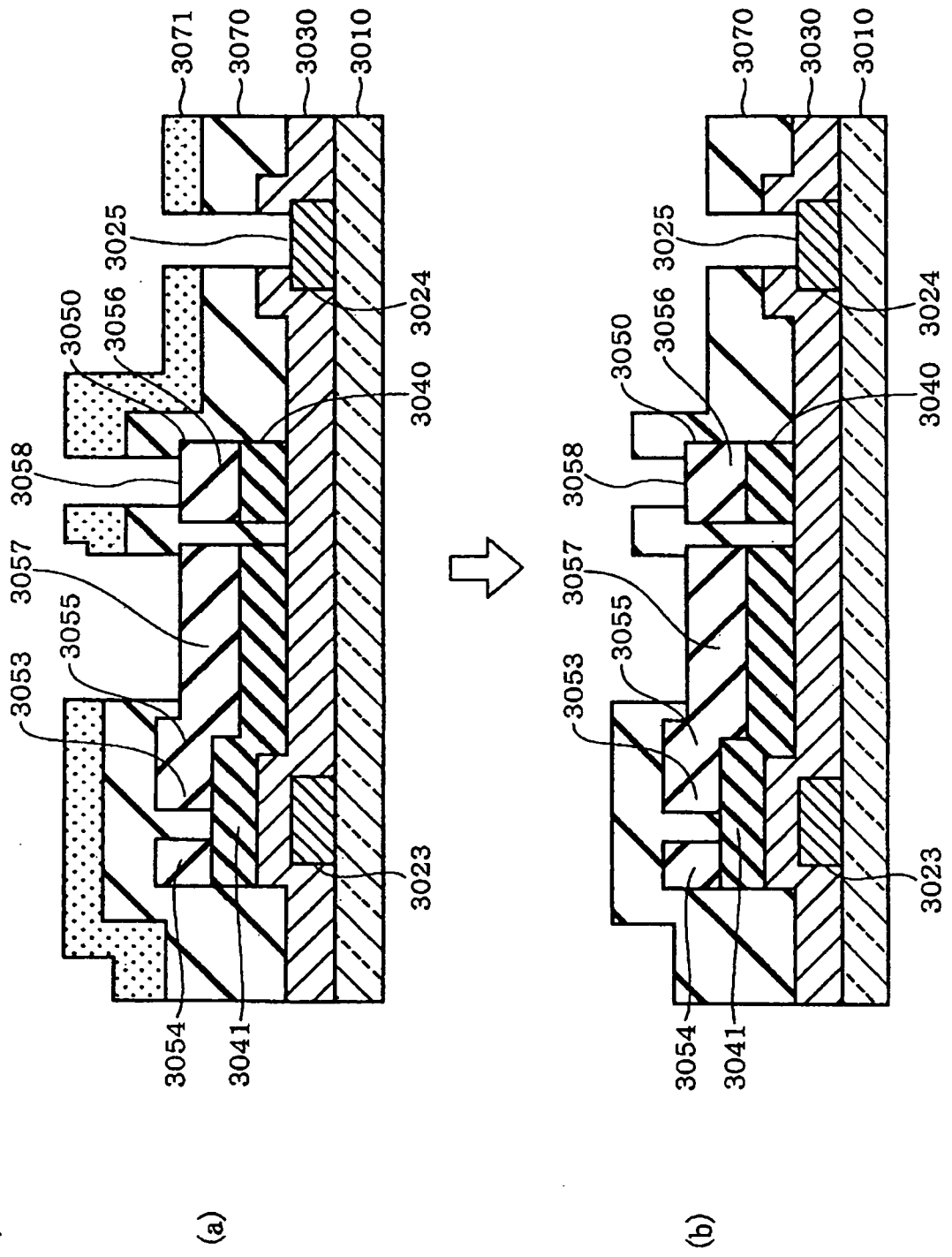


圖57

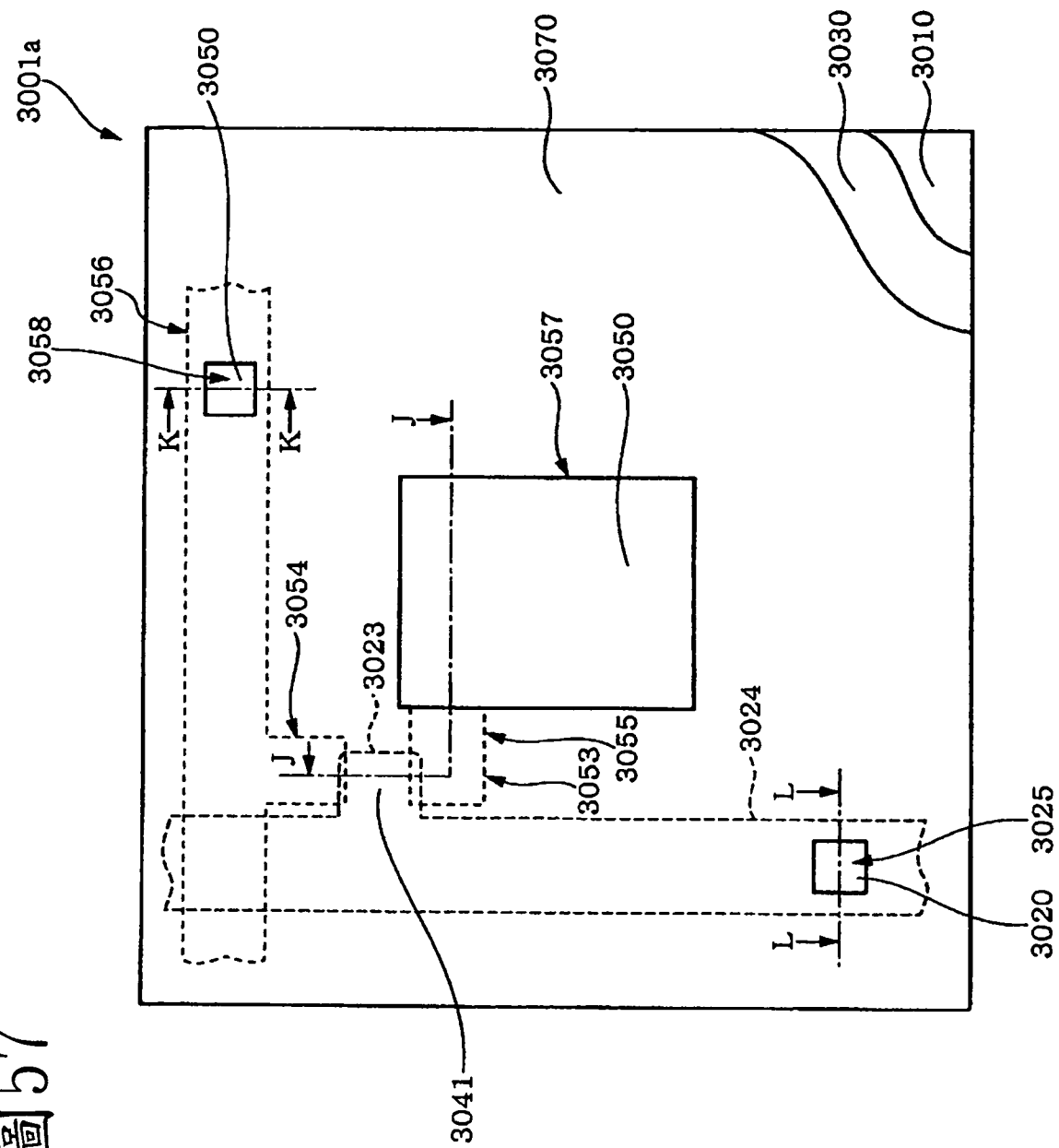


圖 58

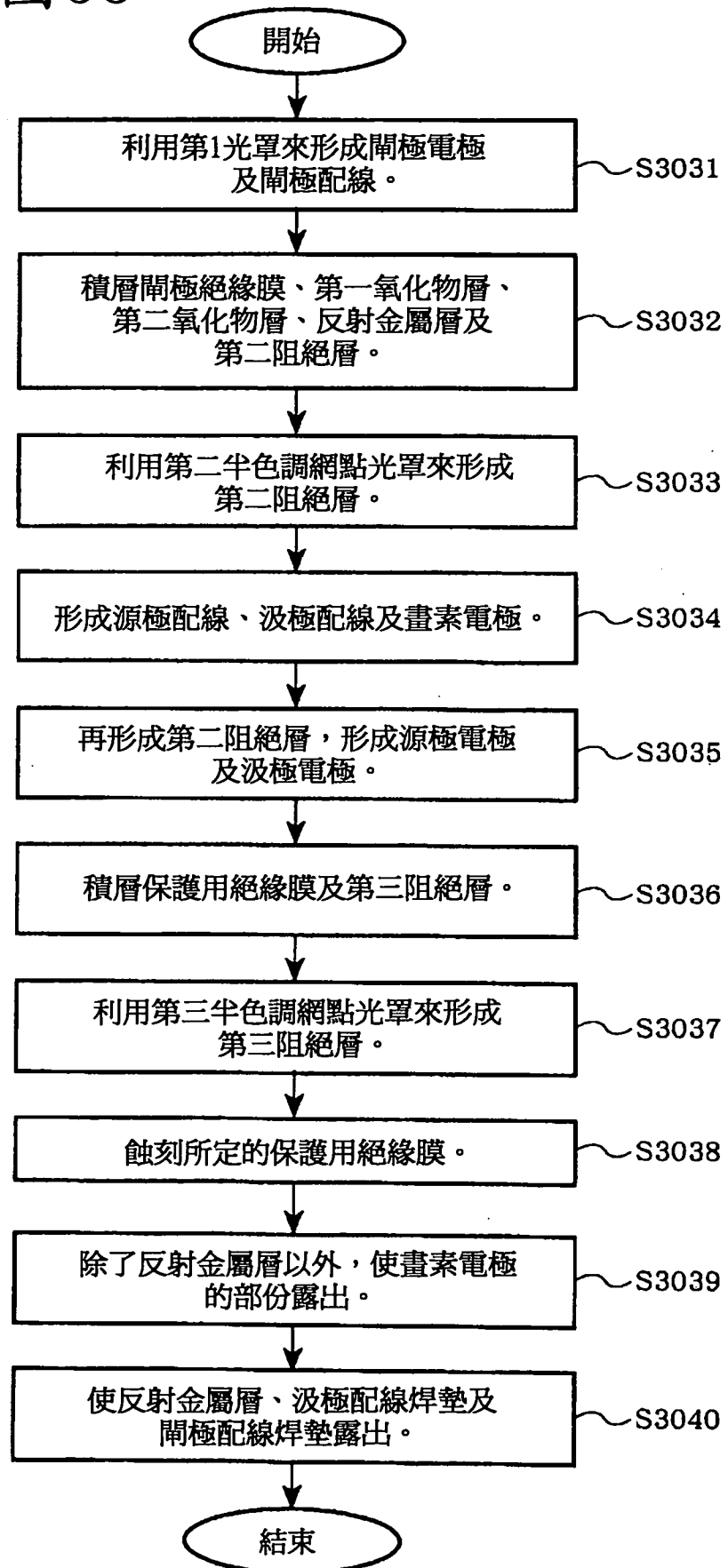


圖59

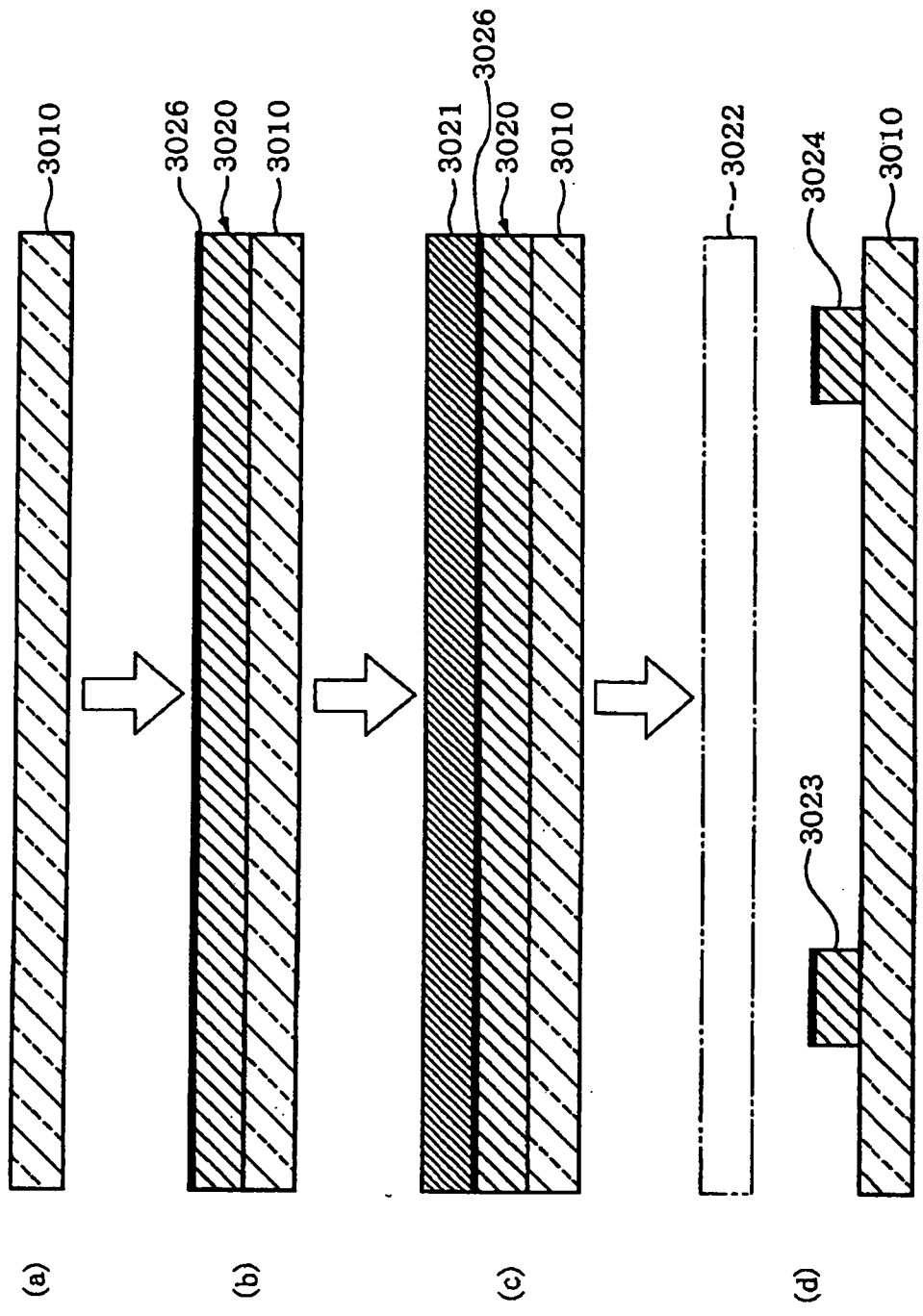


圖60

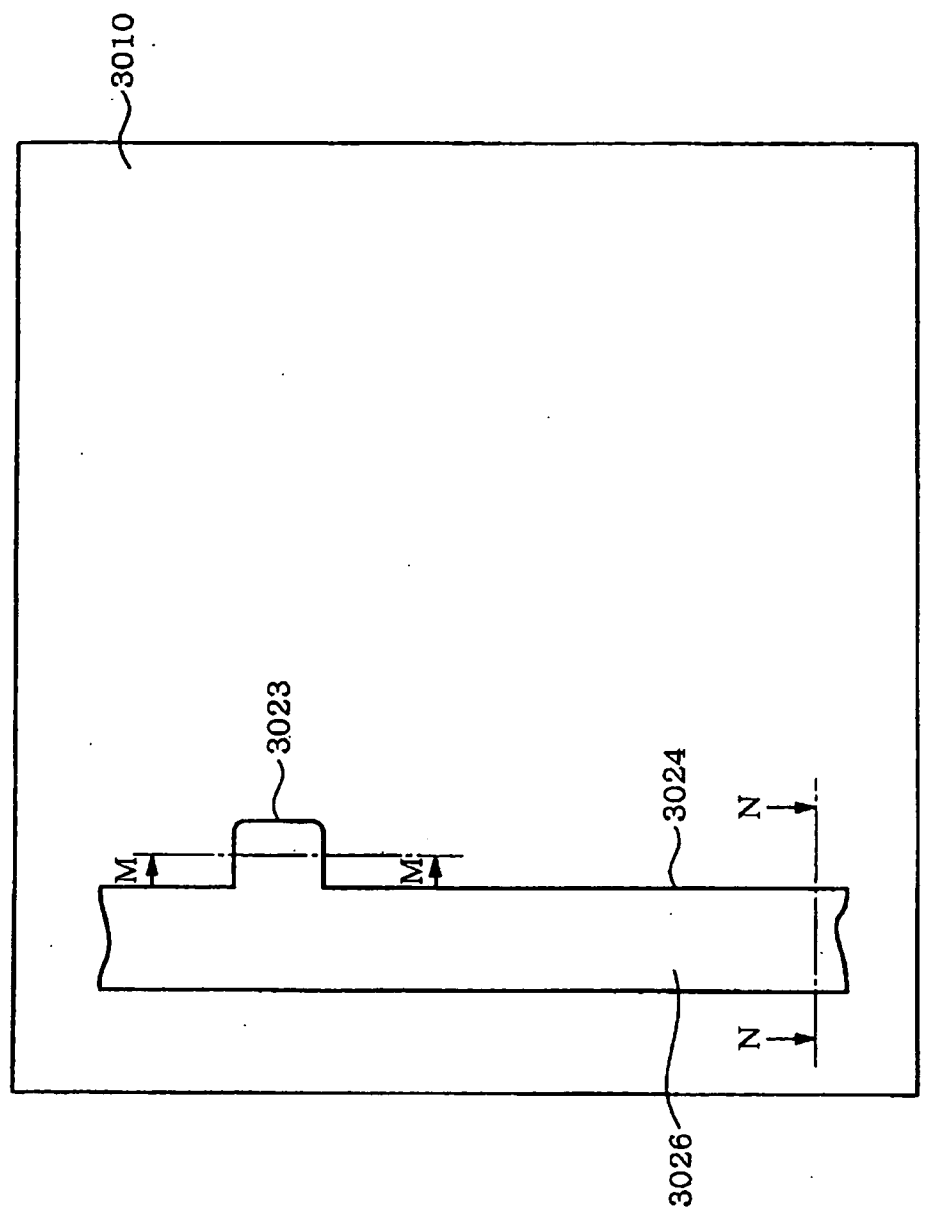


圖61

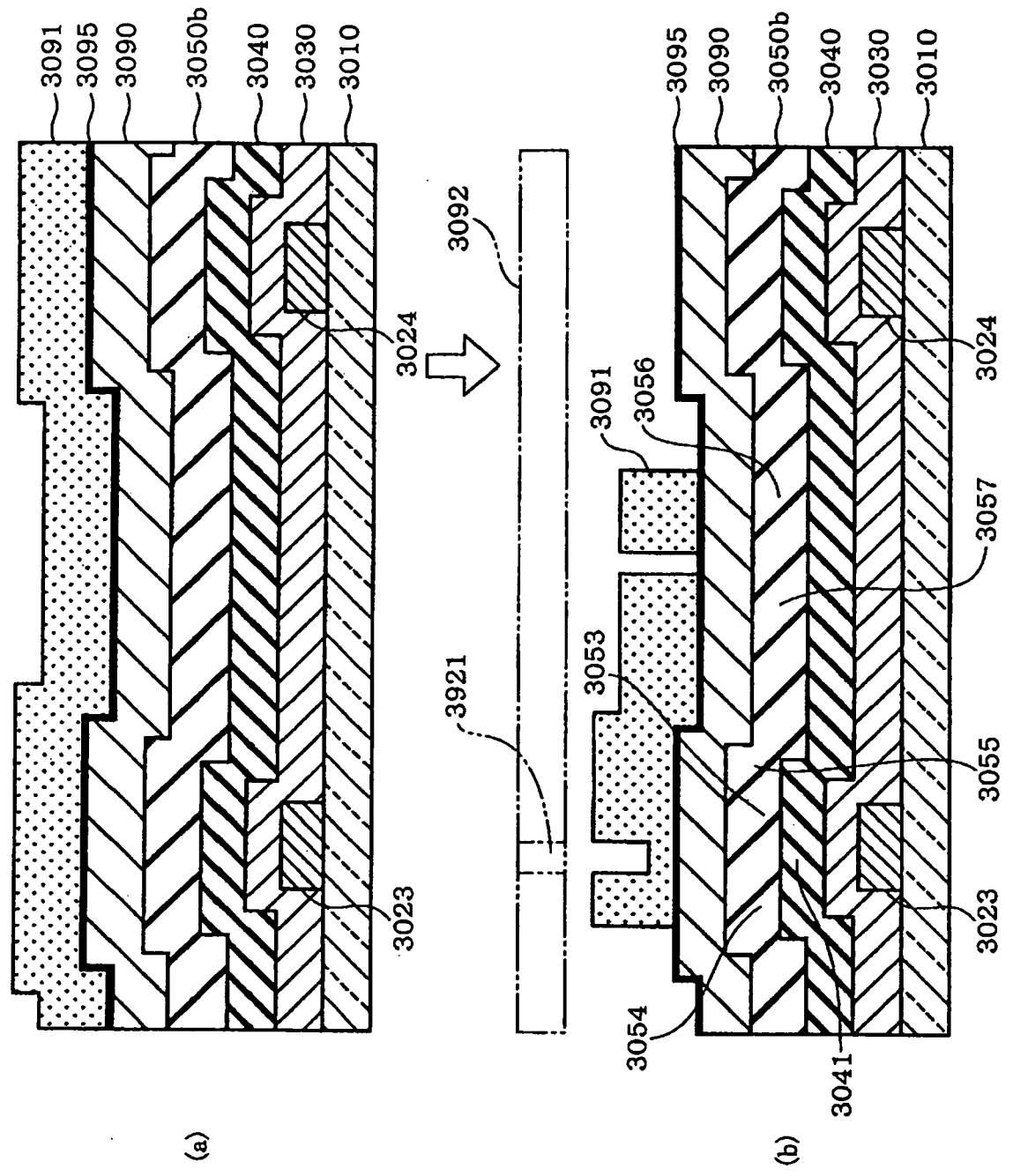


圖62

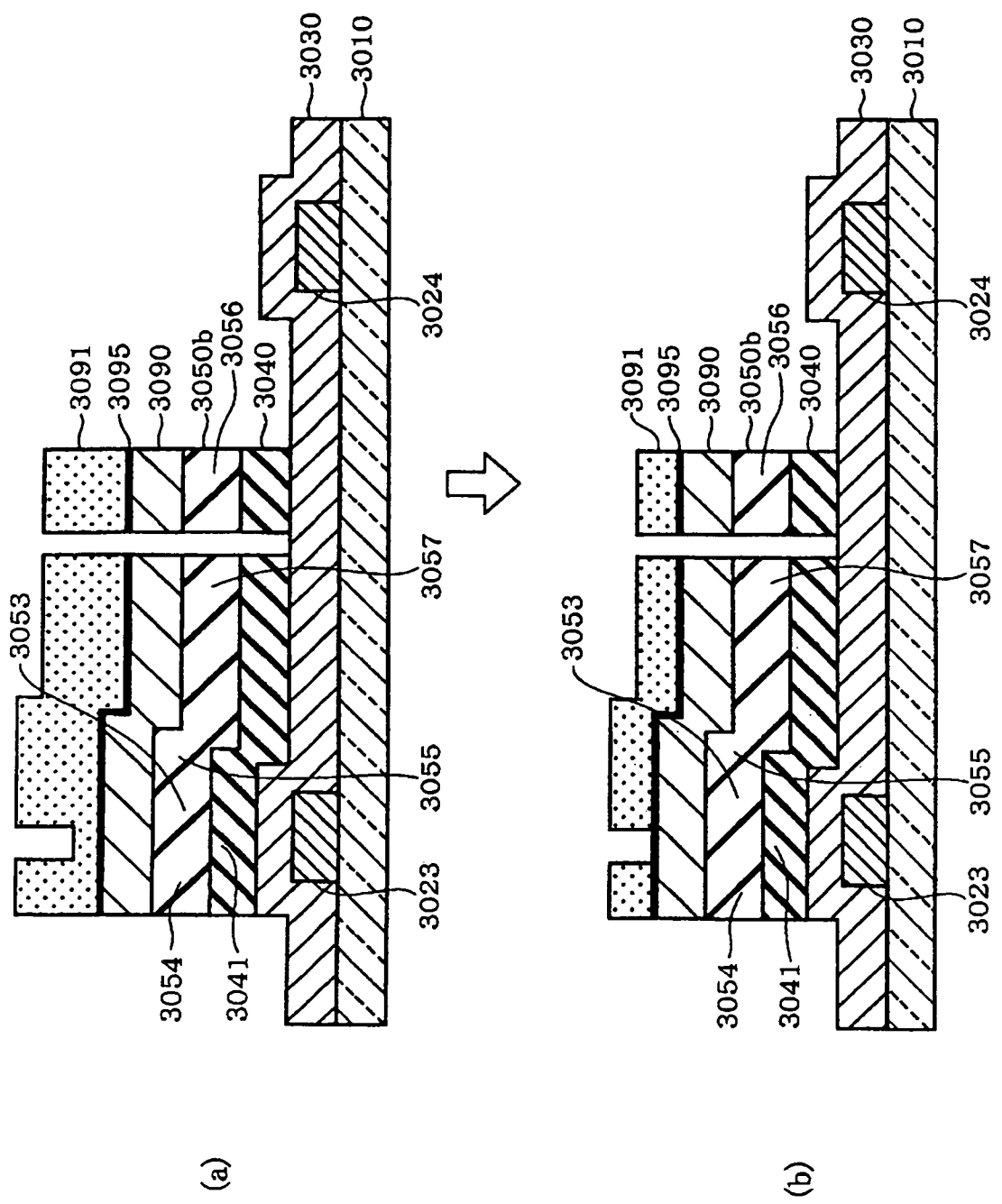


圖63

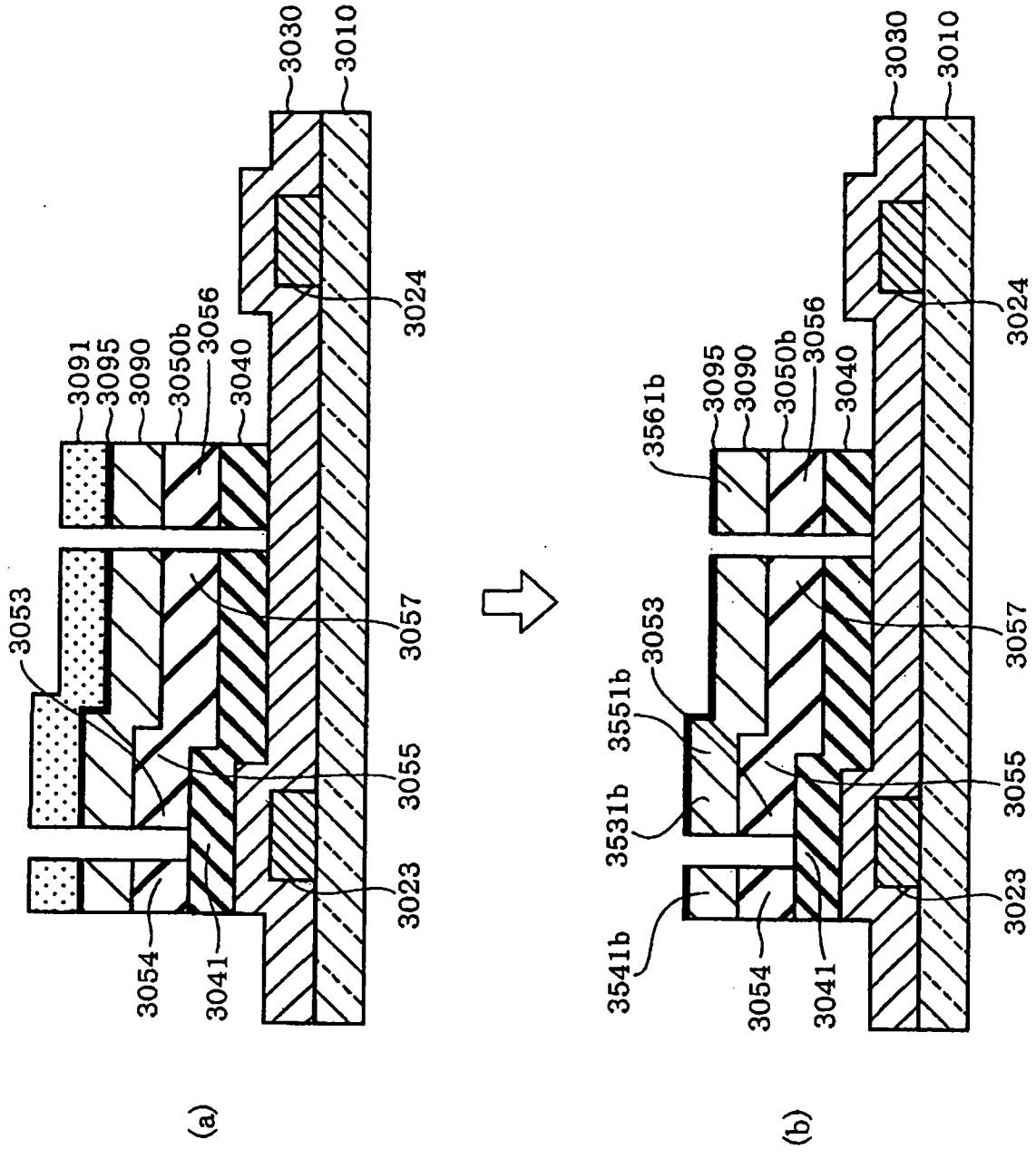


圖64

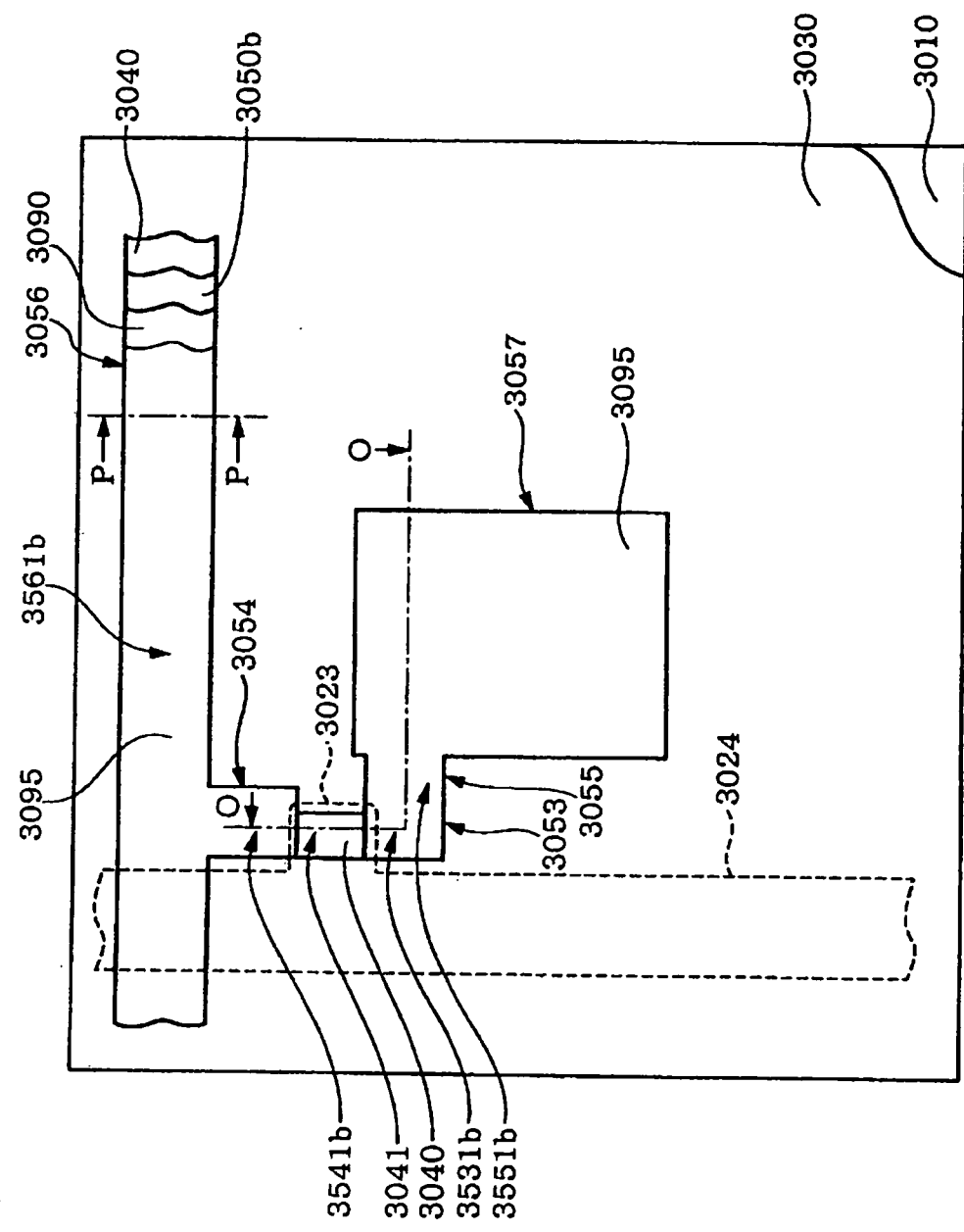
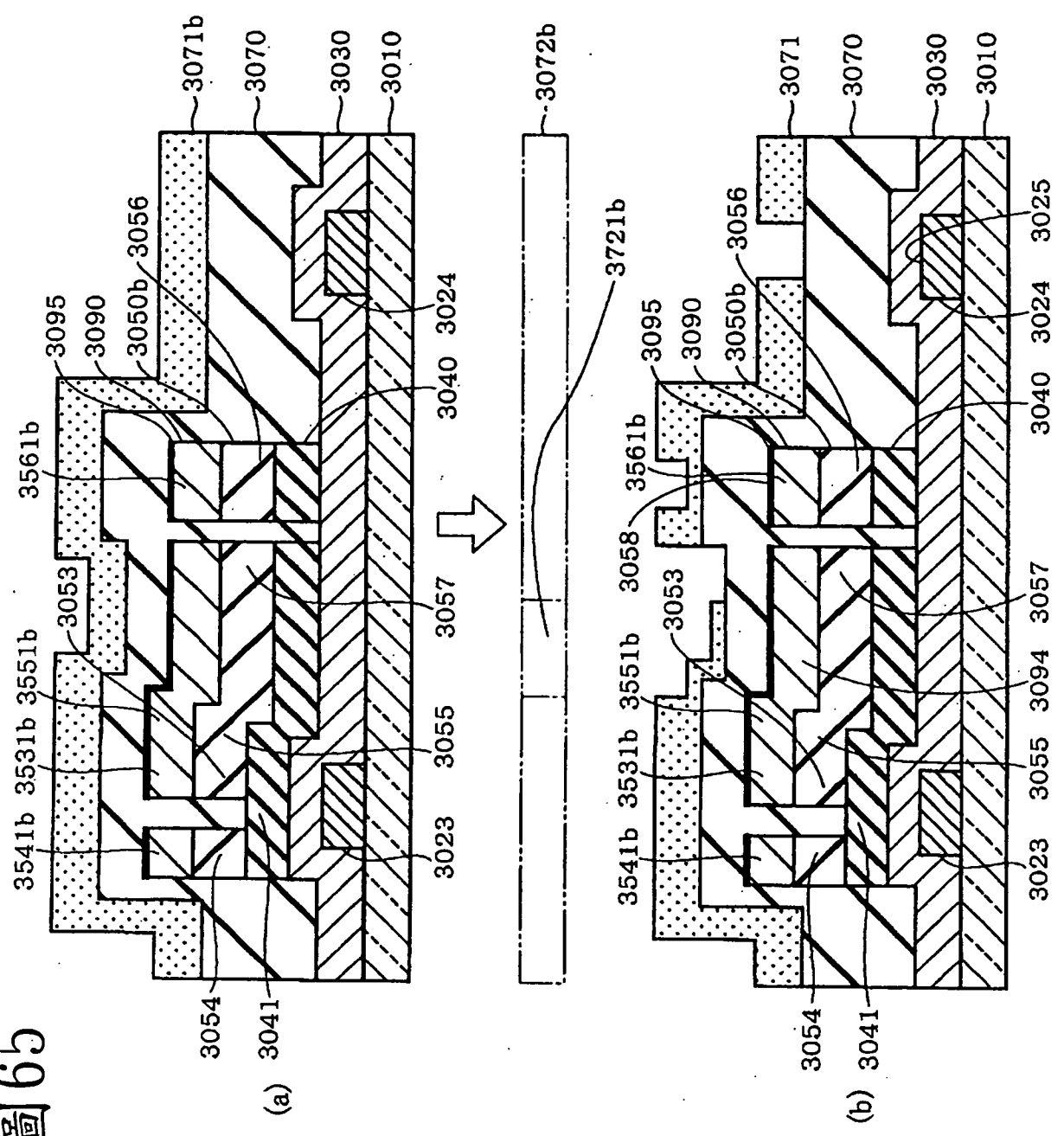


圖65



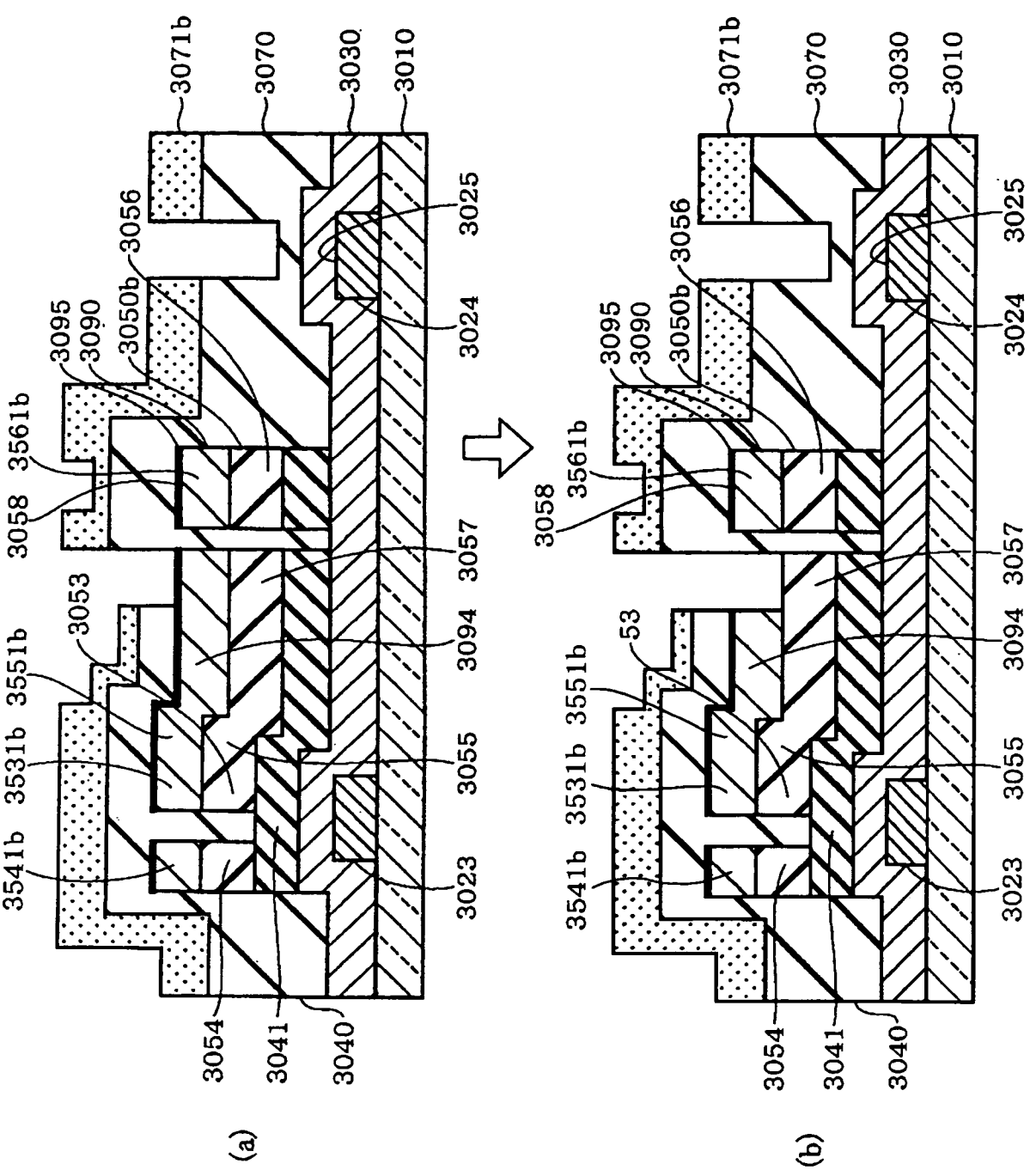


圖66

圖 29

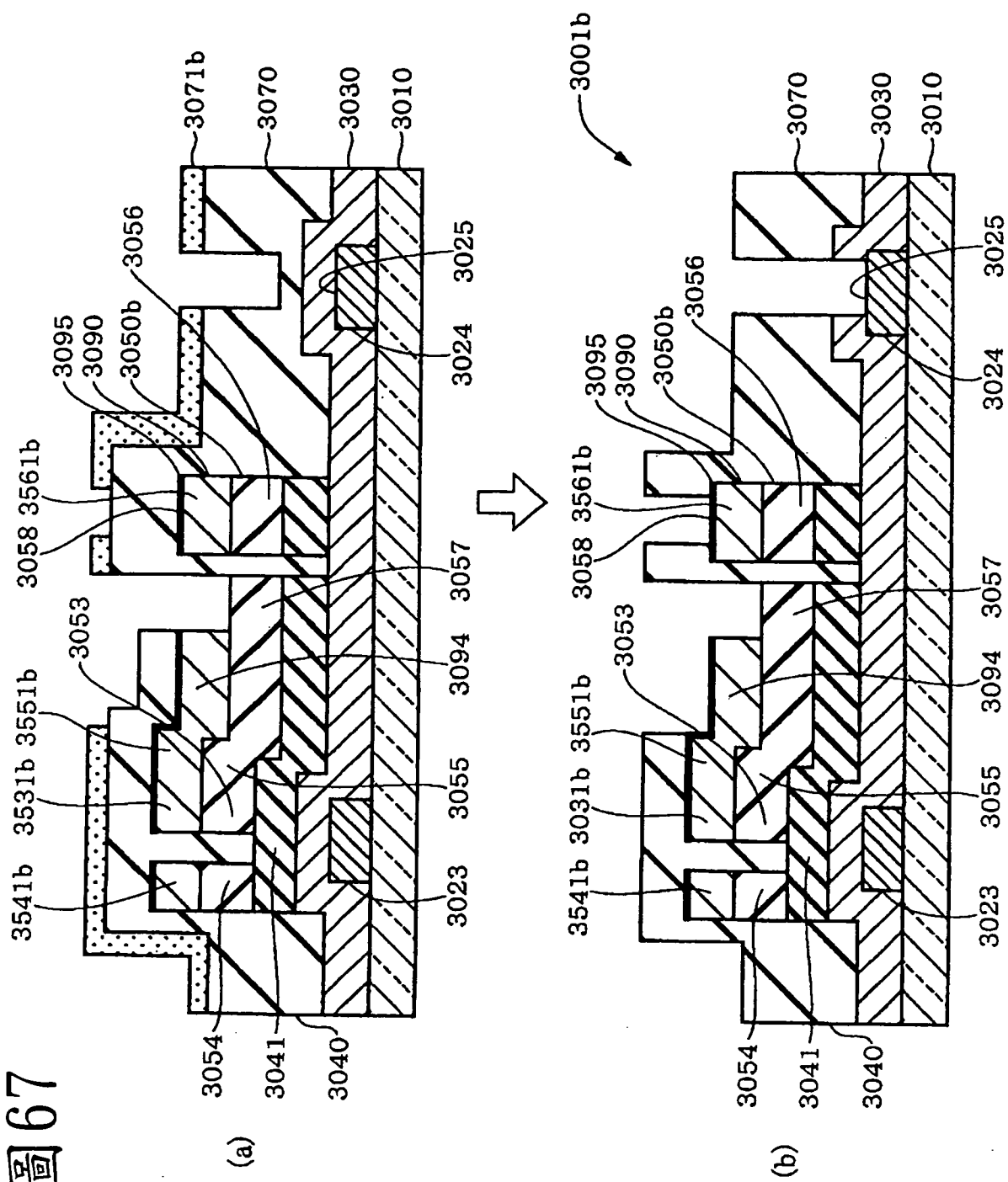


圖68

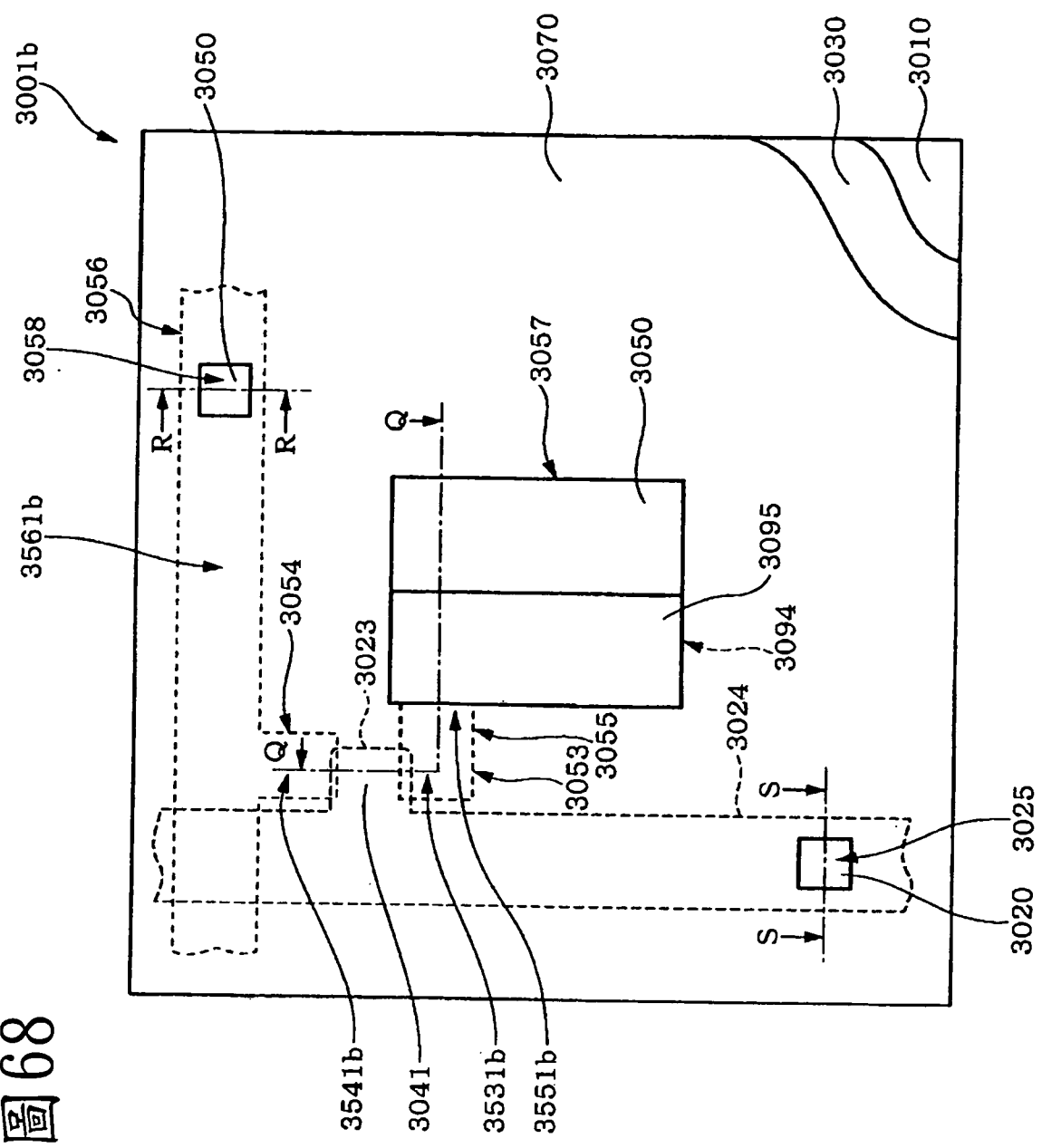


圖 69

