

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第3区分
 【発行日】平成19年6月14日(2007.6.14)

【公開番号】特開2004-334879(P2004-334879A)
 【公開日】平成16年11月25日(2004.11.25)
 【年通号数】公開・登録公報2004-046
 【出願番号】特願2004-137797(P2004-137797)
 【国際特許分類】

G 0 6 F 12/00 (2006.01)

G 0 6 F 13/16 (2006.01)

【F I】

G 0 6 F 12/00 5 5 0 K

G 0 6 F 12/00 5 6 4 D

G 0 6 F 13/16 5 1 0 A

【手続補正書】

【提出日】平成19年4月24日(2007.4.24)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

マザーボードに装着される第1バッファと、
 前記マザーボードに装着され、前記第1バッファに連結される少なくとも一つの第1メモリ装置と、
 前記マザーボード上において前記第1バッファ及び前記少なくとも一つの第1メモリ装置に配線される複数の信号線と、を備えることを特徴とするメモリシステム。

【請求項2】

前記第1バッファは、アドレス及びコマンド信号を前記少なくとも一つの第1メモリ装置にドライビングするコマンド及びアドレスバッファであることを特徴とする請求項1に記載のメモリシステム。

【請求項3】

前記コマンド及びアドレスバッファは、
 前記マザーボード上に配線されている第1コマンド及びアドレス信号線を介してコマンド及びアドレス信号を受信することを特徴とする請求項2に記載のメモリシステム。

【請求項4】

前記少なくとも一つの第1メモリ装置は、
 前記マザーボード上に配線されている第2コマンド及びアドレス信号線を介して前記コマンド及びアドレスバッファから前記コマンド及びアドレス信号を受信し、
 前記第1コマンド及びアドレス信号線は、前記第2コマンド及びアドレス信号線と垂直に配置されることを特徴とする請求項3に記載のメモリシステム。

【請求項5】

前記少なくとも一つの第1メモリ装置は、DRAMまたはSDRAMであることを特徴とする請求項1に記載のメモリシステム。

【請求項6】

前記少なくとも一つの第1メモリ装置は、前記マザーボード上に配線され、対応するデータ及びクロック信号線を介してデータ信号及びクロック信号を受信することを特徴とす

る請求項 1 に記載のメモリシステム。

【請求項 7】

前記マザーボード上に装着されているソケットを通じてメモリコントローラと電氣的に連結される少なくとも一つのメモリモジュールを備えることを特徴とする請求項 1 に記載のメモリシステム。

【請求項 8】

前記少なくとも一つのメモリモジュールは、

前記少なくとも一つのメモリモジュールのモジュールボード上に装着される第 2 バッファと、

前記少なくとも一つのメモリモジュールのモジュールボード上に装着され前記第 2 バッファに連結される少なくとも一つの第 2 メモリ装置と、を備えることを特徴とする請求項 7 に記載のメモリシステム。

【請求項 9】

前記少なくとも一つの第 2 メモリ装置は、D R A M または S D R A M あることを特徴とする請求項 8 に記載のメモリシステム。

【請求項 10】

前記少なくとも一つのメモリモジュールは、

前記マザーボード上における前記メモリコントローラから前記少なくとも一つの第 1 メモリ装置までの距離よりも遠くに配置されることを特徴とする請求項 7 に記載のメモリシステム。

【請求項 11】

第 1 クロック信号線上のシステムクロック信号に応答して第 2 クロック信号線上の第 1 クロック信号を発生し前記マザーボード上に装着される位相同期ループを備えており、

前記少なくとも一つの第 1 メモリ装置は、前記第 1 クロック信号に同期して動作することを特徴とする請求項 1 に記載のメモリシステム。

【請求項 12】

第 1 クロック信号線上のシステムクロック信号に応答して第 2 クロック信号線上の第 1 クロック信号を発生し前記マザーボード上に装着される遅延同期ループを備えており、

前記少なくとも一つの第 1 メモリ装置は、前記第 1 クロック信号に同期して動作することを特徴とする請求項 1 に記載のメモリシステム。

【請求項 13】

前記システムクロック信号のための前記第 1 クロック信号線は、前記第 1 クロック信号のための前記第 2 クロック信号線に垂直に配置されていることを特徴とする請求項 11 に記載のメモリシステム。

【請求項 14】

前記システムクロック信号のための前記第 1 クロック信号線は、前記第 1 クロック信号のための前記第 2 クロック信号線に垂直に配置されていることを特徴とする請求項 12 に記載のメモリシステム。

【請求項 15】

マザーボード上に直接装着される少なくとも一つのメモリランクと、

前記マザーボード上において前記少なくとも一つのメモリランクに配線される複数の信号線と、を備えることを特徴とするメモリシステム。

【請求項 16】

前記少なくとも一つのメモリランクは、

少なくとも一つの第 1 メモリ装置と、

アドレス及びコマンド信号を前記少なくとも一つの第 1 メモリ装置に前記マザーボード上の対応する信号線を介してドライビングする第 1 バッファと、を備えることを特徴とする請求項 15 に記載のメモリシステム。

【請求項 17】

少なくとも一つの前記第 1 バッファは、

前記マザーボード上に配線されている第1コマンド及びアドレス信号線を介してコマンド及びアドレス信号を受信することを特徴とする請求項16に記載のメモリシステム。

【請求項18】

前記少なくとも一つの第1メモリ装置は、

前記マザーボード上に配線されている第2コマンド及びアドレス信号線を介して前記少なくとも一つの第1バッファから前記コマンド及びアドレス信号を受信し、

前記第1コマンド及びアドレス信号線は、前記第2コマンド及びアドレス信号線と垂直に配置されていることを特徴とする請求項17に記載のメモリシステム。

【請求項19】

前記少なくとも一つの第1メモリ装置は前記マザーボード上に配線され、対応するデータ及びクロック信号線を介してデータ信号及びクロック信号を受信することを特徴とする請求項17に記載のメモリシステム。

【請求項20】

前記少なくとも一つの第1メモリ装置は、DRAMまたはSDRAMであることを特徴とする請求項17に記載のメモリシステム。

【請求項21】

第1クロック信号線上のシステムクロック信号にตอบสนองして第2クロック信号線上の第1クロック信号を発生する位相同期ループを備えており、

前記少なくとも一つの第1メモリ装置は、前記第1クロック信号に同期して動作することを特徴とする請求項20に記載のメモリシステム。

【請求項22】

第1クロック信号線上のシステムクロック信号にตอบสนองして第2クロック信号線上の第1クロック信号を発生する遅延同期ループを備えており、

前記少なくとも一つの第1メモリ装置は、前記第1クロック信号に同期して動作することを特徴とする請求項20に記載のメモリシステム。

【請求項23】

前記システムクロック信号のための前記第1クロック信号線は、前記第1クロック信号のための前記第2クロック信号線に垂直に配置されることを特徴とする請求項21に記載のメモリシステム。

【請求項24】

前記システムクロック信号のための前記第1クロック信号線は、前記第1クロック信号のための前記第2クロック信号線に垂直に配置されることを特徴とする請求項22に記載のメモリシステム。

【請求項25】

メモリモジュールと、

前記マザーボード上に装着され、前記メモリモジュールと連結される受信部を備えることを特徴とする請求項18に記載のメモリシステム。

【請求項26】

前記メモリモジュールは、

前記メモリモジュールのモジュールボード上に装着されている複数の第2メモリ装置と、

前記メモリモジュールのモジュールボード上に装着され、前記複数の第2メモリ装置をドライビングできる第2バッファと、を備えることを特徴とする請求項25に記載のメモリシステム。

【請求項27】

システムクロックにตอบสนองして第1クロックを発生する位相同期ループを備えており、前記複数の第2メモリ装置は、前記第1クロックに同期して動作することを特徴とする請求項25に記載のメモリシステム。

【請求項28】

システムクロックにตอบสนองして第1クロックを発生する遅延同期ループを備えており、前

記複数の第2メモリ装置は、前記第1クロックに同期して動作することを特徴とする請求項25に記載のメモリシステム。

【請求項29】

前記受信部は、

マザーボード上においてメモリコントローラから前記少なくとも一つの第1メモリ装置までの距離よりも遠くに配置されることを特徴とする請求項25に記載のメモリシステム。

【請求項30】

マザーボード上に複数の第1メモリ装置を装着する段階と、

対応するコマンド及びアドレス信号を前記マザーボード上の前記複数の第1メモリ装置にドライビングできる第1コマンド及びアドレスバッファを装着する段階と、を備えることを特徴とするメモリシステムの構成方法。

【請求項31】

前記アドレスバッファから前記マザーボード上の前記第1メモリ装置に前記コマンド及びアドレス信号のための第1信号線を配線する段階を備えることを特徴とする請求項30に記載のメモリシステムの構成方法。

【請求項32】

前記マザーボード上に装着されているメモリコントローラから前記第1コマンド及びアドレスバッファに前記コマンド及びアドレス信号のための第2信号線を配線し、前記第1信号線は、前記第2信号線と垂直であることを特徴とする請求項31に記載のメモリシステムの構成方法。

【請求項33】

システムクロックに応答して第1クロックを発生する位相同期ループを前記マザーボード上に装着する段階を備えることを特徴とする請求項31に記載のメモリシステムの構成方法。

【請求項34】

システムクロックに応答して第1クロックを発生する遅延同期ループを前記マザーボード上に装着する段階を備えることを特徴とする請求項31に記載のメモリシステムの構成方法。

【請求項35】

前記マザーボード上に装着されている受信部を通じて前記マザーボード上に装着されているメモリコントローラとメモリモジュールを電氣的に連結する段階を備えることを特徴とする請求項31に記載のメモリシステムの構成方法。

【請求項36】

メモリモジュールのモジュールボード上に第2メモリ装置を装着する段階と、

前記モジュールボード上に第2コマンド及びアドレスバッファを装着する段階と、を具備しており、

前記モジュールボードは、前記マザーボード上に装着されているソケットを通じてメモリコントローラに連結されることを特徴とする請求項31に記載のメモリシステムの構成方法。

【請求項37】

システムクロックに応答して第1クロックを発生する位相同期ループを前記マザーボード上に装着する段階を備えることを特徴とする請求項36に記載のメモリシステムの構成方法。

【請求項38】

システムクロックに応答して第1クロックを発生する遅延同期ループを前記マザーボード上に装着する段階を備えることを特徴とする請求項37に記載のメモリシステムの構成方法。

【請求項39】

マザーボードに直接装着され、複数のコマンド及びアドレス信号を発生するメモリコン

トローラと、

前記マザーボード上に直接装着され、前記コマンド及びアドレス信号を受信する第1バッファと、

前記マザーボード上に直接装着され、前記第1バッファに連結される少なくとも一つの第1メモリ装置と、

前記マザーボード上において前記第1バッファ及び前記少なくとも一つの第1メモリ装置に配線される複数の信号線と、を備えることを特徴とするメモリシステム。

【請求項40】

マザーボードに直接装着され、複数のコマンド及びアドレス信号を発生するメモリコントローラと、

前記マザーボード上に直接装着され、前記コマンド及びアドレス信号を受信する第1バッファと、

前記マザーボード上に直接装着され、前記第1バッファに連結する少なくとも一つの第1メモリ装置と、

前記少なくとも一つのメモリモジュールは、モジュールボード上に装着され前記コマンド及びアドレス信号を受信する第2バッファと、前記第2バッファに連結され前記少なくとも一つの第1メモリ装置よりも前記メモリコントローラから遠い位置において前記モジュールボード上に装着される少なくとも一つの第2メモリ装置と、を具備する少なくとも一つのメモリモジュールと、

前記マザーボード上において前記第1バッファ及び前記少なくとも一つの第1メモリ装置に配線される複数の第1信号線と、

前記モジュールボード上における前記第2バッファ及び前記少なくとも一つの第2メモリ装置に配線される複数の第2信号線と、を備えることを特徴とするメモリシステム。

【請求項41】

マザーボードに直接装着され、複数のコマンド及びアドレス信号を発生するメモリコントローラと、

前記マザーボード上に直接装着され、前記コマンド及びアドレス信号を受信する第1バッファと、

前記マザーボード上に直接装着され、クロック信号を受信する位相同期ループと、

前記マザーボード上に直接装着され、前記第1バッファに連結される少なくとも一つの第1メモリ装置と、

前記マザーボード上において前記第1バッファ及び前記少なくとも一つの第1メモリ装置に配線される複数の信号線を備えており、

前記第1メモリ装置は、前記位相同期ループから出力される内部クロック信号に同期して動作することを特徴とするメモリシステム。

【請求項42】

マザーボードに直接装着され、複数のコマンド及びアドレス信号を発生するメモリコントローラと、

前記マザーボード上に直接装着され、前記コマンド及びアドレス信号を受信する第1バッファと、

前記マザーボード上に直接装着され、クロック信号を受信する第1位相同期ループと、

前記マザーボード上に直接装着され、前記第1バッファに連結される少なくとも一つの第1メモリ装置と、

モジュールボード上に装着され、前記コマンド及びアドレス信号を受信する第2バッファと、前記第2バッファに連結され前記少なくとも一つの第1メモリ装置よりも前記メモリコントローラから遠い位置において前記モジュールボード上に装着される少なくとも一つの第2メモリ装置と、を具備する少なくとも一つのメモリモジュールと、

前記マザーボード上に直接装着され、前記クロック信号を受信する第2位相同期ループと、

前記マザーボード上において前記第1バッファ及び前記少なくとも一つの第1メモリ装

置に配線される複数の第 1 信号線と、

前記モジュールボード上において前記第 2 バッファ及び前記少なくとも一つの第 2 メモリ装置に配線される複数の第 2 信号線と、を備えており、

前記第 1 メモリ装置は、前記第 1 位相同期ループから出力される第 1 内部クロック信号に同期して動作し、前記第 2 メモリ装置は、前記第 2 位相同期ループから出力される第 2 内部クロック信号に同期して動作することを特徴とするメモリシステム。