

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成 19 年 6 月 14 日 (2007.6.14)

【公開番号】特開 2004-334879 (P2004-334879A)

【公開日】平成 16 年 11 月 25 日 (2004.11.25)

【年通号数】公開・登録公報 2004-046

【出願番号】特願 2004-137797 (P2004-137797)

【国際特許分類】

**G 0 6 F 12/00 (2006.01)**

**G 0 6 F 13/16 (2006.01)**

【F I】

G 0 6 F 12/00 5 5 0 K

G 0 6 F 12/00 5 6 4 D

G 0 6 F 13/16 5 1 0 A

【手続補正書】

【提出日】平成 19 年 4 月 24 日 (2007.4.24)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

マザーボードに装着される第 1 バッファと、

前記マザーボードに装着され、前記第 1 バッファに連結される少なくとも一つの第 1 メモリ装置と、

前記マザーボード上において前記第 1 バッファ及び前記少なくとも一つの第 1 メモリ装置に配線される複数の信号線と、を備えることを特徴とするメモリシステム。

【請求項 2】

前記第 1 バッファは、アドレス及びコマンド信号を前記少なくとも一つの第 1 メモリ装置にドライビングするコマンド及びアドレスバッファであることを特徴とする請求項 1 に記載のメモリシステム。

【請求項 3】

前記コマンド及びアドレスバッファは、

前記マザーボード上に配線されている第 1 コマンド及びアドレス信号線を介してコマンド及びアドレス信号を受信することを特徴とする請求項 2 に記載のメモリシステム。

【請求項 4】

前記少なくとも一つの第 1 メモリ装置は、

前記マザーボード上に配線されている第 2 コマンド及びアドレス信号線を介して前記コマンド及びアドレスバッファから前記コマンド及びアドレス信号を受信し、

前記第 1 コマンド及びアドレス信号線は、前記第 2 コマンド及びアドレス信号線と垂直に配置されることを特徴とする請求項 3 に記載のメモリシステム。

【請求項 5】

前記少なくとも一つの第 1 メモリ装置は、D R A M または S D R A M であることを特徴とする請求項 1 に記載のメモリシステム。

【請求項 6】

前記少なくとも一つの第 1 メモリ装置は、前記マザーボード上に配線され、対応するデータ及びクロック信号線を介してデータ信号及びクロック信号を受信することを特徴とす

る請求項 1 に記載のメモリシステム。

【請求項 7】

前記マザーボード上に装着されているソケットを通じてメモリコントローラと電氣的に連結される少なくとも一つのメモリモジュールを備えることを特徴とする請求項 1 に記載のメモリシステム。

【請求項 8】

前記少なくとも一つのメモリモジュールは、

前記少なくとも一つのメモリモジュールのモジュールボード上に装着される第 2 バッファと、

前記少なくとも一つのメモリモジュールのモジュールボード上に装着され前記第 2 バッファに連結される少なくとも一つの第 2 メモリ装置と、を備えることを特徴とする請求項 7 に記載のメモリシステム。

【請求項 9】

前記少なくとも一つの第 2 メモリ装置は、D R A M または S D R A M あることを特徴とする請求項 8 に記載のメモリシステム。

【請求項 10】

前記少なくとも一つのメモリモジュールは、

前記マザーボード上における前記メモリコントローラから前記少なくとも一つの第 1 メモリ装置までの距離よりも遠くに配置されることを特徴とする請求項 7 に記載のメモリシステム。

【請求項 11】

第 1 クロック信号線上のシステムクロック信号に応答して第 2 クロック信号線上の第 1 クロック信号を発生し前記マザーボード上に装着される位相同期ループを備えており、

前記少なくとも一つの第 1 メモリ装置は、前記第 1 クロック信号に同期して動作することを特徴とする請求項 1 に記載のメモリシステム。

【請求項 12】

第 1 クロック信号線上のシステムクロック信号に応答して第 2 クロック信号線上の第 1 クロック信号を発生し前記マザーボード上に装着される遅延同期ループを備えており、

前記少なくとも一つの第 1 メモリ装置は、前記第 1 クロック信号に同期して動作することを特徴とする請求項 1 に記載のメモリシステム。

【請求項 13】

前記システムクロック信号のための前記第 1 クロック信号線は、前記第 1 クロック信号のための前記第 2 クロック信号線に垂直に配置されていることを特徴とする請求項 11 に記載のメモリシステム。

【請求項 14】

前記システムクロック信号のための前記第 1 クロック信号線は、前記第 1 クロック信号のための前記第 2 クロック信号線に垂直に配置されていることを特徴とする請求項 12 に記載のメモリシステム。

【請求項 15】

マザーボード上に直接装着される少なくとも一つのメモリランクと、

前記マザーボード上において前記少なくとも一つのメモリランクに配線される複数の信号線と、を備えることを特徴とするメモリシステム。

【請求項 16】

前記少なくとも一つのメモリランクは、

少なくとも一つの第 1 メモリ装置と、

アドレス及びコマンド信号を前記少なくとも一つの第 1 メモリ装置に前記マザーボード上の対応する信号線を介してドライビングする第 1 バッファと、を備えることを特徴とする請求項 15 に記載のメモリシステム。

【請求項 17】

少なくとも一つの前記第 1 バッファは、

前記マザーボード上に配線されている第 1 コマンド及びアドレス信号線を介してコマンド及びアドレス信号を受信することを特徴とする請求項 16 に記載のメモリシステム。

【請求項 18】

前記少なくとも一つの第 1 メモリ装置は、

前記マザーボード上に配線されている第 2 コマンド及びアドレス信号線を介して前記少なくとも一つの第 1 バッファから前記コマンド及びアドレス信号を受信し、

前記第 1 コマンド及びアドレス信号線は、前記第 2 コマンド及びアドレス信号線と垂直に配置されていることを特徴とする請求項 17 に記載のメモリシステム。

【請求項 19】

前記少なくとも一つの第 1 メモリ装置は前記マザーボード上に配線され、対応するデータ及びクロック信号線を介してデータ信号及びクロック信号を受信することを特徴とする請求項 17 に記載のメモリシステム。

【請求項 20】

前記少なくとも一つの第 1 メモリ装置は、DRAM または SDRAM であることを特徴とする請求項 17 に記載のメモリシステム。

【請求項 21】

第 1 クロック信号線上のシステムクロック信号に応答して第 2 クロック信号線上の第 1 クロック信号を発生する位相同期ループを備えており、

前記少なくとも一つの第 1 メモリ装置は、前記第 1 クロック信号に同期して動作することを特徴とする請求項 20 に記載のメモリシステム。

【請求項 22】

第 1 クロック信号線上のシステムクロック信号に応答して第 2 クロック信号線上の第 1 クロック信号を発生する遅延同期ループを備えており、

前記少なくとも一つの第 1 メモリ装置は、前記第 1 クロック信号に同期して動作することを特徴とする請求項 20 に記載のメモリシステム。

【請求項 23】

前記システムクロック信号のための前記第 1 クロック信号線は、前記第 1 クロック信号のための前記第 2 クロック信号線に垂直に配置されることを特徴とする請求項 21 に記載のメモリシステム。

【請求項 24】

前記システムクロック信号のための前記第 1 クロック信号線は、前記第 1 クロック信号のための前記第 2 クロック信号線に垂直に配置されることを特徴とする請求項 22 に記載のメモリシステム。

【請求項 25】

メモリモジュールと、

前記マザーボード上に装着され、前記メモリモジュールと連結される受信部を備えることを特徴とする請求項 18 に記載のメモリシステム。

【請求項 26】

前記メモリモジュールは、

前記メモリモジュールのモジュールボード上に装着されている複数の第 2 メモリ装置と、

前記メモリモジュールのモジュールボード上に装着され、前記複数の第 2 メモリ装置をドライビングできる第 2 バッファと、を備えることを特徴とする請求項 25 に記載のメモリシステム。

【請求項 27】

システムクロックに応答して第 1 クロックを発生する位相同期ループを備えており、前記複数の第 2 メモリ装置は、前記第 1 クロックに同期して動作することを特徴とする請求項 25 に記載のメモリシステム。

【請求項 28】

システムクロックに応答して第 1 クロックを発生する遅延同期ループを備えており、前

記複数の第２メモリ装置は、前記第１クロックに同期して動作することを特徴とする請求項２５に記載のメモリシステム。

【請求項２９】

前記受信部は、

マザーボード上においてメモリコントローラから前記少なくとも一つの第１メモリ装置までの距離よりも遠くに配置されることを特徴とする請求項２５に記載のメモリシステム。

【請求項３０】

マザーボード上に複数の第１メモリ装置を装着する段階と、

対応するコマンド及びアドレス信号を前記マザーボード上の前記複数の第１メモリ装置にドライビングできる第１コマンド及びアドレスバッファを装着する段階と、を備えることを特徴とするメモリシステムの構成方法。

【請求項３１】

前記アドレスバッファから前記マザーボード上の前記第１メモリ装置に前記コマンド及びアドレス信号のための第１信号線を配線する段階を備えることを特徴とする請求項３０に記載のメモリシステムの構成方法。

【請求項３２】

前記マザーボード上に装着されているメモリコントローラから前記第１コマンド及びアドレスバッファに前記コマンド及びアドレス信号のための第２信号線を配線し、前記第１信号線は、前記第２信号線と垂直であることを特徴とする請求項３１に記載のメモリシステムの構成方法。

【請求項３３】

システムクロックに応答して第１クロックを発生する位相同期ループを前記マザーボード上に装着する段階を備えることを特徴とする請求項３１に記載のメモリシステムの構成方法。

【請求項３４】

システムクロックに応答して第１クロックを発生する遅延同期ループを前記マザーボード上に装着する段階を備えることを特徴とする請求項３１に記載のメモリシステムの構成方法。

【請求項３５】

前記マザーボード上に装着されている受信部を通じて前記マザーボード上に装着されているメモリコントローラとメモリモジュールを電氣的に連結する段階を備えることを特徴とする請求項３１に記載のメモリシステムの構成方法。

【請求項３６】

メモリモジュールのモジュールボード上に第２メモリ装置を装着する段階と、

前記モジュールボード上に第２コマンド及びアドレスバッファを装着する段階と、を具備しており、

前記モジュールボードは、前記マザーボード上に装着されているソケットを通じてメモリコントローラに連結されることを特徴とする請求項３１に記載のメモリシステムの構成方法。

【請求項３７】

システムクロックに応答して第１クロックを発生する位相同期ループを前記マザーボード上に装着する段階を備えることを特徴とする請求項３６に記載のメモリシステムの構成方法。

【請求項３８】

システムクロックに応答して第１クロックを発生する遅延同期ループを前記マザーボード上に装着する段階を備えることを特徴とする請求項３７に記載のメモリシステムの構成方法。

【請求項３９】

マザーボードに直接装着され、複数のコマンド及びアドレス信号を発生するメモリコン

トローラと、

前記マザーボード上に直接装着され、前記コマンド及びアドレス信号を受信する第1バッファと、

前記マザーボード上に直接装着され、前記第1バッファに連結される少なくとも一つの第1メモリ装置と、

前記マザーボード上において前記第1バッファ及び前記少なくとも一つの第1メモリ装置に配線される複数の信号線と、を備えることを特徴とするメモリシステム。

【請求項40】

マザーボードに直接装着され、複数のコマンド及びアドレス信号を発生するメモリコントローラと、

前記マザーボード上に直接装着され、前記コマンド及びアドレス信号を受信する第1バッファと、

前記マザーボード上に直接装着され、前記第1バッファに連結する少なくとも一つの第1メモリ装置と、

前記少なくとも一つのメモリモジュールは、モジュールボード上に装着され前記コマンド及びアドレス信号を受信する第2バッファと、前記第2バッファに連結され前記少なくとも一つの第1メモリ装置よりも前記メモリコントローラから遠い位置において前記モジュールボード上に装着される少なくとも一つの第2メモリ装置と、を具備する少なくとも一つのメモリモジュールと、

前記マザーボード上において前記第1バッファ及び前記少なくとも一つの第1メモリ装置に配線される複数の第1信号線と、

前記モジュールボード上における前記第2バッファ及び前記少なくとも一つの第2メモリ装置に配線される複数の第2信号線と、を備えることを特徴とするメモリシステム。

【請求項41】

マザーボードに直接装着され、複数のコマンド及びアドレス信号を発生するメモリコントローラと、

前記マザーボード上に直接装着され、前記コマンド及びアドレス信号を受信する第1バッファと、

前記マザーボード上に直接装着され、クロック信号を受信する位相同期ループと、

前記マザーボード上に直接装着され、前記第1バッファに連結される少なくとも一つの第1メモリ装置と、

前記マザーボード上において前記第1バッファ及び前記少なくとも一つの第1メモリ装置に配線される複数の信号線を備えており、

前記第1メモリ装置は、前記位相同期ループから出力される内部クロック信号に同期して動作することを特徴とするメモリシステム。

【請求項42】

マザーボードに直接装着され、複数のコマンド及びアドレス信号を発生するメモリコントローラと、

前記マザーボード上に直接装着され、前記コマンド及びアドレス信号を受信する第1バッファと、

前記マザーボード上に直接装着され、クロック信号を受信する第1位相同期ループと、

前記マザーボード上に直接装着され、前記第1バッファに連結される少なくとも一つの第1メモリ装置と、

モジュールボード上に装着され、前記コマンド及びアドレス信号を受信する第2バッファと、前記第2バッファに連結され前記少なくとも一つの第1メモリ装置よりも前記メモリコントローラから遠い位置において前記モジュールボード上に装着される少なくとも一つの第2メモリ装置と、を具備する少なくとも一つのメモリモジュールと、

前記マザーボード上に直接装着され、前記クロック信号を受信する第2位相同期ループと、

前記マザーボード上において前記第1バッファ及び前記少なくとも一つの第1メモリ装

置に配線される複数の第 1 信号線と、

前記モジュールボード上において前記第 2 バッファ及び前記少なくとも一つの第 2 メモリ装置に配線される複数の第 2 信号線と、を備えており、

前記第 1 メモリ装置は、前記第 1 位相同期ループから出力される第 1 内部クロック信号に同期して動作し、前記第 2 メモリ装置は、前記第 2 位相同期ループから出力される第 2 内部クロック信号に同期して動作することを特徴とするメモリシステム。