

①②

DEMANDE DE BREVET D'INVENTION

A1

②② Date de dépôt : 14.11.07.

③① Priorité :

④③ Date de mise à la disposition du public de la
demande : 19.12.08 Bulletin 08/51.

⑤⑥ Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

⑥① Références à d'autres documents nationaux
apparentés :

⑦① Demandeur(s) : COMMISSARIAT A L'ENERGIE ATO-
MIQUE Etablissement public à caractère industriel et
commercial — FR.

⑦② Inventeur(s) : KOSTRZEWA MAREK et MORICEAU
HUBERT.

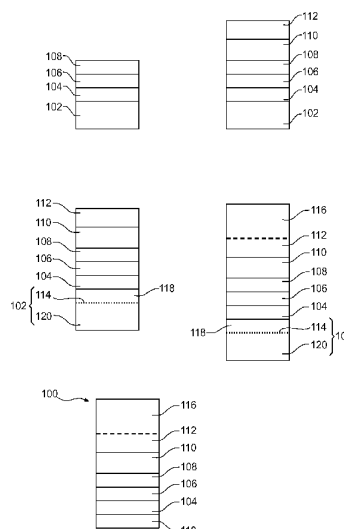
⑦③ Titulaire(s) :

⑦④ Mandataire(s) : BREVALEX.

⑤④ SUBSTRAT A COUCHE DE STOCKAGE DE CHARGES ELECTRIQUES ENTERREE ET PROCEDE DE
REALISATION.

⑤⑦ Substrat (100) comportant au moins une première
couche active (118) à base d'au moins un semiconducteur
sur laquelle sont empilés dans cet ordre:

- un empilement de stockage de charges électriques
(104, 106, 108),
- une couche (110) à base d'au moins un matériau élec-
triquement conducteur,
- une couche support (116) distincte de la couche (110)
à base du matériau électriquement conducteur.



**SUBSTRAT A COUCHE DE STOCKAGE DE CHARGES ELECTRIQUES
ENTERREE ET PROCEDE DE REALISATION**

DESCRIPTION

5 DOMAINE TECHNIQUE

La présente invention concerne le domaine des substrats utilisés notamment pour la réalisation de mémoires non-volatiles à base de semi-conducteur. Ces mémoires peuvent être utilisées notamment dans des
10 dispositifs électroniques dits « nomades », tels que les téléphones cellulaires, appareils photos numériques, dispositifs de stockage de données, lecteurs multimédia ou encore des systèmes de navigation.

15 ÉTAT DE LA TECHNIQUE ANTÉRIEURE

Les mémoires à base de semi-conducteur peuvent être classées en deux catégories : les mémoires volatiles et les mémoires non-volatiles. Les mémoires volatiles, très rapides, ont pour inconvénient majeur
20 que les données ne sont mémorisées que lorsque cette mémoire est alimentée électriquement. Les mémoires non-volatiles, une fois programmées, peuvent mémoriser les données même lorsqu'elles ne sont pas alimentées. De plus, ces mémoires, volatiles ou non, peuvent être re-
25 programmables, c'est-à-dire que l'état d'une cellule mémoire, qui est représentatif de la donnée qui y est stockée, peut être modifié plusieurs fois lors d'un cycle d'écriture. Cet état mémorisé peut être ensuite déterminé lors d'un cycle de lecture.

Les circuits intégrés contenant des mémoires non-volatiles doivent répondre à des critères de taille, de rapidité de fonctionnement, de consommation électrique et de durée de stockage sans
5 aucun apport extérieur d'énergie (par exemple pendant une durée de 10 ans).

Dans le cas d'une mémoire non-volatile à base de semi-conducteur, la modification de l'état d'une telle cellule mémoire correspond à la
10 modification de paramètres électriques, et plus particulièrement de la tension de seuil d'un transistor faisant partie de cette cellule mémoire.

De façon générale, la morphologie d'un dispositif mémoire unitaire que comporte une cellule
15 mémoire dite « mémoire Flash » est proche de celle d'un transistor MOS, avec en plus une grille flottante et un diélectrique tunnel, la grille flottante pouvant se charger en électrons en présence d'un champ électrique suffisamment fort dans le canal et le diélectrique
20 tunnel. Cette charge induit un décalage de la tension de seuil du dispositif mémoire qui est proportionnel à la charge stockée dans la grille flottante, correspondant au stockage d'une information par le dispositif.

25 Il existe également des dispositifs mémoires dits « à piégeage discret », dans lesquels la grille flottante est remplacée par un empilement de type ONO (oxyde-nitride-oxyde), chaque couche d'oxyde pouvant être formée par un empilement de plusieurs
30 oxydes différents. Un tel dispositif mémoire 1 est représenté sur la figure 1. Dans ce type de dispositif

mémoire, une couche très fine de nitrure de silicium 2, disposée entre une couche d'oxyde de contrôle 4 et une couche d'oxyde tunnel 6, joue le rôle de couche de piégeage de charges électriques, c'est-à-dire de couche de mémorisation de donnée ou couche de stockage de charges électriques. Ces trois couches 2, 4 et 6 forment un empilement ONO. L'empilement ONO sépare une grille de contrôle 8, en polysilicium, d'un canal 10 réalisé dans le substrat 12 de silicium. La présence de charges dans la couche de nitrure 2 (avec une densité de charges par exemple comprise entre environ 10^{12} et 10^{13} cm^{-2}) change la tension de seuil du dispositif mémoire 1, ce qui correspond au stockage d'une information par le dispositif mémoire 1. Les charges sont introduites dans la couche de nitrure 2 par effet tunnel en polarisant la grille de contrôle 8.

Les dispositifs mémoires à piégeage discret ont des dimensions inférieures à celles des dispositifs mémoires à grille flottante. Par rapport aux dispositifs mémoires à grille flottante, les dispositifs mémoires à piégeage discret permettent d'obtenir un couplage capacitif négligeable entre les cellules mémoires voisines et de simplifier leur réalisation. Dans ce type de dispositif mémoire, afin qu'un fonctionnement correct soit assuré, les épaisseurs de chaque couche ne doivent pas dépasser certaines limites hautes et basses. Par exemple, on ne peut pas réduire les épaisseurs des couches d'oxyde sans compromettre les propriétés de mémorisation (rétention de charges, fuites, etc.). La réduction de l'épaisseur de la couche d'oxyde tunnel constitue la

limitation principale à la réduction des dimensions d'un tel dispositif mémoire. La réduction de l'épaisseur de la couche d'oxyde tunnel permet de raccourcir la longueur de grille, mais cela pénalise la
5 durée de rétention des charges. La limite intrinsèque de l'épaisseur de l'oxyde tunnel est d'environ 5 nm ou 6 nm, limite en dessous de laquelle les fuites d'électrons de la grille peuvent empêcher une rétention suffisante des charges, et donc une mémorisation
10 correcte.

Il est également connu de ne pas placer l'empilement ONO entre la grille de contrôle et le canal, mais de l'enterrer sous le canal. Un tel dispositif mémoire 20 est représenté sur la figure 2.
15 Ce dispositif mémoire 20 comporte un empilement ONO formé par une couche mémoire de nitrure de silicium 22 disposée entre une couche d'oxyde de contrôle 24 et une couche d'oxyde tunnel 26. Cet empilement ONO est disposé sous un canal 30 de la cellule 20. Une grille
20 de contrôle 28 est disposée sous l'empilement ONO. Enfin, une couche d'oxyde de lecture 34 est disposée entre une grille de lecture 32 et le canal 30, au dessus du canal 30.

Par rapport au dispositif mémoire 1 de la
25 figure 1, le principe de fonctionnement du dispositif mémoire 20 à empilement ONO enterré reste le même, les charges étant piégées dans la couche de nitrure 22. Grâce à cette solution, le transistor réalisé sur la couche de silicium supérieure du dispositif
30 mémoire 20 peut être un transistor MOS « classique » (canal + drain + source + grille + oxyde de grille).

Cette solution permet également une miniaturisation plus aisée du dispositif mémoire 20 du fait de l'indépendance relative entre la zone de stockage de l'information formée par l'empilement ONO et le transistor associé réalisé sur la couche de silicium supérieure du dispositif mémoire 20.

Le dispositif mémoire 20 est réalisé à partir d'un substrat, appelé substrat à empilement ONO enterré, dont la fabrication est détaillée ci-dessous.

On réalise tout d'abord un substrat donneur 37 comportant une couche 36 à base de silicium de type P sur laquelle est disposé un empilement ONO 38 de type $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$. Cet empilement ONO 38 est obtenu par exemple par oxydation thermique et par dépôt. On forme également un substrat support 39 comportant une couche de silicium 40 dopé N^{++} , destinée à former la grille de contrôle du dispositif mémoire 20, sur laquelle est formée par croissance une couche d'oxyde thermique 42. On réalise alors une implantation ionique dans le substrat donneur 37, formant une zone fragilisée dans la couche de silicium 36 (voir figure 3A).

Comme représenté sur la figure 3B, le substrat donneur 37 et le substrat support 39 sont ensuite assemblés par un collage moléculaire, par l'intermédiaire de la couche d'oxyde thermique 42 et d'une des couches d'oxyde de l'empilement ONO 38, à température ambiante. L'interface de collage est donc ici formée par deux couches d'oxyde.

On réalise enfin une fracture au niveau de la zone fragilisée par l'implantation d'ions dans la couche de silicium 36 afin de ne conserver qu'une

fine couche de silicium 44 de type P sur l'empilement ONO 38 (voir figure 3C).

On obtient ainsi un substrat à partir duquel le dispositif mémoire 20 peut être réalisé par des techniques CMOS classiques, comportant par exemple des étapes de lithographie optique ou par faisceau d'électrons.

Toutefois, le substrat ainsi obtenu a notamment pour inconvénient de pouvoir comporter beaucoup de défauts au niveau de l'interface de collage formée par les deux couches d'oxyde dont l'épaisseur totale est faible (typiquement inférieure à environ 50 nm). Etant donné que ces couches d'oxyde forment la couche d'oxyde de contrôle du dispositif mémoire, ces défauts peuvent perturber le fonctionnement électrique du dispositif mémoire. De plus, le nombre de ces défauts augmente lorsque l'on réduit l'épaisseur des couches d'oxyde servant d'interfaces de collage, ce qui est un inconvénient majeur lorsque l'on souhaite réaliser des dispositifs mémoires occupant le moins de place possible, par exemple lorsque l'on souhaite obtenir une couche d'oxyde de contrôle d'épaisseur égale à environ 30 nm.

EXPOSÉ DE L'INVENTION

Un but de la présente invention est de proposer un nouveau substrat, et un procédé de réalisation d'un tel substrat, à partir duquel il soit possible de fabriquer des dispositifs semi-conducteurs classiques, par exemple des transistors MOS, et comportant également un empilement couche diélectrique

- couche de stockage de charges électriques - couche diélectrique, appelé dans la suite du document empilement de stockage de charges électriques, permettant notamment la réalisation de dispositifs
5 mémoires à partir de cet empilement enterré dont les propriétés et capacités de stockage soient indépendantes de la technologie de fabrication des dispositifs MOS classiques.

Un autre but de la présente invention est
10 également de proposer un substrat à empilement de stockage de charges électriques enterré comportant le moins de défauts possible, autorisant ainsi une réduction des dimensions des dispositifs mémoires réalisés sur ce substrat par rapport à ceux de l'art
15 antérieur.

Pour cela, la présente invention propose un substrat comportant au moins une première couche active à base d'au moins un semi-conducteur sur laquelle sont empilés dans cet ordre :

- 20 - un empilement de stockage de charges électriques,
- une couche à base d'au moins un matériau électriquement conducteur,
- une couche support distincte de la couche
25 à base du matériau électriquement conducteur.

La présente invention propose également un substrat comportant au moins une couche active, appelée première couche active, à base d'au moins un semi-conducteur sur laquelle sont empilées, dans cet ordre :

- 30 - une couche diélectrique, appelée seconde couche,

- une couche de stockage de charges électriques, appelée troisième couche,

- une couche diélectrique, appelée quatrième couche,

5 - une couche à base d'au moins un matériau électriquement conducteur, appelée cinquième couche,

- une couche support distincte de la cinquième couche à base du matériau électriquement conducteur.

10 On entend par matériau électriquement conducteur tout matériau apte à former une couche pouvant réaliser, lorsque celle-ci est polarisée, un transfert de charges électriques dans la couche de stockage de charges. Ce matériau électriquement
15 conducteur peut notamment être à base d'un métal et/ou d'un alliage métallique, par exemple du siliciure, et/ou d'un semi-conducteur polycristallin ou amorphe, unique ou composite, et/ou avoir une résistivité inférieure à environ 1000 $\Omega/\text{carré}$ ou comprise entre
20 environ 10 $\Omega/\text{carré}$ et environ 500 $\Omega/\text{carré}$.

Chacune de ces couches peut être formée par un seul matériau, ou par un empilement de plusieurs matériaux. Par exemple, une ou chacune des couches diélectriques peut être formée par un empilement de
25 plusieurs matériaux diélectriques différents.

La couche à base du matériau électriquement conducteur disposée contre l'empilement de stockage de charges électriques, c'est-à-dire l'empilement formé par les seconde, troisième et quatrième couches, sépare
30 cet empilement de la couche support. Ainsi, l'empilement de stockage de charges électriques de ce

substrat est protégé lors des étapes de collage et de transfert mises en œuvre pour la réalisation de ce substrat.

La couche à base du matériau électriquement conducteur peut notamment être utilisée pour la réalisation d'une grille arrière, ou grille de contrôle, d'un dispositif mémoire à empilement de stockage de charges électriques enterré.

Ce substrat permet donc la fabrication de dispositifs mémoires sur des lignes de conception MOS sans changer les règles de « design » existantes car aucun empilement de grille particulier n'est nécessaire pour la réalisation d'un dispositif mémoire sur un tel substrat.

Enfin, un tel substrat permet de choisir les caractéristiques de l'empilement de stockage de charges électriques (épaisseurs des couches, techniques de dépôts utilisés pour sa réalisation) indépendamment de la technologie de fabrication des dispositifs semi-conducteurs réalisés ultérieurement sur ce substrat. Toute amélioration de fabrication des dispositifs MOS (miniaturisation, changement de matériaux, etc.) peut être introduite sans modifier la nature de l'empilement de stockage de charges électriques. La technologie utilisée pour la réalisation des dispositifs mémoires peut donc profiter de toutes les améliorations de la technologie MOS.

La couche support peut être à base d'au moins un semi-conducteur et/ou de verre et/ou de quartz et/ou de saphir et/ou de diamant.

La première couche active et/ou la couche à base du matériau électriquement conducteur et/ou la couche support peuvent être à base de silicium.

La première couche active peut être à base d'au moins un semi-conducteur monocristallin et/ou contraint.

L'empilement de stockage de charges électriques peut comporter au moins :

- une seconde couche diélectrique,
- 10 - une troisième couche de stockage de charges électriques,
- une quatrième couche diélectrique,
- la couche à base du matériau électriquement conducteur pouvant être appelée cinquième couche.

15 La seconde couche diélectrique et/ou la quatrième couche diélectrique peuvent être à base d'au moins un oxyde tel que de l'oxyde de silicium et/ou un diélectrique à forte permittivité (« high-k »), tel que du HfO_2 , notamment lorsque la première couche active
20 est à base de germanium.

La troisième couche de stockage de charges électriques peut être à base d'au moins un nitrure tel que du nitrure de silicium Si_xN_y .

Le substrat peut comporter en outre au moins une couche diélectrique, appelée sixième couche, disposée entre la couche à base du matériau électriquement conducteur et la couche support.

La sixième couche diélectrique peut être à base d'au moins un oxyde, tel que de l'oxyde de
30 silicium.

La présente invention concerne également un dispositif mémoire comportant au moins :

- un substrat tel que décrit précédemment,
- une grille de contrôle formée par au
- 5 moins une partie de la couche à base du matériau électriquement conducteur du substrat,
- un canal et des zones de source et de drain formés au moins dans la première couche active du substrat,
- 10 - une grille et un oxyde de grille réalisés sur la première couche active, au-dessus du canal.

Le dispositif mémoire peut également comporter :

- une couche d'oxyde de contrôle formée par
- 15 au moins une partie de la quatrième couche diélectrique du substrat,
- une couche mémoire formée par au moins une partie de la troisième couche de stockage de charges électriques du substrat,
- 20 - une couche d'oxyde tunnel formée par au moins une partie de la seconde couche diélectrique du substrat.

La présence de la cinquième couche à base du matériau électriquement conducteur, servant de

25 grille de contrôle du dispositif mémoire, facilite la reprise de contacts ultérieure sur celle-ci par rapport à une grille de contrôle à base de silicium dopé formée par une couche support ou une partie d'une couche support.

La présente invention propose également un procédé de réalisation d'un substrat comportant au moins les étapes suivantes :

5 a) réalisation d'un empilement de stockage de charges électriques sur une première couche active à base d'au moins un semi-conducteur,

b) dépôt d'une couche à base d'au moins un matériau électriquement conducteur sur l'empilement de stockage de charges électriques,

10 c) collage moléculaire d'une couche support sur la couche à base du matériau électriquement conducteur,

au moins une partie de la première couche à base de semi-conducteur formant une première couche
15 active du substrat.

La présente invention propose aussi un procédé de réalisation d'un substrat comportant au moins les étapes suivantes :

20 1) réalisation d'une seconde couche diélectrique sur une première couche à base d'au moins un semi-conducteur,

2) dépôt d'une troisième couche de stockage de charges électriques sur la seconde couche diélectrique,

25 3) réalisation d'une quatrième couche diélectrique sur la troisième couche de stockage de charges électriques,

4) dépôt d'une cinquième couche à base d'au moins un matériau électriquement conducteur sur la
30 quatrième couche diélectrique,

5) implantation ionique dans la première couche à travers les autres couches du substrat, créant une zone fragilisée dans la première couche,

6) collage moléculaire d'une couche support
5 sur la cinquième couche,

7) fracture au niveau de la zone fragilisée dans la première couche, une partie restante de la première couche solidaire de la seconde couche formant une première couche active du substrat.

10 Ce procédé permet d'éloigner l'interface de collage de la première couche active de semi-conducteur, destinée à recevoir une zone active de composant, et de l'empilement de stockage de charges électriques enterré. Le collage moléculaire et une
15 étape de séparation, par exemple un recuit, peuvent donc être réalisés sans modifier la qualité de l'empilement de stockages de charges électriques (en termes de capacité de piégeage des charges).

Le procédé peut comporter en outre, après
20 l'étape de fracture, une étape de traitement de finition de la première couche active, supprimant ou atténuant la rugosité en surface de la première couche active. Cette étape de traitement de finition peut par exemple être une planarisation mécano-chimique.

25 Le procédé peut également comporter, après l'étape de fracture, une étape de traitement thermique renforçant la tenue des interfaces de collage entre les différentes couches.

L'empilement de stockage de charges
30 électriques peut être obtenu par la mise en œuvre des étapes suivantes :

- réalisation d'une seconde couche diélectrique sur la première couche,

- dépôt d'une troisième couche de stockage de charges électriques sur la seconde couche diélectrique,

- réalisation d'une quatrième couche diélectrique sur la troisième couche de stockage de charges électriques,

la couche à base du matériau électriquement conducteur étant appelée cinquième couche.

La seconde couche diélectrique peut être obtenue au moins par une oxydation de la première couche.

La quatrième couche diélectrique peut être obtenue au moins par une oxydation de la troisième couche de stockage de charges électriques.

Le procédé peut comporter en outre, entre l'étape b) de dépôt et l'étape c) de collage moléculaire, une étape d'implantation ionique dans la première couche à travers la cinquième couche à base du matériau électriquement conducteur et l'empilement de stockage de charges électriques, créant une zone fragilisée dans la première couche.

Le procédé peut comporter en outre après l'étape c) de collage moléculaire, une étape de recuit séparant, au niveau de la zone fragilisée, une partie de la première couche active du reste du substrat, une partie restante de la première couche formant la première couche active.

L'étape c) de collage moléculaire peut être réalisée par l'intermédiaire d'au moins une couche

diélectrique, appelée sixième couche, disposée entre la couche à base du matériau électriquement conducteur et la couche support. Cette sixième couche diélectrique, disposée sur la cinquième couche de matériau électriquement conducteur, facilite le collage moléculaire entre la cinquième couche de matériau électriquement conducteur et la couche support, par exemple à base de semi-conducteur. De plus, cette sixième couche servant de couche de collage permet également d'absorber les espèces gazeuses ou liquides présents lors de l'étape de collage.

Le procédé peut comporter en outre, entre l'étape b) de dépôt et l'étape c) de collage moléculaire, une étape de réalisation de la sixième couche diélectrique sur la couche support et/ou sur la cinquième couche à base du matériau électriquement conducteur.

L'étape de réalisation de la sixième couche diélectrique sur la couche support et/ou sur la cinquième couche à base du matériau électriquement conducteur peut être obtenue respectivement par au moins un traitement, par exemple thermique, d'oxydation de la couche support et/ou de la cinquième couche à base du matériau électriquement conducteur, ou au moins un dépôt sur la couche support et/ou sur la cinquième couche à base du matériau électriquement conducteur ou au moins un traitement d'activation de surface tel qu'une planarisation mécano-chimique et/ou un traitement plasma en atmosphère oxygénée (O_2 RIE (RIE : gravure ionique réactive), O_2 ICP (ICP : gravure plasma à couplage inductif), etc.).

Enfin, la présente invention concerne un procédé de réalisation d'un dispositif mémoire comportant au moins les étapes suivantes:

- 5 d'un substrat tel que décrit précédemment,
- dopage de la première couche active du substrat, formant un canal du dispositif mémoire,
- dépôt d'une couche d'oxyde de grille sur la première couche active du substrat,
- 10 - dépôt d'une couche à base d'un matériau de grille sur la couche d'oxyde de grille,
- photolithographie et gravure de la couche à base du matériau de grille et de la couche d'oxyde de grille, formant au moins une grille du dispositif
- 15 mémoire,
- réalisation de zones de source et de drain du dispositif mémoire dans la première couche du substrat.

Ainsi, le dispositif mémoire peut comporter

20 en outre une grille de contrôle formée par au moins une partie de la cinquième couche à base du matériau électriquement conducteur du substrat, une couche d'oxyde de contrôle formée par au moins une partie de la quatrième couche diélectrique du substrat, une

25 couche mémoire formée par au moins une partie de la troisième couche de stockage de charges électriques du substrat, et une couche d'oxyde tunnel formée par au moins une partie de la seconde couche diélectrique du substrat.

BRÈVE DESCRIPTION DES DESSINS

La présente invention sera mieux comprise à la lecture de la description d'exemples de réalisation donnés à titre purement indicatif et nullement
5 limitatif en faisant référence aux dessins annexés sur lesquels :

- la figure 1 représente une cellule mémoire à empilement ONO selon l'art antérieur,
- la figure 2 représente une cellule
10 mémoire à empilement ONO enterré selon l'art antérieur,
- les figures 3A à 3C représentent des étapes d'un procédé de réalisation d'un substrat à empilement ONO selon l'art antérieur,
- les figures 4A à 4E représentent des
15 étapes d'un procédé de réalisation d'un substrat à empilement de stockage de charges électriques enterré selon un premier mode de réalisation de la présente invention,
- les figures 5A à 5E représentent des
20 étapes d'un procédé de réalisation d'un substrat à empilement de stockage de charges électriques enterré selon un second mode de réalisation de la présente invention,
- la figure 6 représente un dispositif
25 mémoire réalisé sur un substrat à empilement de stockage de charges électriques enterré selon un mode de réalisation particulier de la présente invention.

Des parties identiques, similaires ou équivalentes des différentes figures décrites ci-après
30 portent les mêmes références numériques de façon à faciliter le passage d'une figure à l'autre.

Les différentes parties représentées sur les figures ne le sont pas nécessairement selon une échelle uniforme, pour rendre les figures plus lisibles.

- 5 Les différentes possibilités (variantes et modes de réalisation) doivent être comprises comme n'étant pas exclusives les unes des autres et peuvent se combiner entre elles.

EXPOSÉ DÉTAILLÉ DE MODES DE RÉALISATION PARTICULIERS

- 10 On se réfère tout d'abord aux figures 4A à 4E qui représentent les étapes d'un procédé de réalisation d'un substrat 100 à empilement de stockage de charges électriques enterré selon un premier mode de réalisation.

- 15 Comme représenté sur la figure 4A, on réalise tout d'abord un empilement de stockage de charges électriques, ici un empilement ONO, sur une première couche 102 à base d'au moins un semi-conducteur, par exemple du silicium monocristallin.
- 20 Pour cela, on réalise tout d'abord une seconde couche diélectrique 104, par exemple à base d'oxyde de silicium, sur la première couche de silicium 102, par exemple par une oxydation thermique de la première couche 102. Cette oxydation peut par exemple être
- 25 réalisée sur une épaisseur comprise entre environ 2 nm et 20 nm. Dans une variante, la seconde couche diélectrique 104 peut également être formée par un dépôt sur la première couche 102.

- On réalise ensuite le dépôt, par exemple de
- 30 type LPCVD (dépôt chimique en phase vapeur à basse

pression), d'une troisième couche de stockage de charges électriques 106, c'est-à-dire apte à stocker des charges électriques, par exemple à base de nitrure de silicium (Si_3N_4 par exemple, ou plus généralement Si_xN_y), d'épaisseur comprise entre environ 3 nm et 50 nm, sur la seconde couche diélectrique 104.

Enfin, l'empilement ONO est achevé par un dépôt d'une quatrième couche diélectrique 108, par exemple à base d'oxyde de silicium, sur la troisième couche de nitrure 106, par exemple de type CVD (dépôt chimique en phase vapeur), LPCVD ou encore HDP CVD (dépôt chimique en phase vapeur à haute densité de plasma). Ce dépôt peut également être suivi par une étape de recuit de densification. Cette couche 108 a typiquement une épaisseur comprise entre environ 5 nm et 50 nm.

On dépose alors une cinquième couche 110 à base d'au moins un matériau électriquement conducteur, par exemple une couche métallique, ou à base d'un alliage métallique tel que du siliciure, ou encore à base de semi-conducteur de type amorphe ou polycristallin tel que du silicium, sur la quatrième couche diélectrique 108. Dans le cas d'une cinquième couche 110 à base de silicium polycristallin, celle-ci peut être déposée par LPCVD. On dépose ensuite une sixième couche diélectrique 112 sur la cinquième couche 110. Dans une variante, cette sixième couche 112, par exemple à base de SiO_2 , peut être formée par un traitement thermique d'oxydation d'une partie de la cinquième couche 110 (voir figure 4B) lorsque celle-ci est à base de semi-conducteur.

On réalise ensuite une implantation ionique, par exemple d'ions H_2 , dans la première couche 102, à travers les autres couches 104 à 112 du substrat, créant ainsi une zone fragilisée 114
5 délimitant une première partie 118 de la première couche 102 liée à la seconde couche diélectrique 104 et une seconde partie 120 de la première couche 102 (voir figure 4C). Dans cet exemple de réalisation, l'implantation ionique est réalisée telle que la
10 première partie 118 de la première couche 102 ait une épaisseur comprise entre environ 100 nm et 600 nm.

Ensuite, on réalise un collage moléculaire d'une couche support 116 par exemple à base d'au moins un semi-conducteur, ici du silicium, sur la sixième
15 couche 112. Ce collage moléculaire est de type hydrophile (voir figure 4D). La couche support 116 peut également être à base d'au moins un autre matériau tel que du verre et/ou du quartz et/ou du saphir et/ou du diamant.

20 Dans une variante de réalisation, lorsque la couche support 116 est à base de semi-conducteur, celle-ci peut être, en surface, à base d'au moins un oxyde. La couche d'oxyde formée en surface de la couche support 116 facilite le collage moléculaire réalisé
25 entre la sixième couche diélectrique 112 et la couche support 116.

Comme représenté sur la figure 4E, on effectue un recuit, appelé recuit de fracture, séparant, au niveau de la zone fragilisée 114, la
30 seconde partie 120 de la première couche 102 du reste du substrat 100. Dans ce mode de réalisation, le recuit

est réalisé à une température égale à environ 400°C, mais peut également être réalisé à une température comprise entre environ 200°C et 600°C en fonction des conditions d'implantation et d'éventuels traitements thermiques effectués lors de la préparation des surfaces pour le collage pouvant induire une fragilisation supplémentaire avant collage.

La réalisation du substrat 100 est enfin achevée par des étapes de finition de la première partie 118 de la première couche de silicium 102, par exemple un nettoyage RCA, un recuit de stabilisation du collage (par exemple pendant une durée de 2 heures à 1100°C), un polissage mécano-chimique, un amincissement thermique et un nettoyage final. Après ces étapes de finition, la première partie 118 de la première couche de silicium 102 a par exemple une épaisseur comprise entre environ 10 nm et 200 nm, et forme une couche active 118 du substrat 100 sur laquelle peuvent être réalisés des dispositifs actifs (transistors, ...).

On obtient ainsi un substrat 100 prêt pour servir de support à la réalisation d'un dispositif mémoire tel qu'un dispositif mémoire à empilement de stockage de charges électriques enterré.

On se réfère maintenant aux figures 5A à 5E qui représentent les étapes d'un procédé de réalisation du substrat 100 à empilement de stockage de charges électriques enterré selon un second mode de réalisation.

Comme pour le premier mode de réalisation décrit précédemment, on réalise tout d'abord un empilement de stockage de charges électriques, ici un

empilement ONO, formé par la seconde couche diélectrique 104 de SiO_2 , la troisième couche de stockage de charges 106 de Si_3N_4 et la quatrième couche diélectrique 108 de SiO_2 , sur la première couche 102 de silicium (voir figure 5A). Cet empilement ONO peut être réalisé de manière similaire à celle décrite pour le premier mode de réalisation.

On dépose ensuite la cinquième couche 110 de matériau électriquement conducteur, par exemple du semi-conducteur amorphe ou polycristallin, sur la quatrième couche diélectrique 108 (voir figure 5B).

On réalise ensuite une implantation ionique, par exemple d'ions H_2 , dans la première couche 102, à travers les autres couches 104 à 110 du substrat, créant ainsi une zone fragilisée 114 délimitant une première partie 118 de la première couche 102 liée à la seconde couche diélectrique 104 et une seconde partie 120 de la première couche 102 (voir figure 5C).

On réalise ensuite la couche diélectrique 112 à base de SiO_2 , sur la couche support 116, par exemple à base de silicium. Cette couche diélectrique 112 peut être déposée sur la couche de silicium 116 ou bien être obtenu en oxydant la couche de silicium 116. Ces deux couches sont ensuite collées avec le reste du substrat déjà réalisé par un collage moléculaire entre la couche diélectrique 112, appelée sixième couche diélectrique 112, et la cinquième couche 110 à base du matériau électriquement conducteur (figure 5D).

En variante, il est possible qu'une partie de la couche diélectrique 112 soit réalisée sur la

cinquième couche 110 à base du matériau électriquement conducteur, par exemple par un dépôt basse température (par exemple à une température quasi ambiante) par pulvérisation, ou un dépôt PECVD (dépôt chimique en phase vapeur assisté par plasma) à une température par exemple égale à environ 280 °C (dans ce cas, on pourra prendre en compte la fragilisation supplémentaire dans la zone 114 induite par le dépôt), ou une oxydation lorsque la cinquième couche 110 est à base de semi-conducteur, après l'étape d'implantation dans la première couche 102.

Enfin, comme pour le premier mode de réalisation, on effectue un recuit de fracture, séparant, au niveau de la zone fragilisée 114, la seconde partie 120 de la première couche 102 du reste du substrat 100. La réalisation du substrat 100 est achevée par les étapes de finition de la première partie 118 de la première couche de silicium 102 qui forme alors une couche active 118 du substrat 100.

Selon le mode de réalisation du substrat 100, le collage entre la couche support 116 et la cinquième couche 110 à base de matériau électriquement conducteur peut donc être effectué soit entre deux couches diélectriques lorsque des couches de diélectrique sont prévues sur les couches 110 et 116, soit entre la couche diélectrique 112 et la cinquième couche 110 de matériau électriquement conducteur lorsque la couche diélectrique 112 est réalisée sur la couche support 116, ou soit entre la couche support 116 et une couche diélectrique si celle-ci est prévue sur la cinquième couche 110 de matériau électriquement

conducteur, ou encore directement entre la cinquième couche 110 de matériau électriquement conducteur et la couche support 116 si aucune couche diélectrique n'est prévue.

5 Le substrat 100 obtenu est prêt pour servir de support à la réalisation d'un dispositif mémoire tel qu'un dispositif mémoire à empilement ONO enterré. La figure 6 représente un exemple de dispositif mémoire 200 réalisé sur un substrat à empilement ONO enterré,
10 par exemple similaire au substrat 100 décrit précédemment.

 Le dispositif mémoire 200 comporte un empilement ONO formé par la troisième couche 106 de Si_3N_4 , formant une couche mémoire, disposée entre les
15 deux couches diélectriques 104 et 108 de SiO_2 , formant respectivement les couches d'oxyde tunnel et d'oxyde de contrôle.

 Cet empilement ONO est disposé sous un canal 202, réalisé dans la couche active 118, entre des
20 zones de source et de drain 204. Une grille de contrôle est disposée sous l'empilement ONO, formée par la cinquième couche 110 de matériau électriquement conducteur. Enfin, une couche d'oxyde de lecture 206 est disposée entre une grille de lecture 208 et le
25 canal 202.

 Ce dispositif 200 peut notamment être obtenu par la mise en œuvre d'étapes de réalisation classique d'un transistor MOS sur le substrat 100 à empilement de stockage de charges électriques enterré.

On réalise tout d'abord un dopage de la couche active 118 du substrat 100, formant un canal 202 du dispositif mémoire.

On dépose ensuite une couche d'oxyde de grille 206 sur la couche active 118 du substrat 100, puis une couche 208 à base d'un matériau de grille sur cette couche d'oxyde de grille 206. Ensuite, on réalise une photolithographie et une gravure de la couche à base du matériau de grille et de la couche d'oxyde de grille, formant au moins une grille du dispositif mémoire 200. Des espaceurs sont alors réalisés autour de la grille. Enfin, on réalise les zones de source et de drain 204 du dispositif mémoire 200 dans la couche active 118 du substrat 100 par dopage.

REVENDICATIONS

1. Substrat (100) comportant au moins une première couche active (118) à base d'au moins un semi-conducteur sur laquelle sont empilés dans cet ordre :
 - un empilement de stockage de charges électriques (104, 106, 108),
 - une couche (110) à base d'au moins un matériau électriquement conducteur,
 - 10 - une couche support (116) distincte de la couche (110) à base du matériau électriquement conducteur.
2. Substrat (100) selon la revendication 15 1, la première couche active (118) et/ou la couche (110) à base du matériau électriquement conducteur et/ou la couche support (116) étant à base de silicium.
3. Substrat (100) selon l'une des 20 revendications précédentes, la première couche active (118) étant à base d'au moins un semi-conducteur monocristallin et/ou contraint.
4. Substrat (100) selon l'une des 25 revendications précédentes, le matériau électriquement conducteur étant à base d'un semi-conducteur amorphe ou polycristallin, unique ou composite.
5. Substrat (100) selon l'une des 30 revendications précédentes, la couche support (116)

étant à base d'au moins un semi-conducteur et/ou de verre et/ou de quartz et/ou de saphir et/ou de diamant.

5 6. Substrat (100) selon l'une des revendications précédentes, l'empilement de stockage de charges électriques comportant au moins :

- une seconde couche (104) diélectrique,
- une troisième couche (106) de stockage de charges électriques,
- 10 - une quatrième couche (108) diélectrique,
- la couche (110) à base du matériau électriquement conducteur étant appelée cinquième couche.

15 7. Substrat (100) selon la revendication 6, la seconde couche diélectrique (104) et/ou la quatrième couche diélectrique (108) étant à base d'au moins un oxyde, tel que de l'oxyde de silicium.

20 8. Substrat (100) selon l'une des revendications 6 ou 7, la troisième couche de stockage de charges électriques (106) étant à base d'au moins un nitrure, tel que du nitrure de silicium.

25 9. Substrat (100) selon l'une des revendications précédentes, comportant en outre au moins une couche diélectrique (112), appelée sixième couche, disposée entre la couche (110) à base du matériau électriquement conducteur et la couche support
30 (116).

10. Substrat (100) selon la revendication 9, la sixième couche diélectrique (112) étant à base d'au moins un oxyde, tel que de l'oxyde de silicium.

5 11. Dispositif mémoire (200) comportant au moins :

- un substrat (100) selon l'une des revendications 1 à 10,
- une grille de contrôle formée par au
10 moins une partie de la couche (110) à base du matériau électriquement conducteur du substrat (100),
- un canal (202) et des zones de source et de drain (204) formés au moins dans la première couche active (118) du substrat (100),
- 15 - une grille (208) et un oxyde de grille (206) réalisés sur la première couche active (118), au-dessus du canal (202).

12. Procédé de réalisation d'un substrat
20 (100) comportant au moins les étapes suivantes :

- a) réalisation d'un empilement de stockage de charges électriques (104, 106, 108) sur une première couche (102) à base d'au moins un semi-conducteur,
- b) dépôt d'une couche (110) à base d'au
25 moins un matériau électriquement conducteur sur l'empilement de stockage de charges électriques (104, 106, 108),
- c) collage moléculaire d'une couche support (116) sur la couche (110) à base du matériau
30 électriquement conducteur,

au moins une partie (118) de la première couche (102) à base de semi-conducteur formant une première couche active (118) du substrat (100).

5 13. Procédé selon la revendication 12, l'empilement de stockage de charges électriques étant obtenu par la mise en œuvre des étapes suivantes :

 - réalisation d'une seconde couche (104) diélectrique sur la première couche (102),
10 - dépôt d'une troisième couche (106) de stockage de charges électriques sur la seconde couche diélectrique (104),

 - réalisation d'une quatrième couche (108) diélectrique sur la troisième couche de stockage de
15 charges électriques (106),

 la couche (110) à base du matériau électriquement conducteur étant appelée cinquième couche (110).

20 14. Procédé selon la revendication 13, la seconde couche diélectrique (104) étant obtenue au moins par une oxydation de la première couche (102).

 15. Procédé selon l'une des revendications
25 13 ou 14, la quatrième couche diélectrique (108) étant obtenue au moins par une oxydation de la troisième couche de stockage de charges électriques (106).

 16. Procédé selon l'une des revendications
30 12 à 15, comportant en outre, entre l'étape b) de dépôt et l'étape c) de collage moléculaire, une étape

d'implantation ionique dans la première couche (102) à travers la cinquième couche (110) à base du matériau électriquement conducteur et l'empilement de stockage de charges électriques (104, 106, 108), créant
5 une zone fragilisée (114) dans la première couche (102).

17. Procédé selon la revendication 16, comportant en outre après l'étape c) de collage
10 moléculaire, une étape de recuit séparant, au niveau de la zone fragilisée (114), une partie (120) de la première couche (102) du reste du substrat (100), une partie restante (118) de la première couche (102) formant la première couche active (118).

15 18. Procédé selon l'une des revendications 12 à 17, l'étape c) de collage moléculaire étant réalisée par l'intermédiaire d'au moins une couche diélectrique (112), appelée sixième couche, disposée
20 entre la cinquième couche (110) à base du matériau électriquement conducteur et la couche support (116).

19. Procédé selon la revendication 18, comportant en outre, entre l'étape b) de dépôt et
25 l'étape c) de collage moléculaire, une étape de réalisation de la sixième couche diélectrique (112) sur la couche support (116) et/ou sur la cinquième couche (110) à base du matériau électriquement conducteur.

30 20. Procédé selon la revendication 19, l'étape de réalisation de la sixième couche

diélectrique (112) sur la couche support (116) et/ou sur la cinquième couche (110) à base du matériau électriquement conducteur étant obtenue respectivement par au moins un traitement d'oxydation de la couche support (116) et/ou de la cinquième couche (110) à base du matériau électriquement conducteur, ou au moins un dépôt sur la couche support (116) et/ou sur la cinquième couche (110) à base du matériau électriquement conducteur, ou au moins un traitement d'activation de surface.

21. Procédé de réalisation d'un dispositif mémoire (200) comportant au moins les étapes suivantes:

- mise en œuvre d'un procédé de réalisation d'un substrat (100) selon l'une des revendications 12 à 20,

- dopage de la première couche active (118) du substrat (100), formant un canal (202) du dispositif mémoire (200),

- dépôt d'une couche d'oxyde de grille (206) sur la première couche active (118) du substrat (100),

- dépôt d'une couche à base d'un matériau de grille (208) sur la couche d'oxyde de grille (206),

- photolithographie et gravure de la couche à base du matériau de grille (208) et de la couche d'oxyde de grille (206), formant au moins une grille du dispositif mémoire (200),

- réalisation de zones de source et de drain (204) du dispositif mémoire (200) dans la première couche active (118) du substrat (100).

1 / 3

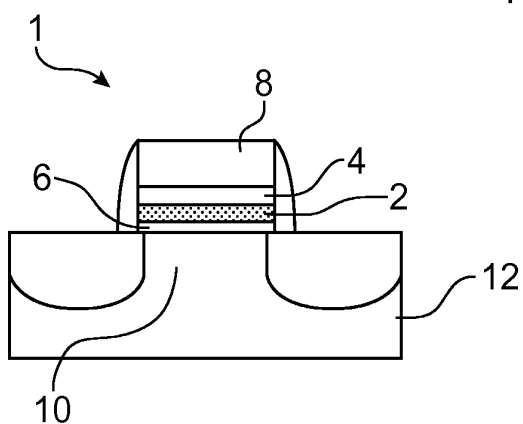


FIG.1

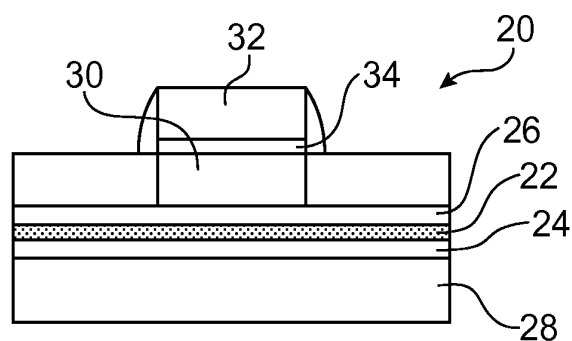


FIG.2

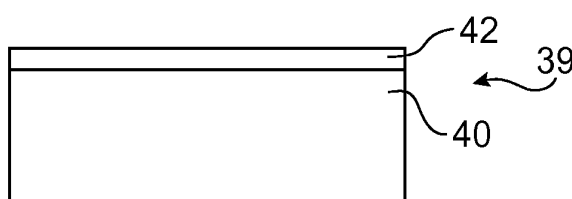
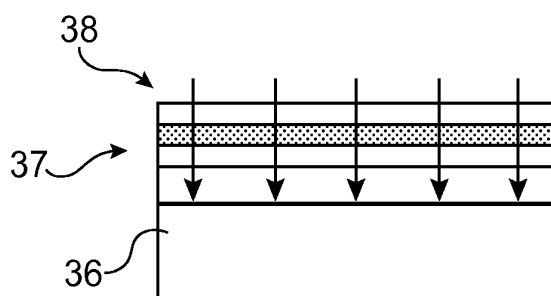


FIG.3A

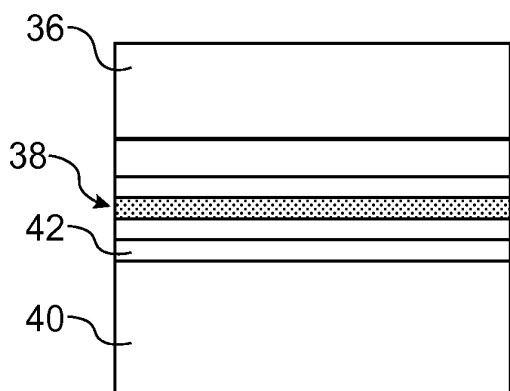


FIG.3B

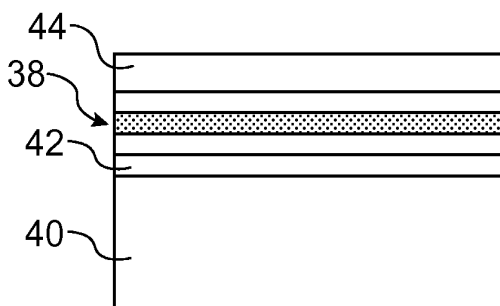


FIG.3C

2 / 3

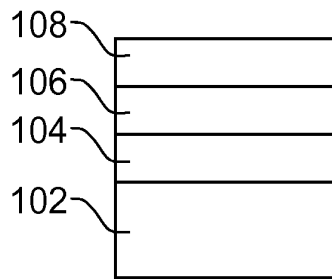


FIG. 4A

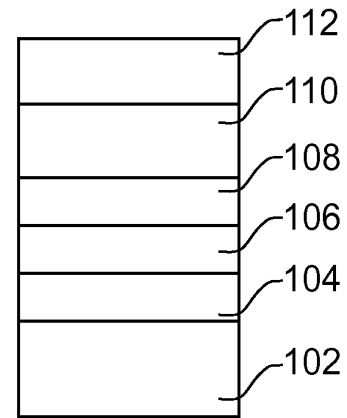


FIG. 4B

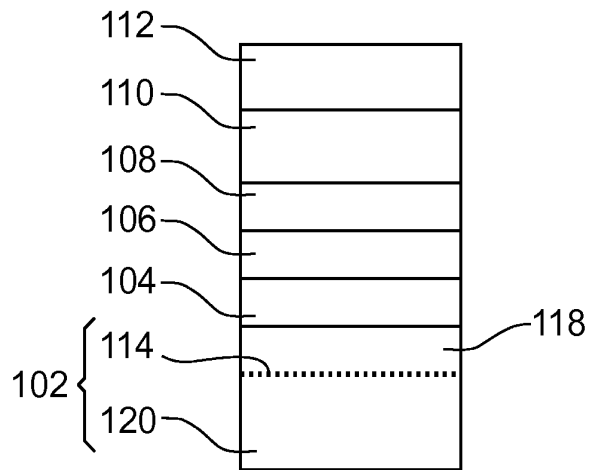


FIG. 4C

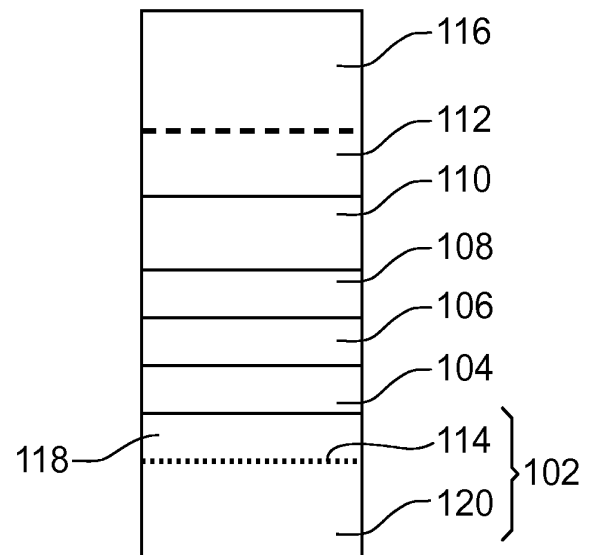


FIG. 4D

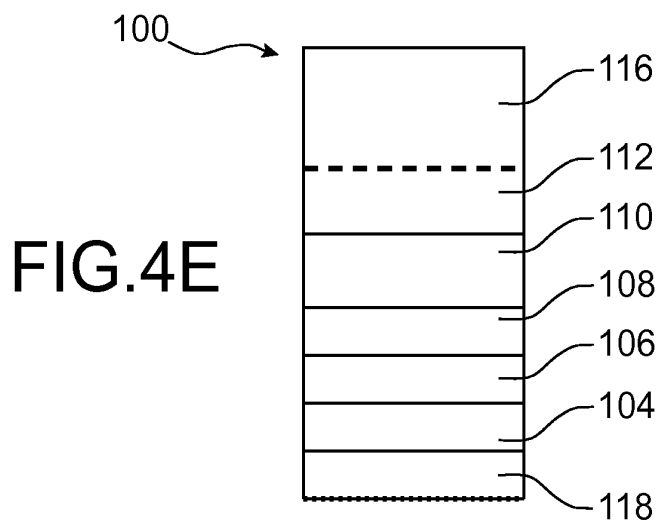


FIG. 4E

3 / 3

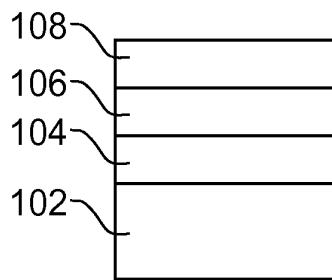


FIG. 5A

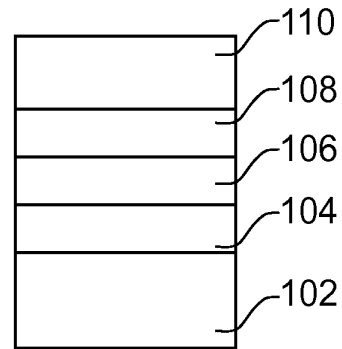


FIG. 5B

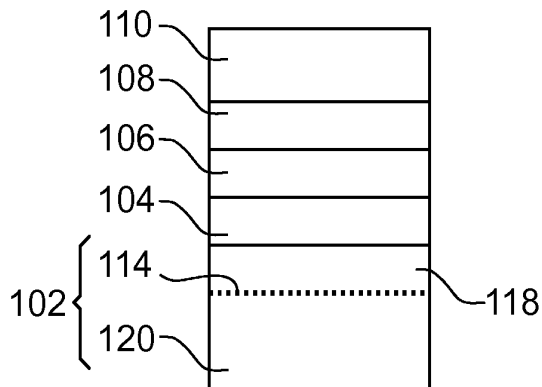


FIG. 5C

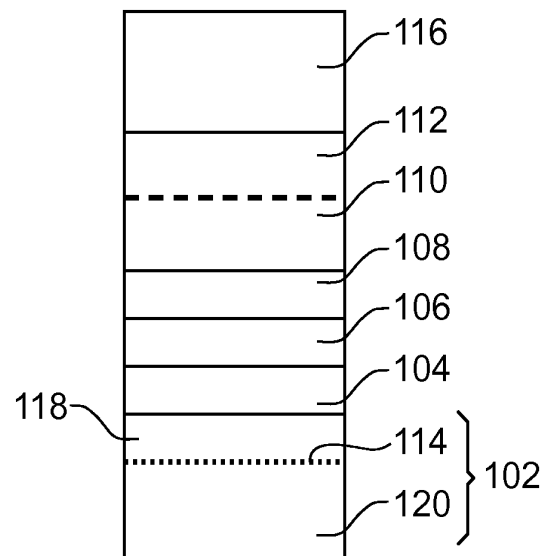


FIG. 5D

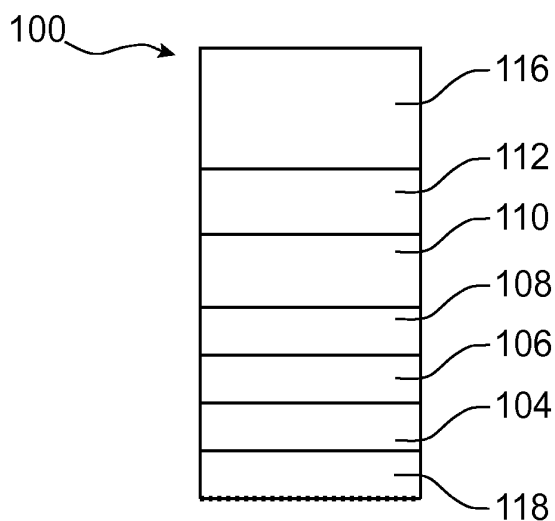


FIG. 5E

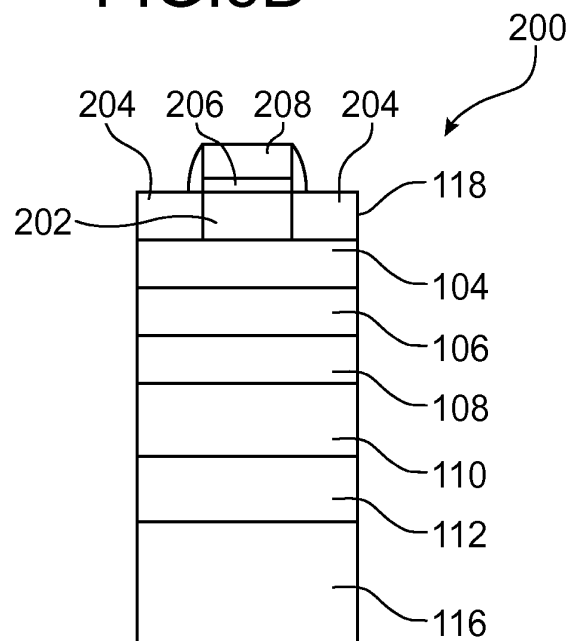


FIG. 6

**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 700774
FR 0759026

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 2007/178649 A1 (SWIFT CRAIG T [US] ET AL) 2 août 2007 (2007-08-02)	1-15, 18-21	H01L21/314 H01L21/8246 H01L27/115
Y	* le document en entier *	16,17	
Y	SILVA H ET AL: "A Nanoscale Memory and Transistor Using Backside Trapping" IEEE TRANSACTIONS ON NANOTECHNOLOGY, IEEE SERVICE CENTER, PISCATAWAY, NJ, US, vol. 3, no. 2, 1 juin 2004 (2004-06-01), pages 264-269, XP011113468 ISSN: 1536-125X	16,17	
A	* le document en entier *	1-15, 18-21	
X	US 5 751 037 A (AOZASA HIROSHI [JP] ET AL) 12 mai 1998 (1998-05-12)	1-15, 18-21	DOMAINES TECHNIQUES RECHERCHÉS (IPC) H01L
A	* colonne 8, ligne 38 - colonne 10, ligne 54; figures 4,6 *	16,17	
X	US 2006/284236 A1 (BHATTACHARYYA ARUP [US]) 21 décembre 2006 (2006-12-21)	1-11	
A	* alinéas [0054], [0055]; figures 1B,1C *	12-21	
X	US 2004/007734 A1 (KATO HIROSHI [JP] ET AL) 15 janvier 2004 (2004-01-15)	1-11	
A	* le document en entier *	12-21	
X	EP 0 971 416 A (SONY CORP [JP]) 12 janvier 2000 (2000-01-12)	1-10	
A	* alinéas [0036], [0037], [0060] - [0065]; figures 2,21-25 *	11-21	
Date d'achèvement de la recherche		Examineur	
4 juin 2008		Neumann, Andreas	
CATÉGORIE DES DOCUMENTS CITÉS X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant			

ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE**RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 0759026 FA 700774**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **04-06-2008**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2007178649 A1	02-08-2007	AUCUN	
US 5751037 A	12-05-1998	JP 3424427 B2 JP 9097851 A	07-07-2003 08-04-1997
US 2006284236 A1	21-12-2006	AUCUN	
US 2004007734 A1	15-01-2004	CN 1467851 A JP 2004039965 A KR 20040004041 A TW 567610 B	14-01-2004 05-02-2004 13-01-2004 21-12-2003
EP 0971416 A	12-01-2000	CN 1256793 A CN 1542976 A WO 9938213 A1 JP 11274420 A US 6285055 B1	14-06-2000 03-11-2004 29-07-1999 08-10-1999 04-09-2001