



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0117153
(43) 공개일자 2018년10월26일

- | | |
|---|---|
| <p>(51) 국제특허분류(Int. Cl.)
G06F 13/30 (2006.01)</p> <p>(52) CPC특허분류
G06F 13/30 (2013.01)</p> <p>(21) 출원번호 10-2018-7027794</p> <p>(22) 출원일자(국제) 2017년02월21일
심사청구일자 없음</p> <p>(85) 번역문제출일자 2018년09월27일</p> <p>(86) 국제출원번호 PCT/EP2017/053901</p> <p>(87) 국제공개번호 WO 2017/148743
국제공개일자 2017년09월08일</p> <p>(30) 우선권주장
10 2016 203 307.7 2016년03월01일 독일(DE)</p> | <p>(71) 출원인
로베르트 보쉬 게엠베하
독일 데-70442 스투트가르트 포스트파흐 30 02 20</p> <p>(72) 발명자
슬로트만 엑카르트
독일 71563 아팔터바흐 드로셀백 16
아우에 악셀
독일 70825 코른탈-뮌헨 쉴러슈트라쎄 33
베크 오이젠
독일 71640 루드비히스부르크 뢰트겐슈트라쎄 5/1</p> <p>(74) 대리인
양영준, 안국찬</p> |
|---|---|

전체 청구항 수 : 총 11 항

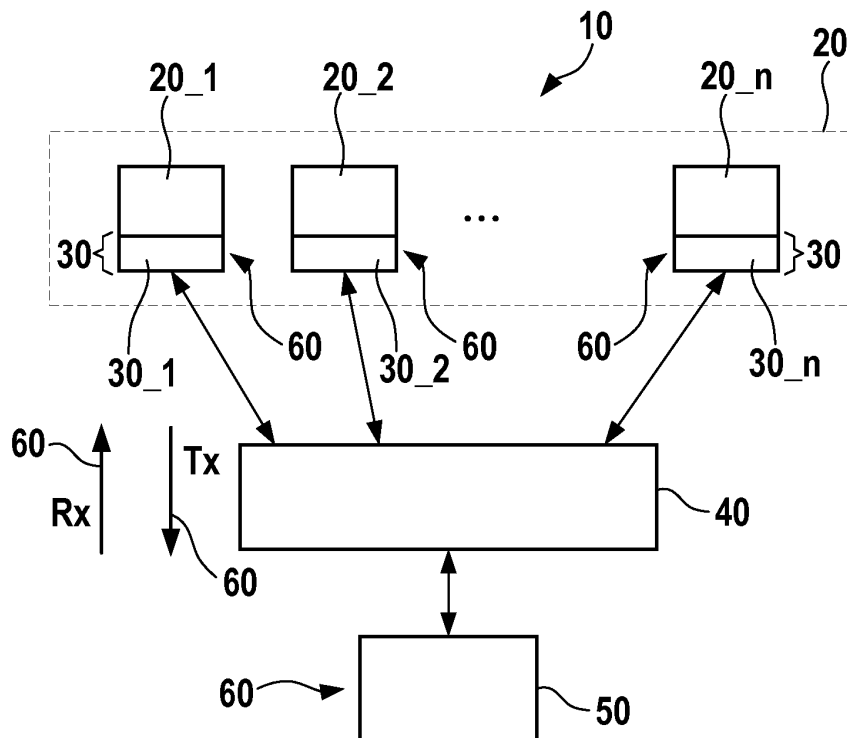
(54) 발명의 명칭 메인 메모리를 구비한 컴퓨팅 유닛용 직접 메모리 액세스 제어 장치

(57) 요약

본 발명은, 메인 메모리(30; 30_1 내지 30_n)를 구비한 컴퓨팅 유닛(20; 20_1 내지 20_n)을 위한 직접 메모리 액세스 제어 장치(40)에 관한 것이며, 상기 직접 메모리 액세스 제어 장치(40)는, 컴퓨팅 유닛(20; 20_1 내지 20_n)을 메인 메모리(30; 30_1 내지 30_n)와 연결하는 버스 시스템(12)과 직접 메모리 액세스 제어 장치(40)의

(뒷면에 계속)

대표도 - 도2



연결을 위한 연결부를 포함한다. 이 경우, 직접 메모리 액세스 제어 장치(40)는 하기 단계들, 즉: 버스 시스템(12)과 연결된 통신 모듈(50)로의 전송을 위해 컴퓨팅 유닛(20; 20_1 내지 20_n)에 의해 제공되는, 메인 메모리(30; 30_1 내지 30_n) 내에 저장된 2개 이상의 정보 블록(60)의 제어 정보들을 판독 입력하는 단계(104)로서, 상기 제어 정보가 통신 모듈(50)로의 전송을 위한 각각의 정보 블록(60)의 우선순위를 특성화하는, 단계와; 각각의 우선순위에 따라서 통신 모듈(50)로 정보 블록들(60)을 전송하기 위한 순서를 결정하는 단계(110)와; 결정된 순서에 따라서, 메인 메모리(30; 30_1 내지 30_n)로부터 통신 모듈(50)로의 직접 메모리 액세스를 이용하여, 메인 메모리(30; 30_1 내지 30_n)로부터 통신 모듈(50)로 정보 블록들(60)을 전송하는 단계(112);를 실행하도록 형성된다.

명세서

청구범위

청구항 1

메인 메모리(30; 30_1 내지 30_n)를 구비한 컴퓨팅 유닛(20; 20_1 내지 20_n)을 위한 직접 메모리 액세스 제어 장치(40)로서, 이 직접 메모리 액세스 제어 장치(40)는 컴퓨팅 유닛(20; 20_1 내지 20_n)을 메인 메모리(30; 30_1 내지 30_n)와 연결하는 버스 시스템(12)과 직접 메모리 액세스 제어 장치(40)의 연결을 위한 연결부를 포함하는, 직접 메모리 액세스 제어 장치에 있어서,

상기 직접 메모리 액세스 제어 장치(40)는,

- 버스 시스템(12)과 연결된 통신 모듈(50)로의 전송을 위해 컴퓨팅 유닛(20; 20_1 내지 20_n)에 의해 제공되는, 메인 메모리(30; 30_1 내지 30_n) 내에 저장된 2개 이상의 정보 블록(60)의 제어 정보를 판독 입력하는 단계(104)로서, 상기 제어 정보가 통신 모듈(50)로의 전송을 위한 각각의 정보 블록(60)의 우선순위를 특성화하는, 단계와;
 - 각각의 우선순위에 따라서 통신 모듈(50)로 정보 블록들(60)을 전송하기 위한 순서를 결정하는 단계(110)와;
 - 결정된 순서에 따라서, 메인 메모리(30; 30_1 내지 30_n)로부터 통신 모듈(50)로의 직접 메모리 액세스를 이용하여, 메인 메모리(30; 30_1 내지 30_n)로부터 통신 모듈(50)로 정보 블록들(60)을 전송하는 단계(112);
- 를 실행하도록 구성되는 것을 특징으로 하는, 직접 메모리 액세스 제어 장치(40).

청구항 2

제1항에 있어서, 상기 직접 메모리 액세스 제어 장치(40)는, 하기의 추가 단계들, 즉:

- 컴퓨팅 유닛(20; 20_1 내지 20_n)으로부터 신호, 특히 트리거 신호 및/또는 ACK 비트("acknowledge") 및/또는 인터럽트를 수신하는 단계(102);
- 수신되는 신호에 따라서 제어 정보를 판독 입력하는 단계(104);
- 우선순위 평가를 제어하는 제1 구성 정보를 평가하는 단계(106);
- 제어 정보에서 제1 우선순위 및/또는 제2 우선순위를 결정하는 단계(108);
- 제1 구성 정보 그리고 각각의 제1 및/또는 각각의 제2 우선순위에 따라 통신 모듈(50)로 정보 블록들(60)을 전송하기 위한 순서를 결정하는 단계(110a, 110b, 110c)로서, 상기 순서가 선택적으로 각각의 제1 우선순위 또는 각각의 제2 우선순위에 따라, 또는 각각의 제1 및 각각의 제2 우선순위들에 따라 결정되며, 특히, 각각의 제1 우선순위들이 상이하다면 각각의 제1 우선순위에 따라서, 또는 각각의 제1 우선순위들이 동일하다면 각각의 제2 우선순위에 따라서 통신 모듈(50)로 정보 블록들(60)을 전송하기 위한 순서를 결정하는 단계(110a, 110b, 110c);
- 직접 메모리 액세스 제어 장치(10)로부터 통신 모듈(50)로 전송 요청을 전송하는 단계; 및
- 메인 메모리(30; 30_1 내지 30_n)로부터 통신 모듈(50)로 정보 블록(60)의 성공적인 전송을 위해 컴퓨팅 유닛(20; 20_1 내지 20_n)으로 승인 신호를 송신하고, 그리고/또는 정보 블록(60) 내에 플래그를 설정하거나 재설정하는 단계(114);

중 하나 이상을 실행하도록 구성되는, 직접 메모리 액세스 제어 장치(40).

청구항 3

제1항 또는 제2항에 있어서, 상기 직접 메모리 액세스 제어 장치(40)는,

- 통신 모듈(50)로부터 버스 시스템(12)과 연결된 메인 메모리(30; 30_1 내지 30_n)로의 전송을 위해 상기 통신 모듈(50)에 의해 제공되는 2개 이상의 정보 블록(60)의 제어 정보를 판독 입력하는 단계(204)로서, 상기 제어 정보는 메인 메모리(30; 30_1 내지 30_n)로의 전송을 위한 각각의 정보 블록(60)의 우선순위를 특성화하는, 단

계;

- 각각의 우선순위에 따라서 메인 메모리(30; 30_1 내지 30_n)로 정보 블록들(60)의 전송을 위한 순서를 결정하는 단계(210); 및
 - 결정된 순서에 따라서, 통신 모듈(50)로부터 메인 메모리(30; 30_1 내지 30_n)로의 직접 메모리 액세스를 이용하여, 상기 통신 모듈(50)로부터 메인 메모리(30; 30_1 내지 30_n)로 정보 블록들(60)을 전송하는 단계(212);
- 를 실행하도록 구성되는, 직접 메모리 액세스 제어 장치(40).

청구항 4

제3항에 있어서, 상기 직접 메모리 액세스 제어 장치(40)는, 하기의 추가 단계들, 즉:

- 통신 모듈(50)로부터 신호, 특히 트리거 신호를 수신하는 단계(202)이며, 그럼으로써 특히 직접 메모리 액세스 제어 장치(10)로 하여금 후속하여 제어 정보의 판독 입력을 수행할 수 있게 하는 단계;
 - 수신되는 신호에 따라서, 제어 정보, 특히 통신 모듈(50)에 의해 준비되는 2개 이상의 정보 블록(60)의 제어 정보를 판독 입력하는 단계(204);
 - 우선순위 평가를 제어하는 제1 구성 정보를 평가하는 단계(206);
 - 제어 정보에서 제1 우선순위 및/또는 제2 우선순위를 결정하는 단계(208);
 - 제1 구성 정보 그리고 각각의 제1 및/또는 각각의 제2 우선순위에 따라 메인 메모리(30; 30_1 내지 30_n)로 정보 블록들(60)의 전송을 위한 순서를 결정하는 단계(210a, 210b, 210c)로서, 상기 순서가 선택적으로 각각의 제1 우선순위 또는 각각의 제2 우선순위에 따라, 또는 각각의 제1 및 각각의 제2 우선순위에 따라 결정되며, 특히 각각의 제1 우선순위가 상이하다면 각각의 제1 우선순위에 따라서, 또는 각각의 제1 우선순위가 동일하다면 각각의 제2 우선순위에 따라서 메인 메모리(30; 30_1 내지 30_n)로 정보 블록들(60)을 전송하기 위한 순서를 결정하는 단계(210a, 210b, 210c);
 - 전송할 정보 블록(60) 내에 플래그, 특히 신규 플래그를 설정하고, 그리고/또는 컴퓨팅 유닛(20; 20_1 내지 20_n)으로 인터럽트를 송신하는 단계(211b)로서, 특히 상기 신규 플래그 또는 선택적으로 상기 인터럽트는, 메인 메모리(30; 30_1 내지 30_n)로의 정보 블록(60)의 전송 성공을 컴퓨팅 유닛(20; 20_1 내지 20_n)으로 통지하기 위해 제공되는, 단계;
 - 메인 메모리(30) 내의 타깃 주소 영역을 결정하고, 그리고/또는 상기 메인 메모리(30; 30_1 내지 30_n)의 로컬 메인 메모리 유닛(30_1 내지 30_n)을 결정하는 단계(211a); 및
 - 통신 모듈(50)로부터 메인 메모리(30; 30_1 내지 30_n)로 정보 블록(60)의 성공적인 전송을 위해 상기 통신 모듈(50)로 승인 신호를 송신하고, 그리고/또는 상기 통신 모듈(50) 내에 플래그를 설정하는 단계(214);
- 중 하나 이상을 실행하도록 구성되는, 직접 메모리 액세스 제어 장치(40).

청구항 5

제1항 내지 제4항 중 하나 이상의 항에 있어서, 상기 직접 메모리 액세스 제어 장치(40)는,

- 버스 시스템(12)과 연결된 통신 모듈(50)로의 전송을 위해 컴퓨팅 유닛(20; 20_1 내지 20_n)에 의해 제공되는, 메인 메모리(30; 30_1 내지 30_n) 내에 저장된 하나 이상의 제1 정보 블록(60)의 제어 정보를 판독 입력하는 단계(104)로서, 상기 제어 정보가 통신 모듈(50)로의 전송을 위한 하나 이상의 제1 정보 블록(60)의 우선순위를 특성화하는, 단계;
- 통신 모듈(50)로부터 버스 시스템(12)과 연결된 메인 메모리(30; 30_1 내지 30_n)로의 전송을 위해 상기 통신 모듈(50)에 의해 제공되는 하나 이상의 제2 정보 블록(60)의 제어 정보를 판독 입력하는 단계(204)로서, 상기 제어 정보는 메인 메모리(30; 30_1 내지 30_n)로의 전송을 위한 하나 이상의 제2 정보 블록(60)의 우선순위를 특성화하는, 단계;
- 하나 이상의 제1 및 하나 이상의 제2 정보 블록(60)의 각각의 우선순위에 따라서 하나 이상의 제1 정보 블록(60) 및 하나 이상의 제2 정보 블록(60)의 전송을 위한 순서를 결정하는 단계(310); 및
- 결정된 순서에 따라서, 직접 메모리 액세스를 이용하여, 메인 메모리(30; 30_1 내지 30_n)로부터 통신 모듈

(50)로 하나 이상의 제1 정보 블록(60)을 전송하는 단계(112), 및/또는 통신 모듈(50)로부터 메인 메모리(30; 30_1 내지 30_n)로 하나 이상의 제2 정보 블록(60)을 전송하는 단계(212);

를 실행하도록 구성되는, 직접 메모리 액세스 제어 장치(40).

청구항 6

제1항 내지 제5항 중 하나 이상의 항에 있어서, 상기 직접 메모리 액세스 제어 장치(40)는 제2 구성 정보를 포함하며, 상기 제2 구성 정보는, 통신 모듈(50)과 통신하는 각각의 논리 유닛들 및/또는 상기 각각의 논리 유닛들에 의해 송신될, 그리고/또는 수신될 제어 정보를 특성화하는, 직접 메모리 액세스 제어 장치(40).

청구항 7

제1항 내지 제6항 중 하나 이상의 항에 있어서, 상기 직접 메모리 액세스 제어 장치(40)는 제3 구성 정보를 포함하며, 상기 제3 구성 정보는, 컴퓨팅 유닛(20; 20_1 내지 20_n) 및/또는 메인 메모리(30; 30_1 내지 30_n)를 특성화하는 변수들을 포함하는, 직접 메모리 액세스 제어 장치(40).

청구항 8

제1항 내지 제7항 중 하나 이상의 항에 있어서, 상기 직접 메모리 액세스 제어 장치(40)는 제4 구성 정보를 포함하며, 상기 제4 구성 정보는 정보 블록들(60)의 전송을 위한 각각의 소스 및/또는 각각의 타겟을 특성화하는, 직접 메모리 액세스 제어 장치(40).

청구항 9

메인 메모리(30; 30_1 내지 30_n)를 포함한 컴퓨팅 유닛(20; 20_1 내지 20_n)을 위한 직접 메모리 액세스 제어 장치(40)를 작동시키기 위한 방법으로서, 상기 직접 메모리 액세스 제어 장치(40)는 컴퓨팅 유닛(20; 20_1 내지 20_n)을 메인 메모리(30; 30_1 내지 30_n)와 연결하는 버스 시스템(12)과 직접 메모리 액세스 제어 장치(40)의 연결을 위한 연결부를 포함하는, 직접 메모리 액세스 제어 장치의 작동 방법에 있어서, 상기 방법은,

- 버스 시스템(12)과 연결된 통신 모듈(50)로의 전송을 위해 컴퓨팅 유닛(20; 20_1 내지 20_n)에 의해 제공되는, 메인 메모리(30; 30_1 내지 30_n) 내에 저장된 2개 이상의 정보 블록(60)의 제어 정보를 판독 입력하는 단계(104)로서, 상기 제어 정보가 통신 모듈(50)로의 전송을 위한 각각의 정보 블록(60)의 우선순위를 특성화하는 단계;
- 각각의 우선순위에 따라서 통신 모듈(50)로 정보 블록들(60)을 전송하기 위한 순서를 결정하는 단계(110); 및
- 결정된 순서에 따라서, 메인 메모리(30; 30_1 내지 30_n)로부터 통신 모듈(50)로의 직접 메모리 액세스를 이용하여, 메인 메모리(30; 30_1 내지 30_n)로부터 통신 모듈(50)로 정보 블록들(60)을 전송하는 단계(112);

를 포함하는 것을 특징으로 하는, 직접 메모리 액세스 제어 장치의 작동 방법.

청구항 10

제9항에 있어서, 상기 방법은, 하기의 추가 단계들, 즉:

- 컴퓨팅 유닛(20; 20_1 내지 20_n)으로부터 신호, 특히 트리거 신호 및/또는 ACK 비트("acknowledge") 및/또는 인터럽트를 수신하는 단계(102);
- 수신되는 신호에 따라서 제어 정보를 판독 입력하는 단계(104);
- 우선순위 평가를 제어하는 제1 구성 정보를 평가하는 단계(106);
- 제어 정보에서 제1 우선순위 및/또는 제2 우선순위를 결정하는 단계(108);
- 제1 구성 정보 그리고 각각의 제1 및/또는 각각의 제2 우선순위들에 따라서 통신 모듈(50)로 정보 블록들(60)을 전송하기 위한 순서를 결정하는 단계(110a, 110b, 110c)로서, 상기 순서가 선택적으로 각각의 제1 우선순위 또는 각각의 제2 우선순위에 따라, 또는 각각의 제1 및 각각의 제2 우선순위들에 따라 결정되며, 특히 각각의 제1 우선순위들이 상이하다면 각각의 제1 우선순위에 따라서, 또는 각각의 제1 우선순위들이 동일하다면 각각의 제2 우선순위에 따라서 통신 모듈(50)로 정보 블록들(60)을 전송하기 위한 순서를 결정하는 단계(110a, 110b, 110c);

- 직접 메모리 액세스 제어 장치(10)로부터 통신 모듈(50)로 전송 요청을 전송하는 단계; 및
- 메인 메모리(30; 30_1 내지 30_n)로부터 통신 모듈(50)로 정보 블록(60)의 성공적인 전송을 위해 상기 컴퓨팅 유닛(20; 20_1 내지 20_n)으로 승인 신호를 송신하고, 그리고/또는 정보 블록(60) 내에 플래그를 설정하거나 재설정하는 단계(114);

중 하나 이상을 포함하는, 직접 메모리 액세스 제어 장치의 작동 방법.

청구항 11

제9항 또는 제10항에 있어서, 상기 방법은,

- 통신 모듈(50)로부터 버스 시스템(12)과 연결된 메인 메모리(30; 30_1 내지 30_n)로의 전송을 위해 상기 통신 모듈(50)에 의해 제공되는 2개 이상의 정보 블록(60)의 제어 정보를 판독 입력하는 단계(204)로서, 상기 제어 정보는 메인 메모리(30; 30_1 내지 30_n)로의 전송을 위한 각각의 정보 블록(60)의 우선순위를 특성화하는, 단계;
 - 각각의 우선순위에 따라서 메인 메모리(30; 30_1 내지 30_n)로 정보 블록들(60)의 전송을 위한 순서를 결정하는 단계(210); 및
 - 결정된 순서에 따라서, 통신 모듈(50)로부터 메인 메모리(30; 30_1 내지 30_n)로의 직접 메모리 액세스를 이용하여, 상기 통신 모듈(50)로부터 메인 메모리(30; 30_1 내지 30_n)로 정보 블록들(60)을 전송하는 단계(212);
- 를 포함하는, 직접 메모리 액세스 제어 장치의 작동 방법.

발명의 설명

기술 분야

[0001] 본 발명은 청구항 제1항의 전제부에 따른 직접 메모리 액세스 제어 장치, 및 대등의 특허 청구항에 따른 방법에 관한 것이다.

배경 기술

[0002] 하나 또는 복수의 프로세서 코어를 포함하며 메인 메모리에 접근할 수 있는 컴퓨팅 유닛들, 예컨대 프로세서들이 시장에 공지되어 있다. 그 밖에도, 상기 컴퓨팅 유닛을 하나 또는 복수 개 포함하는 컴퓨터 시스템들은 통상 컴퓨팅 유닛과 상호작용하는 복수의 유닛, 예컨대 입/출력 모듈(IO) 등을 포함한다. 컴퓨터 시스템의 상기 요소들 중 적어도 일부는 하나의 공통 버스, 더욱 바람직하게는 병렬 버스를 통해 서로 데이터를 교환할 수 있다. 그 밖에도, 이른바 직접 메모리 액세스(DMA: direct memory access)를 위한 방법들도 공지되어 있으며, 그럼으로써 공통 버스를 통한 데이터 교환이 개선될 수 있다.

발명의 내용

해결하려는 과제

과제의 해결 수단

[0003] 본 발명의 기초가 되는 과제는 청구항 제1항에 따른 직접 메모리 액세스 제어 장치를 통해, 그리고 대등의 청구항에 따른 방법을 통해 해결된다. 바람직한 개선예들은 종속 청구항들에 명시되어 있다. 또한, 본 발명에 대해 중요한 특징들은 하기 기술내용 및 도면들에서 확인되며, 특징들은 독자적으로뿐만 아니라 상이한 조합들로도 본 발명을 위해 중요할 수 있으며, 이에 대해서는 다시 명시하지 않는다.

[0004] 본 발명은 메인 메모리를 구비한 컴퓨팅 유닛을 위한 직접 메모리 액세스 제어 장치에 관한 것이며, 상기 직접 메모리 액세스 제어 장치는 컴퓨팅 유닛을 메인 메모리와 연결하는 버스 시스템과 직접 메모리 액세스 제어 장치의 연결을 위한 연결부를 포함한다. 이 경우, 직접 메모리 액세스 제어 장치는 하기 단계들을 실행하도록 형성된다.

[0005] - 버스 시스템과 연결된 통신 모듈로의 전송을 위해 컴퓨팅 유닛에 의해 제공되는, 메인 메모리 내에 저장된 2

개 이상의 정보 블록의 제어 정보를 판독 입력하는 단계로서, 상기 제어 정보가 통신 모듈로의 전송을 위한 각각의 정보 블록의 우선순위를 특성화하는, 단계;

- [0006] - 각각의 우선순위에 따라서 통신 모듈로 정보 블록들의 전송을 위한 순서를 결정하는 단계; 및
- [0007] - 결정된 순서에 따라서, 메인 메모리로부터 통신 모듈로의 직접 메모리 액세스를 이용하여, 메인 메모리로부터 통신 모듈로 정보 블록들을 전송하는 단계.
- [0008] 상기와 같이 기술된 정보 블록들의 전송은 본원에서 이른바 "Tx 모드", 즉, 메인 메모리로부터 통신 모듈 방향으로의 전송을 특성화한다.
- [0009] 상술한 정보 블록들은 "유효 데이터" 및/또는 제어 정보를 포함할 수 있으며, 예컨대 통신 모듈을 통해 버스 시스템 및/또는 데이터 네트워크를 경유하여 다른 유닛들과 교환될 수 있는 전체 데이터 패킷도 형성할 수 있다. 컴퓨팅 유닛은 하나 또는 복수의 프로세서 코어(컴퓨팅 코어)를 포함하며, 이들 프로세서 코어는 이하 컴퓨팅 유닛이라고도 지칭된다. 프로세서 코어들 또는 컴퓨팅 유닛들은 하나의 공통 부품(집적 회로) 내에, 또는 각각 분리된 부품들 내에 배치될 수 있다.
- [0010] 메인 메모리는, 프로세서 코어들에 의해 공동으로 이용될 수 있는 중앙 메인 메모리로서 구현될 수 있고, 그리고/또는 프로세서 코어들 각각을 위해 각각 전용인 메인 메모리 유닛이 제공될 수도 있다. 상기 메인 메모리 유닛은 각각의 프로세서 코어와 함께 하나의 공통 부품 내에 배치될 수 있거나(내장형), 물리적으로 그로부터 분리될 수 있다(외장형).
- [0011] 바람직하게 본원의 직접 메모리 액세스 제어 장치는 하드웨어에 의해, 다시 말하면 하나 또는 복수의 이산 및/또는 통합 전자 부품에 의해 구현된다.
- [0012] 일 구현예에서, 본원의 직접 메모리 액세스 제어 장치는 선행 기술에 따라 이미 공지된 직접 메모리 액세스 제어 장치에 보충되어 이용되는 별도의 유닛이다.
- [0013] 일 구현예에서, 통신 모듈은 CAN 버스 시스템을 컴퓨팅 유닛(들) 및 메인 메모리(들)와 기능적으로 연결하도록 형성된다. 일 구현예에서, 통신 모듈은, 본원에서 "논리 유닛"으로도 지칭되는 복수의 CAN 버스 가입자가 연결되어 있는 CAN 버스와 통신할 수 있는 이른바 "MCAN 모듈"을 포함한다. 축약어 "CAN"은 "컨트롤러 영역 네트워크"를 의미한다. 여기서 알파벳 "M"은 생산자 고유의 명칭 첫자를 나타낸다.
- [0014] 일 바람직한 구현예에서, 메인 메모리는 각각 랜덤 액세스를 이용한 메모리(RAM: random access memory)로서 구현된다. 그러나 다른 메모리 유형들도 가능하다.
- [0015] 일 구현예에서, 본원의 직접 메모리 액세스 제어 장치는, 어느 정보 블록이 각각 최대 우선순위를 보유하는지를 결정하도록 형성된다. 그에 상응하게, 최대 우선순위를 갖는 정보 블록의 전송은 메인 메모리로부터 통신 모듈로의 직접 메모리 액세스를 이용하여 수행된다.
- [0016] 간소화하여 표현하면, 본원의 직접 메모리 액세스 제어 장치는 특히 정보 블록들의 정보 내용 또는 데이터 내용에 기초하여 정보 블록들의 전송을 수행하며, 어느 전송이 각각 바로 다음 전송으로서 수행될지를 자동으로 판단한다. 본 발명은, 하나 이상의 컴퓨팅 유닛 또는 하나 이상의 프로세서 코어뿐만 아니라 하나 또는 복수의 메인 메모리 및 하나 이상의 통신 모듈을 포함하는 컴퓨터 시스템 내에서 직접 메모리 액세스에 의해 수행되는 정보 블록들의 전송이 추가로 개선될 수 있다는 장점을 갖는다.
- [0017] 또 다른 장점은, 본원의 직접 메모리 액세스 제어 장치가, 명백하게 이른바 "멀티코어 시스템"(다시 말해 복수의 프로세서 코어를 포함한 하나의 컴퓨팅 유닛)을 이용한 작동을 위해 구성된 것이 아니라, 단 하나의 프로세서 코어와의 통신 설계 목적으로만 개발된 통신 모듈들의 성능을 높인다는 점에 있다. 이에 대해서는 예컨대 위에서 상세히 기술한 "MCAN 모듈"을 참조한다. 이런 방식으로, 본 발명에 따른 원리는 복수의 프로세서 코어를 포함하는 컴퓨팅 유닛들에도 직접 메모리 액세스를 기반으로 하는 MCAN 모듈이 간단하게 연결될 수 있게 한다. 그에 따라 적용 가능성이 상응하게 확장된다.
- [0018] 상술한 통신 모듈들이 물리적 부품으로서 존재하는 것이 아니라, 하드웨어 및/또는 소프트웨어에 의해 에뮬레이션(emulation)되는 경우에도, 본원의 직접 메모리 액세스 제어 장치 덕분에 멀티코어 시스템들을 이용해서도 작동이 바람직하게 가능하다.
- [0019] 일 구현예에서, 본원의 직접 메모리 액세스 제어 장치는 하기 추가 단계들 중 하나 이상을 실행하도록 형성된다.

- [0020] - 컴퓨팅 유닛으로부터 신호, 특히 트리거 신호를 수신하는 단계;
- [0021] - 수신되는 신호에 따라서 제어 정보를 판독 입력하는 단계. 예컨대 정보 블록들 또는 제어 정보는 각각 트리거 신호를 위한 비트 위치를 포함하며, 본원의 직접 메모리 액세스 제어 장치는, 각각의 트리거 신호가 컴퓨팅 유닛을 통해 설정된 것인지의 여부와 관련하여 메인 메모리 내의 상응하는 비트 위치들을 정기적으로 조회하도록 형성된다. 트리거 신호가 설정된 것으로서 결정되는 즉시, 본원의 직접 메모리 액세스 제어 장치는 해당 정보 블록이 통신 모듈로 전송되어야 하는 것으로 인식한다;
- [0022] - 우선순위 평가를 제어하는 제1 구성 정보(configuration information)를 평가하는 단계;
- [0023] - 제어 정보에서 제1 우선순위 및/또는 제2 우선순위를 결정하는 단계;
- [0024] - 제1 구성 정보 그리고 각각의 제1 및/또는 각각의 제2 우선순위들에 따라 통신 모듈로 정보 블록들의 전송을 위한 순서를 결정하는 단계로서, 상기 순서가 선택적으로 각각의 제1 우선순위들 또는 각각의 제2 우선순위들에 따라, 또는 각각의 제1 및 각각의 제2 우선순위들에 따라 결정되며, 특히, 각각의 제1 우선순위들이 상이하다면 각각의 제1 우선순위에 따라서, 또는 각각의 제1 우선순위들이 동일하다면 각각의 제2 우선순위에 따라서 통신 모듈로 정보 블록들을 전송하기 위한 순서를 결정하는 단계;
- [0025] - 직접 메모리 액세스 제어 장치로부터 통신 모듈로 전송 요청("Request")을 전송하는 단계; 및
- [0026] - 메인 메모리로부터 통신 모듈로 정보 블록의 성공적인 전송을 위해 컴퓨팅 유닛으로 승인 신호(acknowledgement signal)를 송신하고, 그리고/또는 정보 블록 내에 플래그를 설정하거나 재설정하는 단계.
- [0027] 일 구현예에서, 승인 신호는 컴퓨팅 유닛에 의해 설정될 수 있는, 전술한 ACK 비트이며, 그럼으로써 직접 메모리 액세스 제어 장치로 하여금 후속하여 제어 정보의 판독 입력 단계를 실행할 수 있게 한다. 이런 경우, 승인 신호의 송신은 직접 메모리 액세스 제어 장치를 통한 ACK 비트의 재설정 단계에 상응한다. 또 다른 구현예에서, ACK 비트 또는 ACK 비트의 비트 위치는 플래그 또는 플래그의 비트 위치와 상이하다.
- [0028] 한 바람직한 실시예의 경우, 승인 신호는, 데이터가 (Tx 요청을 포함하여) 송신하기 위한 통신 모듈, 예컨대 MCAN 모듈로 성공적으로 전송되었음을 표시하기 위해 제공될 수 있다. 이를 위해, 본원의 직접 메모리 액세스 제어 장치는 CPU를 위한 메시지(예: Intern_TransSuccess) 내 하나의 비트를 설정할 수 있다.
- [0029] 또 다른 바람직한 실시예의 경우, 본원의 직접 메모리 액세스 제어 장치는 통신 모듈, 예컨대 MCAN 모듈로 메시지를 전송하며, 이를 위해 예컨대 Tx 요청을 설정한다. MCAN 모듈을 통한 성공적인 송신 후에, MCAN 모듈은 MCAN 모듈 내에 상응하는 고유 비트를 설정하며, 이제야 비로소 본원의 직접 메모리 액세스 제어 장치는 승인 신호를 CPU로 전송하고, 그에 따라서 전송은 성공적으로 종결된다. 이는 위에서 이미 기술한 ACK 비트를 통해 수행될 수 있다.
- [0030] 상술한 추가 단계들은 컴퓨팅 유닛(들) 및/또는 메인 메모리 또는 메인 메모리 유닛(들), 직접 메모리 액세스 제어 장치, 및/또는 통신 모듈 간의 통신을 바람직하게 개선시킬 수 있다.
- [0031] 상술한 제1 구성 정보는 제1 및/또는 제2 우선순위들의 선택적 이용을 바람직하게 제어할 수 있다. 제2 우선순위는 예컨대 각각의 정보 블록 내에서, 예컨대 정보 블록의 헤드라인("header") 내에서 하나 또는 복수의 비트 위치("비트필드")에 의해 정의될 수 있다. 그러나 특히 더욱 바람직하게는, 상기 비트들은, CAN 메시지 자체에는 포함되어 있지 않은, CAN 메시지에 대한 추가 정보로서, 다시 말해 순수 제어 정보로서 제공된다.
- [0032] 바람직하게 각각의 정보 블록의 제어 정보 내의 제1 및/또는 제2 우선순위가 전송된다. 일 구현예에서, 제1 구성 정보에 따른 순서의 결정은 오직 제1 우선순위를 이용해서만 수행된다. 또 다른 구현예에서, 제1 구성 정보에 따른 순서의 결정 단계는 오직 제2 우선순위에 의해서만 수행된다.
- [0033] 또 다른 구현예에서, 본원의 직접 메모리 액세스 제어 장치는 하기 단계들을 실행하도록 형성된다:
- [0034] - 통신 모듈로부터 버스 시스템과 연결된 메인 메모리로의 전송을 위해 상기 통신 모듈에 의해 제공되는 2개 이상의 정보 블록의 제어 정보를 판독 입력하는 단계로서, 상기 제어 정보는 메인 메모리로의 전송을 위한 각각의 정보 블록의 우선순위를 특성화하는, 단계;
- [0035] - 각각의 우선순위에 따라서 메인 메모리로 정보 블록들을 전송하기 위한 순서를 결정하는 단계;
- [0036] - 결정된 순서에 따라서, 통신 모듈로부터 메인 메모리로의 직접 메모리 액세스를 이용하여, 상기 통신 모듈로부터 메인 메모리로 정보 블록들을 전송하는 단계.

- [0037] 예컨대 단 하나의 Rx 버퍼(수신 버퍼)만이 MCAN 모듈 내에서 구성되는 또 다른 적용의 경우, 하나의 트리거만으로도 MCAN 모듈로부터 RAM으로 전송하기에 충분하다. 이는 예컨대 MCAN 모듈 내의 NEWDATA 플래그일 수 있다. 이런 경우에 우선순위 제어도 생략될 수 있다.
- [0038] 상기 유형으로 기술된 정보 블록들의 전송은 본원에서 이른바 "Rx 모드", 다시 말하면 통신 모듈로부터 메인 메모리 쪽 방향으로의 전송을 특성화한다. 여기서도, 상기에서 "Tx 모드"에 대해 이미 더 상세히 기술한 것과 같은 유사한 장점들이 달성된다.
- [0039] 또 다른 구현예에서, 본원의 직접 메모리 액세스 제어 장치는 하기 추가 단계들 중 하나 이상을 실행하도록 형성된다:
- [0040] - 통신 모듈로부터 신호, 특히 트리거 신호를 수신하는 단계이며, 그림으로써 직접 메모리 액세스 제어 장치로 하여금 후속하여 제어 정보의 판독 입력을 수행할 수 있게 하는 단계;
- [0041] - 수신되는 신호에 따라서 특히 통신 모듈에 의해 준비되는 2개 이상의 정보 블록의 제어 정보를 판독 입력하는 단계;
- [0042] - 우선순위 평가를 제어하는 제1 구성 정보를 평가하는 단계;
- [0043] - 제어 정보에서 제1 우선순위 및/또는 제2 우선순위를 결정하는 단계;
- [0044] - 제1 구성 정보 그리고 각각의 제1 및/또는 각각의 제2 우선순위들에 따라서 메인 메모리로 정보 블록들을 전송하기 위한 순서를 결정하는 단계로서, 상기 순서는 선택적으로 각각의 제1 우선순위들 또는 각각의 제2 우선순위들에 따라, 또는 각각의 제1 및 각각의 제2 우선순위들에 따라 결정되며, 특히 각각의 제1 우선순위들이 상이하다면 각각의 제1 우선순위에 따라서, 또는 각각의 제1 우선순위들이 동일하다면 각각의 제2 우선순위에 따라서 메인 메모리로 정보 블록들을 전송하기 위한 순서를 결정하는 단계;
- [0045] - 전송할 정보 블록 내에 플래그, 특히 신규 플래그를 설정하고, 그리고/또는 컴퓨팅 유닛으로 인터럽트를 송신하는 단계로서, 상기 신규 플래그(new flag) 또는 인터럽트(interrupt)는, 메인 메모리로의 정보 블록의 전송 성공을 컴퓨팅 유닛으로 통지하기 위해 제공되는 단계;
- [0046] - 메인 메모리 내의 타깃 주소 영역을 결정하고, 그리고/또는 메인 메모리의 로컬 메인 메모리 유닛을 결정하는 단계; 및
- [0047] - 통신 모듈로부터 메인 메모리로 정보 블록의 성공적인 전송을 위해 상기 통신 모듈로 승인 신호를 송신하고, 그리고/또는 상기 통신 모듈 내에 플래그를 설정하는 단계.
- [0048] 컴퓨팅 유닛에 대한 로컬 인터럽트를 이용하여, 통신 모듈에 의해 송신될 각각의 정보 블록이 최대한 신속하게 메인 메모리 내로 전송되어야 하는 경우, 그 즉시, 상기 컴퓨팅 유닛이 반응할 수 있게 된다. 컴퓨팅 유닛은 로컬 인터럽트를 통해 바람직하게는 이미 복사된 데이터를 최대한 신속하게 처리할 수 있으며, 이 경우 특히, 멀리 떨어진 메모리로의 접근을 더 이상 필요로 하지 않는다.
- [0049] 상술한 추가 단계들은 컴퓨팅 유닛(들), 메인 메모리 또는 메인 메모리 유닛들, 직접 메모리 액세스 제어 장치 및/또는 통신 모듈 간의 통신을 바람직하게 개선시킬 수 있다. 마찬가지로, (선택적인) 제2 우선순위의 이용은 순서를 결정할 때 추가적인 개선을 가능하게 한다.
- [0050] 일 구현예에서, Rx 모드를 위한 상술한 "제1" 구성 정보는 위에서 기술한 Tx 모드를 위한 "제1" 구성 정보와 다른 내용을 포함할 수 있다. 또 다른 구현예에서, 제1 구성 정보에 따른 순서의 결정은 오직 제1 우선순위를 이용해서만 수행된다. 또 다른 구현예에서, 제1 구성 정보에 따른 순서의 결정은 오직 제2 우선순위를 이용해서만 수행된다.
- [0051] 또 다른 구현예에서, 본원의 직접 메모리 액세스 제어 장치는 하기 단계들을 실행하도록 구성된다.
- [0052] - 버스 시스템과 연결된 통신 모듈로의 전송을 위해 컴퓨팅 유닛에 의해 제공되는, 메인 메모리 내에 저장된 하나 이상의 제1 정보 블록의 제어 정보를 판독 입력하는 단계로서, 상기 제어 정보는 통신 모듈로의 전송을 위한 하나 이상의 제1 정보 블록의 우선순위를 특성화하는, 단계;
- [0053] - 통신 모듈로부터 버스 시스템과 연결된 메인 메모리로의 전송을 위해 상기 통신 모듈에 의해 제공되는 하나 이상의 제2 정보 블록의 제어 정보를 판독 입력하는 단계로서, 상기 제어 정보는 메인 메모리로의 전송을 위한 하나 이상의 제2 정보 블록의 우선순위를 특성화하는, 단계;

- [0054] - 하나 이상의 제1 및 하나 이상의 제2 정보 블록의 각각의 우선순위에 따라서 하나 이상의 제1 정보 블록 및 하나 이상의 제2 정보 블록의 전송을 위한 순서를 결정하는 단계; 및
- [0055] - 결정된 순서에 따라서, 직접 메모리 액세스를 이용하여, 메인 메모리로부터 통신 모듈로 하나 이상의 제1 정보 블록을 전송하는 단계, 및/또는 통신 모듈로부터 메인 메모리로 하나 이상의 제2 정보 블록을 전송하는 단계.
- [0056] 상기 유형으로 기술한 정보 블록들의 전송은 본원에서 혼합된 "Tx 모드" 및 "Rx 모드", 다시 말하면 한편으로 메인 메모리로부터 통신 모듈 쪽 방향으로의 전송, 그리고 다른 한편으로는 통신 모듈로부터 메인 메모리 쪽 방향으로의 전송을 특성화한다. 버스 시스템에서는 직접 메모리 액세스에 의해 각각의 시기에 항상 단 하나의 정보 블록만이 전송될 수 있기 때문에, 기술한 단계들을 통해 바람직하게는 양 전송 방향에 대한 우선순위 결정이 수행된다. 각각의 전송 방향 이내에서는 마찬가지로, 위에서 이미 Tx 모드 및 Rx 모드에 대해 상세히 기술한 것과 같은 우선순위 결정이 수행된다.
- [0057] 그에 따라, 본원의 직접 메모리 액세스 제어 장치는, 한편으로 Tx 모드를 위한 순서와 다른 한편으로는 Rx 모드를 위한 순서를 결정하고 그 결과에 따라 Tx 모드와 Rx 모드 간의 우선순위 결정도 수행하도록 형성된다. 달리 말하면, 본원의 직접 메모리 액세스 제어 장치는 전체적으로 가장 긴급한 정보 블록에 우선권을 부여한다.
- [0058] 이로써 위에서 이미 Tx 모드 및 Rx 모드에 대해 상세히 기술한 것과 같은 상응하는 장점들이 달성된다. 이 경우, 자명한 사실로서, 혼합된 Tx 모드 및 Rx 모드에 대해서도, 적용 가능하다면, 앞서 Tx 모드 및 Rx 모드에 대해 각각 별도로 기술한 "추가" 단계들이 본원의 직접 메모리 액세스 제어 장치를 위해 바람직하게 보충될 수 있다.
- [0059] 또 다른 구현예에서, 본원의 직접 메모리 액세스 제어 장치는 제2 구성 정보를 포함하며, 상기 제2 구성 정보는, 통신 모듈과 통신하는 각각의 논리 유닛들, 및/또는 각각의 논리 유닛들에 의해 송신될, 그리고/또는 수신될 제어 정보를 특성화한다. 그 결과, 순서의 결정이 바람직하게 개선될 수 있다. 일 구현예에서, 통신 모듈은 CAN 버스 시스템과 연결되도록 형성되며, 상술한 제2 구성 정보는 각각의 CAN ID들 또는 CAN 객체 식별자들을 포함한다. 또 다른 구현예에서, 제2 구성 정보는 Rx 모드를 위해 필요한 CAN ID들만을 포함한다.
- [0060] 또 다른 구현예에서, 본원의 직접 메모리 액세스 제어 장치는 제3 구성 정보를 포함하며, 제3 구성 정보는 컴퓨팅 유닛(또는 컴퓨팅 유닛들 또는 프로세서 코어들) 및/또는 메인 메모리(또는 메인 메모리 유닛들)를 특성화하는 변수들, 예컨대 이른바 "CPU 번호"를 포함한다. 그 결과, 순서의 결정이 마찬가지로 바람직하게 개선될 수 있다. 또 다른 구현예에서, 제3 구성 정보는 Rx 모드를 위해 필요한 CPU 번호들만을 포함한다.
- [0061] 또 다른 구현예에서, 본원의 직접 메모리 액세스 제어 장치는 제4 구성 정보를 포함하며, 상기 제4 구성 정보는 정보 블록들의 전송을 위한 각각의 소스 및/또는 각각의 타깃을 특성화한다. 그 결과, 정보 블록들은 예컨대 메인 메모리(시스템 RAM) 또는 컴퓨팅 유닛에 할당된 각각의 메인 메모리 유닛(로컬 CPU RAM) 내의 전용 버퍼 메모리(전용 버퍼) 내로, 또는 그 링 버퍼 메모리(링 버퍼) 내로 전송될 수 있다. 이 경우, 구성에 의해서는, 각각의 필요한 전송 유형 또는 각각의 전송 타깃이 바람직하게 사전 설정될 수 있다. 이는 특히 Rx 모드에 관련될 수 있다.
- [0062] 일 구현예에서, 본원의 직접 메모리 액세스 제어 장치는, 특히 Tx 모드의 수행을 위해서만 형성된다. 또 다른 구현예에서, 본원의 직접 메모리 액세스 제어 장치는 특히 Rx 모드의 수행을 위해서만 형성된다.
- [0063] 또 다른 구현예에서, 메인 메모리를 구비한 컴퓨팅 유닛을 위한 직접 메모리 액세스 제어 장치가 제안되며, 상기 직접 메모리 액세스 제어 장치는 컴퓨팅 유닛을 메인 메모리와 연결하는 버스 시스템과 직접 메모리 액세스 제어 장치의 연결을 위한 연결부를 포함하고, 상기 직접 메모리 액세스 제어 장치는, 하기의 단계들, 즉: 통신 모듈로부터 버스 시스템과 연결된 메인 메모리로의 전송을 위해 상기 통신 모듈에 의해 제공되는 2개 이상의 정보 블록의 제어 정보를 판독 입력하는 단계로서, 상기 제어 정보가 메인 메모리로의 전송을 위한 각각의 정보 블록의 우선순위를 특성화하는, 단계; 각각의 우선순위에 따라서 메인 메모리로 정보 블록들을 전송하기 위한 순서를 결정하는 단계; 결정된 순서에 따라서, 통신 모듈로부터 메인 메모리로의 직접 메모리 액세스를 이용하여, 상기 통신 모듈로부터 메인 메모리로 정보 블록들을 전송하는 단계;를 실행하도록 구성되는 것을 특징으로 한다. 그에 따라, 본 구현예는, 특히 본 구현예의 또 다른 변형예들에서 선택적으로 똑같이 고려될 수 있는 Tx 방향으로의 데이터 전송과 무관하게, Rx 방향(다시 말해 통신 모듈로부터 메인 메모리 쪽 방향)의 데이터 전송을 정의한다.

- [0064] 또한, 본 발명은 메인 메모리를 포함한 컴퓨팅 유닛을 위한 직접 메모리 액세스 제어 장치를 작동시키기 위한 방법에 관한 것이며, 직접 메모리 액세스 제어 장치는 컴퓨팅 유닛을 메인 메모리와 연결하는 버스 시스템과 직접 메모리 액세스 제어 장치의 연결을 위한 연결부를 포함한다. 이 경우, 상기 방법은 하기 단계들을 포함한다.
- [0065] - 버스 시스템과 연결된 통신 모듈로의 전송을 위해 컴퓨팅 유닛에 의해 제공되는, 메인 메모리 내에 저장된 2개 이상의 정보 블록의 제어 정보를 판독 입력하는 단계로서, 상기 제어 정보가 통신 모듈로의 전송을 위한 각각의 정보 블록의 우선순위를 특성화하는, 단계;
- [0066] - 각각의 우선순위에 따라서 통신 모듈로 정보 블록들을 전송하기 위한 순서를 결정하는 단계; 및
- [0067] - 결정된 순서에 따라서, 메인 메모리로부터 통신 모듈로의 직접 메모리 액세스를 이용하여, 메인 메모리로부터 통신 모듈로 정보 블록들을 전송하는 단계.
- [0068] 따라서 앞서 Tx 모드를 위한 본원의 직접 메모리 액세스 제어 장치에 대해 상세히 기술한 것과 같은 상응하는 장점들이 달성된다.
- [0069] 일 구현예에서, 본원의 방법은 하기 추가 단계들 중 하나 이상을 포함한다.
- [0070] - 컴퓨팅 유닛으로부터 신호, 특히 트리거 신호 및/또는 ACK 비트("acknowledge") 및/또는 인터럽트를 수신하는 단계;
- [0071] - 수신되는 신호에 따라서 제어 정보를 판독 입력하는 단계;
- [0072] - 우선순위 평가를 제어하는 제1 구성 정보를 평가하는 단계;
- [0073] - 제어 정보에서 제1 우선순위 및/또는 제2 우선순위를 결정하는 단계;
- [0074] - 제1 구성 정보 그리고 각각의 제1 및/또는 각각의 제2 우선순위들에 따라서 통신 모듈로 정보 블록들을 전송하기 위한 순서를 결정하는 단계로서, 상기 순서가 선택적으로 각각의 제1 우선순위들 또는 각각의 제2 우선순위들에 따라, 또는 각각의 제1 및 각각의 제2 우선순위들에 따라서 결정되며, 특히 각각의 제1 우선순위들이 상이하다면 각각의 제1 우선순위에 따라서, 또는 각각의 제1 우선순위들이 동일하다면 각각의 제2 우선순위에 따라서 통신 모듈로 정보 블록들을 전송하기 위한 순서를 결정하는 단계;
- [0075] - 직접 메모리 액세스 제어 장치로부터 통신 모듈로 전송 요청("Request")을 전송하는 단계; 및
- [0076] - 메인 메모리로부터 통신 모듈로 정보 블록의 성공적인 전송을 위해 상기 컴퓨팅 유닛으로 승인 신호를 송신하고, 그리고/또는 정보 블록 내에 플래그를 설정하거나 재설정하는 단계.
- [0077] 따라서 앞서 Tx 모드를 위한 본원의 직접 메모리 액세스 제어 장치의 추가 단계들에 대해 상세히 기술한 것과 같은 상응하는 장점들이 달성된다.
- [0078] 또 다른 구현예에서, 본원의 방법은 하기 단계들을 포함한다.
- [0079] - 통신 모듈로부터 버스 시스템과 연결된 메인 메모리로의 전송을 위해 상기 통신 모듈에 의해 제공되는 2개 이상의 정보 블록의 제어 정보를 판독 입력하는 단계로서, 상기 제어 정보는 메인 메모리로의 전송을 위한 각각의 정보 블록의 우선순위를 특성화하는, 단계;
- [0080] - 각각의 우선순위에 따라서 메인 메모리로 정보 블록들의 전송을 위한 순서를 결정하는 단계; 및
- [0081] - 결정된 순서에 따라서, 통신 모듈로부터 메인 메모리로의 직접 메모리 액세스를 이용하여, 상기 통신 모듈로부터 메인 메모리로 정보 블록들을 전송하는 단계.
- [0082] 따라서 앞서 Rx 모드를 위한 직접 메모리 액세스 제어 장치에 대해 상세히 기술한 것과 같은 상응하는 장점들이 달성된다.
- [0083] 또 다른 구현예에서, 본원의 방법은 하기 추가 단계들 중 하나 이상을 포함한다.
- [0084] - 통신 모듈로부터 신호, 특히 트리거 신호를 수신하고, 그럼으로써 직접 메모리 액세스 제어 장치로 하여금 후속하여 제어 정보의 판독 입력을 수행할 수 있게 하는 단계;
- [0085] - 수신되는 신호에 따라서, 제어 정보, 특히 통신 모듈에 의해 준비되는 2개 이상의 정보 블록의 제어 정보를 판독 입력하는 단계;

- [0086] - 우선순위 평가를 제어하는 제1 구성 정보를 평가하는 단계;
- [0087] - 제어 정보에서 제1 우선순위 및/또는 제2 우선순위를 결정하는 단계;
- [0088] - 제1 구성 정보들 그리고 각각의 제1 및/또는 각각의 제2 우선순위들에 따라서 메인 메모리로 정보 블록들을 전송하기 위한 순서를 결정하는 단계로서, 상기 순서가 선택적으로 각각의 제1 우선순위들 또는 각각의 제2 우선순위들에 따라, 또는 각각의 제1 및 각각의 제2 우선순위들에 따라서 결정되며, 특히 각각의 제1 우선순위들이 상이하다면 각각의 제1 우선순위에 따라서, 또는 각각의 제1 우선순위들이 동일하다면 각각의 제2 우선순위에 따라서 메인 메모리로 정보 블록들을 전송하기 위한 순서를 결정하는 단계;
- [0089] - 전송할 정보 블록 내에 플래그, 특히 신규 플래그를 설정하고, 그리고/또는 컴퓨팅 유닛으로 인터럽트를 송신하는 단계로서, 신규 플래그 또는 인터럽트는 메인 메모리로의 정보 블록의 전송 성공을 컴퓨팅 유닛으로 통지하기 위해 제공되는, 단계;
- [0090] - 메인 메모리 내의 타깃 주소 영역을 결정하고, 그리고/또는 메인 메모리의 로컬 메인 메모리 유닛을 결정하는 단계; 및
- [0091] - 통신 모듈로부터 메인 메모리로 정보 블록의 성공적인 전송을 위해 상기 통신 모듈로 승인 신호를 송신하고, 그리고/또는 통신 모듈 내에 플래그를 설정하는 단계.
- [0092] 따라서 앞서 Rx 모드를 위한 직접 메모리 액세스 제어 장치의 추가 단계들에 대해 상세히 기술한 것과 같은 상응하는 장점들이 달성된다.
- [0093] 또 다른 구현예에서, 본원의 방법은 하기 단계들을 포함한다.
- [0094] - 버스 시스템과 연결된 통신 모듈로의 전송을 위해 컴퓨팅 유닛에 의해 제공되는, 메인 메모리 내에 저장된 하나 이상의 제1 정보 블록의 제어 정보를 판독 입력하는 단계로서, 상기 제어 정보는 통신 모듈로의 전송을 위한 하나 이상의 제1 정보 블록의 우선순위를 특성화하는, 단계;
- [0095] - 통신 모듈로부터 버스 시스템과 연결된 메인 메모리로의 전송을 위해 상기 통신 모듈에 의해 제공되는 하나 이상의 제2 정보 블록의 제어 정보를 판독 입력하는 단계로서, 상기 제어 정보는 메인 메모리로의 전송을 위한 하나 이상의 제2 정보 블록의 우선순위를 특성화하는, 단계;
- [0096] - 하나 이상의 제1 및 하나 이상의 제2 정보 블록의 각각의 우선순위에 따라서 하나 이상의 제1 정보 블록 및 하나 이상의 제2 정보 블록의 전송을 위한 순서를 결정하는 단계; 및
- [0097] - 결정된 순서에 따라서, 직접 메모리 액세스를 이용하여, 메인 메모리로부터 통신 모듈로 하나 이상의 제1 정보 블록을 전송하는 단계, 및/또는 통신 모듈로부터 메인 메모리로 하나 이상의 제2 정보 블록을 전송하는 단계.
- [0098] 따라서 앞서 혼합된 Tx 모드 및 Rx 모드를 위한 직접 메모리 액세스 제어 장치에 대해 상세히 기술한 것과 같은 상응하는 장점들이 달성된다. 이 경우, 자명한 사실로서, 혼합된 Tx 모드 및 Rx 모드에 대해서도, 적용할 수 있다면, 앞서 Tx 모드 및 Rx 모드에 대해 각각 별도로 기술한 "추가" 단계들이 본원의 방법을 위해 바람직하게 보충될 수 있다.
- [0099] 특히 더욱 바람직한 또 다른 실시예의 경우, 본원의 직접 메모리 액세스 제어 장치를 이용하여 게이트웨이 기능을 구현할 수 있다. 통신 모듈 내에서 메시지의 수신 후에, 상응하는 데이터는 직접 메모리 액세스 제어 장치를 통해 에컨대 컴퓨팅 유닛의 메모리로 전송되어 그곳에서 컴퓨팅 유닛을 위해 제공된다. 동일한 데이터가 바람직하게는 계속하여 다른 통신 모듈들로의 송출을 위해서도 이용될 수 있다. 다시 말하면, 제1 단계에서 본원의 직접 메모리 액세스 제어 장치를 통해 맨 먼저 컴퓨팅 유닛의 메모리로 전송되는 데이터(Rx 방향)는, 제2 단계에서 본원의 직접 메모리 액세스 제어 장치로부터 다른 가입자들로 송신하기 위해 동일한 및/또는 다른 통신 모듈들, 특히 MCAN 모듈들로 전송될 수 있다(Tx 방향). 이 경우, 상이한 CAN 노드들로부터 Rx 데이터를 수집하고, 특정 메시지만을 추가 송신을 위해 마킹하는 점을 생각해볼 수 있다. 또한, 일 실시예에 따라서, 바람직하게는 정해진 시간 간격들로 메시지들을 송출하는 가능성도 있다. 본 실시예의 특별한 장점은, 게이트웨이 기능이 제어용 컴퓨팅 유닛 또는 CPU 없이도 실행되고, 그로 인해 추가 성능도 요구하지 않는다는 점에 있다.
- [0100] 하기에서 본 발명의 실시예들을 도면을 참조하여 설명한다.

도면의 간단한 설명

- [0101] 도 1은 버스를 구비한 컴퓨터 시스템에 대한 매우 간소화된 블록회로도이다.
- 도 2는 복수의 컴퓨팅 유닛과 이들 컴퓨팅 유닛에 각각 할당되는 메인 메모리 유닛들을 포함하는 컴퓨터 시스템의 제1 실시예를 도시한 도면이다.
- 도 3은 복수의 컴퓨팅 유닛과 이들 컴퓨팅 유닛에 대해 공통인 하나의 메인 메모리를 포함하는 컴퓨터 시스템의 제2 실시예를 도시한 도면이다.
- 도 4는 직접 메모리 액세스의 수행을 위한 도 2 또는 도 3에 따른 컴퓨터 시스템의 작동 방법의 제1 실시예의 흐름도이다.
- 도 5는 직접 메모리 액세스의 실행을 위한 방법의 제2 실시예의 흐름도이다.
- 도 6은 직접 메모리 액세스의 실행을 위한 방법의 제3 실시예의 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0102] 모든 도면에서 기능상 대등한 요소들 및 변수들에 대해, 상이한 실시예들에서도 동일한 도면부호들이 이용된다.
- [0103] 도 1에는, 컴퓨팅 유닛(20); 메인 메모리(30); 및 메인 메모리(30)와 컴퓨팅 유닛(20)을 연결하는 버스 시스템(12)과 각각 연결되어 있는 직접 메모리 액세스 제어 장치(40);를 포함하는 컴퓨터 시스템(10)에 대한 매우 간소화된 블록회로도가 도시되어 있다. 또한, 도 1에는, 버스 시스템(12)과 연결되는 통신 모듈(50)도 도시되어 있다.
- [0104] 도 2에는, 본원에서 복수의 프로세서 코어 및 이들 프로세서 코어에 각각 할당된 메인 메모리 유닛들(30_1, 30_2 내지 30_n)을 구비한 컴퓨팅 유닛(20)을 포함하는 컴퓨터 시스템(10)이 도시되어 있다. 메인 메모리 유닛들(30_1, 30_2 내지 30_n)은 함께 컴퓨터 시스템(10)의 하나의 메인 메모리(30)를 형성한다. 상술한 프로세서 코어들은 본원에서 컴퓨팅 유닛(20_1, 20_2 내지 20_n)으로 지칭된다.
- [0105] 또한, 컴퓨터 시스템(10)은 직접 메모리 액세스 제어 장치(40)와 통신 모듈(50)도 포함한다.
- [0106] 일 실시예에서, 통신 모듈(50)은, 오직 하나의 프로세서 코어만을 포함하는 컴퓨팅 유닛(20)과의 작동을 위해 형성된다. 또 다른 실시예에서, 통신 모듈(50)은 복수의 프로세서 코어와의 작동을 위해서도 형성된다. 통신 모듈(50)의 두 실시예는 도 2 또는 도 3의 컴퓨터 시스템(10) 내에서 대안으로 이용될 수 있다.
- [0107] 메인 메모리(30) 또는 메인 메모리 유닛들(30_1, 30_2 내지 30_n)은 예컨대 "외장" RAM, 즉 랜덤 액세스 메모리(random access memory)일 수 있거나, 컴퓨팅 유닛(20) 또는 컴퓨팅 유닛들(20_1, 20_2, 20_n) 전용의 "내장" RAM일 수 있다.
- [0108] 컴퓨팅 유닛(20), 메인 메모리 유닛들(30_1 내지 30_n), 직접 메모리 액세스 제어 장치(40) 및 통신 모듈(50)은 공통 버스 시스템(12)(도 1 참조)을 통해 서로 연결되며, 상기 공통 버스 시스템을 통해 정보 블록들(60)이 교환될 수 있다. 정보 블록들(60)은 "유효 데이터" 및/또는 제어 정보를 포함할 수 있다. 본원에서는, 메인 메모리(30)와 통신 모듈(50) 간에 교환되거나 교환되어야 하는 정보 블록들(60)만 고려된다.
- [0109] 버스 시스템은 예컨대 제1 개수의 주소 라인들을 구비한 주소 버스와 제2 개수의 데이터 라인들을 구비한 데이터 버스를 포함하는 병렬 버스 시스템으로서 형성될 수 있다.
- [0110] 도 2에서 메인 메모리 유닛들(30_1, 30_2 내지 30_n)과 직접 메모리 액세스 제어 장치(40) 사이에, 그리고 직접 메모리 액세스 제어 장치(40)와 통신 모듈(50) 사이에 도시된 양방향 화살표들은 본원에서 각각의 기능 할당 및 단지 조건부로만 각각의 물리적 연결을 특성화한다.
- [0111] 또한, 도 2의 왼쪽에는, 하기에서 훨씬 더 상세하게 설명되는 바와 같은 "Tx 모드" 또는 "Rx 모드"와 관련하여 정보 블록들(60)을 위한 전송 방향을 특성화하는 화살표들도 도시되어 있다.
- [0112] 통신 모듈(50)은 가능한 복수의 정보 블록(60)을 송신하거나 수신하도록 형성되며, 정보 블록들(60)은, 하기에서 훨씬 더 상세하게 설명되는 것처럼, 특정 우선순위를 통해 각각 특성화된다. 바람직하게 통신 모듈(50)은, 예컨대 이산 라인들을 통해, 또는 하나 또는 복수의 버스(미도시)를 통해 통신 모듈(50)과 통신할 수 있는 복수의 (미도시한) 데이터 소스 및/또는 데이터 싱크(data sink)와 연결된다.
- [0113] 본원에서, 통신 모듈(50)은, 본원에서 "논리 유닛들"로서 지칭되는 복수의 CAN 버스 가입자가 연결되어 있는 미도시한 CAN 버스와 통신할 수 있는 이른바 "MCAN 모듈"을 포함한다. 축약어 "CAN"은 "Controller Area

Network"를 의미한다. 여기서 알파벳 "M"은 선택적인 생산자별 명칭 첫자를 나타낸다.

[0114] 예컨대 MCAN 모듈 또는 통신 모듈(50)은 특히 하기 부분 회로들을 포함한다.

[0115] - 버스 시스템(12)용 인터페이스 관리 장치(interface management logic);

[0116] - 송신 버퍼(transmit buffer);

[0117] - 하나 또는 복수의 수신 버퍼(receive buffer);

[0118] - 비트 스트림 프로세서(bit stream processor);

[0119] - 에러 관리 장치(error management logic);

[0120] - 송수신 로직(transceive logic);

[0121] - 비트 타이밍 로직(bit timing logic); 및/또는

[0122] - 연결된 CAN 버스 시스템용 라인 인터페이스 로직(line interface logic).

[0123] 또한, 특히 도 2에는, 메인 메모리(30)를 구비한 컴퓨팅 유닛(20)을 위한 직접 메모리 액세스 제어 장치(40)가 도시되어 있으며, 이 직접 메모리 액세스 제어 장치(40)는 컴퓨팅 유닛(20)을 메인 메모리(30)와 연결하는 버스 시스템(12)과 직접 메모리 액세스 제어 장치(40)의 연결을 위한 연결부를 포함한다. 직접 메모리 액세스 제어 장치(40)는 하기에서 도 4 내지 도 6에서 훨씬 더 상세하게 설명되는 다수의 방법 단계를 수행하도록 구성된다.

[0124] 일 실시예에서, 컴퓨팅 유닛(20) 및/또는 메인 메모리(30) 및/또는 직접 메모리 액세스 제어 장치(40) 및/또는 각각의 정보 블록(60)은 특히 실질적으로 자명한 하기 변수들, 제어 정보 및/또는 구성 정보를 통해 특성화된다.

[0125] 이른바 "Tx 구성"의 경우: CAN_ID(1...n) Data ACK.

[0126] 이른바 "Rx 구성"의 경우: CAN_ID(1...n) Data NEW.

[0127] 일 실시예에서, 컴퓨팅 유닛(20) 및/또는 메인 메모리(30) 및/또는 직접 메모리 액세스 제어 장치(40) 및/또는 각각의 정보 블록(60)은 특히 실질적으로 자명한 하기 변수들, 제어 정보 및/또는 구성 정보에 의해 특성화된다.

[0128] **"Tx 구성"의 경우:**

[0129] SrcAddr Len TargetAddr Prio ID(1...n) ACK Intern_TransSuccess.

[0130] **"Rx 구성"의 경우:**

[0131] SrcAddr Len TargetAddr ID(1...n) CPUx NEW Intr.

[0132] 상기 구성 항목의 의미:

[0133] **SrcAddr** - 구성으로서의 소스 주소;

[0134] **Len** - 구성으로서의 길이 - 전송되어야 하는 바이트의 개수;

[0135] **TargetAddr** - 구성으로서의 타겟 주소;

[0136] **ID(1...n)** - 구성으로서의 Rx 메시지의 ID - 이는 CPU에 대한 인터럽트가 트리거링되어야 하는지의 판단을 위해 필요함.

[0137] **CPUx** - 메시지가 수신된 후에, CPUx에 대해 인터럽트가 트리거링됨. - 구성 비트;

[0138] **NEW** - 이는 신규 데이터가 수신되었음을 의미하며, DMA에 의해 설정되고 CPU에 의해 재설정됨.

[0139] **Intr** - 인터럽트 - 구성 비트이며, 메시지가 수신된 후에 인터럽트를 트리거링함을 의미함.

[0140] 일 실시예에서, 각각의 우선순위는 비트 값들의 비교에 의해 결정되며, 비트 값들은 각각의 제어 정보의 섹션을 통해 특성화된다. 하기에 구현된 3개의 비트열은 일례를 나타낸 것이다. 이 경우, 각각의 비트열들은 좌측로부터 우측으로 비트 단위로 비교되며, 각각의 "0"은 각각의 "1"에 대해 우성이다.

- [0141] 0 / 0 / 0 / 1 / 0 / 0 / 1 / ... 0 / 0 / 1 비트열 1
- [0142] 0 / 0 / 0 / 0 / 0 / 1 / 0 / ... 0 / 0 / 0 비트열 2
- [0143] 0 / 0 / 0 / 0 / 0 / 0 / 1 / ... 0 / 0 / 0 비트열 3
- [0144] 상기 예시에 따라서, 비트열 3에 속하는 정보 블록이 우선 전송되고, 그런 다음 비트열 2에 속하는 정보 블록이 전송되며, 그런 다음 비트열 1에 속하는 정보 블록이 전송될 것이다.
- [0145] 도 3에는, 도 2와 유사하게, 컴퓨터 시스템(10)의 또 다른 실시예가 도시되어 있다. 도 2와 달리, 도 3에는, 모든 컴퓨팅 유닛(20_1, 20_2 내지 20_n)에 대해 공통인 하나의 메인 메모리(30)가 도시되어 있으며, 이 메인 메모리는 예컨대 하나 또는 복수의 집적 회로에 의해, 또는 하나 또는 복수의 이른바 "RAM 메모리 모듈"에 의해 형성된다.
- [0146] 도 4에는, 직접 메모리 액세스 제어 장치(40)를 작동시키기 위한 방법의 제1 실시예에 대한 흐름도가 도시되어 있으며, 정보 블록들(60)은 메인 메모리(30)로부터 통신 모듈(50) 쪽으로 전송되거나 전송되어야 한다. 이는, 계속하여 상기에서 도 2 및 도 3에서 지칭되는 "Tx 모드"에 상응하며, 예컨대 하기 단계들을 이용하여 수행될 수 있다:
- [0147] - 컴퓨팅 유닛(20)으로부터 신호, 특히 트리거 신호 및/또는 ACK 비트("acknowledge") 및/또는 인터럽트를 수신하는 단계(102), 그리고 상기 신호의 수신 후에;
- [0148] - 버스 시스템(12)과 연결된 통신 모듈(50)로의 전송을 위해 컴퓨팅 유닛(20)에 의해 제공되는, 메인 메모리(30) 내에 저장된 2개 이상의 정보 블록(60)의 제어 정보를 판독 입력하는 단계(104)로서, 상기 제어 정보는 통신 모듈(50)로의 전송을 위한 각각의 정보 블록(60)의 우선순위를 특성화하는, 단계;
- [0149] 이 경우, 제어 정보의 판독 입력 단계는 수신되는 신호에 따라서 수행되며, 예컨대 제어 정보의 판독 입력 단계는 신호의 수신 단계(102)를 통해 트리거링될 수 있다.
- [0150] - 우선순위 평가를 제어하는 제1 구성 정보를 평가하는 단계(106);
- [0151] - 제어 정보에서 제1 우선순위 및/또는 제2 우선순위를 결정하는 단계(108);
- [0152] - 각각의 우선순위에 따라서 통신 모듈(50)로 정보 블록들(60)의 전송을 위한 순서를 결정하는 단계(110).
- [0153] 이 경우, 일 실시예에서, 통신 모듈(50)로 정보 블록들(60)의 전송을 위한 순서의 결정 단계(110)는 제1 구성 정보 그리고 각각의 제1 및/또는 각각의 제2 우선순위들에 따라서 수행되며, 상기 순서는 선택적으로 각각의 제1 우선순위들(블록 110a) 또는 각각의 제2 우선순위들(블록 110b)에 따라, 또는 각각의 제1 및 각각의 제2 우선순위들(블록 110c)에 따라서 결정된다.
- [0154] 이 경우, 일 실시예에서, 통신 모듈(50)로 정보 블록들(60)의 전송을 위한 순서의 결정(110)은, 각각의 제1 우선순위들이 상이하다면 각각의 제1 우선순위에 따라서, 또는 각각의 제1 우선순위들이 동일하다면 각각의 제2 우선순위에 따라서 수행된다.
- [0155] - 직접 메모리 액세스 제어 장치(10)로부터 통신 모듈(50)로 전송 요청("Request")을 전송하는 단계;
- [0156] - 결정된 순서에 따라서, 메인 메모리(30)로부터 통신 모듈(50)로의 직접 메모리 액세스를 이용하여, 메인 메모리(30)로부터 통신 모듈(50)로 정보 블록들(60)을 전송하는 단계(112);
- [0157] - 메인 메모리(30)로부터 통신 모듈(50)로 정보 블록(60)의 성공적인 전송을 위해 컴퓨팅 유닛(20)으로 승인 신호를 송신하는 단계(114), 및/또는 정보 블록(60) 내에 플래그를 설정하거나 재설정하는 단계.
- [0158] 일 실시예에서, 직접 메모리 액세스 제어 장치(10) 내의 블록(102)에서 수신되는 ACK 비트는 블록(114)에서 송신된 승인 신호의 ACK 비트와 비교될 수 있다.
- [0159] 이런 점이 논리적으로 가능하고 타당할 경우에는, 도 4에서 기술되는 방법 단계들이 경우에 따라 다른 순서로 진행될 수 있다.
- [0160] 일 실시예에서, 도 4에 기술한 방법은 적어도 부분적으로 도면부호들 102, 106, 110a, 110b, 110c 및 114로 표시된 선택적인, 따라서 도 4에서는 파선으로 도시된 단계들 없이 수행된다.
- [0161] 도 5에는, 직접 메모리 액세스 제어 장치(40)를 작동시키기 위한 방법의 제2 실시예에 대한 흐름도가 도시되어

있으며, 정보 블록들(60)은 통신 모듈(50)로부터 메인 메모리(30) 쪽으로 전송되거나 전송되어야 한다. 이는 앞서 도 2 및 도 3에서 지칭되는 "Rx 모드"에 상응하며, 예컨대 하기 단계들을 통해 수행될 수 있다.

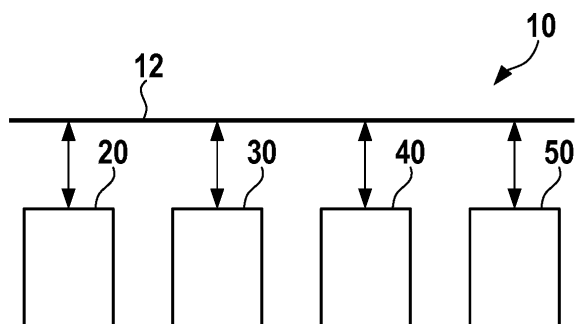
- [0162] - 통신 모듈(50)로부터 신호, 특히 트리거 신호를 수신하는 단계(202)이며, 그럼으로써 통신 모듈(50) 내에서는, 메인 메모리(30)로, 또는 하나 또는 복수의 메인 메모리 유닛(30_1 내지 30_n)으로 전송하기 위한 하나 이상의 정보 블록(60)이 준비되는 점이 표시되며, 그럼으로써 직접 메모리 액세스 제어 장치(10)로 하여금 후속하여 제어 정보의 판독 입력을 수행하게 하는 단계. 상기 신호의 수신 단계 이후;
- [0163] - 통신 모듈(50)로부터 버스 시스템(12)과 연결된 메인 메모리(30)로의 전송을 위해 상기 통신 모듈(50)에 의해 제공되는 2개 이상의 정보 블록(60)의 제어 정보를 판독 입력하는 단계(204)로서, 상기 제어 정보는 메인 메모리(30)로의 전송을 위한 각각의 정보 블록(60)의 우선순위를 특성화하는, 단계;
- [0164] - 우선순위 평가를 제어하는 "제1" 구성 정보를 평가하는 단계(206). 예컨대 제1 구성 정보는 순서의 결정을 위한 선택사항들을 포함한다[계속하여 하기에서 단계 (1) 및 (2) 참조].
- [0165] 일 실시예에서, 직접 메모리 액세스 제어 장치(40)는 "제2" 구성 정보를 포함하며, 제2 구성 정보는, 통신 모듈(50)과 통신하는 각각의 논리 유닛들, 및/또는 각각의 논리 유닛들에 의해 송신될, 그리고/또는 수신될 제어 정보를 특성화한다. 예컨대 제2 구성 정보는 Rx 모드를 위해 필요한 모든 CAN-ID를 포함한다.
- [0166] 일 실시예에서, 직접 메모리 액세스 제어 장치(40)는 "제3" 구성 정보를 포함하며, 제3 구성 정보는 컴퓨팅 유닛(20, 20_1 내지 20_n)(CPU 번호) 및/또는 메인 메모리(30, 30_1 내지 30_n)를 특성화하는 변수들을 포함한다.
- [0167] - 제어 정보에서 제1 우선순위 및/또는 제2 우선순위를 결정하는 단계(208).
- [0168] - 각각의 우선순위에 따라서 메인 메모리(30)로 정보 블록들(60)의 전송을 위한 순서를 결정하는 단계(210).
- [0169] 또한, 각각의 정보 블록(60)이 어느 컴퓨팅 유닛들(20_1 내지 20_n)로, 또는 어느 전용 메인 메모리 유닛(30_1 내지 30_n)으로 전송되어야 하는지도 결정된다. 다시 말해:
- [0170] 일 실시예에서, 직접 메모리 액세스 제어 장치(40)는 제4 구성 정보를 포함하며, 제4 구성 정보는 정보 블록들(60)의 전송을 위한 각각의 소스 및/또는 각각의 타깃을 특성화한다[하기 블록(211a) 참조].
- [0171] - 메인 메모리(30)(도 3 참조) 내에서 타깃 주소 영역을 결정하는 단계(211a), 및/또는 메인 메모리(30)의 로컬 메인 메모리 유닛(30_1 내지 30_n)(도 2 참조)을 결정하는 단계.
- [0172] - 전송할 정보 블록(60) 내에 플래그, 특히 신규 플래그를 설정하는 단계(211b), 및/또는 컴퓨팅 유닛(20)으로, 또는 각각의 컴퓨팅 유닛(20_1 내지 20_n)으로 인터럽트를 송신하는 단계로서, 상기 신규 플래그 또는 인터럽트는 메인 메모리(30)(또는 30_1 내지 30_n)로 수행되는 정보 블록(60)의 전송을 컴퓨팅 유닛(20)(또는 20_1 내지 20_n)으로 통지하기 위해 제공되는, 단계.
- [0173] - 결정된 순서에 따라서, 통신 모듈(50)로부터 메인 메모리(30)로의 직접 메모리 액세스를 이용하여, 통신 모듈(50)로부터 메인 메모리(30)로 정보 블록들(60)을 전송하는 단계(212).
- [0174] - 통신 모듈(50)로부터 메인 메모리(30)로 정보 블록(60)의 성공적인 전송을 위해 상기 통신 모듈(50)로 승인 신호를 송신하는 단계(214), 및/또는 통신 모듈(50) 내에 플래그를 설정하는 단계. 그에 따라서, 통신 모듈(50) 내에서는 Rx 모드를 위해 제공된 기억 영역이 적어도 부분적으로 다시 릴리스될 수 있다.
- [0175] 이런 점이 논리적으로 가능하고 타당할 경우에는, 도 5에서 기술되는 방법 단계들이 경우에 따라 다른 순서로 진행될 수 있다.
- [0176] 일 실시예에서는 본원의 방법을 위해, 본원에서 CAN-ID에서 직접 결정되는 제1 우선순위만이 이용된다. 일 실시예에서는, 본원의 방법을 위해 제2 우선순위만이 이용된다.
- [0177] 일 실시예에서는, 본원의 방법을 위해, 제1 및 제2 우선순위가 이용되며, 하기 단계 (1) 및/또는 (2)가 실행된다.
- [0178] 단계 (1): 제1 구성 정보 그리고 각각의 제1 및/또는 각각의 제2 우선순위들에 따라서 메인 메모리(30)로 정보 블록들(60)을 전송하기 위한 순서를 결정하는 단계(210)로서, 상기 순서는 선택적으로 각각의 제1 우선순위들(블록 210a) 또는 각각의 제2 우선순위들(블록 210b)에 따라, 또는 각각의 제1 및 각각의 제2 우선순위들(블록

210c)에 따라서 결정되는, 단계.

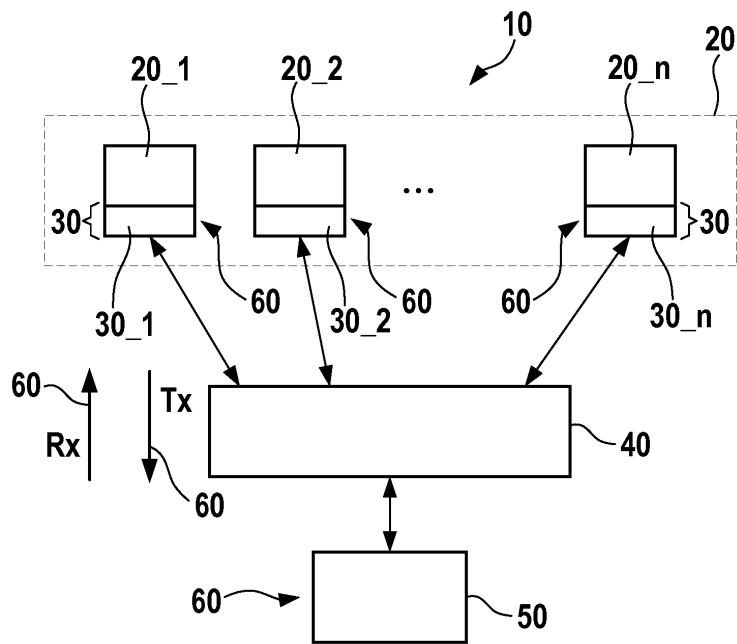
- [0179] 단계 (2): 각각의 제1 우선순위들이 상이하다면 각각의 제1 우선순위에 따라서, 또는 각각의 제1 우선순위들이 동일하다면 각각의 제2 우선순위에 따라서 메인 메모리(30)로 정보 블록들(60)을 전송하기 위한 순서를 결정하는 단계.
- [0180] 일 실시예에서, 도 5에서 기술되는 방법은 적어도 부분적으로 도면부호들 202, 206, 210a, 210b, 210c, 211b 및 214로 표시되는 단계들 없이 수행되므로, 상기 단계들은 도 5에서는 파선으로 도시되어 있다.
- [0181] 도 6에는, 직접 메모리 액세스 제어 장치(40)를 작동시키기 위한 방법의 제3 실시예에 대한 흐름도가 도시되어 있으며, 정보 블록들(60)은 메인 메모리(30)로부터 통신 모듈(50) 쪽으로뿐만 아니라 통신 모듈(50)로부터 메인 메모리(30) 쪽으로도 전송되거나 전송되어야 한다. 이는 실질적으로 앞서 도 4 및 도 5를 토대로 기술한 "Tx 모드" 및 "Rx 모드"의 공동 사용 또는 공동 수행에 상응하며, 예컨대 하기 단계들에 의해 수행될 수 있다.
- [0182] - 버스 시스템(12)과 연결된 통신 모듈(50)로의 전송을 위해 컴퓨팅 유닛(20)에 의해 제공되는, 메인 메모리 내에 저장된 하나 이상의 제1 정보 블록(60)의 제어 정보를 판독 입력하는 단계(104)로서, 상기 제어 정보는 통신 모듈(50)로의 전송을 위한 하나 이상의 제1 정보 블록(60)의 우선순위를 특성화하는, 단계;
- [0183] - 통신 모듈(50)로부터 버스 시스템(12)과 연결된 메인 메모리(30)로의 전송을 위해 상기 통신 모듈(50)에 의해 제공되는 하나 이상의 제2 정보 블록(60)의 제어 정보를 판독 입력하는 단계(204)로서, 상기 제어 정보가 메인 메모리(30)로의 전송을 위한 하나 이상의 제2 정보 블록(60)의 우선순위를 특성화하는, 단계;
- [0184] - 하나 이상의 제1 및 하나 이상의 제2 정보 블록(60)의 각각의 우선순위에 따라서 하나 이상의 제1 정보 블록(60) 및 하나 이상의 제2 정보 블록(60)의 전송을 위한 순서를 결정하는 단계(310); 및
- [0185] - 결정된 순서에 따라서, 직접 메모리 액세스를 이용하여, 메인 메모리(30)로부터 통신 모듈(50)로 하나 이상의 제1 정보 블록(60)을 전송하는 단계(112), 및/또는 통신 모듈(50)로부터 메인 메모리(30)로 하나 이상의 제2 정보 블록(60)을 전송하는 단계(212).
- [0186] 자명한 사실로서, 도 6에 따른 방법에 대한 제3 실시예는, 특히 도 4 및 도 5에 대부분 파선으로 도시된 블록들(102, 106, 110a, 110b, 110c, 114, 202, 206, 210a, 210b, 210c, 211a, 211b 및 214)이 각각 적용될 수 있다면, 이들 블록에 의해 바람직하게 보충될 수 있다. 이는 더 나은 이해를 돕기 위해 여기서는 다시 기술하지 않는다.

도면

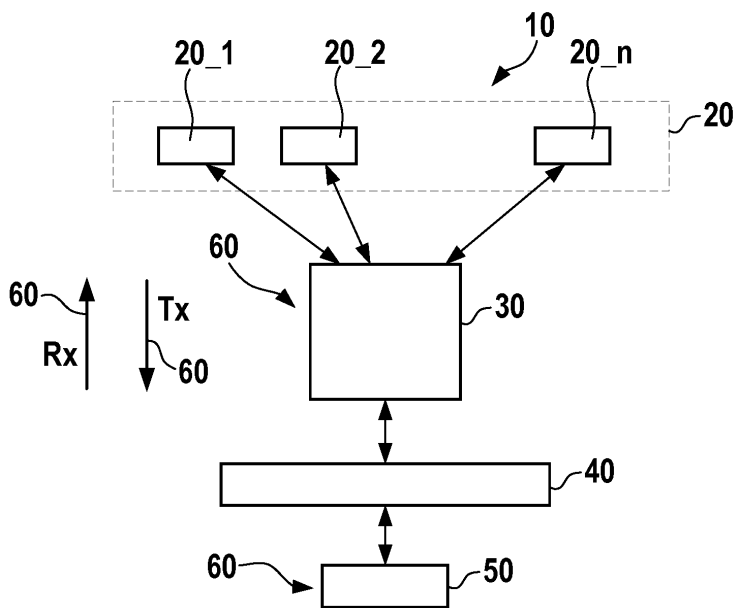
도면1



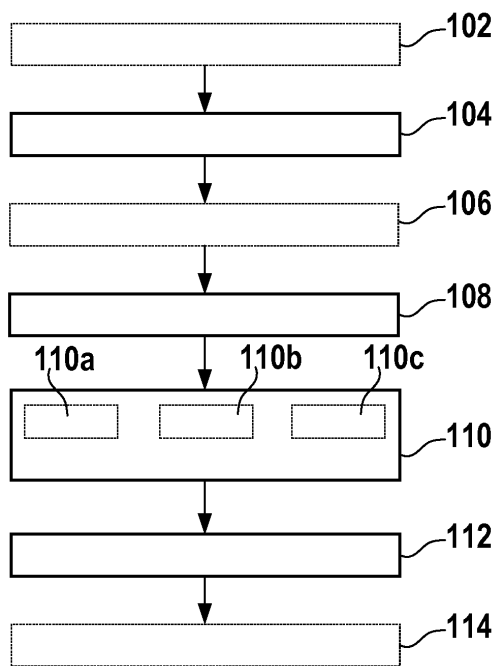
도면2



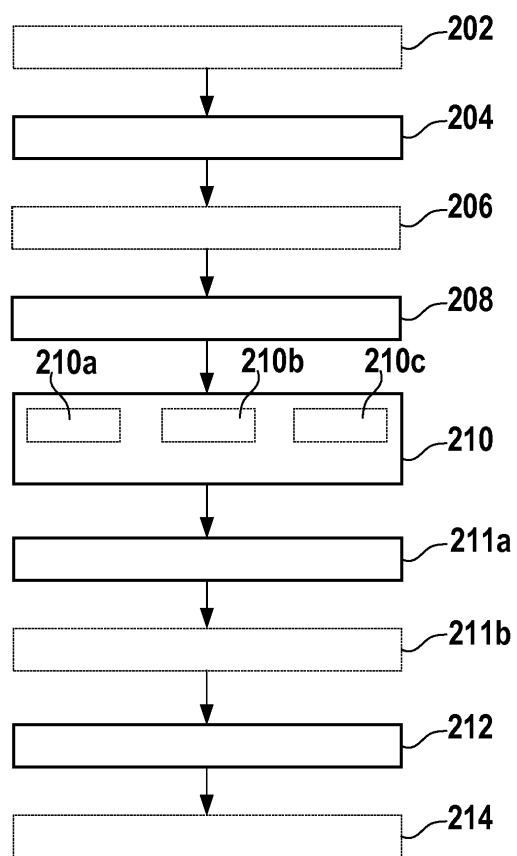
도면3



도면4



도면5



도면6

