

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4492928号
(P4492928)

(45) 発行日 平成22年6月30日(2010.6.30)

(24) 登録日 平成22年4月16日(2010.4.16)

(51) Int.Cl.		F I	
HO4L 25/02	(2006.01)	HO4L 25/02	J
GO9G 3/20	(2006.01)	GO9G 3/20	611A
GO9G 3/36	(2006.01)	GO9G 3/20	621B
		GO9G 3/20	633C
		GO9G 3/36	

請求項の数 5 (全 16 頁)

(21) 出願番号	特願2003-409012 (P2003-409012)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(22) 出願日	平成15年12月8日(2003.12.8)	(74) 代理人	100123788 弁理士 官崎 昭夫
(65) 公開番号	特開2005-175592 (P2005-175592A)	(74) 代理人	100127454 弁理士 緒方 雅昭
(43) 公開日	平成17年6月30日(2005.6.30)	(74) 代理人	100106138 弁理士 石橋 政幸
審査請求日	平成18年11月13日(2006.11.13)	(72) 発明者	遊佐 和幸 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
		審査官	矢頭 尚之

最終頁に続く

(54) 【発明の名称】 データ伝送装置

(57) 【特許請求の範囲】

【請求項1】

送信側から供給される複数ビットの平行データを複数の信号線を介して受信側へ並列に伝送するデータ伝送装置であって、

前記複数のビットのそれぞれは、第1論理レベルまたは第2論理レベルのいずれかを示し、

前記平行データの中で、前記第1論理レベルを示すビットの数が前記第2論理レベルを示すビットの数以下の場合には該平行データを出力し、該第1論理レベルを示すビットの数が該第2論理レベルを示すビットの数より多い場合には該平行データの各ビットの論理レベルを反転した平行データを出力し、さらに、前記送信側から供給される平行データを反転したか否かを示す反転情報を出力する平行データ制御部と、

前記平行データ制御部が出力する平行データの各ビットに対応する複数の信号線と、

前記平行データ制御部が出力する平行データの中で前記第1論理レベルを示すビットに対応する信号線には第1の電流を流し、該平行データの中で前記第2論理レベルを示すビットに対応する信号線には該第1の電流より小さな第2の電流を流すデータ送信部と、

前記第1の電流が流された信号線に対応する出力として前記第1論理レベルを示すビットを出力し、前記第2の電流が流された信号線に対応する出力として前記第2の論理レベ

ルを示すビットを出力することにより複数ビットの平行データを出力するデータ受信部と、

前記反転情報が前記送信側から供給される平行データを反転したことを示している場合には、前記データ受信部が出力した平行データの各ビットの論理レベルを反転した平行データを前記受信側に供給し、該反転情報が該送信側から供給される平行データを反転していないことを示している場合には、前記データ受信部が出力した平行データを該受信側に供給する平行データ供給制御部とを含み、

前記データ送信部は、前記複数の信号線のそれぞれに対応する複数の送信回路を含み、
前記送信回路のそれぞれは、pチャンネルMOSトランジスタとnチャンネルMOSトランジスタとからなり、自己の入力端子が自己に対応する信号線に対応したビットの情報を受け付け、自己の出力端子が自己に対応する信号線の一端と接続されるインバータ回路を含み、

前記データ受信部は、前記複数の信号線のそれぞれに対応する複数の受信回路を含み、
前記複数の受信回路のそれぞれは、
一端が自己と対応する信号線の他端と接続され、他端が電源の一方の電位側に接続された定電流回路と、

ゲートおよびドレインに自己と対応する信号線の他端の電位に応じた電位が供給され、ソースが前記電源の他方の電位側と接続され、前記送信回路が有するインバータ回路の中でソースが前記電源の他方の電位側に接続されたトランジスタと同じチャンネルを有するスイッチングMOSトランジスタと、

自己の入力端子に自己と対応する信号線の他端の電位に応じた電位が供給される第1の反転バッファと、

前記第1の反転バッファの出力を反転する第2の反転バッファとを含むことを特徴とするデータ送信装置。

【請求項2】

請求項1に記載のデータ伝送装置において、
前記データ送信部は、前記第1の電流の大きさを前記第2の電流の大きさの2倍以上とすることを特徴とするデータ伝送装置。

【請求項3】

請求項1または2に記載のデータ伝送装置において、
前記送信側は、前記複数ビットの平行データとして、液晶表示装置駆動用データを供給することを特徴とするデータ伝送装置。

【請求項4】

請求項1から3のいずれか1項に記載のデータ送信装置において、
前記送信回路のそれぞれは、前記インバータ回路の中でソースが電源の他方の電位側に接続されたトランジスタのドレインと前記出力端子との間に設けられた抵抗値調節機能を有する抵抗調整用MOSトランジスタとをさらに含むことを特徴とするデータ伝送装置。

【請求項5】

請求項1から4のいずれか1項に記載のデータ伝送装置において、
前記複数の受信回路のそれぞれは、電位調整用信号を受け付け、自己に対応する信号線の他端の電位を前記該電位調整用信号に基づいて調整し、調整後の電位を、前記第1の反転バッファの入力端子および前記スイッチングMOSトランジスタのゲートおよびドレインに供給する電位調整部とをさらに含むことを特徴とするデータ伝送装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、データ伝送装置およびデータ伝送方法に関し、特に、平行データを伝送するデータ伝送装置およびデータ伝送方法に関する。

【背景技術】

【0002】

10

20

30

40

50

従来、送信側から受信側へパラレルデータを伝送するデータ伝送装置がある。

【0003】

例えば、液晶表示装置（以下「LCDモジュール」と称する。）では、R（赤）、G（緑）およびB（青）の各色のデータとして、例えば6ビットあるいは8ビットのパラレルデータが用いられ、各色のパラレルデータが送信側であるコントロールLSIから受信側である駆動用LSIに伝送される。

【0004】

具体的には、コントロールLSIは自己に内蔵しているトランスミッタ（Tx）からパラレル信号線にデータを伝送し、受信側である駆動用LSIは自己に内蔵しているレシーバ（Rx）でパラレル信号線からデータを受け付ける。なお、サイズの小さいLCDモジュールでは、トランスミッタ（Tx）が内蔵されているコントローラLSIが、LCDモジュール内部に実装されていない場合もある。

10

【0005】

特許文献1（特開2001-144620号公報）には、複数の信号線を介してパラレルデータの伝送を行うバスシステムにおいて、伝送するパラレルデータに含まれる“0”または“1”の発生頻度を少なくすることによって、複数の信号線上におけるクロストークノイズの発生を低減させる技術が記載されている。

【0006】

図6は、特許文献1に記載されたバスシステムの送信側の一部を示した回路図である。以下、図6を参照して、特許文献1に記載されたバスシステムを簡単に説明する。

20

【0007】

特許文献1に記載されたバスシステムでは、送信側のEXORゲート80～82が、伝送用のパラレルデータD00～D02を複数の信号線に供給する。したがって、送信側と複数の信号線との間のインターフェースはCMOS（電圧）方式のインターフェースとなる。

【0008】

送信側では、ANDゲート83～85とNORゲート86とが、伝送予定のパラレルデータの中で、“0”を示すデータの数が“1”を示すデータの数より多いか否かを判定し、EXORゲート80～82が、パラレルデータの中の“0”または“1”の発生頻度が少なくなるように、NORゲート86が出力する判定結果に基づいて伝送予定のパラレルデータの反転を制御する。

30

【0009】

したがって、EXORゲート80～82の出力は、“0”または“1”の発生頻度が少なくなり、EXORゲート80～82の出力が変更される可能性が少なくなる。このため、複数の信号線上におけるクロストークノイズの発生が低減する。

【特許文献1】特開2001-144620号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

パラレルデータの伝送を行うLCDモジュールでは、液晶の多諧調化および高解像度化により、伝送するデータ量が大幅に増大してきている。このため、パラレルデータの伝送を行うLCDモジュールでは、データ伝送に必要な伝送線の本数が増大し、伝送周波数が高速化し、さらに、信号線を通る電流の総量が多くなってきている。

40

【0011】

信号線を通る電流の総量が多くなるという問題点は、パラレルデータを扱うLCDモジュールに限る問題ではなく、パラレルデータの伝送を行う電子機器に共通する問題である。

【0012】

なお、特許文献1に記載のバスシステムでは、EXORゲート80～82の出力が変更される可能性が少なくなるので、EXORゲート80～82の出力を変更するためのスイ

50

ッチング電流の低減は期待できる。

【 0 0 1 3 】

しかしながら、特許文献 1 に記載のバスシステムでは、信号線を通る電流の総量を少なくする点についての具体的な記載はない。

【 0 0 1 4 】

本発明の目的は、信号線を通る電流の総量を少なくすることによって消費電力の低減を図ることが可能なデータ伝送装置およびデータ伝送方法を提供することである。

【課題を解決するための手段】

【 0 0 1 5 】

上記の目的を達成するために、本発明のデータ伝送装置は、送信側から供給される複数ビットの平行データを通る信号線を通じて受信側へ並列に伝送するデータ伝送装置であって、前記複数のビットのそれぞれは、第 1 論理レベルまたは第 2 論理レベルのいずれかを示し、前記平行データの中で、前記第 1 論理レベルを示すビットの数が前記第 2 論理レベルを示すビットの数以下の場合には該平行データを出力し、該第 1 論理レベルを示すビットの数が該第 2 論理レベルを示すビットの数より多い場合には該平行データの各ビットの論理レベルを反転した平行データを出力し、さらに、前記送信側から供給される平行データを反転したか否かを示す反転情報を出力する平行データ制御部と、前記平行データ制御部が出力する平行データの各ビットに対応する複数の信号線と、前記平行データ制御部が出力する平行データの中で前記第 1 論理レベルを示すビットに対応する信号線には第 1 の電流を流し、該平行データの中で前記第 2 論理レベルを示すビットに対応する信号線には該第 1 の電流より小さな第 2 の電流を流すデータ送信部と、前記第 1 の電流が流された信号線に対応する出力として前記第 1 論理レベルを示すビットを出力し、前記第 2 の電流が流された信号線に対応する出力として前記第 2 の論理レベルを示すビットを出力することにより複数ビットの平行データを出力するデータ受信部と、前記反転情報が前記送信側から供給される平行データを反転したことを示している場合には、前記データ受信部が出力した平行データの各ビットの論理レベルを反転した平行データを前記受信側に供給し、該反転情報が該送信側から供給される平行データを反転していないことを示している場合には、前記データ受信部が出力した平行データを該受信側に供給する平行データ供給制御部とを含み、前記データ送信部は、前記複数の信号線のそれぞれに対応する複数の送信回路を含み、前記送信回路のそれぞれは、p チャンネル MOS トランジスタと n チャンネル MOS トランジスタとからなり、自己の入力端子が自己に対応する信号線に対応したビットの情報を受け付け、自己の出力端子が自己に対応する信号線の一端と接続されるインバータ回路を含み、前記データ受信部は、前記複数の信号線のそれぞれに対応する複数の受信回路を含み、前記複数の受信回路のそれぞれは、一端が自己と対応する信号線の他端と接続され、他端が電源の一方の電位側に接続された定電流回路と、ゲートおよびドレインに自己と対応する信号線の他端の電位に応じた電位が供給され、ソースが前記電源の他方の電位側と接続され、前記送信回路が有するインバータ回路の中でソースが前記電源の他方の電位側に接続されたトランジスタと同じチャンネルを有するスイッチング MOS トランジスタと、自己の入力端子に自己と対応する信号線の他端の電位に応じた電位が供給される第 1 の反転バッファと、前記第 1 の反転バッファの出力を反転する第 2 の反転バッファとを含むことを特徴とする。

【 0 0 1 7 】

本発明によれば、データ送信部は、平行データ制御部が出力する平行データの中で第 1 論理レベルを示すビットに対応する信号線には第 1 の電流を流し、平行データの中で第 2 論理レベルを示すビットに対応する信号線には第 1 の電流より大きさを小さい第 2 の電流を流す。

【 0 0 1 8 】

平行データ制御部は、平行データの中で、第 1 論理レベルを示すビットの数が第 2 論理レベルを示すビットの数以下の場合には平行データを出力し、第 1 論理レベ

10

20

30

40

50

ルを示すビットの数が第2論理レベルを示すビットの数より多い場合にはパラレルデータの各ビットの論理レベルを反転したパラレルデータを出力する。このため、パラレルデータ制御部の出力は第2論理レベルを示すビットの発生頻度が第1論理レベルを示すビットの発生頻度より高くなり、信号線を通る電流の総量を少なくすることが可能となる。

【0019】

また、前記第1の電流の大きさを前記第2の電流の大きさの2倍以上とすることが望ましい。上記の発明によれば、信号線を通る電流の総量を効果的に少なくすることが可能となる。

【0020】

また、前記送信側は、前記複数ビットのパラレルデータとして、液晶表示装置駆動用データを供給することが望ましい。上記の発明によれば、液晶表示装置において、パラレルデータ伝送時の消費電力を少なくすることが可能となる。

10

【0022】

上記の発明によれば、データ伝送装置を半導体装置とすることが可能となる。

【0023】

また、前記送信回路のそれぞれは、前記インパルサ回路の中でソースが電源の他方の電位側に接続されたトランジスタのドレインと前記出力端子との間に設けられた抵抗値調節機能を有する抵抗調整用MOSトランジスタとをさらに含むことが望ましい。

【0024】

上記の発明によれば、抵抗調整用MOSトランジスタによって第2の電流の大きさを制限することが可能となり、更なる省電力化を図ることが可能となる。

20

【0025】

また、前記複数の受信回路のそれぞれは、電位調整用信号を受け付け、自己に対応する信号線の他端の電位を前記該電位調整用信号に基づいて調整し、調整後の電位を、前記第1の反転バッファの入力端子および前記スイッチングMOSトランジスタのゲートおよびドレインに供給する電位調整部とをさらに含むことが望ましい。

【0026】

上記の発明によれば、第1の反転バッファに入力する電位を調整することが可能となる。したがって、信号線の他端の電位が第1の反転バッファの入力レベルとして適切でない場合に、信号線の他端の電位を第1の反転バッファの入力レベルとして適切なレベルに調整することが可能となり、受信回路の出力を安定させることが可能となる。

30

【発明の効果】

【0027】

本発明によれば、データ送信部は、パラレルデータ制御部が出力するパラレルデータの中で第1論理レベルを示すビットに対応する信号線には第1の電流を流し、パラレルデータの中で第2論理レベルを示すビットに対応する信号線には第1の電流より大きさの小さい第2の電流を流す。

【0028】

パラレルデータ制御部は、パラレルデータの中で、第1論理レベルを示すビットの数が第2論理レベルを示すビットの数以下の場合にはパラレルデータを出力し、第1論理レベルを示すビットの数が第2論理レベルを示すビットの数より多い場合にはパラレルデータの各ビットの論理レベルを反転したパラレルデータを出力する。このため、パラレルデータ制御部の出力は第2論理レベルを示すビットの発生頻度が第1論理レベルを示すビットの発生頻度より高くなり、信号線を通る電流の総量を少なくすることが可能となる。

40

【発明を実施するための最良の形態】

【0029】

以下、本発明の一実施例を図面を参照して説明する。

【0030】

図1は、本発明の一実施例のデータ伝送装置を示したブロック図である。

【0031】

50

図 1 において、本データ伝送装置は、送信側としての送信側 L S I 1 と、パラレルデータ制御部 2 と、データ送信部 3 と、複数の信号線 4 と、データ受信部 5 と、パラレルデータ供給制御部 6 と、受信側としての受信側 L S I 7 とを含む。

【 0 0 3 2 】

送信側 L S I 1 は、複数ビットのパラレルデータを出力する。本実施例では、送信側 L S I 1 は、複数ビットのパラレルデータとして、8 ビットのパラレルデータを用いる。なお、複数ビットのパラレルデータは、8 ビットのパラレルデータに限らず、複数のビットのパラレルデータであれば適宜変更可能である。また、送信側 L S I 1 は、複数ビットのパラレルデータとして、例えば、液晶表示装置駆動用データを出力してもよい。

【 0 0 3 3 】

送信側 L S I 1 は、信号線 1 n (具体的には、信号線 1 1 ~ 1 8) のそれぞれに 1 ビットのデータを同時に供給することにより、8 ビットのパラレルデータを出力する。なお、複数のビットのそれぞれは、第 1 論理レベル (以下「 “ L ” 」と称する。) および “ L ” と異なる第 2 論理レベル (以下「 “ H ” 」と称する。) のいずれかを示す。

【 0 0 3 4 】

送信側 L S I 1 は、さらに、8 ビットのパラレルデータを読み込むタイミングを規定するクロック信号を信号線 1 9 に出力する。

【 0 0 3 5 】

パラレルデータ制御部 2 は、送信側 L S I 1 から供給されるパラレルデータの中で、“ L ” を示すビットの数が “ H ” を示すビットの数以下の場合には、送信側 L S I 1 から供給されるパラレルデータを出力する。

【 0 0 3 6 】

また、パラレルデータ制御部 2 は、送信側 L S I 1 から供給されるパラレルデータの中で、“ L ” を示すビットの数が “ H ” を示すビットの数より多い場合には、送信側 L S I 1 から供給されるパラレルデータの各ビットの論理レベルを反転したパラレルデータを出力する。

【 0 0 3 7 】

パラレルデータ制御部 2 は、さらに、送信側 L S I 1 から出力されるパラレルデータの各ビットの論理レベルを反転したか否かを示す反転情報を出力する。

【 0 0 3 8 】

具体的には、パラレルデータ制御部 2 は、比較回路 2 a と、複数の E X - O R ゲート 2 b n (具体的には、E X - O R ゲート 2 b 1 ~ 2 b 8) とを含む。

【 0 0 3 9 】

比較回路 2 a は、送信側 L S I 1 から出力されるパラレルデータの中で、“ L ” を示すビットの数が “ H ” を示すビットの数以下の場合には “ H ” を出力し、“ L ” を示すビットの数が “ H ” を示すビットの数より多い場合には “ L ” を出力する。比較回路 2 a の出力は、E X - O R ゲート 2 b 1 ~ 2 b 8 の反転入力端子 2 b n 1 に供給される。

【 0 0 4 0 】

各 E X - O R ゲート 2 b n は、信号線 1 n と接続している。具体的には、E X - O R ゲート 2 b 1 の入力端子 2 b 1 2 は信号線 1 1 と接続する。また、E X - O R ゲート 2 b 2 の入力端子 2 b 2 2 は信号線 1 2 と接続し、E X - O R ゲート 2 b 3 の入力端子 2 b 3 2 は信号線 1 3 と接続し、E X - O R ゲート 2 b 4 の入力端子 2 b 4 2 は信号線 1 4 と、E X - O R ゲート 2 b 5 の入力端子 2 b 5 2 は信号線 1 5 と接続し、E X - O R ゲート 2 b 6 の入力端子 2 b 6 2 は信号線 1 6 と接続し、E X - O R ゲート 2 b 7 の入力端子 2 b 7 2 は信号線 1 7 と接続し、E X - O R ゲート 2 b 8 の入力端子 2 b 8 2 は信号線 1 8 と接続する。

【 0 0 4 1 】

したがって、E X - O R ゲート 2 b 1 ~ 2 b 8 は、比較回路 2 a が “ H ” を出力した際、送信側 L S I が出力した 8 ビットのパラレルデータを変更せずに出力し、比較回路 2 a が “ L ” を出力した際、送信側 L S I 1 が出力した 8 ビットのパラレルデータの各ビット

10

20

30

40

50

の論理レベルを反転して出力する。

【0042】

比較回路2aは、送信側LSI1が出力した8ビットの平行データの中で、“L”を示すビットの数が“H”を示すビットの数より多いときに“L”を出力するので、EX-ORゲート2b1~2b8からの出力は、“H”の出現頻度が“L”の出現頻度より高くなる。

【0043】

データ送信部3は、複数の送信回路3m(具体的には、送信回路31~310)を含む。本実施例では、データ送信部3は、平行データ送信用の送信回路31~38と、比較回路2aの出力である反転情報を送信するための送信回路39と、クロック信号送信用の送信回路310とを含む。なお、送信回路310に供給されるクロック信号は、“H”と“L”との組合せによって示される。

10

【0044】

各送信回路3mは、例えば、NchOD(Nチャンネルオープンドレイン)トランジスタで構成される。

【0045】

送信回路31はEX-ORゲート2b1の出力を受け付け、送信回路32はEX-ORゲート2b2の出力を受け付け、送信回路33はEX-ORゲート2b3の出力を受け付け、送信回路34はEX-ORゲート2b4の出力を受け付け、送信回路35はEX-ORゲート2b5の出力を受け付け、送信回路36はEX-ORゲート2b6の出力を受け付け、送信回路37はEX-ORゲート2b7の出力を受け付け、送信回路38はEX-ORゲート2b8の出力を受け付ける。

20

【0046】

また、各送信回路3mは、信号線4mと接続している。具体的には、送信回路31は信号線41と接続し、送信回路32は信号線42と接続し、送信回路33は信号線43と接続し、送信回路34は信号線44と接続し、送信回路35は信号線45と接続し、送信回路36は信号線46と接続し、送信回路37は信号線47と接続し、送信回路38は信号線48と接続し、送信回路39は信号線49と接続し、送信回路310は信号線410と接続する。

【0047】

各送信回路3mは、“L”を受け付けた際には、自己に接続している信号線4mに所定の大きさの電流(第1の電流)を流し、“H”を受け付けた際には、自己に接続している信号線4mに所定の大きさの電流(第1の電流)より大きさの小さい電流(第2の電流)を流す。

30

【0048】

本実施例では、EX-ORゲート2b1~2b8からの出力は、“H”の出現頻度が“L”の出現頻度より高いので、複数の信号線4mに流す電流の総量を少なくすることができる。

【0049】

データ受信部5は、第1の電流が流された信号線に対応する出力として“L”を示すビットを出力し、第2の電流が流された信号線に対応する出力として“H”を示すビットを出力することにより複数ビットの平行データを出力する。

40

【0050】

データ受信部5は、複数の信号線4mと同数の受信回路5am(具体的には、受信回路5a1~5a10)と、複数のEX-ORゲート2bnと同数のラッチ回路5bn(具体的には、ラッチ回路5b1~5b8)とを含む。

【0051】

各受信回路5amは、信号線4mと接続している。具体的には、受信回路5a1は信号線41と接続し、受信回路5a2は信号線42と接続し、受信回路5a3は信号線43と接続し、受信回路5a4は信号線44と接続し、受信回路5a5は信号線45と接続し、

50

受信回路 5 a 6 は信号線 4 6 と接続し、受信回路 5 a 7 は信号線 4 7 と接続し、受信回路 5 a 8 は信号線 4 8 と接続し、受信回路 5 a 9 は信号線 4 9 と接続し、受信回路 5 a 1 0 は信号線 4 1 0 と接続する。

【 0 0 5 2 】

各受信回路 5 a m は、自己と接続している信号線 4 m に所定の大きさの電流（第 1 の電流）が流れている場合には“ L ”を出力し、自己と接続している信号線 4 m に所定の大きさより小さい電流（第 2 の電流）が流れている場合には“ H ”を出力する。

【 0 0 5 3 】

各ラッチ回路 5 b m は、受信回路 5 a 1 ~ 5 a 8 のいずれかと接続している。具体的には、ラッチ回路 5 b 1 は受信回路 5 a 1 の出力を受け付ける。また、ラッチ回路 5 b 2 は受信回路 5 a 2 の出力を受け付け、ラッチ回路 5 b 3 は受信回路 5 a 3 の出力を受け付け、ラッチ回路 5 b 4 は受信回路 5 a 4 の出力を受け付け、ラッチ回路 5 b 5 は受信回路 5 a 5 の出力を受け付け、ラッチ回路 5 b 6 は受信回路 5 a 6 の出力を受け付け、ラッチ回路 5 b 7 は受信回路 5 a 7 の出力を受け付け、ラッチ回路 5 b 8 は受信回路 5 a 8 の出力を受け付ける。

10

【 0 0 5 4 】

各ラッチ回路 5 b n は、受信回路 5 a 1 0 の出力、具体的には送信側 L S I 1 のクロック信号を利用して、自己が受け付けた送信回路 5 a m の出力をラッチする。よって、ラッチ回路 5 b 1 ~ 5 b 8 にラッチされたデータは、E X - O R ゲート 2 b 1 ~ 2 b 8 の出力であるパラレルデータを示す。

20

【 0 0 5 5 】

パラレルデータ供給制御部 6 は、受信回路 5 a 9 が受信した反転情報が送信側 L S I 1 から供給されるパラレルデータを反転したことを示している場合には、データ受信部 5 が出力したパラレルデータの各ビットの論理レベルを反転したパラレルデータを受信側 L S I 7 に供給し、反転情報が送信側 L S I 1 から供給されるパラレルデータを反転していないことを示している場合には、データ受信部 5 が出力したパラレルデータを受信側 L S I 7 に供給する。

【 0 0 5 6 】

パラレルデータ供給制御部 6 は、複数のラッチ回路 5 b n と同数の E X - O R ゲート 5 n（具体的には、E X - O R ゲート 6 1 ~ 6 8）を含む。

30

【 0 0 5 7 】

各 E X - O R ゲート 6 n は、ラッチ回路 5 b n と接続する。具体的には、E X - O R ゲート 6 1 の非反転入力端子 6 1 1 はラッチ回路 5 b 1 の出力を受け付ける。また、E X - O R ゲート 6 2 の非反転入力端子はラッチ回路 5 b 2 の出力を受け付け、E X - O R ゲート 6 3 の非反転入力端子はラッチ回路 5 b 3 の出力を受け付け、E X - O R ゲート 6 4 の非反転入力端子はラッチ回路 5 b 4 の出力を受け付け、E X - O R ゲート 6 5 の非反転入力端子はラッチ回路 5 b 5 の出力を受け付け、E X - O R ゲート 6 6 の非反転入力端子はラッチ回路 5 b 6 の出力を受け付け、E X - O R ゲート 6 7 の非反転入力端子はラッチ回路 5 b 7 の出力を受け付け、E X - O R ゲート 6 8 の非反転入力端子はラッチ回路 5 b 8 の出力を受け付ける。

40

【 0 0 5 8 】

各 E X - O R ゲート 6 n の反転入力端子 6 n 2 には、受信回路 5 a 9 の出力、具体的には比較回路 2 a の出力が供給される。したがって、各 E X - O R ゲート 6 1 ~ 6 8 から並列に出力されるデータは、送信側 L S I 1 が出力した 8 ビットのパラレルデータとなる。

【 0 0 5 9 】

受信側 L S I 7 は、各 E X - O R ゲート 6 1 ~ 6 8 から並列に出力される 8 ビットのパラレルデータを受け付ける。

【 0 0 6 0 】

図 2 は、送信回路 3 m と、信号線 4 m と、受信回路 5 a m との一実施例を示した回路図である。

50

【 0 0 6 1 】

送信回路 3 m 1 は信号線 1 9 からクロック信号を受け付ける送信回路 3 1 0 であり、送信回路 3 m 2 はパラレルデータ制御部 2 の出力を受け付ける送信回路である。なお、実際にはパラレルデータ制御部 2 の出力を受け付ける送信回路 3 m 2 は複数あるが、図 2 では、説明の簡略化を図るため、パラレルデータ制御部 2 の出力を受け付ける送信回路 3 m 2 を 1 つだけ示している。

【 0 0 6 2 】

図 2 において、送信回路 3 m 1 は、p チャンネル MOS トランジスタ M 1 と、n チャンネル MOS トランジスタ M 2 と、n チャンネル MOS トランジスタ M 3 と、反転バッファ I N V 3 とを含む。p チャンネル MOS トランジスタ M 1 と n チャンネル MOS トランジスタ M 3 とでインバータ回路を構成する。

10

【 0 0 6 3 】

反転バッファ I N V 3 の入力を入力端子 T 1 と接続する。

【 0 0 6 4 】

トランジスタ M 1 のソースは電源電圧端子 V D D と接続し、トランジスタ M 1 のゲートには反転バッファ I N V 3 の出力が供給され、トランジスタ M 1 のドレインはトランジスタ M 2 のソースと接続する。トランジスタ M 2 のゲートは電圧振幅制限バイアス入力端子 T 2 と接続し、トランジスタ M 2 のドレインはトランジスタ M 3 のドレインおよび信号線 4 m の一端 4 m 1 と接続する。トランジスタ M 3 のゲートには反転バッファ I N V 3 の出力が供給され、トランジスタ M 3 のソースはグランド端子 G N D と接続する。容量 C p 1 は、送信回路 3 m 1 の出力寄生容量である。

20

【 0 0 6 5 】

送信回路 3 m 2 は、p チャンネル MOS トランジスタ M 1 0 1 と、n チャンネル MOS トランジスタ M 1 0 2 と、n チャンネル MOS トランジスタ M 1 0 3 と、反転バッファ I N V 1 0 3 とを含む。p チャンネル MOS トランジスタ M 1 0 1 と n チャンネル MOS トランジスタ M 1 0 3 とでインバータ回路を構成する。

【 0 0 6 6 】

なお、送信回路 3 m 2 は、送信回路 3 m 1 のトランジスタ M 1 をトランジスタ M 1 0 1 とし、送信回路 3 m 1 のトランジスタ M 2 をトランジスタ M 1 0 2 とし、送信回路 3 m 1 のトランジスタ M 3 をトランジスタ M 1 0 3 とし、送信回路 3 m 1 の反転バッファ I N V 3 を反転バッファ I N V 1 0 3 としたものである。容量 C p 1 0 1 は、送信回路 3 m 2 の出力寄生容量である。

30

【 0 0 6 7 】

受信回路 5 a m 1 は、信号線 4 m を介して送信回路 3 m 1 と接続する。受信回路 5 a m 2 は、信号線 4 m を介して送信回路 3 m 2 と接続する。受信回路 5 a m 1 と受信回路 5 a m 2 は、バイアス回路 5 d と接続する。なお、バイアス回路 5 d は、データ受信部 5 に含まれる。

【 0 0 6 8 】

受信回路 5 a m 1 は、p チャンネル MOS トランジスタ M 4 と、n チャンネル MOS トランジスタ M 5 と、n チャンネル MOS トランジスタ M 6 と、反転バッファ I N V 1 と、反転バッファ I N V 2 とを含む。

40

【 0 0 6 9 】

トランジスタ M 4 のソースは電源電圧端子 V D D と接続し、トランジスタ M 4 のゲートおよびドレインは反転バッファ I N V 1 の入力端子と接続する。トランジスタ M 5 のソースは反転バッファ I N V 1 の入力端子と接続し、トランジスタ M 5 のゲートはバイアス回路 5 a m 2 の出力端子と接続し、トランジスタ M 5 のドレインはトランジスタ M 6 のドレインおよび信号線 4 m の他端 4 m 2 と接続する。トランジスタ M 6 のゲートは定電流源バイアス入力端子 T 3 と接続し、トランジスタ M 6 のソースはグランド端子 G N D と接続する。

【 0 0 7 0 】

50

反転バッファ I N V 1 の出力端子は反転バッファ I N V 2 の入力端子と接続し、反転バッファ I N V 2 の出力は受信回路 5 a m 1 の出力となる。また、反転バッファ I N V 2 の出力はバイアス回路 5 d に入力される。容量 C P 2 は、受信回路 5 a m 1 の入力寄生容量である。

【 0 0 7 1 】

受信回路 5 a m 2 は、pチャネルMOSトランジスタM104と、nチャネルMOSトランジスタM105と、nチャネルMOSトランジスタM106と、反転バッファ I N V 101と、反転バッファ I N V 102とを含む。

【 0 0 7 2 】

受信回路 5 a m 2 は、受信回路 5 a m 1 のトランジスタM4をトランジスタM104とし、受信回路 5 a m 1 のトランジスタM5をトランジスタM105とし、受信回路 5 a m 1 のトランジスタM6をトランジスタM106とし、受信回路 5 a m 1 の反転バッファ I N V 1 を反転バッファ I N V 101とし、受信回路 5 a m 1 の反転バッファ I N V 2 を反転バッファ I N V 102としたものである。容量 C P 102 は、受信回路 5 a m 2 の入力寄生容量である。なお、受信回路 5 a m 2 では、反転バッファ I N V 102 の出力をバイアス回路 5 d に供給しない。

10

【 0 0 7 3 】

送信回路 3 m 1 と送信回路 3 m 2 とは、同じディメンションおよび同じレイアウトにて構成されている。また、受信回路 5 a m 1 と受信回路 5 a m 2 とは、同じディメンションおよび同じレイアウトにて構成されている。

20

【 0 0 7 4 】

受信回路 5 a m 1 の定電流源バイアス入力端子 T 3 と受信回路 5 a m 2 の定電流源バイアス入力端子 T 3 には共通の電圧 V B 2 が供給され、トランジスタM6とトランジスタM106とは定電流回路となる。

【 0 0 7 5 】

送信回路 3 m 1 の電圧振幅制限バイアス入力端子 T 2 と送信回路 3 m 2 の電圧振幅制限バイアス入力端子 T 2 には共通の電圧 V B 1 が供給される。このため、送信回路 3 m 1 および送信回路 3 m 2 は、入力端子 T 1 に供給されるビットが“H”を示す際に信号線 4 m の一端 4 m 1 の電位を電源電圧 V D D より低い電位にすることができ、また、入力端子 T 1 に供給されるビットが“H”を示す際に信号線 4 m を流れる電流の大きさを制限することが可能となる。

30

【 0 0 7 6 】

なお、実際には、入力端子 T 1 に“H”が供給された際に信号線 4 m に印加される電圧は、信号線 4 m の端部のそれぞれに接続されている送信回路 3 m および受信回路 5 a m によって決定される。

【 0 0 7 7 】

受信回路 5 a m 1 のトランジスタM5と受信回路 5 a m 2 のトランジスタM105は電子スイッチとして機能する。ノード N 2 およびノード N 102 の電位は、トランジスタM5およびトランジスタM105のスイッチ動作および送信回路 3 m の入力端子 T 1 の入力に応じて、電源電圧 V D D 付近または G N D 端子レベル付近にすることができる。

40

【 0 0 7 8 】

受信回路 5 a m 1 に含まれるトランジスタM4およびトランジスタM5と、受信回路 5 a m 2 に含まれるトランジスタM104およびトランジスタM105とは、例えば、数 k オームの抵抗、つまり、電流制限素子としても機能する。

【 0 0 7 9 】

反転バッファ I N V 1 と反転バッファ I N V 101とは、主に波形生成を行う。

【 0 0 8 0 】

バッファ回路 5 d は、差動入力回路 5 d 1 と、コンデンサ C 11 とを含む。

【 0 0 8 1 】

差動入力回路 5 d 1 は、pチャネルMOSトランジスタM11と、pチャネルMOSト

50

ランジスタM12と、nチャネルMOSトランジスタM13と、nチャネルMOSトランジスタM14と、nチャネルMOSトランジスタM15と、反転バッファINV11を含む。

【0082】

トランジスタM11のゲートは差動入力回路5d1の一方の入力端子となり、反転バッファINV11の入力端子が差動入力回路5d1の他方の入力端子となる。反転バッファINV11の出力端子はトランジスタM12のゲートと接続する。

【0083】

バイアス回路5dの入力端子5daには、受信回路5ma1の出力が入力される。

【0084】

コンデンサC11は、トランジスタM12がオンのときに電荷が蓄積され、トランジスタM11がオンのときに自己に蓄積されている電荷をトランジスタM14およびトランジスタM15とを介して放電する。

【0085】

本実施例では、バイアス回路5dの出力をデューティ=50%とするために、トランジスタM11とトランジスタM12とは、同じディメンションおよび同じレイアウトにしてあり、トランジスタM13とトランジスタM14とは、同じディメンションおよび同じレイアウトにしてある。なお、トランジスタM15は電子スイッチとして機能し、受信回路5am1が高周波で自己発振することを防いでいる。

【0086】

バイアス回路5dの出力は、受信回路5am1のトランジスタM5のゲートおよび受信回路5am2のトランジスタM105のゲートに供給される。

【0087】

次に、図2に示した回路の動作を説明する。

【0088】

まず、送信回路3m1の入力端子T1に“H”が与えられると、バイアス回路5dのコンデンサC11は電圧が電源電圧VDDになるまで電荷が蓄積される。

【0089】

続いて、送信回路3m1の入力端子T1にデューティ50%のクロック信号を与えると、コンデンサC11の電圧は、受信回路5am1がデューティ50%の信号を出力できる値に下がる。

【0090】

トランジスタM5のゲートおよびトランジスタM105のゲートにバイアス回路5dの出力を供給することによって、反転バッファINV1および反転バッファINV101に入力する電位を調整することが可能となる。したがって、信号線4mの他端4m2の電位が反転バッファINV1の入力レベルおよび反転バッファINV101の入力レベルとして適切でない場合に、信号線4mの他端4m2の電位を反転バッファINV1の入力レベルおよび反転バッファINV101の入力レベルとして適切なレベルに調整することが可能となり、受信回路の出力を安定させることが可能となる。

【0091】

次に、バイアス回路5dの出力が安定した状態での動作を説明する。なお、以下では、送信回路3m1と受信回路5am1の動作について説明するが、送信回路3m2と受信回路5am2の動作も同様の動作となる。

【0092】

送信回路3m1の入力端子T1に“H”が与えられると、信号線4mの一端4m1の電位は、電源電圧VDDからトランジスタM2に応じた電圧だけ下がった電位となり、信号線4mにおいて電流が矢印A方向に流れる。信号線4mを通った電流は、定電流源であるトランジスタM6を介してGND端子に流れる。

【0093】

このとき、反転バッファINV1の入力は、“H”となり、受信回路5amの出力は“

10

20

30

40

50

H”となる。また、トランジスタM4がオフとなるので、信号線4mを流れる電流（第2の電流）の大きさは、定電流源であるトランジスタM6によって制限された大きさとなる。

【0094】

一方、送信回路3m1の入力端子T1に“L”が与えられると、信号線4mの一端4m1の電位はGNDレベルの電位となり、このため、反転バッファINV1の入力が“L”となる。したがって、トランジスタM4がオンとなり、信号線4mにおいて矢印B方向に電流（第1の電流）が流れる。このとき、信号線4mを流れる電流（第1の電流）の大きさは、定電流源であるトランジスタM6による制限を受けない。

【0095】

したがって、本実施例では、定電流源としてのトランジスタM6を流れる電流の大きさを小さくすればするほど、送信回路3m1の入力端子T1に“L”が与えられたときに信号線4mに流れる電流（第1の電流）の大きさは、送信回路3m1の入力端子T1に“H”が与えられたときに信号線4mに流れる電流（第2の電流）の大きさより大きくなっていき、例えば、送信回路3m1の入力端子T1に“L”が与えられたときに信号線4mに流れる電流（第1の電流）の大きさを、送信回路3m1の入力端子T1に“H”が与えられたときに信号線4mに流れる電流（第2の電流）の大きさの2倍以上にできる。

【0096】

図3は、送信回路3mと、信号線4mと、受信回路5amとその他の実施例を示した回路図である。なお、図3において、図2に示したものと同一構成のものには同一符号を附してある。なお、以下では、送信回路3m1と受信回路5am1の動作について説明するが、送信回路3m2と受信回路5am2の動作も同様の動作となる。

【0097】

図3に示した回路では、入力端子T1への入力が“H”のとき、信号線4mの一端の電位がVDDとなり、トランジスタM4がオンとなるので、信号線4mには矢印A方向に所定の大きさの電流（第1の電流）が流れ、受信回路5amの出力は“H”となる。

【0098】

一方、入力端子T1への入力が“L”のとき、信号線4mの一端の電位がGNDレベルよりトランジスタM2の抵抗分だけ高い電位となり、トランジスタM4がオフとなるので、信号線4mには矢印B方向にトランジスタM6によって制限された大きさの電流（第2の電流）が流れ、受信回路5amの出力は“L”となる。

【0099】

なお、図3に示した回路の動作は基本的に図2に示した構成と同様であるので、その詳細な説明は省略する。

【0100】

図2または図3に示す構成を採用すれば、データ伝送装置を半導体装置とすることが可能となる。

【0101】

図4は、図1に示したデータ伝送装置の動作を説明するための説明図である。以下、図4を参照して、データ伝送装置の動作を説明する。

【0102】

図4に示すように、8ビットの平行データの中で“H”を示すビットの数が4以上のときには比較回路2aは“H”を出力する。よって、平行データ制御部2は、送信側LSI1が出力する平行データの各ビットの論理レベルを変更せずに、データ送信部3に出力する。

【0103】

ここで、1つの送信回路3mに“L”のビットが提供された際に、単一の信号線に流される電流（第1の電流）の大きさを*i*とすると、8ビットの平行データの中で“H”を示すビットの数が4以上のときには、信号線41～49を流れるトータルの電流の最大値は4*i*となる。なお、本実施例では、1つの送信回路3mに“H”のビットが提供され

10

20

30

40

50

た際に、単一の信号線に流される電流の大きさがほぼ0となるように、送信回路と受信回路とを設定したものとする。

【0104】

また、8ビットの平行データの中で“H”を示すビットの数が4未満のときには比較回路2aは“L”を出力する。よって、平行データ制御部2は、送信側LSI1が出力する平行データの各ビットの論理レベルを反転した平行データをデータ送信部3に出力する。

【0105】

したがって、8ビットの平行データの中で“H”を示すビットの数が4未満のときには、信号線41～49を流れるトータルの電流の最大値は4iとなる。

10

【0106】

図5は、送信側LSI1が提供する平行データをそのまま送信回路3に出力した場合の、信号線41～49を流れるトータルの電流値を示した説明図である。

【0107】

図5に示すように、送信側LSI1が提供する平行データをそのまま送信回路3に出力した場合、信号線41～49を流れるトータルの電流の最大値は8iとなる。

【0108】

本実施例によれば、データ送信部3は、平行データ制御部2が出力する平行データの中で第1論理レベルを示すビットに対応する信号線には第1の電流を流し、平行データの中で第2論理レベルを示すビットに対応する信号線には第1の電流より大きさの小さい第2の電流を流す。

20

【0109】

平行データ制御部2は、平行データの中で、第1論理レベルを示すビットの数が第2論理レベルを示すビットの数以下の場合には平行データを出力し、第1論理レベルを示すビットの数が第2論理レベルを示すビットの数より多い場合には平行データの各ビットの論理レベルを反転した平行データを出力する。このため、平行データ制御部の出力は第2論理レベルを示すビットの発生頻度が第1論理レベルを示すビットの発生頻度より高くなり、信号線を流れる電流の総量を少なくすることが可能となる。

【0110】

なお、第1の電流の大きさを第2の電流の大きさの2倍以上とすれば、信号線を流れる電流の総量を効果的に少なくすることが可能となる。

30

【0111】

また、送信側は、複数ビットの平行データとして、液晶表示装置駆動用データを供給すれば、液晶表示装置において、平行データ伝送時の消費電力を少なくすることが可能となる。

【0112】

本実施例は、伝送周波数がさほど高くなく、むしろ低消費電流の低減が重要なモバイル・アプリケーションに対して、非常に有効な信号伝送方式となる。

【0113】

また、本実施例では、低消費電力化を実現することが可能となるので、データ伝送装置のみならず、本実施例のデータ伝送装置を含む電子機器の消費電力化、あるいは、本実施例のデータ伝送装置を含む電池駆動機器の長時間駆動にもメリットをもたらす。

40

【0114】

以上説明した実施例において、図示した構成は単なる一例であって、本発明はその構成に限定されるものではない。

【図面の簡単な説明】

【0115】

【図1】本発明の一実施例のデータ伝送装置を示したブロック図である。

【図2】送信回路と受信回路の一例を示した回路図である。

【図3】送信回路と受信回路の他の例を示した回路図である。

50

【図4】図1に示したデータ伝送装置の動作を説明するための説明図である。

【図5】図1に示したデータ伝送装置の動作の比較例を説明するための説明図である。

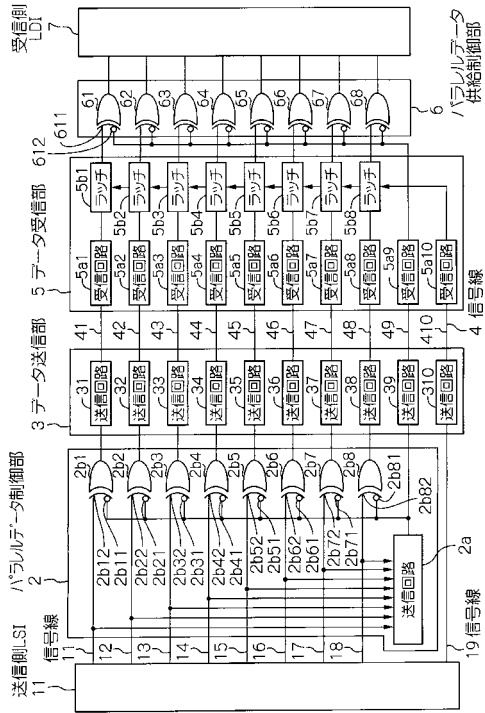
【図6】従来のデータ伝送装置の一部を示した回路図である。

【符号の説明】

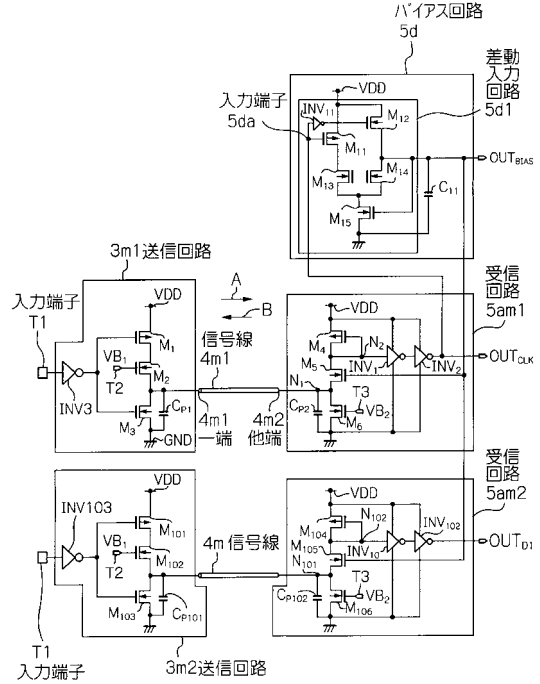
【0116】

1	送信側LSI	
1n	信号線	
2	パラレルデータ制御部	
2a	比較回路	
2bn	EX-ORゲート	10
2bn1	反転入力端子	
2bn2	入力端子	
3	データ送信部	
3m	送信回路	
4m	信号線	
5	データ受信部	
5am	受信回路	
5bm	ラッチ回路	
6	パラレルデータ供給制御部	
6n	EX-ORゲート	20
6n1	入力端子	
6n2	反転入力端子	
7	受信側LSI	
M1 ~ M15	トランジスタ	
M101 ~ M106	トランジスタ	
INV1 ~ INV103	反転バッファ	

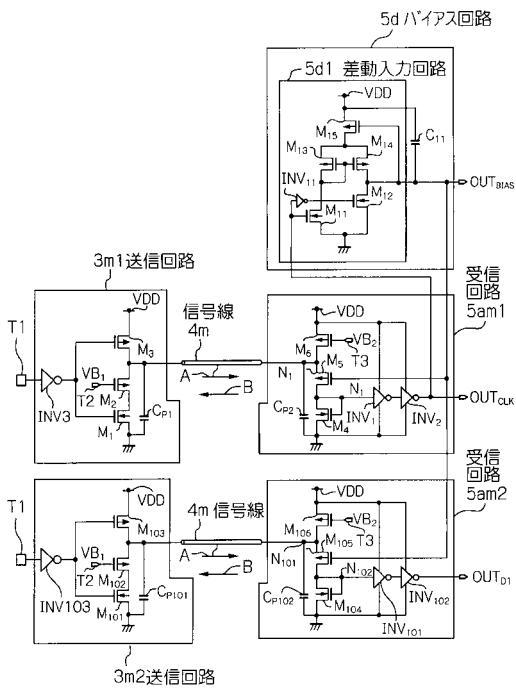
【図1】



【図2】



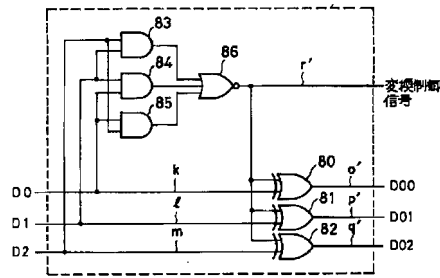
【図3】



【図5】

"H"のデータビット数	8	7	6	5	4	3	2	1	0
"L"のデータビット数	0	1	2	3	4	5	6	7	8
トータル伝送電流	0	i	2i	3i	4i	5i	6i	7i	8i

【図6】



【図4】

"H"のデータビット数	8	7	6	5	4	3	2	1	0
"L"のデータビット数	0	1	2	3	4	5	6	7	8
比較回路出力	"H"	"H"	"H"	"H"	"H"	"L"	"L"	"L"	"L"
トータル伝送電流	0	i	2i	3i	4i	4i	3i	2i	i

フロントページの続き

- (56)参考文献 特開平08-172465(JP,A)
特開平02-041515(JP,A)
特開昭63-281547(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04L	25/02
G09G	3/20
G09G	3/36