

公告本

申請日期	88.6.11
案 號	88109769
類 別	H01C 3/16

A4
C4

418487

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體結構及其形成方法
	英 文	SEMICONDUCTOR STRUCTURE AND METHOD OF FORMING THE SAME
二、發明 人	姓 名	1. 瑞杰屈瑞格拉珍 (Rajesh RENGARAJAN) 2. 井上博文 (Hirofumi INOUE) 3. 瑞德西卡西瑞尼伐生 (Radhika SRINIVASAN) 4. 裘全賓特勒 (Jochen BEINTNER)
	國 籍	1.-4. 皆屬美國
三、申請人	住、居所	1. 美國紐約州12601包克皮斯市哈登森哈包道808號 2. 美國紐約州12524-1815菲雪克市倫敦道14號10室 3. 美國紐澤西州07437馬瓦哈市大衛森庭18號 4. 美國紐約州12590瓦賓格佛市克拉佩道27號
	姓 名 (名稱)	1. 西門斯股份有限公司 (SIEMENS AKTIENGESellschaft) 2. 國際商業機器股份有限公司 (International Business Machines Corporation) 3. 東芝股份有限公司 (KABUSHIKI KAISHA TOSHIBA)
三、申請人	國 籍	1. 德國 2. 美國
	住、居所 (事務所)	1. 德國慕尼黑D-80333威田巴契廣場2號 2. 美國紐約州10504艾蒙克新橡樹路 3. 日本國210神奈川縣川崎市幸區堀川町72番地
三、申請人	代 表 人 姓 名	1. 貝斯納 (Basner) 雷哈特 (Reinhardt) 2. 傑佛瑞 L. 霍曼 (Jeffrey L. Forman) 3. 田代慈邦 (Yoshikuni Tashiro)

裝

訂

線

公告本

418487

申請日期	88.6.11
案 號	88109769
類 別	H01C 3/76

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 新型名稱	中 文	半導體結構及其形成方法
	英 文	SEMICONDUCTOR STRUCTURE AND METHOD OF FORMING THE SAME
二、發明 創作人	姓 名	1. 瑞杰屈瑞格拉珍 (Rajesh RENGARAJAN) 2. 井上博文 (Hirofumi INOUE) 3. 瑞德西卡西瑞尼伐生 (Radhika SRINIVASAN) 4. 裘全賓特勒 (Jochen BEINTNER)
	國 籍	1.-4. 皆屬美國
三、申請人	住、居所	1. 美國紐約州12601包克皮斯市哈登森哈包道808號 2. 美國紐約州12524-1815菲雪克市倫敦道14號10室 3. 美國紐澤西州07437馬瓦哈市大衛森庭18號 4. 美國紐約州12590瓦賓格佛市克拉佩道27號
	姓 名 (名稱)	1. 西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT) 2. 國際商業機器股份有限公司 (International Business Machines Corporation) 3. 東芝股份有限公司 (KABUSHIKI KAISHA TOSHIBA)
三、申請人	國 籍	1. 德國 2. 美國
	住、居所 (事務所)	1. 德國慕尼黑D-80333威田巴契廣場2號 2. 美國紐約州10504艾蒙克新橡樹路 3. 日本國210神奈川縣川崎市幸區堀川町72番地
三、申請人	代 表 人 姓 名	1. 貝斯納 (Basner) 雷哈特 (Reinhardt) 2. 傑佛瑞 L. 霍曼 (Jeffrey L. Forman) 3. 田代慈邦 (Yoshikuni Tashiro)

裝

訂

線

418487

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

美 國 國 (地 區) 申請專利，申請日期： 案號： ☒ 有 ☐ 無主張優先權

1998年06月16日 案 號 09/098,203 (主 張 優 先 權)

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱
下面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明()

發明背景：

本發明大致係關於半導體元件，尤其是具有淺絕緣溝渠之半導體元件。

如習知之技術，形成在半導體積體電路中之工作元件係用介電質作電性絕緣，其形成在矽基板中之元件的絕緣技術，係在元件之間形成二氧化矽區，此種技術有時稱為局部氧化(LOCOS)過程，其中在元件之間的矽曝露區會氧化，而形成場氧化區，在另一種技術方面，還有一種所謂的淺絕緣溝渠(STI)技術，其會先在矽曝露區形成淺溝渠，然後再用介電質，通常為TEOS，將其填滿，在填滿該溝渠之前，要先在包含溝渠側壁之表面上，以熱氧化法成長一二氧化矽薄層，其次，再用化學氣相沈積法沈積一氮化矽薄層在該二氧化矽上，之後，再沈積一TEOS層在該氮化矽之上，其中部分的TEOS會填滿溝渠，然後，在TEOS的稠化處理期間，通常會將此結構進行濕式退火，該氮化矽層係用以防止氧在濕式退火期間進入矽中，換言之，氮化矽會防止矽溝渠側壁氧化，否則，此種氧化容易在矽中產生不想要的應力和晶體差排，然後再移除TEOS的上部，以曝露出毗鄰STI區之矽表面的部分，再將矽表面氧化用以當作閘極氧化物，最後在該閘極氧化物上形成摻雜多晶矽，並且用微影製程將其製作成將要形成MOSFET元件之閘極電極的圖案。

再如習知之技術，有些積體電路會使用在n通道上有p通道之n通道MOSFETs，如DRAM，記憶體單胞陣列係

五、發明說明(>)

提供在電路的某一區，而輔助電路，如位址和邏輯電路，則是形成在電路的另一區，如環繞在陣列區週邊，一種型式之DRAM單胞包含一連接到埋入，或溝渠電容器之MOSFET，如上所述，若沒有沿著SIT溝渠側壁之氮化物墊圈，則溝渠的矽側壁會在用以稠化TEOS的濕式退火期間受到氧化，此種氧化會在矽中造成應力和差排，因而減少DRAM單胞的電荷保持時間，因此，需要在絕緣溝渠側壁上形成一氧化矽層，以保護矽側壁，此外，當用在陣列中之MOSFETs為n-FET元件時，輔助電路可包含p-FET元件，再者，當兩種型式之MOSFET具有大致相同之工作函數時，為了要使p-MOSFETs和n-MOSFETs所用的多晶矽使用相同型式的摻雜，p-MOSFET元件會採用埋入通道MOSFET。

發明概述

根據本發明，提供一種在矽本體中形成電性絕緣半導體元件之方法，溝渠會形成本體的選擇區，障壁材料沈積在該溝渠的側壁上，部分的障壁材料會自溝渠的第一側壁部分移除，以曝露溝渠的第一側壁部分，但是保留部位位在溝渠第二側壁部分之上的障壁材料，以在其上形成一障壁層，有一介電質材料沈積在溝渠之中，該介電質材料的一部分係沈積在曝露之溝渠的第一側壁部分上，而此沈積之介電質材料的另一部分則會沈積在該障壁材料之上，該介電質材料要在氧化環境中退火，以稠化此種沈積的介電質材料，該障壁層會防止溝渠之該第

五、發明說明()

二側壁部分氧化，許多形成在矽本體中之半導體元件，其係藉由溝渠中的介電質材料作元件的電性絕緣。

根據本發明之另一特徵，工作元件的形成步驟，包含：形成一工作元件當作 p-MOSFET，和形成另一個工作元件當作 n-MOSFET。

根據本發明之又一特徵，該形成步驟包含：形成一元件當作埋入通道元件。

根據本發明之再一特徵，該形成工作元件之步驟包含：形成一工作元件當作毗鄰溝渠第一側壁部分之埋入通道元件。

根據本發明之仍一特徵，該形成障壁材料之步驟包含：形成氮化矽之障壁材料。

根據本發明之又再一特徵，本發明所提供之半導體結構具有一位在矽本體中之溝渠，此溝渠具有側壁部分，有一障壁材料位在側壁的第二部分之上，以提供一沿溝渠側壁部分排列之障壁材料，至於側壁的第一部分，則並未塗著該障壁材料，有一介電質材料位在溝渠之中，一部分的介電質材料會與塗著在溝渠的側壁第二部分之障壁材料接觸，而介電質材料的另一部分則與溝渠的側壁第一部分接觸，一對工作元件係位在矽本體之中，此種元件係利用溝渠中的介電質工作電性絕緣。

根據本發明之仍再一特徵，工作元件的其中之一為 p-MOSFET，而另一個工作元件則是 n-MOSFET。

根據本發明之仍再一特徵，元件的其中之一為埋入通

五、發明說明(4)

通元件。

根據本發明之仍再一特徵，工作元件的其中之一為鄰近溝渠的側壁第一部分之埋入通道元件。

圖式簡單說明

當參考相關的圖式時，本發明及其他特徵將會呈更明瞭，其中：

第1A-1I圖為根據本發明之電性絕緣MOSFET，其在製造時之各階段橫截面圖；

第2圖為示於第1I圖之一MOSFET的平面圖，在第1I圖中，此MOSFET之橫截面被取為第2圖之線1I-1I；及

第3圖為示於第2圖之MOSFET的橫截面圖，其取第2圖沿線3-3之區域。

較佳實施例說明

現在參考第1A圖，其圖示一種半導體本體或基板10，此處為p型導電性矽，在基板10之上表面上，以熱氧化法成長一二氧化之層12，此處厚度之範圍為 $50\text{\AA}$ ，沈積一氮化矽之層14，此處係利用化學氣相沈積法(CVD)，其沈積在二氧化矽層12上之厚度範圍為 $2500\text{\AA}$ ，如圖所示。

接著參考第1B圖，在氮化矽層14之上，沈積一光阻層16，再利用微影製程製作圖案，如圖所示，使在基板10之區域上的光阻層16中形成窗口18，此係為了要形成STI之溝渠，因此，如第1B圖所示，製作成圖案之光阻層16係要當作蝕刻遮罩，然後蝕刻掉結構的曝露部分，此處係利用乾式蝕式，先移除藉由窗口18而曝露之氮化矽層

五、發明說明()

14的部分，再去除光阻層16，其次，使用製成圖案之氮化矽層14當作蝕刻遮罩，在此處係利用乾式蝕刻移除在其下之二氧化矽12已曝露的部分，因此可以曝露在下面之矽基板10的表面部分，其次，蝕刻矽的曝露部分，此處使用乾式蝕刻，使在矽基10的表面之中形成溝渠20，如第1C圖所示。

其次參考第1D圖，在溝渠20的壁22(第1C圖)之上，以熱氧化法成長厚 $100\text{\AA}$ 之二氧化矽薄層24，然後，在該結構上沈積一障壁材料，此處為墊圈，或氮化矽層26，此處，該氮化矽層26係利用化學氣相沈積法沈積，而其厚度則約為 $60\text{\AA}$ 。

其次參考第1E圖，在該結構之表面上沈積一光阻層28，並利用微影製程製作圖案，以提供當作遮罩，注意，由光阻層28所提供之遮罩，其所曝露之區域為要形成n型導電性井30之p型導電性基板10，另外還須注意：由光阻層28所提供之遮罩，當此遮罩具有孔徑時，其係位在溝渠20之側壁部分32上，以曝露溝渠20之不同的側壁部分34，尤其，基於更明顯之原因，該製作成圖案之光阻層28係曝露出側壁部分34，其位在n型導電性井30的周圍，但是，就此而言，n型導電性井30將形成p在通道MOSFET元件之中，而在p型導電性基板10之中，利用溝渠20作電性絕緣之區36，將會形成在n通道MOSFET元件之中。

在製作好示於第1E圖之光阻層28之後，蝕刻該結構，

五、發明說明 (b)

此處係利用乾式蝕刻，以移除由光阻層 28 中之孔徑所曝光的部分氮化矽層 26，如第 1E 圖所示，注意，該蝕刻係要移除位在溝渠 20 之側壁部分 34 上之氮化矽層 26 的部分，而保留位在溝渠 20 之側壁部分 32 上之氮化矽層 26 的部分，另外還須注意：位在溝渠 20 之底部上，由製成圖案之光阻層 28 曝露之氮化矽層 26 的部分，其也會被移除，而且位在溝渠 20 之底部上，由製成圖案之光阻層 28 覆蓋之氮化矽層 26 的部分也會被保留。

其次，離子佈植一適當的 n 型導電性摻雜物，此處為磷，或將其擴散進入由製成圖案之光阻層 28 曝露的矽部分，以製造 n 型導電性井 30，如第 1E 圖所示。

其次，參考第 1F 圖，去除光阻層 28，然後在該結構的表面上沈積一二氧化矽介電質材料 38，此處為 TEOS，此 TEOS 的部分會沈積在溝渠 20 之中，如第 1F 圖所示，而部分的材料 38 會延伸在氮化矽層 14 上，這個部分未圖示，然後再將該結構作濕式退火，以稠化 TEOS 材料 38，該氮化矽層 26 係用以防止：在濕式退火期間所產生之氧進入部分的矽基板 10，其為要形成 n 通道 MOSFET 元件的部分，即區 36，換言之，氮化矽層 26 會防止矽溝渠側壁氧化，否則，此種氧化會很容易在矽基板中產生不想要的應力和晶體差排，也就是說，介電質材料 38 係在氧化的環境中作退火，以稠化該沈積之介電質材料 38，而該障壁氮化矽層 26 會防止溝渠 20 的側壁部分 32 氧化，但是，要注意的是大約沈積在 n 型導電性井 30 四周之側壁部分 34（即

五、發明說明(7)

要形成 p 通道 MOSFET 之區域)沒有氮化矽層 26, 因此可以消除干擾 p 通道 MOSFETs 的電子來源, 此處藉由化學機械拋光法 (CMP) 移除 TEOS 材料 38 的上部分, 此未圖示, 以形成示於第 1F 圖之結構。

接著, 利用一具有窗口之光阻遮罩, 遮住該結構之表面 (未圖示), 其中在該窗口之中係曝露 N 型井區 30, 然後植入 p 型導電性摻雜離子, 此處為硼, 穿透氮化矽層 14 和二氧化矽層 12 的曝露部分, 係離子活化退火過後, 會在 n 型導電性井 30 中, 形成 p 型導電性埋入通道區 42, 如第 1F 圖所示。

其次, 移除氮化矽層 14 和二氧化矽層 12, 此處係利用濕式蝕刻法去除, 使曝露出矽基板 10 的表面部分。然後, 參考第 1G 圖, 以熱氧化法成長一二氧化矽層 40, 如圖所示, 其會進入矽基板 10 所曝露的表面部分, 之後, 在該二氧化矽層 40 之上, 沈積一 n+ 型導電性摻雜多晶矽層 44, 如第 1H 圖所示, 然後再在該多晶矽層 44 之上沈積一導電層 46, 此處為鋁, 如第 1I 圖所示, 將該二氧化矽層 40, 摻雜多晶矽層 44, 和導電層 46 製作成用於 MOSFET 元件之閘極電極 50 的圖案, 如示於第 2 和 3 圖之 p 通道 MOSFET 元件 54, 因此, 該 p 通道 MOSFET 元件 54 具有源極和汲極區 60, 62, 此外, 該元件 54 係利用位在該元件 54 周邊之介電質材料 38 作電性絕緣, 另外還需注意: 側壁部分 34 並沒有被氮化矽層 26 覆蓋, 注意, 參考第 1I 圖, 在區 36 中製作一 n-MOSFET 元件 60, 該區係藉由具有氮化矽層 26 之

五、發明說明 (8)

溝渠，與區30作電性絕緣，而其他的實施例也在所附申請專利範圍的精神和範圍中。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

符號之說明

- 10....基板
- 12....二氧化矽層
- 14....氮化矽層
- 16....光阻層
- 18....窗口
- 20....溝渠
- 22....壁
- 24....二氧化矽層
- 26....氮化矽層
- 28....光阻層
- 30....n型導電性井
- 32,34.側壁部分
- 36....區
- 38....TEOS材料
- 40....二氧化矽層
- 42....埋入通道區
- 44....摻雜多晶矽層
- 46....導電層
- 50....閘極電極
- 54....p通道MOSFET元件
- 60....源極區
- 62....汲極區

四、中文發明摘要(發明之名稱: 半導體結構及其形成方法)

本發明係有關於一種在矽本體中，形成電性絕緣半導體部元件的方法，在該本體的選擇區域中形成一溝渠，然後在該溝渠的側壁上沈積上障壁材料，此障壁材料會有一部分自溝渠的第一側壁部分移除，使曝露出該溝渠的第一側壁部分，然而保留在溝渠第二側壁部分之上的障壁材料部分，之後沈積一介電質材料在該溝渠之中，一部分的介電質材料會沈積在已曝露之溝渠第一側壁部分上，而另一部分所沈積的介電質材料會沈積在障壁材料上，該介電質材料要在氧化環境下退火，以稠化此沈積之介電質材料該障壁層可以防止溝渠的該第二側壁部分氧化，最後在矽本體中形成許多半導體元件，而這些元件係藉由溝渠中的介電質材料作電性絕緣。

英文發明摘要(發明之名稱:

SEMICONDUCTOR STRUCTURE AND
METHOD OF FORMING THE SAME

A method for forming a electrically isolated semiconductor devices in a silicon body. A trench is formed in a selected region of the body. A barrier material is deposited over sidewalls of the trench. Portions of the barrier material are removed from a first sidewall portion of the trench to expose such first sidewall portion of the trench while leaving portions of such barrier material on a second sidewall portion of the trench to form a barrier layer thereon. A dielectric material is deposited in the trench, a portion of dielectric material being deposited on the exposed first sidewall portion of the trench and another portion of such deposited dielectric material being deposited on the barrier material. The dielectric material is annealed in an oxidizing environment to densify such deposited dielectric material, the barrier layer inhibiting oxidation of the said second sidewall portion of the trench. A plurality of the semiconductor devices is formed in the silicon body with such devices being electrically isolated by the dielectric material in the trench.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種在矽本體中形成電性絕緣之半導體元件的方法，

包含：

在本體的選定區域中，形成一溝渠；

在該溝渠的側壁上，沈積一障壁材料；

自該溝渠的第一側壁部分，移除部分的該障壁材料，以曝露該溝渠的第一側壁部分，而保留部分在該溝渠第二側壁部分上的此種障壁材料，使在其上形成一障壁層；

在該溝渠中沈積一介電質材料，有一部分的介電質材料會沈積在該溝渠曝露之第一側壁部分上，而另一部分所沈積的介電質材料係沈積在該障壁材料上；

將該介電質材料放在氧化的環境下作退火，以稠化此沈積的介電質材料，該障壁層會防止溝渠的該第二側壁部分氧化；及

在矽本體中形成許多半導體元件，而這些元件係利用溝渠中的介電質材料作電性絕緣。

2. 如申請專利範圍第1項之方法，其中形成工作元件之步驟包含：形成其中之一工作當作p-MOSFET，而形成另一工作元件當作n-MOSFET。

3. 如申請專利範圍第2項之方法，其中形成之步驟包含：形成其中之一元件當作埋入通道元件。

4. 如申請專利範圍第3項之方法，其中形成之步驟包含：在該矽本體的表面部分上，沈積一摻雜的多晶矽層；及

五、發明說明()

將此摻雜的多晶矽製成工作元件之閘極電極的圖案。

- 5.如申請專利範圍第4項之方法，其中該形成工作元件之步驟包含：形成其中之一工作元件，當作毗鄰該溝渠之第一側壁部分的埋入通道元件。
- 6.如申請專利範圍第1項之方法，其中該形成障壁材料之步驟包含：形成一氮化矽之障壁材料。
- 7.如申請專利範圍第6項之方法，其中形成工作元件的其中之一步驟包含：形成其中之一工作元件當作p通道MOSFET，而形成另一工作元件當作n通道MOSFET。
- 8.如申請專利範圍第7項之方法，其中該形成之步驟包含：形成其中之一p通道元件，當作毗鄰該溝渠之第一側壁部分的埋入通道元件。
- 9.如申請專利範圍第8項之方法，其中該元件之該形成步驟包含：在矽本體的表面部分上，沈積一摻雜多晶矽層，然後再將此摻雜多晶矽本體製作用於工作元件之閘極電極的圖案。
- 10.如申請專利範圍第9項之方法，其中該工作元件之形成步驟包含：形成其中之一工作元件，當毗鄰該溝渠之第一側壁部分的埋入通道元件。
- 11.如申請專利範圍第10項之方法，其中形成該埋入通道MOSFET之步驟包含：形成此種MOSFET當作p-MOSFET元件。
- 12.一種半導體結構，包含：

六、申請專利範圍

一 矽本體；

一位在該矽本體中之溝渠，此溝渠具有側壁部分；

一位在第二側壁部分之上的障壁材料，以提供一對齊溝渠側壁之障壁材料，至於第一側壁部分，則並未用該障壁材料塗著；

一位在該溝渠中之介電質材料，此介電質材料的某一部分會與塗著在該第二側壁部分之障壁材料接觸，而介電質材料的另外部分則會與該溝渠的第一側壁部分接觸；

一對形成在該矽本體中之工作元件，該工作元件係利用溝渠中的該介電質材料作電性絕緣。

13. 如申請專利範圍第12項之結構，其中該工作元件的其中之一為p-MOSFET，而另一工作元件則為n-MOSFET。

14. 如申請專利範圍第12項之結構，其中該元件的其中之一為埋入通道元件。

15. 如申請專利範圍第14項之結構，其中該摻雜多晶矽層係位在矽本體的表面部分之上，但是由該介電質材料分隔，以製作成用於該工作元件之閘極電極。

16. 如申請專利範圍第15項之結構，其中為工作元件其中之一之埋入通道元件，毗鄰該溝渠的第一側壁部分。

17. 如申請專利範圍第12項之結構，其中該障壁材料為氮化矽。

18. 如申請專利範圍第17項之結構，其中工作元件的其中之一為p-MOSFET，而另一工作元件則為n-MOSFET。

六、申請專利範圍

19. 如申請專利範圍第18項之結構，其中之一 p-MOSFET 元件為埋入通道元件。
20. 如申請專利範圍第14項之結構，其中該摻雜多晶矽層係位在該矽本體的表面部分之之上，但是由該介電質材料分隔，以製作成用於工作元件之閘極電極。
21. 如申請專利範圍第20項之結構，其中為該工作元件其中之一之埋入通道元件，毗鄰該溝渠的第一側壁部分。
22. 如申請專利範圍第21項之結構，其中該埋入通道元件為 p-MOSFET。

(請先閱讀背面之注意事項再為本頁)

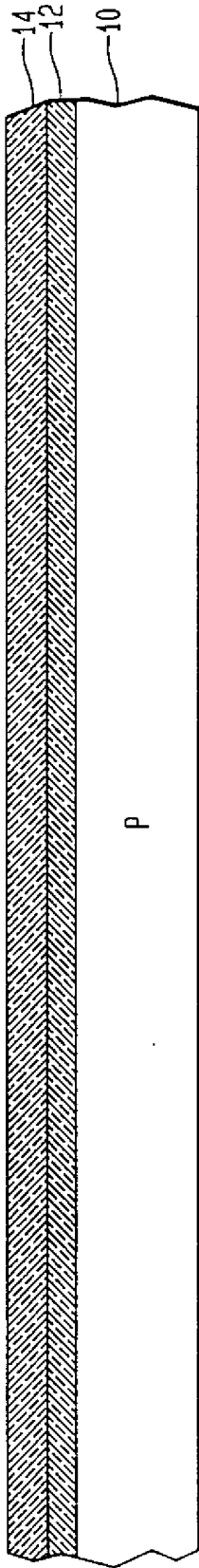
裝

訂

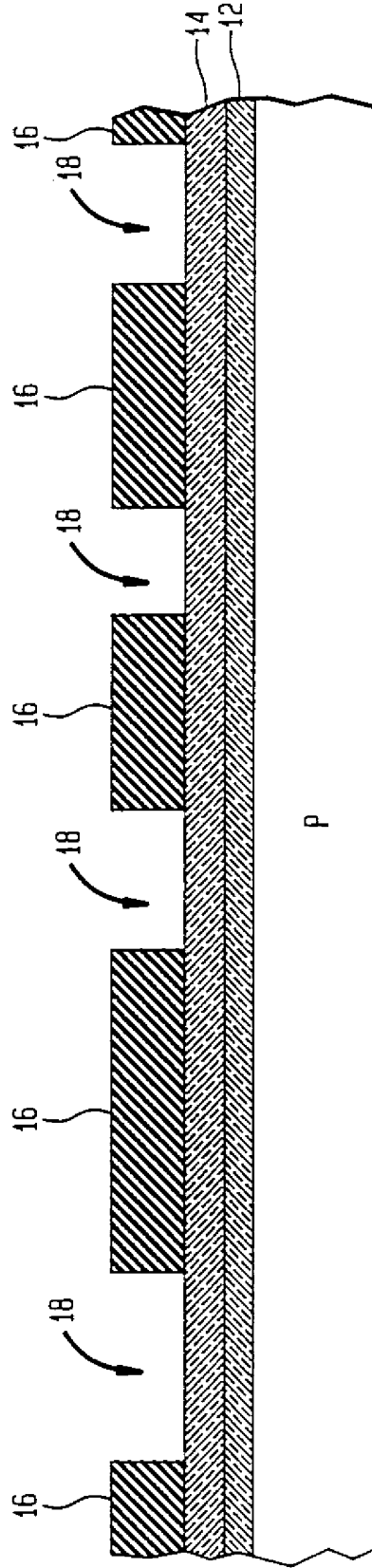
線

418487

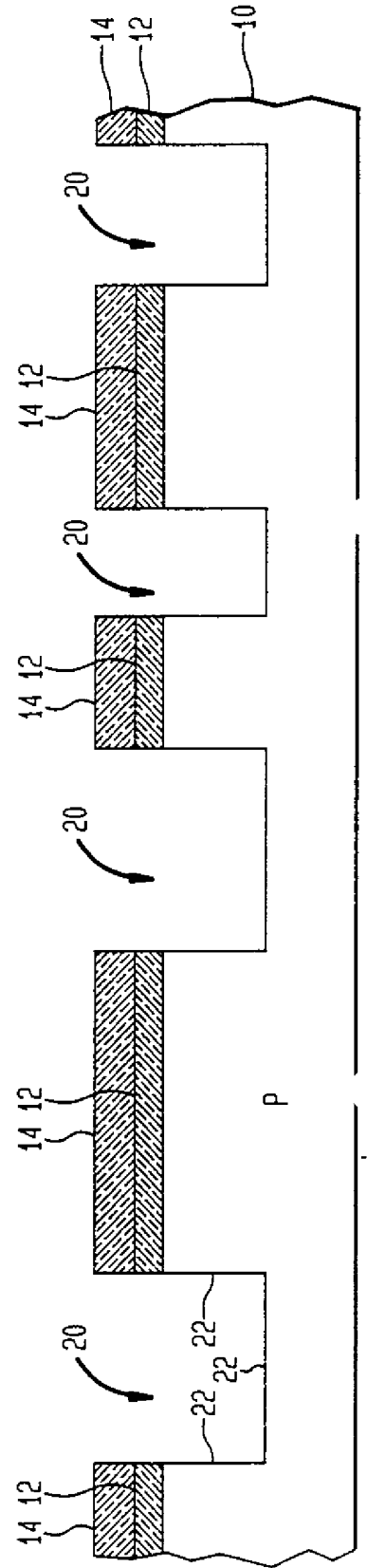
1/4



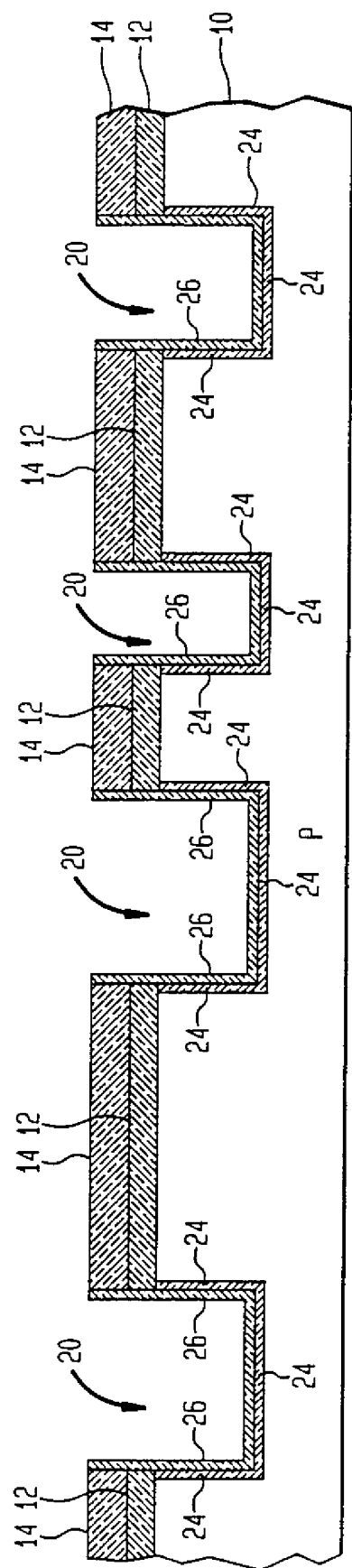
第1A圖



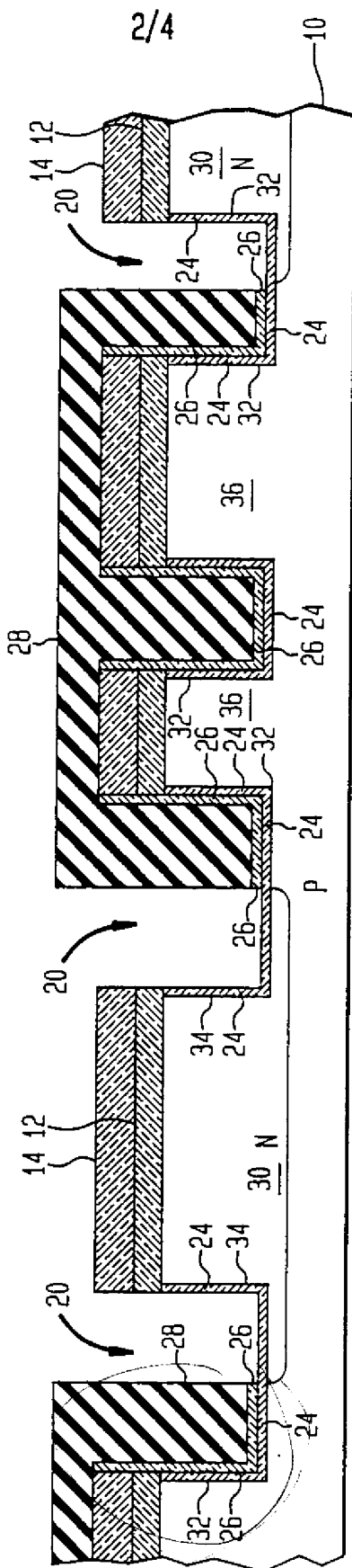
第1B圖



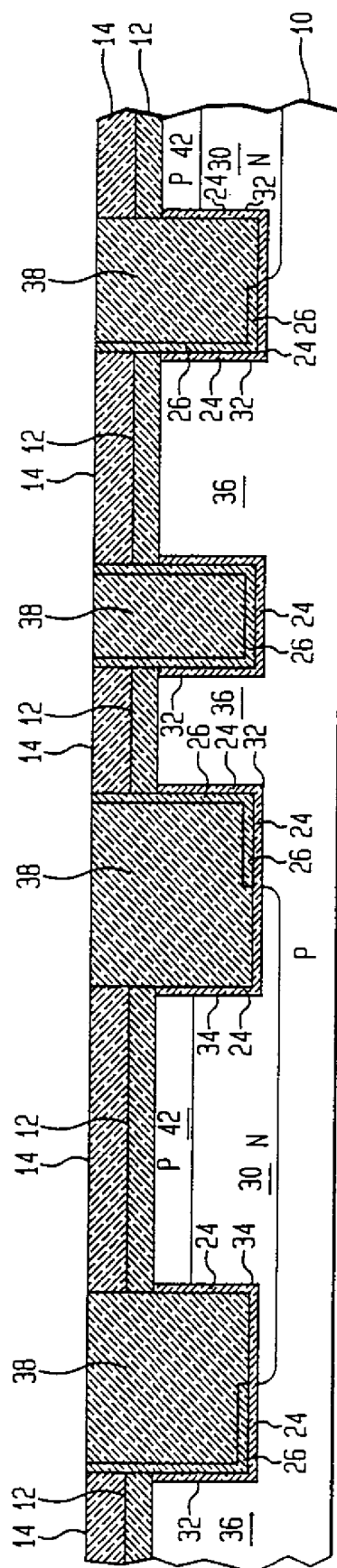
第1C圖



第1D圖



第1E圖



第1F圖

