

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 3 区分  
 【発行日】平成25年10月24日 (2013.10.24)

【公開番号】特開2012-113503(P2012-113503A)  
 【公開日】平成24年6月14日 (2012.6.14)  
 【年通号数】公開・登録公報2012-023  
 【出願番号】特願2010-261718(P2010-261718)  
 【国際特許分類】

G 0 5 F 3/26 (2006.01)

【 F I 】

G 0 5 F 3/26

【手続補正書】

【提出日】平成25年9月9日 (2013.9.9)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ドレイン端子が電源端子に接続され、互いのゲート端子が接続された第一デプレッション NMOS トランジスタ及び第二デプレッション NMOS トランジスタと、

第一入力端子が前記第一デプレッション NMOS トランジスタのソース端子と接続され、第二入力端子が前記第二デプレッション NMOS トランジスタのソース端子と接続され、出力端子が前記第一デプレッション NMOS トランジスタ及び前記第二デプレッション NMOS トランジスタのゲート端子と接続され、前記第一デプレッション NMOS トランジスタのソース端子と前記第二デプレッション NMOS トランジスタのソース端子の電圧を一定に保持する帰還回路と、

前記第一デプレッション NMOS トランジスタのソース端子及び前記第二デプレッション NMOS トランジスタのソース端子と接地端子の間に設けられ、少なくとも 2 つの NMOS トランジスタと抵抗とを有する定電流生成回路と、を備えた定電流回路。

【請求項 2】

前記帰還回路は差動増幅回路である、ことを特徴とする請求項 1 に記載の定電流回路。

【請求項 3】

前記定電流生成回路は、

ドレイン端子が前記差動増幅回路の反転入力端子に接続され、ソース端子が前記抵抗を介して接地端子に接続された第一 NMOS トランジスタと、

ゲート端子とドレイン端子が前記差動増幅回路の非反転入力端子及び前記第一 NMOS トランジスタのゲート端子に接続され、ソース端子が接地端子に接続された第二 NMOS トランジスタと、を備えた

ことを特徴とする請求項 2 に記載の定電流回路。

【請求項 4】

前記定電流生成回路は、

ドレイン端子が前記差動増幅回路の反転入力端子に接続され、ソース端子が接地端子に接続された第一 NMOS トランジスタと、

ゲート端子が前記差動増幅回路の非反転入力端子に接続され、ドレイン端子が前記第一 NMOS トランジスタのゲート端子及び前記抵抗を介して前記差動増幅回路の非反転入力

端子に接続され、ソース端子が接地端子に接続された第二 N M O S トランジスタと、を備えた

ことを特徴とする請求項 2 に記載の定電流回路。

【請求項 5】

請求項 1 から 4 のいずれかに記載の定電流回路と、  
前記定電流回路の出力端子に設けられた電圧発生回路と、  
を備えた基準電圧回路。

【請求項 6】

前記電圧発生回路は、直列に接続された P M O S トランジスタと抵抗とダイオードを備え、

前記電圧発生回路の抵抗と前記定電流生成回路の抵抗は、温度係数が等しいことを特徴とする請求項 5 に記載の基準電圧回路。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 4

【補正方法】変更

【補正の内容】

【0 0 1 4】

差動増幅回路 1 1 1 は、出力端子をデプレッション型 N M O S トランジスタ 1 3 及び 1 4 のゲート端子に接続され、反転入力端子をデプレッション型 N M O S トランジスタ 1 3 のソース端子と定電流生成ブロック回路 1 1 2 に接続され、非反転入力端子をデプレッション型 N M O S トランジスタ 1 4 のソース端子と定電流生成ブロック回路 1 1 2 に接続される。定電流生成ブロック回路 1 1 2 は、デプレッション型 N M O S トランジスタ 1 3 及び 1 4 のソース端子と接地端子 1 0 0 の間に接続される。デプレッション型 N M O S トランジスタ 1 3 及び 1 4 は、ドレイン端子が電源端子 1 0 1 に接続される。デプレッション型 N M O S トランジスタ 1 4 のソース端子が定電流回路の定電流出力端子 1 0 2 に接続される。