

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2021-58759

(P2021-58759A)

(43) 公開日 令和3年4月15日(2021.4.15)

(51) Int.Cl.

**A63F 7/02 (2006.01)**

F 1

A 6 3 F 7/02 3 2 6 Z  
A 6 3 F 7/02 3 3 4

テーマコード(参考)

2 C 0 8 8

審査請求 未請求 請求項の数 3 O L (全 50 頁)

(21) 出願番号	特願2021-5444 (P2021-5444)	(71) 出願人	391010943 株式会社藤商事 大阪府大阪市中央区内本町一丁目1番4号
(22) 出願日	令和3年1月18日(2021.1.18)	(74) 代理人	100100376 弁理士 野中 誠一
(62) 分割の表示	特願2018-200232 (P2018-200232) の分割	(72) 発明者	神崎 純一 大阪府大阪市中央区内本町一丁目1番4号 株式会社藤商事内
原出願日	平成30年10月24日(2018.10.24)	(72) 発明者	柴田 伸美 大阪府大阪市中央区内本町一丁目1番4号 株式会社藤商事内

F ターム(参考) 2C088 BC28 DA23 EA10

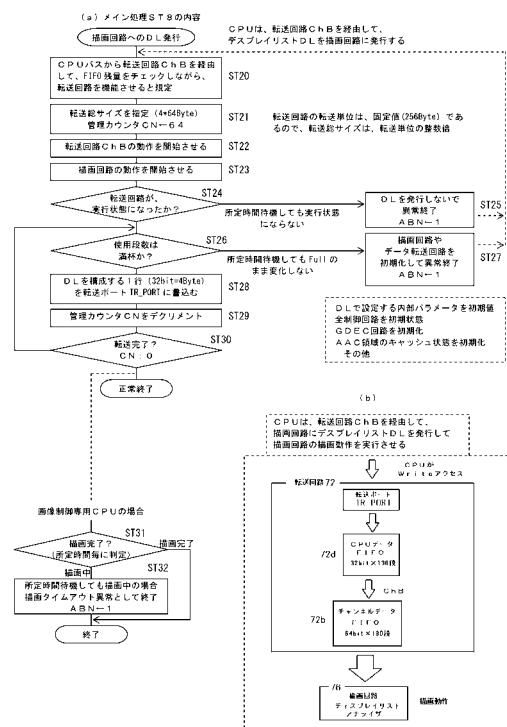
## (54) 【発明の名称】遊技機

## (57) 【要約】

【課題】より改善された画像演出制御が可能な遊技機を提供することを目的とする。

【解決手段】VDP回路52は、CPU回路51から所定の取得ビット単位で受けるディスプレイリストDLの構成データを、所定の転送ビット単位で描画回路77に転送するデータ転送回路72を有して構成され、CPU回路51は、所定の開始設定値を設定した後(ST20～ST21)、データ転送経路が正常に機能していることを判定し(ST24, ST26)、異常時には、データ転送動作を中止する(ST25, ST26)。

## 【選択図】図12



**【特許請求の範囲】****【請求項 1】**

表示装置の表示画面を特定するディスプレイリストを発行する C P U 回路を有する画像制御手段と、前記画像制御手段が発行するディスプレイリストに記載された指示コマンドに基づいて画像データを生成する描画回路を有する画像生成手段と、を有して構成され、前記画像生成手段は、

所定の取得ビット単位で前記 C P U 回路からディスプレイリストの構成データを受ける転送ポートと、前記転送ポートが受けた構成データを蓄積する F I F O 構造の F I F O バッファとを有するデータ転送回路を有して構成され、

前記画像制御手段は、

前記転送ポートから前記描画回路までの前記ディスプレイリストのデータ転送経路を特定する第 1 情報を、前記画像生成手段に内蔵された一又は複数の第 1 レジスタに設定する第 1 手段と、

前記転送ポートから受ける箇の総データ量を特定した状態で、前記データ転送回路の動作を開始させるべく、前記画像生成手段に内蔵された一又は複数の第 2 レジスタに開始指示を設定する第 2 手段と、

第 2 手段の動作に対応して実行され、前記描画回路の動作を開始させるべく、前記画像生成手段に内蔵された一又は複数の第 3 レジスタに開始指示を設定する第 3 手段と、

その後、前記画像生成手段に内蔵された一又は複数のステータスレジスタに基づいて、前記データ転送経路が正常に機能していることを判定する第 4 手段と、

限界時間又は限界判定回数を経過しても、第 4 手段による判定が正常とならない場合には、前記画像生成手段に内蔵された一又は複数の第 5 レジスタに初期化指示を設定して前記ディスプレイリストの発行を中止する第 5 手段、とを有して構成されていることを特徴とする遊技機。

**【請求項 2】**

前記初期化指示に基づき、前記データ転送回路の内部回路が初期状態とされる請求項 1 に記載の遊技機。

**【請求項 3】**

前記初期化指示に基づき、前記データ転送回路の動作を特定するステータス情報が所定値に変化する請求項 2 に記載の遊技機。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、遊技動作に起因する抽選処理を行い、その抽選結果に対応する画像演出を実行する遊技機に関し、特に、迫力ある画像演出を安定して実行できる遊技機に関する。

**【背景技術】****【0002】**

パチンコ機などの弾球遊技機は、遊技盤に設けた図柄始動口と、複数の表示図柄による一連の図柄変動態様を表示する図柄表示部と、開閉板が開閉される大入賞口などを備えて構成されている。そして、図柄始動口に設けられた検出スイッチが遊技球の通過を検出すると入賞状態となり、遊技球が賞球として払出された後、図柄表示部では表示図柄が所定時間変動される。その後、7・7・7などの所定の態様で図柄が停止すると大当たり状態となり、大入賞口が繰返し開放されて、遊技者に有利な遊技状態を発生させている。

**【0003】**

このような遊技状態を発生させるか否かは、図柄始動口に遊技球が入賞したことを条件に実行される大当たり抽選で決定されており、上記の図柄変動動作は、この抽選結果を踏まえたものとなっている。例えば、抽選結果が当選状態である場合には、リーチアクションなどと称される演出動作を 20 秒前後実行し、その後、特別図柄を整列させている。一方、ハズレ状態の場合にも、同様のリーチアクションが実行されることがあり、この場合には、遊技者は、大当たり状態になることを強く念じつつ演出動作の推移を注視することにな

10

20

30

40

50

る。そして、図柄変動動作の終了時に、停止ラインに所定図柄が揃えば、大当たり状態であることが遊技者に保証されたことになる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2017-093633号公報

【特許文献2】特開2017-093632号公報

【特許文献3】特開2016-159030号公報

【特許文献4】特開2016-159029号公報

【発明の概要】

10

【発明が解決しようとする課題】

【0005】

この種の遊技機では、各種の演出を複雑化かつ豊富化したいところ、特に、画像演出については、その要請が高い。そこで、出願人は、各種の提案をしているが（引用文献1～引用文献4）、画像演出の更なる高度化や、画像演出制御の改善が望まれるところである。

【0006】

本発明は、上記の課題に鑑みてなされたものであり、より改善された画像演出制御を実行可能な遊技機を提供することを目的とする。

20

【課題を解決するための手段】

【0007】

上記の目的を達成するため、本発明に係る遊技機は、表示装置の表示画面を特定するディスプレイリストを発行するCPU回路を有する画像制御手段と、前記画像制御手段が発行するディスプレイリストに記載された指示コマンドに基づいて画像データを生成する描画回路を有する画像生成手段と、を有して構成され、前記画像生成手段は、所定の取得ビット単位で前記CPU回路からディスプレイリストの構成データを受ける転送ポートと、前記転送ポートが受けた構成データを蓄積する FIFO構造の FIFOバッファとを有するデータ転送回路を有して構成され、前記画像制御手段は、前記転送ポートから前記描画回路までの前記ディスプレイリストのデータ転送経路を特定する第1情報を、前記画像生成手段に内蔵された一又は複数の第1レジスタに設定する第1手段と、前記転送ポートから受けける箇の総データ量を特定した状態で、前記データ転送回路の動作を開始させるべく、前記画像生成手段に内蔵された一又は複数の第2レジスタに開始指示を設定する第2手段と、第2手段の動作に対応して実行され、前記描画回路の動作を開始させるべく、前記画像生成手段に内蔵された一又は複数の第3レジスタに開始指示を設定する第3手段と、その後、前記画像生成手段に内蔵された一又は複数のステイタスレジスタに基づいて、前記データ転送経路が正常に機能していることを判定する第4手段と、限界時間又は限界判定回数を経過しても、第4手段による判定が正常とならない場合には、前記画像生成手段に内蔵された一又は複数の第5レジスタに初期化指示を設定して前記ディスプレイリストの発行を中止する第5手段、とを有して構成されている。

30

本発明は、好ましくは、前記初期化指示に基づき、前記データ転送回路の内部回路が初期状態とされるべきである。また、前記初期化指示に基づき、前記データ転送回路の動作を特定するステイタス情報が所定値に変化する構成を探るのが好ましい。

40

【発明の効果】

【0008】

上記した本発明によれば、高度化された画像演出であっても、円滑適切な画像制御動作を実行することができる。

【図面の簡単な説明】

【0009】

【図1】本実施例のパチンコ機を示す斜視図である。

50

【図2】図1の遊技機の遊技領域を示す正面図である。

【図3】図1の遊技機の全体回路構成を示すブロック図である。

【図4】図1の遊技機について、演出制御部の回路構成をやや詳細に示すブロック図である。

【図5】演出制御部を構成する複合チップを説明する図面である。

【図6】D M A Cについて、サイクルスチール転送動作と、パイプライン転送とを説明する図面である。

【図7】インデックス空間、インデックステーブル、仮想描画空間、及び、描画領域について説明する図面である。

【図8】データ転送回路の内部構成を、関連する回路構成と共に記載したブロック図である。

10

【図9】表示回路の内部構成を、関連する回路構成と共に記載したブロック図である。

【図10】プリローダを使用しない場合について、演出制御C P U 6 3の制御動作を説明するフローチャートである。

【図11】ディスプレイリストの構成を説明する図面である。

【図12】ディスプレイリストD Lを発行するD L発行処理を示すフローチャートである。

【図13】図12の動作にD M A Cが関与する場合の動作を説明するフローチャートである。

【図14】図13の処理に続く動作を説明するフローチャートである。

【図15】プリローダを使用する場合について、演出制御C P U 6 3の制御動作を説明するフローチャートである。

20

【図16】図15の一部を説明するフローチャートである。

【図17】図15の別の一部を説明するフローチャートである。

【図18】プリローダを使用しない実施例について、V D P各部の動作を示すタイムチャートである。

【図19】プリローダを使用する実施例について、V D P各部の動作を示すタイムチャートである。

【図20】別の実施例について全体回路構成を示すブロック図である。

【図21】図20の一部をやや詳細に示すブロック図である。

【図22】別の実施例について、動作内容を説明するフローチャートである。

30

【発明を実施するための形態】

【0010】

以下、実施例に基づいて本発明を詳細に説明する。図1は、本実施例のパチンコ機G Mを示す斜視図である。このパチンコ機G Mは、島構造体に着脱可能に装着される矩形枠状の木製外枠1と、外枠1に固着されたヒンジ2を介して開閉可能に枢着される前枠3とで構成されている。この前枠3には、遊技盤5が、裏側からではなく、表側から着脱自在に装着され、その前側には、ガラス扉6と前面板7とが夫々開閉自在に枢着されている。

【0011】

ガラス扉6の外周には、L E Dランプなどによる電飾ランプが、略C字状に配置されている。一方、ガラス扉6の上部左右位置と下側には、全3個のスピーカが配置されている。上部に配置された2個のスピーカは、各々、左右チャンネルR, Lの音声を出力し、下側のスピーカは低音を出力するよう構成されている。

【0012】

前面板7には、発射用の遊技球を貯留する上皿8が装着され、前枠3の下部には、上皿8から溢れ出し又は抜き取った遊技球を貯留する下皿9と、発射ハンドル10とが設けられている。発射ハンドル10は発射モータと連動しており、発射ハンドル10の回動角度に応じて動作する打撃柾によって遊技球が発射される。

【0013】

上皿8の外周面には、チャンスボタン11が設けられている。このチャンスボタン11は、遊技者の左手で操作できる位置に設けられており、遊技者は、発射ハンドル10から

40

50

右手を離すことなくチャンスボタン 11 を操作できる。このチャンスボタン 11 は、通常時には機能していないが、ゲーム状態がボタンチャンス状態となると内蔵ランプが点灯されて操作可能となる。なお、ボタンチャンス状態は、必要に応じて設けられるゲーム状態である。

【0014】

また、チャンスボタン 11 の下方には、ロータリースイッチ型の音量スイッチ V L S W が配置されており、遊技者が音量スイッチ V L S W を操作することで、無音レベル(=0)から最高レベル(=7)まで、スピーカ音量を 8 段階に調整できるようになっている。なお、スピーカの音量は、係員だけが操作可能な設定スイッチ(不図示)によって初期設定されており、遊技者が音量スイッチ V L S W を操作しない限り、初期設定音量が維持される。また、異常事態が発生したことを報知する異常報知音は、係員による初期設定音量や、遊技者の設定音量に拘らず最高音量で放音される。

10

【0015】

上皿 8 の右部には、カード式球貸し機に対する球貸し操作用の操作パネル 12 が設けられ、カード残額を 3 衔の数字で表示する度数表示部と、所定金額分の遊技球の球貸しを指示する球貸しスイッチと、ゲーム終了時にカードの返却を指令する返却スイッチとが設けられている。

【0016】

図 2 に示すように、遊技盤 5 の表面には、金属製の外レールと内レールとからなるガイドレール 13 が環状に設けられ、その略中央には、中央開口 H O が設けられている。そして、中央開口 H O の下方には、不図示の可動演出体が隠蔽状態で収納されており、可動予告演出時には、その可動演出体が上昇して露出状態となることで、所定の信頼度の予告演出を実現している。ここで、予告演出とは、遊技者に有利な大当たり状態が招来することを不確定に報知する演出であり、予告演出の信頼度とは、大当たり状態が招来する確率を意味している。

20

【0017】

中央開口 H O には、大型(例えば、横 1280 × 縦 1024 ピクセル)の液晶カラーディスプレイ(L C D)で構成されたメイン表示装置 D S 1 が配置され、メイン表示装置 D S 1 の右側には、小型(例えば、横 480 × 縦 800 ピクセル)の液晶カラーディスプレイで構成された可動式のサブ表示装置 D S 2 が配置されている。メイン表示装置 D S 1 は、大当たり状態に係わる特定図柄を変動表示すると共に背景画像や各種のキャラクタなどをアニメーション的に表示する装置である。この表示装置 D S 1 は、中央部に特別図柄表示部 D a ~ D c と右上部に普通図柄表示部 19 とを有している。そして、特別図柄表示部 D a ~ D c では、大当たり状態の招来を期待させるリーチ演出が実行されることがあり、特別図柄表示部 D a ~ D c 及びその周りでは、適宜な予告演出などが実行される。

30

【0018】

サブ表示装置 D S 2 は、通常時には、その表示画面が遊技者に見やすい角度に傾斜した静止状態で画像情報を表示している。但し、所定の予告演出時には、遊技者に見やすい角度に傾斜角度を変えながら、図示の左側に移動する共に、所定の予告画像を表示するようになっている。

40

【0019】

すなわち、実施例のサブ表示装置 D S 2 は、単なる表示装置ではなく、予告演出を実行する可動演出体としても機能している。ここで、サブ表示装置 D S 2 による予告演出は、その信頼度が高く設定されており、遊技者は、大きな期待感をもってサブ表示装置 D S 2 の移動動作に注目することになる。

【0020】

ところで、遊技球が落下移動する遊技領域には、第 1 図柄始動口 15 a、第 2 図柄始動口 15 b、第 1 大入賞口 16 a、第 2 大入賞口 16 b、普通入賞口 17、及び、ゲート 18 が配設されている。これらの入賞口 15 ~ 18 は、それぞれ内部に検出スイッチを有しており、遊技球の通過を検出できるようになっている。

50

## 【0021】

第1図柄始動口15aの上部には、導入口INから進入した遊技球がシーソー状又はルーレット状に移動した後に、第1図柄始動口15に入賞可能に構成された演出ステージ14が配置されている。そして、第1図柄始動口15に遊技球が入賞すると、特別図柄表示部Da～Dcの変動動作が開始されるよう構成されている。

## 【0022】

第2図柄始動口15bは、左右一対の開閉爪を備えた電動式チューリップで開閉されるように構成され、普通図柄表示部19の変動後の停止図柄が当り図柄を表示した場合には、所定時間だけ、若しくは、所定個数の遊技球を検出するまで、開閉爪が開放されるようになっている。

10

## 【0023】

なお、普通図柄表示部19は、普通図柄を表示するものであり、ゲート18を通過した遊技球が検出されると、普通図柄が所定時間だけ変動し、遊技球のゲート18の通過時点において抽出された抽選用乱数値により決定される停止図柄を表示して停止する。

## 【0024】

第1大入賞口16aは、前後方向に進退するスライド盤を有して構成され、第2大入賞口16bは、下端が軸支されて前方に開放する開閉板を有して構成されている。第1大入賞口16aや第2大入賞口16bの動作は、特に限定されないが、この実施例では、第1大入賞口16aは、第1図柄始動口15aに対応し、第2大入賞口16bは、第1図柄始動口15bに対応するよう構成されている。

20

## 【0025】

すなわち、第1図柄始動口15aに遊技球が入賞すると、特別図柄表示部Da～Dcの変動動作が開始され、その後、所定の大当たり図柄が特別図柄表示部Da～Dcに整列すると、第1大当たりたる特別遊技が開始され、第1大入賞口16aのスライド盤が、前方に開放されて遊技球の入賞が容易化される。

## 【0026】

一方、第2図柄始動口15bへの遊技球の入賞によって開始された変動動作の結果、所定の大当たり図柄が特別図柄表示部Da～Dcに整列すると、第2大当たりたる特別遊技が開始され、第2大入賞口16bの開閉板が開放されて遊技球の入賞が容易化される。特別遊技（大当たり状態）の遊技価値は、整列する大当たり図柄などに対応して種々相違するが、何れの遊技価値が付与されるかは、遊技球の入賞タイミングに応じた抽選結果に基づいて求め決定される。

30

## 【0027】

典型的な大当たり状態では、大入賞口16の開閉板が開放された後、所定時間が経過し、又は所定数（例えば10個）の遊技球が入賞すると開閉板が閉じる。このような動作は、最大で例えば15回まで継続され、遊技者に有利な状態に制御される。なお、特別図柄表示部Da～Dcの変動後の停止図柄が特別図柄のうちの特定図柄であった場合には、特別遊技の終了後のゲームが高確率状態（確変状態）となるという特典が付与される。

## 【0028】

図3は、上記した各動作を実現するパチンコ機GMの全体回路構成を示すブロック図であり、図4(a)はその一部を詳細に図示したものである。

40

## 【0029】

図3に示す通り、このパチンコ機GMは、AC24Vを受けて各種の直流電圧や、電源異常信号ABN1、ABN2を出力する電源基板20と、遊技制御動作を中心統括的に担う主制御基板21と、音声演出用の回路素子 SNDを搭載した演出インタフェイス基板22と、主制御基板21から受けた制御コマンドCMDに基づいてランプ演出、音声演出、及び画像演出を統一的に実行する演出制御基板23と、演出制御基板23と表示装置DS1, DS2の間に位置する液晶インタフェイス基板24と、主制御基板21から受けた制御コマンドCMD'に基づいて払出モータMを制御して遊技球を払い出す払出制御基板25と、遊技者の操作に応答して遊技球を発射させる発射制御基板26と、を中心に構成さ

50

れている。

#### 【0030】

本実施例の場合、演出インタフェイス基板22と、演出制御基板23と、液晶インタフェイス基板24とは、配線ケーブルを経由することなく、雄型コネクタと雌型コネクタとを直結されている。そのため、各電子回路の回路構成を複雑高度化しても基板全体の収納空間を最小化できると共に、接続ラインを最短化することで耐ノイズ性を高めることができる。

#### 【0031】

図示の通り、主制御基板21が出力する制御コマンドCMD'は、主基板中継基板33を経由して、払出制御基板25に伝送される。一方、主制御基板21が出力する制御コマンドCMDは、演出インタフェイス基板22を経由して演出制御基板23に伝送される。制御コマンドCMD,CMD'は、何れも16bit長であるが、8bit長毎に2回に分けてパラレル送信される。

#### 【0032】

主制御基板21と払出制御基板25には、ワンチップマイコンを含むコンピュータ回路が搭載されている。また、演出制御基板23には、VDP回路(Video Display Processor)52や内蔵CPU回路51などのコンピュータ回路が内蔵された複合チップ50が搭載されている。そこで、これらの制御基板21、25、23と、演出インタフェイス基板22や液晶インタフェイス基板24に搭載された回路、及びその回路によって実現される動作を機能的に総称して、本明細書では、主制御部21、演出制御部23、及び払出制御部25と言うことがある。なお、主制御部21に対して、演出制御部23と、払出制御部25がサブ制御部となる。

#### 【0033】

また、このパチンコ機GMは、図3の破線で囲む枠側部材GM1と、遊技盤5の背面に固定された盤側部材GM2とに大別されている。枠側部材GM1には、ガラス扉6や前面板7が枢着された前枠3と、その外側の木製外枠1とが含まれており、機種の変更に拘わらず、長期間にわたって遊技ホールに固定的に設置される。一方、盤側部材GM2は、機種変更に対応して交換され、新たな盤側部材GM2が、元の盤側部材の代わりに枠側部材GM1に取り付けられる。なお、枠側部材1を除く全てが、盤側部材GM2である。

#### 【0034】

図3の破線枠に示す通り、枠側部材GM1には、電源基板20と、払出制御基板25と、発射制御基板26と、枠中継基板36とが含まれており、これらの回路基板が、前枠3の適所に各々固定されている。一方、遊技盤5の背面には、主制御基板21、演出制御基板23が、表示装置DS1, DS2や他の回路基板と共に固定されている。そして、枠側部材GM1と盤側部材GM2とは、一箇所に集中配置された接続コネクタC1～C4によって電気的に接続されている。

#### 【0035】

電源基板20は、接続コネクタC2を通して、主基板中継基板33に接続され、接続コネクタC3を通して、電源中継基板34に接続されている。そして、電源基板20には、交流電源の投入と遮断とを監視する電源監視部MNTが設けられている。電源監視部MNTは、交流電源の遮断を検知すると、電源異常信号ABN1, ABN2を、直ちにLレベルに遷移させる。なお、電源異常信号ABN1, ABN2は、電源投入後に速やかにHレベルとなる。

#### 【0036】

主基板中継基板33は、電源基板20から出力される電源異常信号ABN1、バックアップ電源BAK、及びDC5V, DC12V, DC32Vを、そのまま主制御部21に出力している。また、電源中継基板34は、電源基板20から受けた交流及び直流の電源電圧を、そのまま演出インタフェイス基板22に出力している。

#### 【0037】

図示の通り、演出インタフェイス基板22には、音声プロセッサ27などの音声回路S

10

20

30

40

50

N Dが搭載され、演出制御基板2 3には、V D P回路5 2やC P U回路5 1などのコンピュータ回路が内蔵された複合チップ5 0が搭載されている。

#### 【0 0 3 8】

また、演出インターフェイス基板2 2には、電源投入時に、電源電圧の上昇を検知してリセット信号S Y S(C P Uリセット信号)を生成するリセット回路R S T 3が搭載されている。このC P Uリセット信号S Y Sは、演出インターフェイス基板2 2の音声回路S N Dや、演出制御基板2 3の複合チップ5 0に伝送されることで、各電子素子を同期的に電源リセットしている。なお、後述するように、C P U回路5 1のプログラム処理が無限ループ状態となると、C P U回路5 1に内蔵されたウォッチャドッグタイマ5 8(図4(a)参照)が起動して、音声回路S N Dと複合チップ5 0が同期して異常リセットされる。

10

#### 【0 0 3 9】

次に、枠側部材G M 1たる払出制御基板2 5は、中継基板を介することなく、電源基板2 0に直結されて、主制御部2 1が受けると同様の電源異常信号A B N 2や、バックアップ電源B A Kを、その他の電源電圧と共に受けている。また、主制御部2 1と払出制御部2 5には、各々、リセット回路R S T 1, R S T 2が搭載されており、電源投入時に電源リセット信号が生成され、各コンピュータ回路が電源リセットされるよう構成されている。

#### 【0 0 4 0】

このように、本実施例では、主制御部2 1と、払出制御部2 5と、演出インターフェイス基板2 2に、各々、リセット回路R S T 1～R S T 3を配置しており、C P Uリセット信号S Y Sが回路基板間で伝送されることがない。すなわち、C P Uリセット信号S Y Sを伝送する配線ケーブルが存在しないので、配線ケーブルに重畳するノイズによって、コンピュータ回路が異常リセットされるおそれが解消される。

20

#### 【0 0 4 1】

但し、主制御部2 1や払出制御部2 5に設けられたリセット回路R S T 1, R S T 2は、各々ウォッチャドッグタイマを内蔵しており、各制御部2 1, 2 5のC P Uから、定時的なクリアパルスを受けない場合には、各C P Uは強制的にリセットされる。

#### 【0 0 4 2】

また、主制御部2 1には、係員が操作可能な初期化スイッチS Wが配置されており、電源投入時、初期化スイッチS WがO N操作されたか否かを示すR A Mクリア信号C L Rが出力されるよう構成されている。このR A Mクリア信号C L Rは、主制御部2 1と払出制御部2 5のワンチップマイコンに伝送され、各制御部2 1, 2 5のワンチップマイコンの内蔵R A Mの全領域を初期設定するか否かを決定している。

30

#### 【0 0 4 3】

また、主制御部2 1及び払出制御部2 5は、電源基板2 0から電源異常信号A B N 1, A B N 2を受けることによって、停電や営業終了に先立って、必要な終了処理を開始するようになっている。また、バックアップ電源B A Kは、営業終了や停電により交流電源2 4 Vが遮断された後も、主制御部2 1と払出制御部2 5のワンチップマイコンの内蔵R A Mのデータを保持するD C 5 Vの直流電源である。したがって、主制御部2 1と払出制御部2 5は、電源遮断前の遊技動作を電源投入後に再開できることになる(電源バックアップ機能)。このパチンコ機では少なくとも数日は、各ワンチップマイコンのR A Mの記憶内容が保持されるよう設計されている。

40

#### 【0 0 4 4】

図3に示す通り、主制御部2 1は、払出制御部2 5から、遊技球の払出動作を示す賞球計数信号や、払出動作の異常に係わるステータス信号C O Nや、動作開始信号B G Nを受信している。ステータス信号C O Nには、例えば、補給切れ信号、払出不足エラー信号、下皿満杯信号が含まれる。動作開始信号B G Nは、電源投入後、払出制御部2 5の初期動作が完了したことを主制御部2 1に通知する信号である。

#### 【0 0 4 5】

また、主制御部2 1は、遊技盤中継基板3 2を経由して、遊技盤5の各遊技部品に接続

50

されている。そして、遊技盤上の各入賞口 16～18 に内蔵された検出スイッチのスイッチ信号を受ける一方、電動式チューリップなどのソレノイド類を駆動している。ソレノイド類や検出スイッチは、主制御部 21 から配電された電源電圧 V<sub>B</sub> (12V) で動作するよう構成されている。また、図柄始動口 15 への入賞状態などを示す各スイッチ信号は、電源電圧 V<sub>B</sub> (12V) と電源電圧 V<sub>CC</sub> (5V) とで動作するインタフェイス I<sub>C</sub> で、TTL レベル又は CMOS レベルのスイッチ信号に変換された上で、主制御部 21 に伝送される。

#### 【0046】

先に説明した通り、演出インタフェイス基板 22 と演出制御基板 23 と液晶インタフェイス基板 24 とはコネクタ連結によって一体化されており、演出インタフェイス基板 22 は、電源中継基板 34 を経由して、電源基板 20 から各レベルの直流電圧 (5V, 12V, 32V) を受けている（図 3 及び図 4 (a) 参照）。

10

#### 【0047】

図 3 に示す通り、演出インタフェイス基板 22 は、主制御部 21 から制御コマンド CMD とストローブ信号 STB とを受けて、演出制御基板 23 に転送している。より詳細には、図 4 (a) に示す通りであり、制御コマンド CMD とストローブ信号 STB は、入力バッファ 40 を経由して、演出制御基板 23 の複合チップ 50 (CPU 回路 51) に転送される。

20

#### 【0048】

また、リセット回路 RST3 で生成された CPU リセット信号 SYS は、入力バッファ 40 と OR 回路 G1 とを経由して、演出制御基板 23 と、音声プロセッサ 27 などの音声回路 SND に供給されている。図示の通り、OR 回路 G1 には、WDT 回路 58 のアンダーフロー信号 UF も供給されており、二つの信号 SYS, UF の何れかがアクティブルペルとなると、複合チップ 50 の内部回路と、音声回路 SND が同期してリセット状態になる（異常リセット）。異常リセットされる複合チップ 50 の内部回路には、CPU 回路 51 と、VDP 回路 52 が含まれ、異常リセットされる音声回路 SND には、音声プロセッサ 27 と、音声メモリ 28 が含まれている。

20

#### 【0049】

図 4 (a) に示す通り、演出インタフェイス基板 22 の入力バッファ 44 は、枠中継基板 35, 36 からチャンスボタン 11 や音量スイッチ VLSW のスイッチ信号を受け、各スイッチ信号を演出制御基板 23 の CPU 回路 51 に伝送している。具体的には、音量スイッチ VLSW の接点位置 (0～7) を示すエンコーダ出力の 3 bit 長と、チャンスボタン 11 の ON/OFF 状態を示す 1 bit 長を CPU 回路 51 に伝送している。

30

#### 【0050】

また、演出インタフェイス基板 22 には、ランプ駆動基板 30 やモータランプ駆動基板 31 が接続されると共に、枠中継基板 35, 36 を経由して、ランプ駆動基板 37 にも接続されている。図示の通り、ランプ駆動基板 30 に対応して、出力バッファ 42 が配置され、モータランプ駆動基板 31 に対応して、入力バッファ 43a と出力バッファ 43b が配置されている。なお、図 4 (a) では、便宜上、入力バッファ 43a と出力バッファ 43b を総称して、入出力バッファ 43 と記載している。入力バッファ 43a は、可動演出体たる役物の現在位置（演出モータ M1～Mn の回転位置）を把握する原点センサの出力 SNO～SNn を受けて、演出制御基板 23 の CPU 回路 51 に伝送している。

40

#### 【0051】

ランプ駆動基板 30、モータランプ駆動基板 31、及び、ランプ駆動基板 37 には、同種のドライバ I<sub>C</sub> が搭載されており、演出インタフェイス基板 22 は、演出制御基板 23 から受けるシリアル信号を、各ドライバ I<sub>C</sub> に転送している。シリアル信号は、具体的には、ランプ（モータ）駆動信号 SDATA とクロック信号 CK であり、駆動信号 SDATA がクロック同期方式で各ドライバ I<sub>C</sub> に伝送され、多数の LED ランプや電飾ランプによるランプ演出や、演出モータ M1～Mn による役物演出が実行される。

#### 【0052】

50

本実施例の場合、ランプ演出は、三系統のランプ群 C H 0 ~ C H 2 によって実行されており、ランプ駆動基板 3 7 は、枠中継基板 3 5 , 3 6 を経由して、C H 0 のランプ駆動信号 S D A T A 0 を、クロック信号 C K 0 に同期して受けている。なお、シリアル信号として伝送される一連のランプ駆動信号 S D A T A 0 は、動作制御信号 E N A B L E 0 がアクティブルーレベルに変化したタイミングで、ドライバ I C からランプ群 C H 0 に出力されるとで一斉に点灯状態が更新される。

#### 【 0 0 5 3 】

以上の点は、ランプ駆動基板 3 0 についても同様であり、ランプ駆動基板 3 0 のドライバ I C は、ランプ群 C H 1 のランプ駆動信号 S D A T A 1 を、クロック信号 C K 1 に同期して受け、動作制御信号 E N A B L E 1 がアクティブルーレベルに変化したタイミングで、ランプ群 C H 1 の点灯状態を一斉に更新している。10

#### 【 0 0 5 4 】

一方、モータランプ駆動基板 3 1 に搭載されたドライバ I C は、クロック同期式で伝送されるランプ駆動信号を受けてランプ群 C H 2 を駆動すると共に、クロック同期式で伝送されるモータ駆動信号を受けて、複数のステッピングモータで構成された演出モータ群 M 1 ~ M n を駆動している。なお、ランプ駆動信号とモータ駆動信号は、一連のシリアル信号 S D A T A 2 であって、クロック信号 C K 1 に同期してシリアル伝送され、これを受けたドライバ I C は、動作制御信号 E N A B L E 2 がアクティブルーレベルに変化するタイミングで、ランプ群 C H 2 やモータ群 M 1 ~ M n の駆動状態を更新する。

#### 【 0 0 5 5 】

続いて、音声回路 S N D について説明する。図 4 ( a ) に示す通り、演出インターフェイス基板 2 2 には、演出制御基板 2 3 の C P U 回路 5 1 ( 演出制御 C P U 6 3 ) から受ける指示に基づいて音声信号を再生する音声プロセッサ ( 音声合成回路 ) 2 7 と、再生される音声信号の元データである圧縮音声データなどを記憶する音声メモリ 2 8 と、音声プロセッサ 2 7 から出力される音声信号を受けるデジタルアンプ 2 9 と、が搭載されている。20

#### 【 0 0 5 6 】

音声プロセッサ 2 7 は、演出制御 C P U 6 3 から内蔵レジスタたる音声制御レジスタに受ける動作パラメータ ( 音声コマンドによる設定値 ) に基づいて、音声メモリ 2 8 をアクセスして、必要な音声信号を再生して出力している。図 4 ( a ) に示す通り、音声プロセッサ 2 7 と、音声メモリ 2 8 とは、2 6 b i t 長の音声アドレスバスと、1 6 b i t 長の音声データバスで接続されている。そのため、音声メモリ 2 8 には、1 G b i t (= 2<sup>26</sup> \* 1 6 ) のデータが記憶可能となる。30

#### 【 0 0 5 7 】

本実施例の場合、音声メモリ 2 8 に記憶された圧縮音声データは、1 3 b i t 長のフレーズ番号 N U M ( 0 0 0 H ~ 1 F F F H ) で特定されるフレーズ ( phrase ) 圧縮データであり、一連の背景音楽の一曲分 ( B G M ) や、ひと纏まりの演出音 ( 予告音 ) などが、最高 8 1 9 2 種類 (= 2 1 3 ) 、各々、フレーズ番号 N U M に対応して記憶されている。そして、このフレーズ番号 N U M は、演出制御 C P U 6 3 から音声プロセッサ 2 7 の音声制御レジスタに伝送される音声コマンドの設定値 ( 動作パラメータ ) によって特定される。

#### 【 0 0 5 8 】

また、図 4 ( a ) に示す通り、演出制御部 2 3 の C P U 回路 5 1 のデータバスとアドレスバスは、液晶インターフェイス基板 2 4 に搭載された時計回路 ( real time clock ) 3 8 と演出データメモリ 3 9 にも及んでいる。時計回路 3 8 は、C P U 回路 5 1 のアドレスバスの下位 4 b i t と、データバスの下位 4 b i t に接続されており、C P U 回路 5 1 が任意にアクセスできるよう構成されている。また、演出データメモリ 3 9 は、高速アクセス可能なメモリ素子 S R A M ( Static Random Access Memory ) であって、C P U 回路 5 1 のアドレスバスの 1 6 b i t と、データバスの下位 1 6 b i t に接続されており、そこに記憶されている遊技実績情報その他の C P U 回路 5 1 から適宜に R / W アクセスされるようになっている。

#### 【 0 0 5 9 】

10

20

30

40

50

時計回路38と演出データメモリ39は、不図示の二次電池で駆動されており、この二次電池は、遊技動作中、電源基板20からの給電電圧によって適宜に充電される。そのため、電源遮断後も、時計回路38の計時動作が継続され、また、演出データメモリ39に記憶された遊技実績情報が、永続的に記憶保持されることになる（不揮発性を付与）。

#### 【0060】

図4(a)の右側に示す通り、演出制御基板23には、CPU回路51やVDP回路52を内蔵する複合チップ50と、CPU回路51の制御プログラムを記憶する制御メモリ(PROM)53と、大量のデータを高速にアクセス可能なDRAM(Dynamic Random Access Memory)54と、演出制御に必要な大量のCGデータを記憶するGROM55と、が搭載されている。10

#### 【0061】

図5(a)は、演出制御部23を構成する複合チップ50について、関連する回路素子も含めて図示した回路ブロック図である。図示の通り、実施例の複合チップ50には、所定時間毎にディスプレイリストDLを発行する内蔵CPU回路51と、発行されたディスプレイリストDLに基づいて画像データを生成して表示装置DS1, DS2を駆動するVDP回路52とが内蔵されている。そして、内蔵CPU回路51とVDP回路52とは、互いの送受信データを中継するCPUIF回路56を通して接続されている。

#### 【0062】

また、CPUIF回路56には、制御プログラムや必要な制御データを不揮発的に記憶する制御メモリ(PROGRAM\_ROM)53と、2Mバイト程度の記憶容量を有するワークメモリ(RAM)57とが接続され、各々、内蔵CPU回路51からアクセス可能に構成されている。20

#### 【0063】

なお、ディスプレイリストDLには、表示装置DS1, DS2の各一フレームを特定する一連の指示コマンドが記載されている。本実施例の場合、一連の指示コマンドには、GROM55から画像素材(テクスチャ)を読み出してデコードするためのTXLOADコマンドなどのテクスチャロード系コマンドと、デコード先のVRAM領域(インデックス空間)を予め特定するなどの機能を有するSETINDEXコマンドなどのテクスチャ設定系コマンドと、デコード後の画像素材を仮想描画空間の所定位置に配置するためのSPRITEコマンドなどのプリミティブ描画系コマンドと、描画系コマンドによって仮想描画空間に描画された画像のうち、実際に表示装置に描画する描画領域を特定するためのSETDAVRコマンドやSETDAVFコマンドなどの環境設定コマンドと、インデックス空間を管理するインデックステーブルIDXTBLに関するインデックステーブル制御系コマンド(WRIDXTBL)が含まれる。30

#### 【0064】

なお、図7(c)には、仮想描画空間(X方向±8192:Y方向±8192)と、仮想描画空間の中で任意に設定可能な描画領域と、表示装置DS1, DS2に出力する画像データを一次保存するフレームバッファFBa, FBbにおける実描画領域との関係が図示されている。

#### 【0065】

内蔵CPU回路51は、汎用のワンチップマイコンと同等の性能を有する回路であり、制御メモリ53の制御プログラムに基づき画像演出を統括的に制御する演出制御CPU63と、プログラムが暴走状態になるとCPUを強制リセットするウォッチドッグタイマ(WDT)58と、16kバイト程度の記憶容量を有してCPUの作業領域として使用されるRAM59と、CPUを経由しないでデータ転送を実現するDMAC(Direct Memory Access Controller)60と、複数の入力ポートSi及び出力ポートSoを有するシリアル入出力ポート(SIO)61と、複数の入力ポートPi及び出力ポートPoを有するパラレル入出力ポート PIO)62と、を有して構成されている。40

#### 【0066】

なお、便宜上、入出力ポートとの表現を使用するが、演出制御部23において、入出力ポートには、独立して動作する入力ポートと出力ポートとが含まれている。なお、この点50

は、以下に説明する入出力回路 6 4 p や入出力回路 6 4 s についても同様である。

#### 【 0 0 6 7 】

パラレル入出力ポート 6 2 は、入出力回路 6 4 p を通して外部機器（演出インタフェイス基板 2 2 ）に接続されており、演出制御 C P U 6 3 は、入力回路 6 4 p を経由して、音量スイッチ V L S W のエンコーダ出力 3 b i t と、チャンスボタン 1 1 のスイッチ信号と、制御コマンド C M D と、割込み信号 S T B と、を受信するようになっている。エンコーダ出力 3 b i t と、スイッチ信号 1 b i t は、入出力回路 6 4 p を経由して、パラレル入出力ポート（ P I O ） 6 2 に供給されている。

#### 【 0 0 6 8 】

同様に、受信した制御コマンド C M D は、入出力回路 6 4 p を経由して、パラレル入出力ポート（ P I O ） 6 2 に供給されている。また、ストローブ信号 S T B は、入出力回路 6 4 p を経由して、演出制御 C P U 6 3 の割込み端子に供給されることで、受信割込み処理を起動させている。したがって、受信割込み処理に基づいて、制御コマンド C M D を把握した演出制御 C P U 6 3 は、演出抽選などを経て、この制御コマンド C M D に対応する音声演出、ランプ演出、モータ演出、及び画像演出を統一的に制御することになる。

10

#### 【 0 0 6 9 】

特に限定されないが、本実施例では、ランプ演出とモータ演出のために、V D P 回路 5 2 の S M C 部（ Serial Management Controller ） 7 8 を使用している。 S M C 部 7 8 は、 L E D コントローラと M o t o r コントローラと、を内蔵した複合コントローラであり、クロック同期方式でシリアル信号を出力できるよう構成されている。また、 M o t o r コントローラは、所定の制御レジスタ 7 0 への設定値に基づき、任意のタイミングでラッチパルスを出力可能に構成され、また、クロック同期方式でシリアル信号を入力可能に構成されている。

20

#### 【 0 0 7 0 】

そこで、本実施例では、クロック信号に同期してモータ駆動信号や L E D 駆動信号を、 S M C 部 7 8 から出力させる一方、適宜なタイミングで、ラッチパルスを、動作制御信号 E N A B L E として出力するようにしている。また、演出モータ群 M 1 ~ M n からの原点センサ信号 S N 0 ~ S N n をクロック同期方式でシリアル入力するよう構成されている。

#### 【 0 0 7 1 】

図 4 ( a ) に関して説明した通り、クロック信号 C K 0 ~ C K 2 、駆動信号 S D A T A 0 ~ S D A T A 2 、及び、動作制御信号 E N A B L E 0 ~ E N A B L E 2 は、出力バッファ 4 1 ~ 4 3 を経由して、所定の駆動基板 3 0 , 3 1 , 3 7 に伝送される。また、原点センサ信号 S N 0 ~ S N n は、モータランプ駆動基板 3 1 から入出力バッファ 4 3 を経由して、 S M C 部 7 8 にシリアル入力される。

30

#### 【 0 0 7 2 】

但し、本実施例において、 S M C 部 7 8 を使用することは必須ではない。すなわち、 C P U 回路 5 1 には、汎用のシリアル入出力ポート S I O 6 1 が内蔵されているので、これらを使用して、ランプ演出とモータ演出を実行することもできる。

#### 【 0 0 7 3 】

具体的には、図 5 ( a ) の破線に示す通りであり、破線で示す構成では、シリアル入出力ポート S I O 6 1 に内部接続されている入出力回路 6 4 s を経由して、クロック信号 C K 0 ~ C K 2 、駆動信号 S D A T A 0 ~ S D A T A 2 が出力され、入出力回路 6 4 p を経由して動作制御信号 E N A B L E 0 ~ E N A B L E 2 が出力される。なお、便宜上、入出力ポートや入出力回路と表現するが、実際に機能するのは、出力ポートや出力回路である。

40

#### 【 0 0 7 4 】

ここで、シリアル出力ポート S O は、16段の F I F O レジスタを内蔵して構成されている。そして、 D M A C 回路 6 0 は、演出制御 C P U 6 3 から動作開始指示（図 1 0 ( b ) S T 1 8 参照）を受けて起動し、ランプ / モータ駆動テーブル（図 1 0 ( b ) 参照）から、必要な駆動データを順番に読み出し、シリアル出力ポート S O の F I F O レジスタに

50

DMA転送するよう構成されている。 FIFOレジスタに蓄積された駆動データは、クロック同期方式でシリアル出力ポートSOからシリアル出力される。なお、DMAC回路には、複数（例えば4）のDMAチャンネルが存在するが、第1のDMAチャンネルでランプ駆動データをDMA転送し、第2のDMAチャンネルでモータ駆動データをDMA転送するよう構成されている。

#### 【0075】

次に、内蔵CPU回路51に設けられたWDT回路58は、演出制御CPU63からアクセス可能な複数の制御レジスタ（WDT制御レジスタなど）への設定値に基づいて、ダウンカウント動作するWDTカウンタを有して構成されている。このWDTカウンタは、所定の初期値から開始して、ゼロに向かって所定の動作周期でダウンカウントされ、ダウンカウント値がゼロに達するとすると、内部割込み（WDT割込み）が発生すると共に、アクティブルレベルのアンダーフロー信号UFを出力するよう構成されている。  
10

#### 【0076】

図4(a)に関し先に説明した通り、アンダーフロー信号UFは、OR回路G1を経由して各部に伝送され、複合チップ50と音声回路 SNDを同期して異常リセットしている。もっとも、演出制御CPU63は、所定時間（例えば1/30秒）毎に、WDT制御レジスタの初期化ビットに所定1bit値を書き込むことで、カウンタ値を初期値に戻しており、上記した異常リセットの発生を回避している。なお、WDTカウンタのカウンタ値が初期値に戻ると、初期化ビットも元の値に戻る。  
20

#### 【0077】

このように本実施例では、演出制御CPU63は、WDT制御レジスタの初期化ビット（1bit）をWriteアクセスするだけで足り、主制御部21や拡出制御部25のCPUのように、リセット回路RST1, RST2へのクリアパルスを出力する必要がないので、この分だけ制御負担が軽減される。また、アンダーフロー異常時には、WDT割込みが発生するので、適宜なWDT割込み処理プログラムを起動させることで、異常リセットの発生時刻などを、演出データメモリ39に不揮発的に記憶させることもできる。図4(b)は、このような場合の回路構成を示しており、演出制御CPU63は、WDT割込み処理プログラムの実行後に、ソフトウェアリセット処理によって、リセット状態となる。

#### 【0078】

DMAC回路60は、所定の動作制御レジスタへの設定値に基づいて、転送元（Source）から転送先（Destination）に対して、所定のDMA転送モードで、所定のデータ転送単位毎に、所定回数、データ転送を繰り返す回路である。  
30

#### 【0079】

例えば、シリアル出力ポートSOが機能する実施例（図5(a)破線部参照）では、CPU回路51の動作制御レジスタには、ランプ/モータ駆動テーブルの先頭アドレス（転送元アドレスの先頭値）と、シリアル出力ポートSOの入力レジスタのアドレス（転送先アドレスの固定値）と、データ転送単位（8bit）と、転送回数と、が指定される。そして、所定の動作制御レジスタに動作開始指示を受けたDMAC回路60は、転送元アドレスを更新しつつ、所定の転送先アドレスに駆動データをDMA転送する。  
40

#### 【0080】

この点は、ディスプレイリストDLをDMAC回路60が発行する実施例（図13、図17(c)）の場合もほぼ同様である。すなわち、演出制御CPU63は、CPU回路51の所定の動作制御レジスタに、転送元（DLバッファ）の先頭アドレスと、転送先（転送ポートTR\_PORT）のアドレスと、DMA転送モードと、データ転送単位と、転送回数、その他の条件を設定することになる。なお、これらの点は、図13に関して更に後述する。  
50

#### 【0081】

一般に、DMA転送モードには、サイクルスチール転送モードと、バースト転送モード（パイプライン転送）と、デマンド転送モードとがあるが、本実施例では、サイクルスチール転送モードを使用して、DMA転送を1サイクル実行するたびにバス制御権を演出制

御 C P U 6 3 に渡すことで、演出制御 C P U 6 3 の動作に支障が出ないようにしている。

#### 【 0 0 8 2 】

図 6 は、サイクルスチール転送動作と、パイプライン転送とを説明する図面であり、D M A C 回路 6 0 は、1 データ転送のリードアクセス起動とライトアクセス起動の間に、少なくとも 1 サイクル空けて動作しており、この空いたサイクルでは、演出制御 C P U 6 3 のバス使用が可能となる。図 6 の対比関係から明らかなように、パイプライン転送では、一サイクル（一オペランド転送）が終わるまでは、バスが C P U に開放されないので、C P U の動作が大きく遅れることがない。

#### 【 0 0 8 3 】

そして、例えば、ディスプレイリスト D L の V D P 回路 5 2 への発行時に、D M A C 回路 6 0 を使用する実施態様では、一サイクルのデータ転送単位（1 オペランド）を、 $32 \times 2 \text{ b i t}$  に設定し、ディスプレイリスト D L が格納されている内蔵 R A M 5 9 のソースアドレスを適宜に増加しつつ（1 オペランド転送毎に + 8 ）、固定アドレスで特定されるデータ転送回路 7 2 の転送ポートレジスタ TR\_PORT （図 8 参照）に対して、D M A 転送動作を実行している。

#### 【 0 0 8 4 】

後述するように、実施例では、ディスプレイリスト D L に、必要個数の NOP (no operation) コマンドを付加することで、全体のデータサイズを、固定値（例えば、 $4 \times 64 = 256$  バイト、又はその整数倍）に調整しており、 $32 \text{ b i t} \times 2$  回の一オペランド転送を 32 回（又はその整数倍）繰り返すことで、ディスプレイリスト D L の発行を完了させている。なお、描画回路 7 6 が NOP コマンドを実行しても、事実上、何の変化も生じない。

#### 【 0 0 8 5 】

次に、V D P 回路 5 2 について説明すると、V D P 回路 5 2 には、画像演出を構成する静止画や動画の構成要素となる圧縮データを記憶する C G R O M 5 5 と、 $4 \text{ G b i t}$  程度の記憶容量を有する外付け D R A M (Dynamic Random Access Memory) 5 4 と、メイン表示装置 D S 1 と、サブ表示装置 D S 2 とが接続されている。なお、D R A M 5 4 は、好適には D D R (Double-Data-Rate SDRAM) で構成される。

#### 【 0 0 8 6 】

特に限定するものではないが、この実施例では、C G R O M 5 5 は、 $62 \text{ G b i t}$  程度の記憶容量の N A N D 型フラッシュメモリで構成されたフラッシュ S S D (solid state drive) で構成されており、シリアル伝送によって必要な圧縮データを取得するよう構成されている。そのため、パラレル伝送において不可避的に生じるスキュー（ビットデータ毎の传送速度の差）の問題が解消され、極限的な高速传送動作が可能となる。特に限定されないが、本実施例では、Serial A T A に準拠した H S S (High Speed Serial) 方式で、C G R O M 5 5 を高速アクセスしている。

#### 【 0 0 8 7 】

なお、Serial A T A に準拠した H S S 方式を探るか否かに拘らず、N A N D 型のフラッシュメモリは、ハードディスクより機械的に安定であり、且つ高速アクセスが可能である一方で、シーケンシャルアクセスメモリであるため、D R A M や S R A M (Static Random Access Memory) に比較すると、ランダムアクセス性に問題がある。そこで、本実施例では、一群の圧縮データ（C G データ）を、描画動作に先行して D R A M 5 4 に読み出しておくプリロード動作を実行することで、描画動作時における C G データの円滑なランダムアクセスを実現している。ちなみに、アクセス速度は、内蔵 V R A M > 外付け D R A M > C G R O M の順番に遅くなる。

#### 【 0 0 8 8 】

V D P 回路 5 2 は、詳細には、V D P (Video Display Processor) の動作を規定する各種の動作パラメータが演出制御 C P U 6 3 によって設定可能な制御レジスタ群 7 0 と、表示装置 D S 1, D S 2 に表示すべき画像データの生成時に使用される 48 M バイト程度

10

20

30

40

50

の内蔵V R A M ( video RAM ) 7 1と、チップ内部の各部間のデータ送受信及びチップ外部とのデータ送受信を実行するデータ転送回路7 2と、内蔵V R A M 7 1に関して、SourceやDestination のアドレス情報を特定可能なインデックステーブルIDXTBLと、プリロード動作を実行するプリローダ7 3と、C G R O M 5 5から読み出した圧縮データをデコード(復号伸長)するグラフィックスデコーダ( G D E C ) 7 5と、デコード後の静止画データや動画データを適宜に組み合わせて表示装置D S 1, D S 2の各一フレーム分の画像データを生成する描画回路7 6と、描画回路7 6の動作の一部として、適宜な座標変換によって立体画像を生成するジオメトリエンジン7 7と、描画回路が生成したフレームバッファF B a, F B bの画像データを読み出して、適宜な画像処理を並列的に実行可能な3系統( A / B / C )の表示回路7 4 A ~ 7 4 Cと、3系統( A / B / C )の表示回路7 4の出力を適宜に選択出力する出力選択部7 9と、出力選択部7 9が出力する画像データをL V D S信号に変換するL V D S部8 0と、シリアルデータ送受信可能なS M C部7 8と、C P U I F回路5 6とのデータ送受信を中継するC P U I F部8 1と、C G R O M 5 5からのデータ受信を中継するC GバスI F部8 2と、外付けD R A M 5 4とのデータ送受信を中継するD R A M I F部8 3と、内蔵V R A M 7 1とのデータ送受信を中継するV R A M I F部8 4と、を有して構成されている。  
10

## 【0 0 8 9】

図5( b )には、C P U I F部8 1、C GバスI F部8 2、D R A M I F部8 3、及び、V R A M I F部8 4と、制御レジスタ群7 0、C G R O M 5 5、D R A M 5 4、及び内蔵V R A M 7 1との関係が図示されている。図示の通り、C G R O M 5 5から取得したC Gデータは、例えば、プリロードデータとして、データ転送回路7 2及びD R A M I F部8 3を経由して、外付けD R A M 5 4のプリロード領域に転送される。  
20

## 【0 0 9 0】

但し、上記したプリロード動作は、何ら必須動作ではなく、また、データ転送先も、外付けD R A M 5 4に限定されず、内蔵V R A M 7 1であっても良い。したがって、例えば、プリロード動作を実行しない実施例では、C Gデータは、データ転送回路7 2及びV R A M I F部8 4を経由して、内蔵V R A M 7 1に転送される(図5( b ) )。

## 【0 0 9 1】

ところで、本実施例では、内蔵V R A M 7 1には、C G R O M 5 5から読み出した圧縮データの展開領域、表示装置のW × H個の表示ピクセルの各A R G B情報( 3 2 b i t = 8 × 4 )を特定する画像データを格納するフレームバッファ領域、及び、各表示ピクセルの深度情報を記憶するZバッファ領域などが必要となる。なお、A R G B情報において、Aは、8 b i tのプレーンデータ、R G Bは三原色の8 b i tデータを意味する。  
30

## 【0 0 9 2】

ここで、内蔵V R A M 7 1の上記した各領域は、演出制御C P U 6 3がディスプレイリストD Lに記載した各種の指示コマンド(前記したテクスチャやSPRITEなど)に基づいて間接的にアクセスされるが、そのREAD/WRITEアクセスにおいて、一々、内蔵V R A M 7 1のDestinationアドレスや、Sourceアドレスを特定するのでは煩雑である。そこで、本実施例では、C P Uリセット後の初期処理において、描画動作で必要となる一次元または二次元の論理メモリ空間(以下、インデックス空間という)を確保して、各インデックス空間にインデックス番号を付与することで、インデックス番号に基づくアクセスを可能にしている。  
40

## 【0 0 9 3】

具体的には、C P Uリセット後、内蔵V R A M 7 1を3種類のメモリ領域に大別すると共に、各メモリ領域に、必要数のインデックス空間を確保している。そして、インデックス空間とインデックス番号とを紐付けて記憶するインデックステーブルIDXTBL(図7( a )参照)を構築することで、その後のインデックス番号に基づく動作を実現している。

## 【0 0 9 4】

このインデックス空間は、(1)初期処理後に追加することや、逆に、(2)開放することも必要となる。そこで、これら追加／開放の演出制御C P U 6 3の動作時に、追加／開放  
50

の処理が可能なタイミングか否か、また、追加 / 開放などの処理が実際に完了したか否か、などを判定可能なフラグ領域 F G をインデックステーブル IDXTBL に設けている。なお、内蔵 V R A M 7 1 は、以下に説明する A A C 領域(a)、ページ領域(b)、任意領域(c) の三種類のメモリ領域に大別され、この三種類のメモリ領域(a)(b)(c) に対応して、インデックステーブル IDXTBL が 3 区分されている（図 7 ( a )）。

#### 【 0 0 9 5 】

特に限定されないが、本実施例の場合、内蔵 V R A M 7 1 は、(a) インデックス空間とそのインデックス番号が内部処理によって自動付与され、且つメモリキャッシュ機能を有する A A C 領域と、(b) 例えば 4 0 9 6 b i t × 1 2 8 ラインの二次元空間を単位空間として、その整数倍の範囲でインデックス空間が確保可能なページ領域と、(c) 先頭アドレス S T x と水平サイズ H x が任意に設定できる任意領域と、に区分可能に構成されている（図 7 ( b ) 参照）。但し、任意領域において任意設定されるインデックス空間の先頭アドレス S T x は、その下位 8 b i t が 0 であって、所定ビット（2 0 4 8 b i t = 2 5 6 バイト）単位とする必要がある。

10

#### 【 0 0 9 6 】

そして、C P U リセット後、各々に必要なメモリ空間の最大値と、先頭アドレス（下位 8 b i t = 0 ）を規定して、A A C 領域(a) とページ領域(b) とが確保され、その残りのメモリ領域が任意領域(c) となる。そして、各領域(a)(b)(c) に必要個数のインデックス空間が確保される。なお、任意領域(c) を使用する場合、二次元データを扱うインデックス空間の水平サイズ H x は、3 2 バイト（2 5 6 b i t ）の倍数として、任意に設定可能である一方、その垂直サイズは固定値（例えば、2 0 4 8 ライン）となっている。

20

#### 【 0 0 9 7 】

何れにしても、A A C 領域(a) は、V D P 回路 5 2 によって、インデックス空間とインデックス番号が自動的に付与されるので、例えば、テクスチャ設定系コマンドの SETINDEX コマンドによって、デコード先を A A C 領域(a) に指定すれば、C G R O M 5 5 から C G データを読み出す TXLOAD ( テクスチャロード ) コマンドでは、C G R O M 5 5 の Source アドレスと、展開（デコード）後の水平・垂直サイズなどを指定するだけで足りることになる。そこで、本実施例では、予告演出時などに一時的に出現するキャラクタなどの静止画（テクスチャ）や、エストリーム動画については、そのデコード先を A C C 領域(a) にしている。

30

#### 【 0 0 9 8 】

この A A C 領域(a) には、メモリキャッシュ機能が付与されているので、例えば、C G R O M 5 5 の同一のテクスチャを複数回、A A C 領域(a) に読み出すような場合には、二度目以降は、A A C 領域(a) にキャッシュされているデコードデータが活用可能となり、余分な R E A D アクセスとデコード処理が抑制可能となる。もっとも、A A C 領域(a) を使い切った場合には、古いデータが自動的に破壊されるので、内蔵 V R A M ( 4 8 M バイト ) の多くをページ領域(b) に割り当てる本実施例では、A A C 領域(a) のキャッシュ機能が有効に機能することが事実上ない。

#### 【 0 0 9 9 】

ところで、テクスチャ（ texture ）とは、一般に、物の表面の質感・手触りなどを指す概念であるが、本明細書では、静止画を構成するスプライト画像データや、動画フレームを構成する画像データや、三角形や四角形などの描画プリミティブ（ primitive ）に貼り付ける画像データだけでなく、デコード後の画像データも含む概念として使用している。そして、内蔵 V R A M 7 1 の内部で、画像データをコピーする（以下、便宜上、移動と称する）場合には、テクスチャ設定系コマンドの SETINDEX コマンドによって、移動元の画像データをテクスチャとして設定した上で、 SPRITE コマンドを実行することになる。

40

#### 【 0 1 0 0 】

なお、 SPRITE コマンドの実行により、移動元の Source 画像データが、形式上は、図 7 ( c ) に示す仮想描画空間に描画されるが、表示装置に実際に描画される仮想描画空間内の描画領域と、フレームバッファとなるインデックス空間との対応関係を、予め環境設定コ

50

マンド (SETDAVR, SETDAVF) や、テクスチャ設定系コマンド (SETINDEX) によって設定しておけば、例えば、SPRITEコマンドによる仮想描画空間への描画により、所定のインデックス空間 (フレームバッファ) には、移動元のSource画像データが描画されることになる (図7(c) 参照)。

#### 【0101】

何れにしても、本実施例では、内蔵VRAM71が、AAC領域(a)とページ領域(b)と任意領域(c)に大別され、各々に、適當数のインデックス空間を確保することができ、各インデックス空間は、各領域(a)(b)(c)ごとに独立のインデックス番号によって特定される。インデックス番号は、例えば、1バイト長であり、(AAC領域を除いた)ページ領域(b)と任意領域(c)については、0~255の範囲で演出制御CPU63が、インデックス番号を自由に付与することになる。10

#### 【0102】

そこで、本実施例では、図7(a)に示す通り、表示装置DS1用として、任意領域(c)に、一対のフレームバッファFBaを確保して、ダブルバッファ構造の双方に、インデックス番号255, 254を付与している。すなわち、メイン表示装置DS1用のフレームバッファFBaとして、トグル的に切り換えて使用されるインデックス空間255と、インデックス空間254を確保している。特に限定されないが、このインデックス空間255, 254は、表示装置DS1の横方向ピクセル数に対応して、水平サイズ1280としている。なお、各ピクセルは、ARGB情報32bitで特定されるので、水平サイズ1280は、 $32 \times 1280 = 40960$ bitを意味する。20

#### 【0103】

また、表示装置DS2用として、任意領域(c)に、別の一対のフレームバッファFBbを確保して、ダブルバッファ構造の双方にインデックス番号252, 251を付与している。すなわち、サブ表示装置DS2用のフレームバッファFBbとして、インデックス空間252と、インデックス空間251を確保している。このインデックス空間252, 251は、表示装置DS2の横方向ピクセル数に対応して、水平サイズ480としている。20

#### 【0104】

なお、フレームバッファFBa, FBbを任意領域(c)に確保するのは、任意領域(c)には、32バイト (= 256bit = 8ピクセル分) の倍数として、任意の水平サイズに設定することができ、表示装置DS1, DS2の水平ピクセル数に一致させれば、確保領域に無駄が生じないからである。一方、ページ領域(b)には、128ピクセル × 128ラインの単位空間の整数倍の水平 / 垂直サイズしか設定できない。30

#### 【0105】

但し、任意領域(c)に確保される二次元のインデックス空間は、その垂直サイズが固定値 (例えば、2048ライン) となっている。そのため、フレームバッファFBaにおいて、水平サイズ1280 × 垂直サイズ1024の領域だけが、メイン表示装置DS1にとってデータ有効領域となる。この点は、サブ表示装置DS2についても同様であり、フレームバッファFBbにおいて、水平サイズ480 × 垂直サイズ800の領域だけが、サブ表示装置DS2にとって有効データ領域となる (図7(c), 図10(d) 参照)。40

#### 【0106】

上記の点は更に後述するが、何れにしても、フレームバッファFBa, FBbは、描画回路76にとっての描画領域として、各ダブルバッファ (255/254, 252/251) が交互に使用され、また、表示回路74A, 74Bにとっての表示領域として、各ダブルバッファ (255/254, 252/251) が交互に使用される。なお、本実施例では、表示ピクセルの深度情報を記憶するZバッファを使用しないので欠番 (253) が生じるが、Zバッファを使用する場合には、任意領域(c)におけるインデックス番号253, 250のインデックス空間253, 250が、表示装置DS1と表示装置DS2のためのZバッファとなる。

#### 【0107】

また、本実施例では、フレームバッファFBa, FBbが確保された任意領域(c)に、追加のインデックス空間 (メモリ領域) を確保する場合には、0から始まるインデック番50

号を付与するようにしている。何ら限定されないが、本実施例では、キャラクタやその他の静止画で構成された演出画像を、必要に応じて、適宜な回転姿勢で画面の一部に出現させる予告演出用の作業領域として、任意領域(c)に、インデックス空間(0)を確保している。

#### 【0108】

但し、作業領域の使用は必須ではなく、また、任意領域(c)に代えて、ページ領域(b)に作業領域としてのインデックス空間を確保しても良い。ページ領域(b)を使用すれば、水平サイズ128( $= 4096 \text{ bit}$ ) $\times$ 垂直サイズ128の正方形形状の単位空間の倍数寸法のインデックス空間を確保できるので、小型の演出画像を扱うには好適である。

#### 【0109】

ところで、本実施例では、背景画も含め動画で構成されており、画像演出は、ほぼ動画のみで実現されている。特に、変動演出時には、多数(通常10個以上)の動画が同時に描画されている。これらの動画は、何れも、一連の動画フレームとして、圧縮状態でCGRM55に格納されているが、Iフレームのみで構成されたIPストリーム動画と、IフレームとPフレームとで構成されたIPストリーム動画とに区分される。ここで、Iフレーム(Intra coded frame)とは、他画面とは独立して、入力画像をそのまま圧縮するフレームを意味する。一方、Pフレーム(Predictive coded frame)とは、前方向予測符号化を行うフレームを意味し、時間的に過去に位置するIフレームまたはPフレームが必要となる。

#### 【0110】

そこで、本実施例では、IPストリーム動画については、旧データの破壊が懸念されるAAC領域(a)ではなく、ページ領域(b)に展開している。すなわち、水平サイズ128 $\times$ 垂直サイズ128の倍数寸法のインデックス空間を確保可能なページ領域(b)に、多数のインデックス空間(IDX<sub>0</sub> ~ IDX<sub>N</sub>)を確保して、一連の動画フレームは、常に同一のインデックス空間IDX<sub>i</sub>を使用してデコードするようになっている。具体的には、SETINDEXコマンドによって、「IPストリーム動画MV<sub>i</sub>のデコード先は、ページ領域(b)におけるインデックス番号<sub>i</sub>のインデックス空間(i)である」と指定した上で、TXLOADコマンドを実行させている。

#### 【0111】

すると、TXLOADコマンドが特定するCGRM55上の動画一フレーム(一連の動画フレームの何れか)が、先ず、ACC領域(a)に取得され、その後、自動的に起動するGDEC(グラフィックスデコーダ)75によって、ページ領域(b)のインデックス空間(i)に、取得した動画一フレームがデコードされて展開されることになる。

#### 【0112】

一方、本実施例では、IPストリーム動画については、静止画と同一扱いとしており、SETINDEXコマンドによって、「IPストリーム動画MV<sub>j</sub>のデコード先は、AAC領域(a)である」と指定して、TXLOADコマンドを実行させる。その結果、動画フレームはAAC領域(a)に取得され、その後、自動的に起動するGDEC75が、ACC領域(a)にデコードデータを展開している。先に説明した通り、AAC領域(a)のインデックス空間は、自動的に生成されるので、インデックス番号を指定する必要はない。なお、インデックス空間に必要となる展開ボリューム、つまり、デコードされたテクスチャ(動画フレーム)の水平サイズと垂直サイズは、展開先がAAC領域(a)か、ページ領域(b)かに拘らず、TXLOADコマンドによって予め特定される。

#### 【0113】

何れにしても、IPストリーム動画MV<sub>i</sub>やIPストリーム動画MV<sub>j</sub>は、一般にN枚の動画フレーム(IフレームやPフレーム)で構成されている。そのため、TXLOADコマンドでは、例えば、k枚目(1 ~ N)の動画フレームが記憶されているCGRM55のSourceアドレスと、展開後の水平・垂直サイズなどを指定することになる。何ら限定されないが、本実施例では、内蔵VRAM71のメモリ空間48Mバイトの大部分(30Mバイト程度)をページ領域(b)に割り当てる。

10

20

30

40

50

## 【0114】

なお、圧縮動画データのデコード処理を高速化するため、専用のGDEC（グラフィックスデコーダ）回路を設けることも考えられる。そして、専用のGDEC回路をVDP回路52に内蔵されれば、N枚の圧縮動画フレームで構成された圧縮動画データのデコード処理において、動画圧縮データの先頭アドレスをGDEC回路に指示すれば足りるので、N枚の圧縮動画フレームについて、1枚ごとに先頭アドレスを指定する必要がなくなる。

## 【0115】

しかし、このような専用のGDEC回路を、圧縮アルゴリズム毎に複数個内蔵させるのでは、VDP回路52の内部構成が更に複雑化する。そこで、本実施例では、ソフトウェアGDECとし、IPストリーム動画、Iストリーム動画、静止画、その他 値などのデータについて、各圧縮アルゴリズムに対応するソフトウェア処理によってデコード処理を実現している。なお、ハードウェア処理とソフトウェア処理の処理時間差は、あまり問題にならず、処理時間が問題になるのは、もっぱら、CGROM55からのアクセス（READ）タイムである。10

## 【0116】

続いて、図5（a）に戻って説明を続けると、データ転送回路72は、VDP回路内部のリソース（記憶媒体）と外部記憶媒体を、転送元ポート又は転送先ポートとして、これらの間でDMA（Direct Memory Access）的にデータ転送動作を実行する回路である。図8は、このデータ転送回路72の内部構成を、関連する回路構成と共に記載したブロック図である。20

## 【0117】

図8に示す通り、データ転送回路72は、ルータ機能を有する統合接続バスICMを経由して、CGROM55、DRAM54、及び、内蔵RAM71とデータを送受信するよう構成されている。なお、CGROM55とDRAM54は、CGバスIF部82や、DMAMIF部83を経由してアクセスされる。

## 【0118】

一方、内蔵CPU回路51は、データ転送回路72に内蔵された転送ポートレジスタTR\_PORTを経由して、描画回路76やプリローダ73にディスプレイリストDLを発行している。なお、内蔵CPU回路51とデータ転送回路72は、双方向に接続されているが、ディスプレイリストDLの発行時には、転送ポートレジスタTR\_PORTは、ディスプレイリストDLを構成する一単位のデータを受け入れるデータ書き込みポートとして機能する。なお、転送ポートレジスタTR\_PORTの書き込み単位（一単位データ長）は、CPUバス制御部72dの FIFO構造に対応して32bitとなる。30

## 【0119】

図示の通り、演出制御CPU63は、CPUIF部81を経由して、転送ポートレジスタTR\_PORTをWriteアクセスできる一方、DMAC回路60を活用する場合には、DMA C回路60が、転送ポートレジスタTR\_PORTを直接的にWriteアクセスすることになる。そして、転送ポートレジスタTR\_PORTに書込まれた一連の指示コマンド（つまり、ディスプレイリストDLを構成する指示コマンド列）は、32bit単位で、FIFO構造（32bit×130段）のFIFOバッファを内蔵したCPUバス制御部72dに、自動蓄積されるよう構成されている。40

## 【0120】

また、このデータ転送回路72は、3チャンネルChA～ChCの伝送経路で、データの送受信動作を実行しており、FIFO構造（64bit×N段）のFIFOバッファを有するChA制御回路72a（N=130段）と、ChB制御回路72b（N=1026段）と、ChC制御回路72c（N=130段）と、を有している。

## 【0121】

そして、CPUバス制御部72dに蓄積された指示コマンド列（ディスプレイリストDL）は、演出制御CPU63によるデータ転送レジスタRGij（各種制御レジスタ70の一種）への設定値に基づき、描画回路76か、又はプリローダ73に転送される。矢印50

で示す通り、ディスプレイリストDLは、CPUバス制御部72dから、ChB制御回路72bの FIFOバッファを経由して描画回路76に転送され、ChC制御回路72cの FIFOバッファを経由してプリローダ73に転送されるよう構成されている。

#### 【0122】

なお、本実施例では、ChB制御回路72bと、ChC制御回路72bは、ディスプレイリストDLの転送動作に特化されており、CPUバス制御部72dのFIFOバッファに蓄積されたデータは、ChB制御回路72bか、ChC制御回路72cのFIFOバッファを経由して、各々、ディスプレイリストDLの一部として、描画回路76かプリローダ73のディスプレイリストアナライザ(Display List Analyzer)に転送される。

#### 【0123】

そして、描画回路76は、転送されたディスプレイリストDLに基づいた描画動作を開始する。一方、プリローダ73は、転送されたディスプレイリストDLに基づき、必要なプリロード動作を実行する。プリロード動作によってGROM55のCGデータが、DRAM54に確保されたプリロード領域に先読みされ、TXLOADコマンドなどに関して、テクスチャのSourceアドレスを変更したディスプレイリストDL(以下、書換えリストDL' という)が、DRAM54に確保されたDLバッファ領域に保存される。

#### 【0124】

一方、GROM55、DRAM54、及び、内蔵RAM71などの記憶媒体との間のデータ転送には、ChA制御回路72aと、接続バスアクセス調停回路72eとが機能する。また、インデックステーブルIDXTBLのアドレス情報が必要になる内蔵RAM71のアクセス時には、IDXTBLアクセス調停回路72fが機能する。ここで、接続バスアクセス調停回路72eは、統合接続バスICMを経由する各記憶素子(GROM55、DRAM54)とのデータ伝送を調停(Arbitration)している。一方、IDXTBLアクセス調停回路72fは、インデックステーブルIDXTBLに基づいてChA制御回路72aを制御することで、内蔵VRAM71とのデータ交信を調停している。

#### 【0125】

なお、プリローダ73が機能する実施例の場合、DRAM54のDLバッファ領域に保存された書換えリストDL'は、接続バスアクセス調停回路72eと、ChB制御回路72bを経由して描画回路76に転送されることになる。

#### 【0126】

上記の通り、本実施例のデータ転送回路72は、各種の記憶リソース(Resource)から任意に選択されたデータ転送元と、各種の記憶リソース(Resource)から任意に選択されたデータ転送先との間で、高速のデータ転送を実現している。図8から確認される通り、データ転送回路72が機能する記憶リソースには、内蔵RAM71だけでなく、CPUIF部56、CGバスIF部82、DRAMIF部83を経由する外部デバイスも含まれる。

#### 【0127】

そして、GROM55から1回に取得すべきデータ量(メモリシーケンシャルRead)のように、ChA制御回路72aが機能する外部デバイスとのデータ転送量は、ChB制御回路72bやChC制御回路72cが機能するディスプレイリストDLの場合と比較して膨大であり、互いに、データ転送量が大きく相違する。

#### 【0128】

ここで、これら各種のデータ転送について、単位データ量や総転送データ量を、細かく設定可能に構成することも考えらえるが、これでは、VDP内部の制御動作が煩雑化し、円滑な転送動作が阻害される。そこで、本実施例では、データ転送の最低データ量Dminを一意に規定すると共に、総転送データ量を、最低データ量Dminの整数倍となるよう制限することで、高速で円滑なデータ転送動作を実現している。特に限定されないが、実施例のデータ転送回路72では、最低データ量Dmin(単位データ量)を、256バイトとし、総転送データ量を、この整数倍に制限することにしている。

#### 【0129】

10

20

30

40

50

したがって、32ビット毎にCPUバス制御部72dの FIFOバッファに蓄積されたディスプレイリストDLの指示コマンド列は、その総量が最低データ量Dminに達したタイミングで、ChB制御回路72bやChC制御回路72bに転送され、各々のFIFOバッファに蓄積されることになる。

#### 【0130】

ディスプレイリストDLは、一連の指示コマンドで構成されているが、本実施例では、転送ポートレジスタTR\_PORTの書き込み単位(32bit)に対応して、ディスプレイリストDLは、コマンド長が、32bitの整数N倍( $N > 0$ )の指示コマンドのみで構成されている。したがって、データ転送回路72を経由して、ディスプレイリストDLの指示コマンドを受ける描画回路76やプリローダ73は、素早く円滑にコマンド解析処理(DL analyze)を開始することができる。なお、32bitの整数N倍のコマンド長は、全てが有意ビットとは限らず、無意ビット(Don't care bit)も含んで、32bitの整数N倍という意味である。10

#### 【0131】

次に、プリローダ73について説明する。先に概略説明した通り、プリローダ73は、データ転送回路72(ChC制御回路72b)から転送されたディスプレイリストDLを解釈して、TXLOADコマンドが参照しているCGROM55上のCGデータを、予め、DRAM54のプリロード領域に転送する回路である。また、プリローダ73は、このTXLOADコマンドに関し、CGデータの参照先を、転送後のアドレスに書換えた書換えリストDL'を、DRAM54のDLバッファに記憶する。なお、DLバッファや、プリロード領域は、CPUリセット後の初期処理時(図10のST3)に、予め確保されている。20

#### 【0132】

そして、書換えリストDL'は、描画回路76の描画動作の開始時に、データ転送回路72の接続バスアクセス調停回路72eや、ChB制御回路72bを経由して、描画回路76のディスプレイリストアナライザ(DL Analyzer)に転送される。20

#### 【0133】

なお、本実施例では、十分な記憶容量を有する外付けDRAM54にプリロード領域を設定しているので、例えば、複数フレーム分のCGデータを一気にプリロードする多重プリロードも可能である。すなわち、プリローダ73の動作期間に関し、CGデータの先読み動作を含んだ一連のプリロード動作の動作期間を、VDP回路52の間欠動作時の動作周期の整数倍の範囲内で、適宜に設定することで多重プリロードが実現される。30

#### 【0134】

但し、以下の説明では、便宜上、多重プリロードのない実施例について説明するので、実施例のプリローダ73は、一動作周期( )の間に、一フレーム分のプリロード動作を完了することにする。なお、図10に関し後述するように、本実施例では、VDP回路52の間欠動作時の動作周期は、表示装置DS1の垂直同期信号の2倍周期である1/30秒である。

#### 【0135】

次に、描画回路76は、データ転送回路72を経由して転送されたディスプレイリストDLや書換えリストDL'の指示コマンド列を順番に解析して、グラフィックスデコーダ75やジオメトリエンジン77などと協働して、VRAM71に形成されたフレームバッファに、各表示装置DS1, DS2の一フレーム分の画像を描画する回路である。40

#### 【0136】

上記の通り、プリローダ73を機能させる実施例では、書換えリストDL'のCGデータの参照先は、CGROM55ではなく、DRAM54に設定されたプリロード領域である。そのため、描画回路76による描画の実行中に生じるCGデータへのシーケンシャルアクセスを迅速に実行することができ、動きの激しい高解像度の動画についても問題なく描画することができる。すなわち、本実施例によれば、CGROM55として、安価なSATAモジュールを活用しつつ、複雑高度な画像演出を実行することができる。

#### 【0137】

10

20

30

40

50

図7に関して説明した通り、VRAM71の任意領域(c)に確保されたフレームバッファFBは、描画領域と読み出領域に区分されたダブルバッファであり、2つの領域を、交互に用途を切り替えて使用する。また、本実施例では、2つの表示装置DS1, DS2が接続されているので、図7に示す通り、2区画のフレームバッファFBA/FBBが確保されている。したがって、描画回路76は、表示装置DS1用のフレームバッファFBAの描画領域(書き込み領域)に、一フレーム分の画像データを描画すると共に、表示装置DS2用のフレームバッファFBAの描画領域(書き込み領域)に、一フレーム分の画像データを描画することになる。なお、描画領域に、画像データが書き込まれているとき、表示回路74は、他方の読み出領域(表示領域)の画像データを読み出して、各表示装置DS1, DS2に出力する。

10

## 【0138】

表示回路74は、フレームバッファFBA, FBBの画像データを読み出して、最終的な画像処理を施した上で出力する回路である(図9)参照)。最終的な画像処理には、例えば、画像を拡大/縮小するスケーリング処理、微妙なカラー補正処理、画像全体の量子化誤差が最小化するディザリング処理が含まれている。そして、これらの画像処理を経たでデジタルRGB信号(合計24bit)が、水平同期信号や垂直同期信号と共に出力される。図9に示す通り、本実施例では、上記の動作を並列的に実行する3系統の表示回路A/B/Cが設けられており、各表示回路74A~74Cは、各自に対応するフレームバッファFBA/FBB/FBCの画像データを読み出して、上記の最終画像処理を実行する。但し、本実施例では、表示装置は2個であるので、フレームバッファFBCは確保されておらず、表示回路74Cが機能することもない。

20

## 【0139】

この動作に関連して、この実施例の出力選択部79は、表示回路74Aの出力信号を、LVDS部80aに伝送し、表示回路74Bの出力信号を、LVDS部80bに伝送している(図9)。そして、LVDS部80aは、画像データ(合計24bitのデジタルRGB信号)をLVDS信号に変換して、クロック信号を伝送する一对を加えて、全五対の差動信号としてメイン表示装置DS1に出力している。なお、メイン表示装置DS1には、LVDS信号の変換受信部RVが内蔵されており、LVDS信号からRGB信号を復元して、表示回路74Aの出力に対応する画像を表示している。

30

## 【0140】

この点は、LVDS部80bも同様であり、各8bitのデジタルRGB信号の合計24bitについて、クロック信号を伝送する一对を加えて、全五対の差動信号として変換受信部RVに出力し、サブ表示装置DS2が変換受信部RVから受ける合計24bitのRGB信号による画像表示を実現している。そのため、サブ表示装置DS2と、メイン表示装置DS1は、 $2^8 * 2^8 * 2^8$ の解像度を有することになる。

40

## 【0141】

なお、必ずしもLVDS信号とする必要は無く、例えば伝送距離が短い場合には、デジタルRGB信号を、デジタルRGB部80cを経由して、そのまま表示装置に伝送するか、或いは、伝送距離が長い場合には、デジタルRGB信号を、変換送信部TR'において、V-By-one(登録商標)信号に変換して変換受信部RV'に伝送した後、変換受信部RV'においてデジタルRGB信号に戻すのも好適である。なお、図9の破線は、この動作態様を示しているが、出力選択部79の動作を適宜に設定することで、表示回路74A~74Cの何れの出力信号であっても上記の動作が可能となる。

## 【0142】

次に、SMC部78(Serial Management Controller)は、LEDコントローラとMotorコントローラとを内蔵した複合コントローラである。そして、外部基板に搭載したLED/Motorドライバ(シフトレジスタを内蔵するドライバIIC)に対して、クロック信号に同期してLED駆動信号やモータ駆動信号を出力する一方、適宜なタイミングで、ラッチパルスを出力可能に構成されている。

## 【0143】

50

上記したVDP回路52の内部回路及びその動作に関し、内部回路が実行すべき動作内容は、演出制御CPU63が、制御レジスタ群70に設定する動作パラメータ（設定値）で規定され、VDP回路52の実行状態は、制御レジスタ群70の動作ステータス値をREADすることで特定できるようになっている。制御レジスタ群70は、演出制御CPU63のメモリマップ上、1Mバイト程度のメモリ空間（0～FFFFFH）にマッピングされた多数のVDPレジスタを意味し、演出制御CPU63は、CPUIF部81を経由して動作パラメータのWRITE（設定）動作と、動作ステータス値のREAD動作を実行するようになっている（図5（b）参照）。

#### 【0144】

制御レジスタ群70には、割り込み動作などシステム動作に関する初期設定値が書込まれる「システム制御レジスタ」と、内蔵VRAMにAAC領域(a)やページ領域(b)を確定する共に、インデックステーブルIDXtblを構築又は変更などに関する「インデックステーブルレジスタ」と、演出制御CPU63とVDP回路52の内部回路との間のデータ転送回路72によるデータ転送処理に関する設定値などが書込まれる「データ転送レジスタ」と、グラフィックスデコーダ75の実行状況を特定する「GDECレジスタ」と、指示コマンドや描画回路76に関する設定値が書込まれる「描画レジスタ」と、プリローダ73の動作に関する設定値が書込まれる「プリローダレジスタ」と、表示回路74の動作に関する設定値が書込まれる「表示レジスタ」と、LEDコントローラ（SMC部78）に関する設定値が書込まれる「LED制御レジスタ」と、Motorコントローラ（SMC部78）に関する設定値が書込まれる「モータ制御レジスタ」とが含まれている。

10

20

30

40

#### 【0145】

以下の説明では、制御レジスタ群70に含まれる一又は複数のレジスタRGijを、上記した個別名称で呼ぶ場合と、VDPレジスタRGijと総称することがあるが、何れにしても、演出制御CPU63は、所定のVDPレジスタRGijに、適宜な設定値を書込むことで、VDP回路52の内部動作を制御している。具体的には、演出制御CPU63は、適宜な時間間隔で更新するディスプレイリストDLと、所定のVDPレジスタRGijへの設定値に基づいて、所定の画像演出を実現している。なお、この実施例では、ランプ演出やモータ演出も含め、演出制御CPU63が担当するので、VDPレジスタRGijには、LED制御レジスタやモータ制御レジスタも含まれる。

#### 【0146】

続いて、上記した内蔵CPU回路51とVDP回路52とを内蔵した複合チップ50によって実現される、画像演出、音声演出、モータ演出、及び、ランプ演出の統一的な演出制御動作について説明する。図10は、内蔵CPU回路51の演出制御CPU63の制御動作を説明するフローチャートである。

#### 【0147】

演出制御CPU63の動作は、CPUリセット後に起動するメイン処理（a）と、1mS毎に起動するタイマ割込み処理（b）と、制御コマンドCMDを受けて起動する受信割込み処理（不図示）と、表示装置DS1のVブランク（垂直帰線期間）の開始タイミングに生じるVBLANK信号を受けて起動するVBLANK割込み処理（c）と、を含んで構成されている。

#### 【0148】

受信割込み処理では、主制御部21から受けた制御コマンドCMDを、メイン処理（ST13）において参照できるよう、所定の受信バッファに記憶して処理を終える。また、VBLANK割込み処理では、VBLANK割込み毎に、割込みカウンタVCNTをインクリメントし、メイン処理の開始タイミングでは、割込みカウンタVCNTの値に基づいて、1/30秒の動作開始タイミングを把握した上で、割込みカウンタVCNTをゼロクリアしている（ST4）。

#### 【0149】

一方、タイマ割込み処理には、図10（b）に示す通り、ランプ演出やモータ演出の進行処理（ST18）と、原点センサ信号SN0～SNn信号や、チャンスボタン信号など

50

を取得するセンサ信号取得処理（S T 1 9）とが含まれている。ランプ演出やモータ演出は、全ての演出動作を一元管理する演出シナリオに基づいて制御されており、演出カウンタE Nが管理する演出開始時に達すれば、演出シナリオ更新処理（S T 1 1）において、モータ駆動テーブルやランプ駆動テーブルが特定されるようになっている。

#### 【0 1 5 0】

そして、その後は、特定されたモータ駆動テーブルに基づいてモータ演出が進行し、特定されたモータ駆動テーブルに基づいてランプ演出が進行することになる。先に説明した通り、ステップS T 1 8の動作時に、D M A C回路（第1と第2のD M Aチャンネル）6 0が機能する実施例もある。なお、モータ演出は、1 m S毎に進行するが、ランプ演出は、1 m Sより長い適宜なタイミングで進行する。

10

#### 【0 1 5 1】

続いて、ブリローダを機能しない実施例について、メイン処理（a）について説明する。図10（a）に示す通り、メイン処理は、C P Uリセット後に実行される初期処理（S T 1～S T 3）と、その後、1 / 3 0秒毎に繰り返し実行される定常処理（S T 4～S T 1 4）とに区分される。

#### 【0 1 5 2】

そして、定常処理は、割込みカウンタV C N Tが、V C N T = 2となったタイミングで開始されるので（S T 4）、定常処理の動作周期は、1 / 3 0秒となる。この動作周期

は、演出制御C P U 6 3の制御に基づいて間欠動作するV D P回路5 2について、その実質的な動作周期に他ならない。なお、判定条件を、V C N T = 2とするのは、定常処理（S T 4～S T 1 4）が異常に長引いて、V C N T = 2のタイミングを見逃す可能性を考慮したものであるが、V C N T = 3となる事態が発生しないよう設計されている。

20

#### 【0 1 5 3】

以上を踏まえてメイン処理（図10（a））の説明を続けると、本実施例では、初期処理において、記憶容量4 8 Mバイトの内蔵V R A M 7 1を、適切な記憶容量を有するA C C領域(a)と、ページ領域(b)と、任意領域(c)と、に適宜に切り分ける（S T 1）。具体的には、A C C領域(a)と、ページ領域(b)について、各々の先頭アドレスと必要な総データサイズを、所定のインデックステーブルレジスタR G i jに設定する（S T 1）。その結果、このようにして確保されたA C C領域(a)と、ページ領域(b)に含まれない残余領域が任意領域(c)となる。

30

#### 【0 1 5 4】

また、ページ領域(b)と、任意領域(c)について、必要なインデックス空間I D X iを確保する（S T 2）。具体的には、所定のインデックステーブルレジスタR G i jに、必要なアドレス情報を設定することで、各領域(b)(c)のインデックス空間I D X iが確保される。

#### 【0 1 5 5】

例えば、ページ領域(b)にインデックス空間I D X iを設ける場合には、任意のインデックス番号iに対応して、任意の水平サイズH xと、任意の垂直サイズW xのアドレス情報が、所定のインデックステーブルレジスタR G i jに設定される（S T 2）。

40

#### 【0 1 5 6】

先に説明した通り、ページ領域(b)のインデックス空間I D X iは、水平サイズ1 2 8 ×垂直サイズ1 2 8ラインを単位空間としており、また、1ピクセルは3 2 b i tの情報で特定されるので、水平サイズH xと垂直サイズW xの設定に基づいて、データサイズ（b i t長）=3 2 ×1 2 8 ×H x ×1 2 8 ×W xのインデックス空間I D X iが確保されることになる。なお、ページ領域(b)のインデックス空間I D X iの開始アドレスは、内部的に自動付与される。

#### 【0 1 5 7】

また、任意領域(c)にインデックス空間I D X iを設ける場合には、任意のインデックス番号iに対応して、任意の先頭アドレスS T xと、任意の水平サイズH xのアドレス情報が、所定のインデックステーブルレジスタR G i jに設定される（S T 2）。ここで、

50

任意とは、所定条件を前提とするもので、水平サイズ  $H \times$  は 256 bit 単位で任意決定され、先頭アドレス  $S T \times$  の下位 8 bit は 0 であって、2048 bit 単位で任意決定される。先に説明した通り、任意領域の垂直サイズは、2048 ラインに固定化されるので、水平サイズ  $H \times$  の設定に基づいて、先頭アドレス  $S T \times$  以降には、データサイズ (bit 長) = 2048 ×  $H \times$  のインデックス空間が確保されることになる。

#### 【0158】

以上のように、ページ領域(b) と、任意領域(c) について、必要なアドレス情報を所定のインデックステーブルレジスタ  $R G i j$  に各々設定することで、必要個数のインデックス空間  $I D X i$  が生成される (ST2)。そして、この設定処理 (ST2) に対応して、各インデックス空間  $I D X i$  のアドレス情報を特定するインデックステーブル  $IDXTBL$  が自動的に構築される。図 7 (a) に示す通り、インデックステーブル  $IDXTBL$  には、各インデックス空間  $I D X i$  の開始アドレスが、その他の必要情報と共に記憶されており、VDP 回路 52 内部でのデータ転送時や、外部記憶リソース (Resource) からのデータ取得時に参照される (図 8 参照)。なお、AAC 領域(a) のインデックス空間  $I D X i$  は、必要時に自動生成され、自動消滅するので、ステップ ST2 の設定処理は不要である。

10

#### 【0159】

図 7 (a) (b) に示す通り、任意領域(c) には、各一対のフレームバッファ  $F B a$  と  $F B b$  が確保され、各々、インデックス番号が付与されている。Z バッファを使用しない実施例では、フレームバッファ  $F B a$  として、インデックス番号 255, 254 が付与された、一対のインデックス空間 255, 254 が確保される。また、フレームバッファ  $F B b$  として、インデックス番号 252, 251 が付与された、一対のインデックス空間 252, 251 が確保される。なお、本実施例では、任意領域(c) に、インデックス番号 0 の作業領域 (インデックス空間 0) も確保されている。

20

#### 【0160】

また、本実施例では、ページ領域(a) に、IPストリーム動画のデコード領域となる必要個数のインデックス空間  $I D X i$  を確保し、インデックス番号  $i$  を付与することにしている。但し、初期的には、背景動画 (IPストリーム動画) のためのインデックス空間  $I D X 0$  だけを確保している。そして、画像演出 (変動演出や予告演出) における必要性に応じて、インデックステーブルレジスタ  $R G i j$  への設定処理や、ディスプレイリスト DL の指示コマンドに基づいて、ページ領域(a) のインデックス空間  $I D X j$  を増やし、その後、不要になれば、そのインデックス空間  $I D X j$  を開放するようにしている。すなわち、図 7 (a) は、定常動作時のインデックステーブル  $IDXTBL$  を示している。

30

#### 【0161】

なお、AAC 領域(a) のインデックス空間は、ディスプレイリスト DL に記載されている指示コマンドに基づいて、必要時に自動的に生成され、インデックステーブル  $IDXTBL$  には、自動生成されたインデックス空間  $I D X j$  の先頭アドレスや、その他の必要情報が自動設定される。本実施例では、この AAC 領域(a) を、静止画その他のテクスチャのデコード領域として使用している。

#### 【0162】

インデックス空間を確保する上記の動作は、もっぱら、制御レジスタ群 70 に含まれるインデックステーブルレジスタ  $R G i j$  への設定動作によって実現されるが、ステップ ST1 ~ ST2 の処理に続いて、他の VDP レジスタ  $R G i j$  に、必要な設定動作を実行することで、図 18 ~ 図 19 に示す VDP 回路 52 の定常動作 (間欠動作) を可能にしている。

40

#### 【0163】

例えば、表示回路 74 の動作を規定する所定の表示レジスタ  $R G i j$  に、所定の動作パラメータ (ライン数と画素数) を書込むことで、各表示装置 DS1, SD2 について表示ライン数と水平画素数を設定している (ST30)。その結果、各フレームバッファ  $F B a$ ,  $F B b$  において、表示回路 74 が READ アクセスすべき有効データ領域 (図 10 (d) の破線部) の縦横寸法が、特定されることになる。

50

## 【0164】

次に、所定の表示レジスタRG<sub>i j</sub>に、所定の動作パラメータ（アドレス値）を書き込んで、各フレームバッファFB<sub>a</sub>, FB<sub>b</sub>について、垂直表示開始位置と水平表示開始位置を特定する（ST31）。その結果、ステップST30の処理で縦横寸法が特定された有効データ領域が、フレームバッファFB<sub>a</sub>, FB<sub>b</sub>上に確定されることになる。ここで、垂直表示開始位置と水平表示開始位置は、各インデックス空間における相対アドレス値であって、図10（d）に示す実施例では、表示開始位置は（0, 0）となっている。

## 【0165】

続いて、メイン表示装置DS1を駆動する表示回路74Aに関する表示レジスタRG<sub>i j</sub>（DSPAINDEX）と、サブ表示装置DS2を駆動する表示回路74Bに関する表示レジスタRG<sub>i j</sub>（DSPBINDEX）に、各自、「表示領域（0）」と「表示領域（1）」を設定して、各表示領域を定義している（ST32）。

10

## 【0166】

ここで、「表示領域」とは、表示回路74A, 74Bが、表示装置DS1, DS2を駆動するために、画像データを読み出すべきインデックス空間（フレームバッファFB<sub>a</sub>, FB<sub>b</sub>）を意味し、各々ダブルバッファ構造であるフレームバッファFB<sub>a</sub>, FB<sub>b</sub>におけるダブルバッファの何れか一方を意味する。もっとも、表示回路74A, 74Bが、実際に画像データを読み出すのは、表示領域（0）又は表示領域（1）における、ステップST30～ST31で特定された「有効データ領域」に限定される。

20

## 【0167】

何ら限定されないが、本実施例では、フレームバッファFB<sub>a</sub>について、VRAM任意領域(c)におけるインデックス番号254のインデックス空間254を「表示領域（0）」と定義し、VRAM任意領域(c)におけるインデックス番号255のインデックス空間255を、「表示領域（1）」と定義している（ST32）。

20

## 【0168】

また、フレームバッファFB<sub>b</sub>について、VRAM任意領域(c)におけるインデックス番号251のインデックス空間251を「表示領域（0）」とし、VRAM任意領域(c)におけるインデックス番号252のインデックス空間252を「表示領域（1）」としている（ST32）。なお、「表示領域」を初期処理（ST3）において定義することは、特に限定されず、動作周期毎に、表示回路74が画像データをREADアクセスすべきインデックス空間（表示領域）をトグル的に切換えて良い。

30

## 【0169】

本実施例では、以上の初期処理（ST30～ST32）が終われば、次に、所定のシステム制御レジスタRG<sub>i j</sub>への設定値が、その後、ノイズなどの影響で変更されないよう、第1種の禁止設定レジスタRG<sub>i j</sub>に、所定の禁止値を設定している（第1の禁止設定ST33）。

## 【0170】

ここで、今後の書き込みが禁止される設定値には、（1）表示装置DS1, DS2の表示クロックに関する設定値、（2）LVD<sub>S</sub>のサンプリングクロックに関する設定値、（3）出力選択回路79の選択動作に関する設定値、（4）複数の表示回路DS1, DS2の同期関係（表示回路74Bが表示回路74Aの動作周期に従属すること）などが含まれている。なお、第1の禁止設定を解除するソフトウェア処理は存在するが、本実施例では使用していない。但し、必要に応じて使用するのも好適である。

40

## 【0171】

次に、第2種の禁止設定レジスタRG<sub>i j</sub>に、所定の禁止値を設定することで、初期設定系のVDPレジスタRG<sub>i j</sub>について書き込み禁止設定をしている（第2の禁止設定ST34）。ここで、禁止設定されるレジスタには、ステップST30～ST32に係るVDPレジスタRG<sub>i j</sub>が含まれている。

## 【0172】

一方、第3種の禁止設定レジスタRG<sub>i j</sub>に、所定の禁止値を設定することで、ステッ

50

ＰＳＴ1～ＳＴ3の設定処理に関するＶＤＰレジスタを含んだ、多数のＶＤＰレジスタへの禁止設定も可能である（第3の禁止設定）。但し、本実施例では使用していない。何れにしても、第2の禁止設定や、第3の禁止設定は、所定の解除レジスタＲＧｉｊに、解除値を書込むことで任意に解除可能であり、定常動作中に設定値を変更することも可能となる。

#### 【0173】

以上、初期設定処理について説明したので、次に、定常処理（ＳＴ4～ＳＴ14）を説明する前に、演出制御ＣＰＵ63によって制御されるＶＤＰ回路52の定常動作（間欠動作）について図18（a）及び図19（b）に基づいて概略的に説明しておく。

#### 【0174】

ＶＤＰ回路52の間欠動作は、図18や図19に示す通りであり、プリローダ73を使用しない実施例では、図18（a）に示すように、演出制御ＣＰＵ63が完成させたディスプレイリストＤＬｉは、その動作周期（Ｔ1）で、描画回路76に発行され、描画回路76はディスプレイリストＤＬｉに基づく描画動作によって、フレームバッファＦＢａ，ＦＢｂに、画像データを完成させる。そして、フレームバッファＦＢａ，ＦＢｂに完成された画像データは、次の動作周期Ｔ1+に、表示回路74が表示装置ＤＳ1，ＤＳ2に出力することで、その後の、表示装置ＤＳ1，ＤＳ2の描画動作に基づき、遊技者が感知する表示画面となる。

#### 【0175】

一方、プリローダ73を使用する実施例では、図19（a）に示すように、演出制御ＣＰＵ63が完成させたディスプレイリストＤＬｉは、その動作周期（Ｔ1）で、プリローダ73に発行され、プリローダ73は、ディスプレイリストＤＬｉを解釈して、必要な先読み動作を実行すると共に、ディスプレイリストＤＬｉの一部を書き換えて、書換えリストＤＬ'を完成させる。なお、先読みされたＣＧデータと書換えリストＤＬ'は、ＤＲＡＭ54の適所に格納される。

#### 【0176】

次に、描画回路76は、その次の動作周期（Ｔ1+）で、ＤＲＡＭ54から書換えリストＤＬ'を取得し、書換えリストＤＬ'に基づく描画動作によって、フレームバッファＦＢａ，ＦＢｂに、画像データを完成させる。そして、フレームバッファＦＢａ，ＦＢｂに完成された画像データは、更にその次の動作周期（Ｔ1+2）で、表示回路74が表示装置ＤＳ1，ＤＳ2に出力することで、その後の表示装置ＤＳ1，ＤＳ2の描画動作に基づき、遊技者が感知する表示画面となる。

#### 【0177】

以上、ＶＤＰ回路52の間欠動作について概略的に説明したが、上記した図18～図19の動作を実現するため、演出制御ＣＰＵ63は、初期処理（ＳＴ1～ＳＴ3）の後、割込みカウンタＶＣＮＴの値を繰り返し参照して、動作開始タイミングに達するのを待ち、動作開始タイミング（一つ飛びのＶブランク開始タイミング）に達すれば、割込みカウンタＶＣＮＴをゼロクリアする（ＳＴ4）。

#### 【0178】

その後、定常動作を開始するが、本実施例では、最初に、定常動作を開始すべき動作開始条件を満たしているか否かを判定する（ＳＴ5）。なお、この判定タイミングは、図18～図19に記載のＴ1，Ｔ1+，Ｔ1+2，……のタイミング、つまり、表示装置ＤＳ1の垂直帰線期間（VBLANK）の開始タイミングである。なお、表示装置ＤＳ2の表示タイミングは、表示装置ＤＳ1の表示タイミングに従属するよう、初期設定（ＳＴ3）時に設定されている。

#### 【0179】

垂直帰線期間（VBLANK）の開始タイミングで判定される動作開始条件は、プリローダ73を活用するか否かで異なるので、先ず、プリローダ73を活用しない実施例（図10）について説明する。この場合は、本来、図18（a）のタイムチャートに示す通りにＶＤＰの内部動作が進行するよう、回路構成やプログラムが設計されている。すなわち、動作

周期 (T1) で完成されたディスプレイリスト DL1 に基づき、描画回路 76 は、その動作周期中 (T1 ~ T1 + 1) に、描画動作を終える筈である。しかし、例えば、図 18 (a) の動作周期 (T1 + 2) で完成されたディスプレイリスト DL3 のように、その動作周期中 (T1 + 2 ~ T1 + 3) に、描画動作を終わらない場合も無いとは言えない。

#### 【0180】

ステップ ST5 の判定処理は、かかる事態を考慮したのであり、演出制御 CPU63 は、描画回路 76 の動作状態を示すステータスレジスタ RGij (制御レジスタ群 70 の一種) をアクセスして、ステップ ST5 のタイミングで、描画回路 76 が、必要な動作を終えているか否かを判定する。プリローダ 73 を活用しない実施例では、例えば、図 18 (a) のタイミング T1+1 では、描画回路 76 のステータス情報を Read アクセスして、ディスプレイリスト DL1 に基づく描画動作が終わっていることを確認する。

10

#### 【0181】

そして、動作開始条件を満たさない場合 (不適合) には、異常回数をカウントする異常フラグ ER をインクリメントして、ステップ ST6 ~ ST8 処理をスキップする。異常フラグ ER は、その他の重大異常フラグ ABN と共に、ステップ ST9 や ST10 の処理で判定され、重大異常フラグ ABN がリセット状態である前提において、連続異常回数が多くない場合 (ER < 2) には、正常時と同様に、演出コマンド解析処理を実行する (ST13)。

20

#### 【0182】

演出コマンド解析処理 (ST13) では、主制御基板 21 から制御コマンド CMD を受けているか否かを判定し、制御コマンド CMD を受けた場合には、その制御コマンド CM を解析して必要な処理を実行する (ST13)。ここで、必要な処理には、変動演出の開始を指示する制御コマンド CMD に基づく新規の変動演出の開始準備処理や、エラー発生を示す制御コマンド CMD に基づくエラー報知の開始処理が含まれる。

30

#### 【0183】

続いて、WDT タイマを初期値に戻すべく、WDT 制御レジスタの初期ビットに規定 1 bit を書き込んだ後 (ST14)、ステップ ST4 の処理に戻る。演出制御 CPU63 は、外部装置に対してクリアパルスを出力する必要がなく、単に、内蔵レジスタへの Write 命令を実行するだけで足りる利点は、先に説明した通りである。

#### 【0184】

以上、動作開始条件が不適合の場合であって、異常フラグ ER が ER < 2 である場合について説明したが、このような場合には、その動作周期では、表示回路 74 が読み出す表示領域をトグル切換える処理 (ST6) や、ディスプレイリストの作成処理 (ST7) がスキップされ、且つ、演出シナリオが進行しないことになる (ST8 ~ ST12 参照)。これは、不完全な状態のフレームバッファ FBa, FBb の画像データを出力させないためである。そのため、例えば、図 18 (a) の動作周期 (T1 + 3) では、画像演出が進行せず、元の画面 (DL2 に基づく画面) が再表示されるフレーム落ちが生じる。

30

#### 【0185】

ここで、フレーム落ちを回避するため、動作開始条件が成立するまで待機する構成も考えられる。しかし、演出制御 CPU63 が実行すべき制御処理 (ST6 ~ ST12) は数多く、各々の処理時間を確保する必要があるので、本実施例では、動作開始条件を満たさない場合にフレーム落ちを生じさせている。

40

#### 【0186】

但し、フレーム落ちが生じたとしても、割込み処理 (図 10 (b)) によって進行するランプ演出やモータ演出と比較して、1 / 30 ~ 2 / 30 秒程度、画像演出の進行が遅れるだけであり、これに遊技者が気付くことはない。しかも、フレーム落ち時には、演出用エンタインの更新処理を含んだ演出シナリオ処理 (ST11) や、音声進行処理 (ST12) も合わせてスキップされるので、その後に開始されるリーチ演出や予告演出や役物演出において、画像演出、音声演出、ランプ演出、及びモータ演出などの開始タイミングが

50

ずれるおそれはない。

#### 【0187】

すなわち、演出シナリオでは、画像演出、音声演出、ランプ演出、モータ演出の開始タイミングと、その後に実行すべき演出内容を一元的に管理しており、正常時に限り更新される演出カウンタENによって、開始タイミングを制御しているので、各種の演出の同期が外れることはない。例えば、爆発音と、爆発画像と、役物移動と、ランプフラッシュ動作を複合した演出動作がある場合、フレーム落ちが生じた後であっても、上記した各演出動作は正しく同期して開始される。

#### 【0188】

以上、比較的軽微な異常時について説明したが、重大異常フラグABNがセット状態である場合や、連続異常回数が多い場合( $ER > 2$ )には、ステップST10の判定の後、無限ループ状態としている。その結果、WDTタイマのダウンカウント動作が進行して、演出制御CPU63を含んだ複合チップ50は、異常リセットされ、その後、初期処理(ST1～ST3)が再実行されることで、異常事態発生の根本原因の解消が期待される。

#### 【0189】

図4に関して説明した通り、この異常時には、音声回路 SND も合わせ異常リセットされるので、画像演出、音声演出、ランプ演出、モータ演出は、全て初期状態に戻ることになる。但し、これらのリセット動作は、主制御部21や払出制御部25には、何の影響も与えないので、大当り状態の消滅や、賞球の消滅のような事態が発生するおそれはない。

#### 【0190】

以上、異常事態について説明したが、実際には、軽微な場合も含め上記した異常が発生することは殆どなく、ステップST5の処理の後、所定の表示レジスタRGij(DSPACTL/DSPBCTL)への設定に基づき、表示回路74Aと表示回路74Bが読み出すべき画像データを記憶するフレームバッファFBA, FBBの「表示領域」をトグル的に切り換える(ST6)。先に説明した通り、「表示領域(0)」と「表示領域(1)」は、予め初期処理において定義されているので(ST3)、ステップST6の処理では、フレームバッファFBA, FBBについて、今回の「表示領域」が、表示領域(0) / 表示領域(1)の何れであるかを特定する。

#### 【0191】

このステップST6が実行されることで、表示回路74Aは、インデックス空間254(表示領域(0))と、インデックス空間255(表示領域(1))から、動作周期毎に、交互に画像データを読み出して表示装置DS1を駆動することになる。同様に、表示回路74Bは、インデックス空間251(表示領域(0))と、インデックス空間252(表示領域(1))から、動作周期毎に、交互に画像データを読み出してサブ表示装置DS2を駆動することになる。なお、表示回路74が実際にREADアクセスするのは、表示領域(0) / 表示領域(1)における有効データ領域に限定されるのは先に説明した通りである。

#### 【0192】

何れにしても、本実施例では、動作周期毎に「表示領域」が切り替わるので、表示回路74A, 74Bは、直前の動作周期で描画回路76が完成させた画像データについて、表示装置DS1, DS2への出力処理を開始することになる。但し、ステップST5の処理は、メイン表示装置DS1の垂直帰線期間(Vプランク)の開始時から開始されるので、実際には、垂直帰線期間が完了してから画像データの出力処理が開始されることになる。図18(a)において、表示回路の欄に示す矢印は、この出力処理の動作周期を示している。

#### 【0193】

以上のような意義を有するステップST6の処理が終われば、演出制御CPU63は、続いて、次の動作周期で、表示回路74が表示装置に出力するべき画像データを特定したディスプレイリストDLを完成させる(ST7)。特に限定されないが、この実施例では、RAM59のリストバッファ領域(DLバッファ)を確保し、そこにディスプレイリス

10

20

30

40

50

ト D L を完成させている（図 8 参照）。

【 0 1 9 4 】

ディスプレイリスト D L は、一連の指示コマンドを、適宜な順番で列記して構成され、EODL (End Of DL) コマンドを記載して終わるよう構成されている。そして、本実施例では、データ転送回路 7 2、描画回路 7 6、プリローダ 7 3 の円滑な動作を実現するべく、EODL コマンドを含む全ての指示コマンドを、コマンド長が 3 2 b i t の整数 N 倍 ( $N > 0$ ) の指示コマンドだけに限定している。なお、3 2 b i t の整数 N 倍で構成された指示コマンドに、無意ビット(Don't care bit)も含んで良いことは先に説明した通りである。

【 0 1 9 5 】

このように、実施例のディスプレイリスト D L は、コマンド長が 3 2 b i t の整数 N 倍 ( $N > 0$ ) の指示コマンドだけで構成されているので、ディスプレイリスト D L 全体のデータボリューム値（データ総量）は、必ず、コマンド長の最小単位 ( $3 2 b i t = 4$  バイト) の整数倍となる。更に、本実施例では、データ転送回路 7 2 の最低データ量 D m i n を考慮して、ディスプレイリスト D L のデータボリューム値を、最低データ量 D m i n の整数倍 (1 以上) であって、且つ、指示コマンドの最小単位 (4 バイト) の整数倍となるよう調整している。例えば、D m i n = 2 5 6 バイトであれば、ディスプレイリスト D L のデータボリューム値は、2 5 6 バイト、5 1 2 バイト・・・の何れかの値に調整される。

【 0 1 9 6 】

ここで、演出内容の複雑さに応じて、適宜に、2 5 6 バイトか、又は 5 1 2 バイトに調整するのも好適であるが、本実施例では、表示装置が二個であり、サブ表示装置 D S 2 はそれほど複雑な画像演出を実行させないことを考慮して、ディスプレイリスト D L のデータボリューム値を、常に、2 5 6 バイトに調整している。

【 0 1 9 7 】

もっとも、この手法は、何ら限定されず、表示装置が三個以上になる場合や、サブ表示装置 D S 2 も含め複雑な画像演出を実行する遊技機の場合には、5 1 2 バイト又は、7 6 8 バイトに調整される。また、通常の演出時は、ディスプレイリスト D L のデータボリューム値を 2 5 6 バイトに調整し、特別な演出を実行する場合に限り、ディスプレイリスト D L のデータボリューム値を、5 1 2 バイト又は、7 6 8 バイトに調整するのも好適である。

【 0 1 9 8 】

但し、本実施例の場合には、ディスプレイリスト D L のデータボリューム値は、各動作周期において、予め規定された所定バイト長 (2 5 6 バイト) に調整される。調整手法としては、3 2 b i t 長のEODL コマンドの後に、不足領域を補填する3 2 b i t 長のNOP (No Operation) コマンドを埋める簡易手法 (A) か、或いは、不足領域を3 2 b i t 長のNOP コマンドで埋めた後、最後に3 2 b i t 長のEODL コマンドを記載する標準手法 (B) が考えられる。なお、ディスプレイリスト D L のデータボリューム値（データ総量）を全く調整することなくEODL コマンドで終結させ、データ転送回路 7 2 の動作時に、ダミーデータを附加的に転送して、最低データ量 D m i n の整数倍の転送量を確保する無調整手法 (C) も考えられる。

【 0 1 9 9 】

ここで、標準手法 (B) を採る場合には、最初、コマンドカウンタ C N T を規定値 (2 5 6 バイトに対応する 6 4 - 1) に初期設定し、D L バッファ領域に、有意な指示コマンドを書き込むごとに、コマンドカウンタ C N T を適宜に減算し、一連の有意な指示コマンドの書き込みが終われば、コマンドカウンタ C N T がゼロになるまで、NOP コマンドを記載し、最後にEODL コマンドを記載する手法が考えられる。本実施例の場合、指示コマンドは、そのコマンド長が 3 2 b i t の整数 N 倍 ( $N > 0$ ) のものに限定されているので、上記の処理は容易であり、コマンドカウンタ C N T の減算処理は、整数 N に対応した減算処理となる。

【 0 2 0 0 】

10

20

30

40

50

一方、簡易手法（A）を探る場合には、ディスプレイリストDLの作成時、最初に、リストバッファ領域（DLバッファ）の全てをNOPコマンドで埋めれば足りるので、一見、標準手法（B）より優れているように思われる。また、簡易性の観点では、無調整手法（C）も優れているように思われる。しかし、本実施例では、基本的に標準手法（B）を探っており、ディスプレイリストDLの先頭からEODLコマンドまでの実データ量、つまり、EODLコマンドまでのデータ量が、常に、データ転送回路72の最低データ量Dminの整数倍となるよう調整している。

#### 【0201】

これは、プリローダ73を活用する実施例を考慮したものであり、もし、簡易手法（A）や無調整手法（C）を採用すると、EODLコマンドまでのディスプレイリストDLの実データ量が、ランダムな値となり、プリローダ73が書き換えた書換えリストDL'のDRAM54への転送時や、DRAM54から描画回路76への書換えリストDL'の転送時に支障が生じるからである。なお、書換えリストDL'のDRAM54への転送時には、データ転送回路72のChA制御回路72aが機能し、書換えリストDL'の描画回路76への転送時には、ChB制御回路72bが機能するが（図16参照）、何れの場合もEODLコマンドまでの書換えリストDL'しか転送しない。

10

#### 【0202】

以上、ディスプレイリストDLのデータボリューム値を調整する標準手法（B）の利点を説明したが、プリローダ73を使用しない実施例では、発行されたディスプレイリストDLは、描画回路76によって処理されるだけであるので、簡易手法（A）や無調整手法（C）の使用が何ら禁止されない。

20

#### 【0203】

但し、以下の説明では、プリローダ73の使用の有無に拘らず、原則として標準手法（B）を探ることを前提に、図11に基づいて、ディスプレイリストDLの詳細について説明する。

#### 【0204】

特に限定されないが、本実施例では、ディスプレイリストDLに、先ず、メイン表示装置DS1に関する指示コマンド列（L11～L16）を記載し、その後、サブ表示装置DS2に関する指示コマンド列（L17～L20）を記載するようにしている。また、標準手法（B）を採用して、ディスプレイリストDLのデータボリューム値を固定長（256バイト）に調整している。なお、図11は、事実上、演出制御CPU63が、RAM59のリストバッファ領域に、指示コマンドを書き込む手順や、ディスプレイリストDLに基づく描画回路76の動作を示したものともなっている。

30

#### 【0205】

図11に示す通り、ディスプレイリストDLの先頭では、環境設定系の指示コマンド（SETDAVR）を記載して、表示装置DS1のフレームバッファFBaについて、インデックス空間IDX上の左上基点アドレス（X, Y）を規定する（L11）。図7（a）に関して説明した通り、本実施例では、表示装置DS1用として、任意領域（c）に、一対のフレームバッファFBaが確保されている。そして、通常は、表示回路74にとっての有効データ領域に対応して、基点アドレス（X, Y）=（0, 0）とすることで、フレームバッファFBaの先頭位置から描画回路76に活用される。

40

#### 【0206】

図7（c）では、その下方左側の実描画領域にL11と付しているが、これは、指示コマンドL11によって、フレームバッファFBa上の実描画領域が、フレームバッファFBaの基点アドレス（0, 0）位置から始まると特定されたことを意味している。ただし、実描画領域の縦横寸法や、その実描画領域を具体的に特定するインデックス番号は、未だ未確定であり、後述する指示コマンド（SETINDEX）L13によって確定する。なお、指示コマンドL11ではZバッファの使用の有無も指定される。

#### 【0207】

次に、環境設定系の指示コマンド（SETDAVF）によって、仮想描画空間上に、左上基点

50

座標 ( $X_s, Y_s$ ) と、右下対角点座標 ( $X_e, Y_e$ ) を設定して、 $W \times H$  寸法の描画領域を定義する (L12)。ここで、仮想描画空間とは、描画用の指示コマンド (Spriteコマンドなど) によって描画可能な、X方向 ± 8192、Y方向 ± 8192 の仮想的な二次元空間である (図7(c) 参照)。

#### 【0208】

この指示コマンド L12 (SETDAVF) によって、仮想描画空間は、描画内容が実際に表示装置 DS1 に反映される描画領域と、その他の非描画領域に区分される。また、指示コマンド L12 (SETDAVF) は、指示コマンド L11 で開始位置 (基点アドレス) が規定された実描画領域と、仮想描画空間上の描画領域とを対応付けることになる。

#### 【0209】

この点を言い換えると、指示コマンド L12 によって、(インデックス空間は未定の) フレームバッファ F\_Ba には、仮想描画空間上の描画領域に対応する、基点アドレスから始まる  $W \times H$  の実描画領域が定義されることになる。したがって、指示コマンド L12 で指定する描画領域は、フレームバッファ F\_Ba の水平サイズと同一か、それ以下とする必要がある。通常、描画領域や実描画領域は、表示回路 74 にとっての有効データ領域 (図 10(d)) と同寸法となるよう定義される。

#### 【0210】

そして、描画回路 76 が指示コマンド L11, L12 を実行した後は、仮想描画空間に描画された描画内容のうち、描画領域に含まれるものだけが、フレームバッファ F\_Ba の実描画領域に反映されることになる。したがって、描画領域からはみ出した部分や、図7(c)において作業領域と記載された部分の描画内容は、そのままでは、フレームバッファに反映されることはない。なお、仮想描画空間に作業領域を確保する場合には、仮想描画空間の非描画領域が使用される。

#### 【0211】

次に、今回の動作周期において、描画回路 76 が、これから完成させるディスプレイリスト DL に基づいて描画する描画内容を何処に描画すべきかを規定する (L13)。具体的には、ダブルバッファ構成の表示装置 DS1 のフレームバッファ F\_Ba について、今回のディスプレイリスト DL に基づく描画内容の「書き込み領域」となるインデックス空間 IDX が特定される (L13)。具体的には、テクスチャ設定系のコマンドである SETINDEX コマンドによって、(1) フレームバッファ F\_Ba は、任意領域に確保されていること、及び、(2) 「書き込み領域」となるインデックス空間 IDX\_N の任意領域上のインデックス番号 N が特定される。

#### 【0212】

この指示コマンド L13 によって、例えば、N = 255 と特定された場合には、仮想描画空間上に定義された描画領域に対応する実描画領域は、具体的には、ダブルバッファ構造のフレームバッファ F\_Ba におけるインデックス空間 IDX\_255 であると定義されることになる。

#### 【0213】

本実施例の場合、フレームバッファ F\_Ba のインデックス番号は、255 又は 254 であり (図7(a))、トグル的に切り換えた何れかが指定される (L13)。なお、このインデックス番号は、メイン処理のステップ ST6 で指定された表示領域 (0) / (1) ではない方のインデック番号である。例えば、ステップ ST6 の処理において、表示回路 74 に対して、表示領域 (0) が指定されている場合には、表示領域 (1) が、描画回路 76 にとっての「書き込み領域」となる。

#### 【0214】

以上の通り、指示コマンド L11 と指示コマンド L12 とで、実描画領域 ( $W \times H$  の論理空間) と描画領域 ( $W \times H$  の仮想空間)との対応関係が、一般的に定義された後、インデックス空間 IDX を具体的に特定する指示コマンド L13 (SETINDEX) によって、 $W \times H$  の仮想空間が、特定のインデックス空間 IDX における  $W \times H$  の論理空間であると対応付けられることになる。

10

20

30

40

50

## 【0215】

この点を言い換えると、今後、一連の指示コマンドに基づいて、W×Hの仮想空間に仮想的に描画される内容は、仮想空間と内蔵VRAM71の実アドレスとの対応関係を規定するVDP内部の変換テーブルに基づいて、内蔵VRAM71（フレームバッファ）の画像データとなる。

## 【0216】

続いて、「書込み領域」として、特定されたインデックス空間IDXを、例えば、黒色で塗りつぶすフレームバッファ・クリア処理を実行する指示コマンドが記載される（ST14, ST15）。これは、二動作期間前にフレームバッファFBaに書き込まれた画像データの消去処理に他ならない。

10

## 【0217】

具体的には、環境設定コマンドの一種であるSETFCOLORコマンドによって、例えば黒色を選択し、プリミティブ描画系コマンドであるRECTANGLEコマンドによって矩形領域を塗り潰すべく規定する。なお、RECTANGLEコマンドでは、仮想描画空間に設定された描画領域（フレームバッファFBaに対応する仮想空間）について、その左上端点と、右下端点のXY座標が指定される（図7（c）参照）。

## 【0218】

以上の処理によって、描画準備処理が完了するので、次に、静止画や動画一フレームなど、適宜なテクスチャを、仮想描画空間に描画するための指示コマンドを列記する。典型的には、先ず、テクスチャの展開先となるインデックス空間IDXを、テクスチャ設定系のSETINDEXコマンドで特定した上で、テクスチャロード系の指示コマンドであるTXLOADコマンドを記載して、CGROM55から読み出す所定のテクスチャを、所定のインデックス空間IDXに展開するようディスプレイリストDLに記載する。

20

## 【0219】

先に説明した通り、本実施例では、背景動画が、IPストリーム動画で構成されている。そこで、例えば、背景動画について、これを展開すべきインデックス空間IDXを、テクスチャ設定系のSETINDEXコマンドで、ページ領域(b)のインデックス空間IDX<sub>0</sub>と特定した上で、テクスチャロード系のTXLOADコマンドを記載する。なお、TXLOADコマンドでは、今回LOADすべき動画フレームについて、CGROM55の先頭アドレス（テクスチャのSourceアドレス）と、展開後のデータサイズ（水平×垂直）を特定する必要がある。

30

## 【0220】

VDP回路52において、上記のTXLOADコマンドが実行されると、背景動画の一動画フレーム（テクスチャ）は、先ず、AAC領域(a)に取得され、その後、自動的に起動するGDEC75によって、ページ領域(b)のインデックス空間IDX<sub>0</sub>に展開される。次に、この一動画フレームを仮想描画空間に描画することになる。この場合に、SETINDEXコマンド（テクスチャ設定系）によって、「ページ領域(b)のインデックス空間IDX<sub>0</sub>が、その後の処理対象のテクスチャである」と設定しても良いが、TXLOADコマンドに連続して処理する場合には、このSETINDEXコマンドの記載を省略することができる。

## 【0221】

何れにしても、「ページ領域(b)のインデックス空間IDX<sub>0</sub>が、その後の処理対象のテクスチャである」と特定されている状態で、次に、ブレンド処理のためのパラメータを設定するなど、適宜な描画間演算系の指示コマンドを記載する。なお、ブレンド処理とは、既に描画領域（フレームバッファFBa）に記載されている画像と、これから上書きする画像との透明化／半透明化処理に関するものある。したがって、背景動画の動画フレームのように、第一枚目の描画動作では、描画間演算系の指示コマンドの使用は不要である。

40

## 【0222】

続いて、プリミティブ描画系の指示コマンドであるSPRITEコマンドによって、「ページ領域(b)のインデックス空間IDX<sub>0</sub>のテクスチャ（背景動画の一動画フレーム）」を、仮想描画空間の適所（矩形のDestination領域）に描画するべくSPRITEコマンドを記載す

50

る。なお、Spriteコマンドには、仮想描画空間のDestination領域について、その左上端点と、右下端点を特定する必要がある。

#### 【0223】

このDestination領域は、予め、指示コマンドL11, L12によって、実描画領域(FB a)に対応付けられた描画領域(仮想描画空間上に定義された仮想空間)の全体又はその一部である。但し、背景動画は、通常、表示画面全体に描画するので、このような場合のDestination領域は、描画領域の全体又はそれ以上となる。Destination領域が、描画領域の全体より大きい場合とは、例えば、背景動画がズームアップされる場合である。

#### 【0224】

以上の処理によって、背景動画の動画フレームの描画が終わったので、続いて、テクスチャロード系、テクスチャ設定系、描画間演算系、プリミティブ描画系コマンドなどの指示コマンドを適宜な順番で列記して、背景動画に重ねて、各種のテクスチャを描画するべくディスプレイリストDLを構成することになる。先に説明したように、変動演出時では、多数の動画が必要となるので、その場合には、内蔵VRAM71のページ領域(b)について、インデックス空間IDXを増加するべく、インデックステーブル制御系の指示コマンド(NEWPIX)を記載することになる。

#### 【0225】

例えば、二つ目のIPストリーム動画に関し、NEWPIXコマンドによって、ページ領域(b)に、追加のインデックス空間IDX<sub>1</sub>を確保した後、このインデックス空間IDX<sub>1</sub>を特定して(SETINDEX)、二つ目の動画の一つフレームの展開を指示し(TXLOAD)、展開したテクスチャを描画領域の適所に配置する(SPRITE)。通常、この場合のDestination領域は、描画領域の一部となる。

#### 【0226】

以下、同様であり、NEWPIXコマンドによって、次々、インデックス空間IDX<sub>k</sub>を確保した後、適宜なブレンド処理を実行しつつ、複数のIPストリームを描画領域に描画すれば、描画領域への描画内容は、実描画領域であるフレームバッファFB aに画像データとして順次蓄積されることになる。複数N個のIPストリーム動画が描画されている演出時には、ページ領域(b)において、複数N個のインデックス空間が機能している。

#### 【0227】

そして、一連の変動演出が終了したような場合には、ページ領域(b)に確保した多数のインデックス空間IDX<sub>1</sub>~IDX<sub>k</sub>のうち、不要と思われるインデックス空間IDXを開放するべく、DELPIXコマンドによって不要なインデックス空間IDXを削除すれば良い。

#### 【0228】

なお、静止画やIPストリーム動画を描画する場合には、SETINDEXコマンドによって、これらのテクスチャのデコード先が、AAC領域(a)であると指定した上で、TXLOADコマンドを実行させれば、AAC領域(a)に取得されたテクスチャは、その後、自動的に起動するGDEC75によってACC領域(a)に展開される。そして、展開されたテクスチャは、Spriteコマンドによって、描画領域の適所に描画すれば良い。

#### 【0229】

ここまで説明では、各テクスチャは、直接的に、メイン表示装置用DS1の描画領域に描画されるが、必ずしも、このような動作に限定されない。例えば、既に表示装置DS1用に確保されている描画領域に重複しない状態で、適宜な描画領域を設け(図7(c))、この描画領域を内蔵VRAM71の作業領域に対応付ければ、中間的な描画領域を構築して、適宜な演出画像を完成させることができる。ここで、表示装置DS1用の描画領域と重複しない状態とするのは、重複領域については、後の対応付け設定が優先され、その領域への描画内容がフレームバッファFB aに反映されないからである。

#### 【0230】

図7(c)に示す通り、本実施例の作業領域は、任意領域(c)におけるインデックス空間IDX<sub>0</sub>である。そして、この作業領域を使用する演出タイミングでは、先行して、演

10

20

30

40

50

出画像用の描画領域（図7（c）参照）を、作業領域（インデックス空間ID<sub>X</sub><sub>0</sub>の実描画領域）に対応付けるための指示コマンド列（SETDAVR, SETDAVF, SETINDEX）を記載しておく。先に説明し、図7（c）に示す通り、演出画像用の描画領域は、メイン表示装置DS1用の描画領域に含まれない領域に確保される。

#### 【0231】

そして、その後は、フレームバッファFB<sub>a</sub>に関する指示コマンド列L16と同様の指示コマンドを列記して、インデックス空間ID<sub>X</sub><sub>0</sub>に、適宜な演出画像を完成させれば良い。本実施例の場合、演出画像は、静止画で構成されるので、デコードデータはAAC領域(a)に展開されるよう指示コマンド（SETINDEX）が記載され、次に、インデックス空間ID<sub>X</sub><sub>0</sub>の描画領域の適所をDestinationとするプリミティブ描画系の指示コマンド（SPRITE）が使用されることになる。なお、このような動作は、演出内容に応じて、一回又は複数回繰り返される。

10

#### 【0232】

そして、演出画像を完成させたインデックス空間ID<sub>X</sub><sub>0</sub>をテクスチャと位置付けた後（SETINDEX）、SPRITEコマンドによって、メイン表示装置用DS1の描画領域の適所に、インデックス空間ID<sub>X</sub><sub>0</sub>の演出画像（テクスチャ）を描画すれば良い。このような場合、インデックス空間ID<sub>X</sub><sub>0</sub>の演出画像を、三角形の描画プリミティブ(primitive)に分解し、適宜な角度に回転させた上で、描画領域に描画することが考えられる。なお、テクスチャの回転角度は、例えば、予告演出の信頼度などに対応付けられる。

20

#### 【0233】

以上、メイン表示装置DS1の一フレームを完成させるための指示コマンド列（L11～L16）について説明したが、サブ表示装置DS2の一フレームを完成させるための指示コマンド列（L17～L12）についても、同様である。すなわち、フレームバッファFB<sub>b</sub>の開始XY座標を特定し（L17）を定義し（通常はX=0, Y=0）、図7（c）に示す仮想描画空間上に、サブ表示装置DS2のための描画領域を定義する（L18）。

20

#### 【0234】

ところで、本実施例では、メイン表示装置DS1用の画像データの生成を終えた後、サブ表示装置DS2用の生成処理に移行するので、サブ表示装置DS2用の描画領域が、メイン表示装置DS1用の描画領域と重複しても何の問題もなく、描画領域を自由に設定することができる。そのため、ディスプレイリストDLの生成プログラムの開発時、例えば、SPRITEコマンドで、新規に設定された描画領域に適宜なテクスチャを貼り付けるような場合、SPRITEコマンドの動作パラメータ（Destination領域）の設定その他を、ある程度、定型化することができる。

30

#### 【0235】

このような任意の描画領域の定義が終われば（L18）、次に、ダブルバッファ構成の表示装置DS2のフレームバッファFB<sub>b</sub>について、今回のディスプレイリストDLに基づく描画内容の「書き込み領域」となるインデックス空間ID<sub>X</sub>を特定する（L19）。このインデックス空間ID<sub>X</sub>のインデックス番号は、フレームバッファFB<sub>b</sub>に関し、メイン処理のステップST6で指定された表示領域（0）/（1）に対応しない方のインデックス番号である。

40

#### 【0236】

そして、その後、サブ表示装置DS2についての指示コマンド列L20～L22が、メイン表示装置DS1に関する指示コマンド列L14～L16と同様に列記される。また、インデックス空間ID<sub>X</sub><sub>0</sub>に完成させた演出画像を使用することもできる。

#### 【0237】

以上、ディスプレイリストDLを構成するL11～L22の指示コマンドは、本実施例では、全て、コマンド長が32ビットの整数倍のものに限定されている。そして、先に説明した通り、本実施例のディスプレイリストDLのデータボリューム値（データ総量）を、固定長（256バイト）に調整しており、ダミーコマンドたる必要数のNOPコマンド（

50

L 2 3 ) を付加した上で、EODLコマンド ( L 2 4 ) で終結させている。すなわち、図 1 1 の実施例では、前記した標準手法 ( B ) を採っている。

#### 【 0 2 3 8 】

但し、標準手法 ( B ) を採る場合でも、全ての動作周期において、ディスプレイリスト DL のデータ総量を 256 バイトと固定化することは必ずしも必須ではない。すなわち、別の実施例では、NOP コマンドを除くディスプレイリスト DL のデータ総量が、256 バイトを超える場合 ( 例えば、特別な演出期間 ) には、ディスプレイリスト DL のデータ総量は、NOP コマンドを付加することで、512 バイト又はそれ以上の  $N \times 256$  バイトに調整される。なお、標準手法 ( B ) を採る場合、 $N \times 256$  バイトの最後は EODL コマンドで終端されることは先に説明した通りである。

10

#### 【 0 2 3 9 】

以上、ディスプレイリスト DL の構成について詳細に説明したが、演出制御 CPU 6 3 は、完成させた固定バイト長のディスプレイリスト DL を VDP 回路に発行することになる ( ST 7 ~ ST 8 ) 。図 1 2 は、演出制御 CPU 6 3 が、転送回路 7 2 の転送ポートレジスタ TR\_PORT を直接 Write アクセスして、描画回路 7 6 にディスプレイリスト DL を発行する DL 発行処理 ( 図 1 0 の ST 8 ) を説明するフローチャートである。なお、転送ポートレジスタ TR\_PORT は、データ転送回路 7 2 の動作内容を規定するデータ転送レジスタ RGij の一種である。

10

#### 【 0 2 4 0 】

DL 発行処理を実現するには、先ず、データ転送回路 7 2 の動作内容を規定する複数のデータ転送レジスタ RGij に、必要な設定値を設定する必要がある。具体的には、データ転送回路 7 2 の転送動作態様と、データ転送回路 7 2 内部の伝送経由と、を所定のデータ転送レジスタ RGij に特定する。設定内容は、特に限定されないが、ここでは、CPU UIF 部 5 6 から ChB 制御回路 7 2 b を経由すること、及び、CPU バス制御部 7 2 d に関し、その FIFO バッファの残量をチェックしながらデータ転送動作を実行すると設定する ( ST 2 0 ) 。なお、以下の説明では、ChB 制御回路 7 2 b を、便宜上、「転送回路 ChB 」と略すことがある。

20

#### 【 0 2 4 1 】

次に、転送総サイズを、所定のデータ転送レジスタ RGij に設定する。先に説明した通り、本実施例では、ディスプレイリスト DL のデータ総量を 256 バイトの整数倍に調整しているので、その値を設定する。なお、データ総量 =  $256 \times N$  は、データ転送回路 7 2 の最低データ量 Dmin の整数 N 倍にもなっている。通常、倍数 N は、1 又は 2 であるが、以下の説明では、N = 1 として説明することにする。

30

#### 【 0 2 4 2 】

ここで、転送ポートレジスタ TR\_PORT ( 以下、転送ポートと略すことがある ) は、32 bit 長のレジスタであるので、演出制御 CPU 6 3 は、32 bit 毎に、転送ポート TR\_PORT に対して、レジスタ Write 動作を実行することになる。そこで、レジスタ Write 回数を管理する管理カウンタ CN の値を 64 の初期設定する ( ST 2 1 ) 。なお、無調整手法 ( C ) を採る場合は、このタイミングで、最低データ量 Dmin の整数倍のデータ転送量を決定して、管理カウンタ CN を設定することになる。

40

#### 【 0 2 4 3 】

以上の処理で初期設定が完了するので、次に、転送回路 ChB を経由するデータ転送動作を開始状態に設定すると共に ( ST 2 2 ) 、描画回路 7 6 の動作を規定する所定の描画レジスタ RGij への設定値に基づいて、描画動作を開始させる ( ST 2 3 ) 。この結果、その後、演出制御 CPU 6 3 が、転送ポート TR\_PORT にレジスタ Write 動作する指示コマンド列について、描画回路 7 6 ( ディスプレイリストアナライザ ) による迅速かつ円滑な Analyze 処理が担保される。

#### 【 0 2 4 4 】

なお、迅速かつ円滑な Analyze 処理には、ディスプレイリスト DL に列記する指示コマンドが、コマンド長 32 bit 整数倍の指示コマンドに限定されている点も有効に寄与す

50

る。図18(a)におけるタイミングt1, t2, t3, t4は、ステップST23の動作タイミングを示している。なお、ディスプレイリストDLの発行処理(ST8)は、事実上、瞬時に終わるので、図18～図19では発行処理の要する時間幅を記載していない。

#### 【0245】

続いて、ステップST22の設定が機能したか否かを確認する(ST24)。これは、データ転送回路72の各部の初期設定は、演出制御CPU63によるレジスタWrite動作(設定動作)より処理時間がかかるので、不完全な状態のデータ転送回路72に対して、その後の指示を与えないためである。そして、万一、所定時間、待機しても動作開始状態にならない場合には、重大異常フラグABNをセットしてDL発行処理を終える(ST25)。その結果、その後、ウォッチドッグタイマ58が機能して、複合チップ50は異常リセットされる(ST10)。

10

#### 【0246】

但し、通常は、ステップST22の設定は、迅速に完了するので、続いて、CPUバス制御部72dの FIFOバッファ(32bit×130段)について、FIFOバッファが満杯でないことを確認した上で(ST26)、ディスプレイリストDLを構成する先頭行から順番に、一行ごとに転送ポートTR\_PORTに指示コマンドを書込む(ST28)。

20

#### 【0247】

そして、管理カウンタCNをデクリメントしつつ(ST29)、管理カウンタCNがゼロになるまで、ステップST26～ST29の処理を繰り返す(ST30)。この実施例の場合、データ転送回路72には、最低データ量Dminが規定されているので、FIFOバッファに最低データ量Dminが蓄積されたタイミングで、データ転送動作が実行されることになり、間欠的な転送動作となる。

20

#### 【0248】

何れにしても、本実施例では、迅速にDL発行処理(ST28)が完了するが、万一、ノイズなどの影響でVDPレジスタRGijへの設定内容が矛盾したような場合には、ステップST26の判定において、所定時間待機してもFIFOバッファFullの状態が解消されない場合もあり得る。そして、そのような場合には、所定のVDPレジスタRGijに初期化データをセットして、描画回路76とデータ転送回路72を初期化した上で、重大異常フラグABNをセットしてDL発行処理を終える(ST27)。

30

#### 【0249】

ところで、このタイミングでは、データ転送回路72や、描画回路76は、既に動作を開始しており、ある程度の処理を終えているので、描画回路76の初期化処理には、(1)ディスプレイリストDLによって設定される可能性のある全ての内部パラメータを初期値に設定すること、(2)全ての内部制御回路を初期状態に設定すること、(3)GDEC75を初期化すること、(4)AAC領域のキャッシュ状態を初期化することが含まれている。同様に、データ転送回路72の初期化処理には、FIFOバッファのクリアなど、それまでのデータ転送全体の初期化処理が含まれている。この結果、データ転送回路72の動作状態を示すステータス情報が所定値(データ転送全体初期化中を示す値)に変化する。

30

#### 【0250】

何れにしても、重大異常フラグABNをセットした結果、その後、ウォッチドッグタイマ58が機能して、複合チップ50は異常リセットされるので(ST10)、描画回路76やデータ転送回路72を初期化する処理は必ずしも必須ではない。一方、描画回路76やデータ転送回路72を初期化する場合には、その結果、異常回復が期待できるので、重大異常フラグABNをセットすることなく、ステップST20の処理に戻ってDL発行処理を再実行するのも好適である。

40

#### 【0251】

この点は、ステップST25の処理においても同様であり、データ転送回路72や描画回路76を初期化した上で、重大異常フラグABNをセットすることなく、ステップST20の処理に戻るもの好適である。但し、このような場合には、DL発行処理の再実行回

50

数をカウントし、再実行回数が限界値を越えれば、重大異常フラグ A B N をセットして D L 発行処理を終えることになる。

#### 【0252】

図 12 ( b ) は、正常な動作状態について、確認的に図示したものである。図示の通り、発行されたディスプレイリスト D L は、列記された指示コマンドの順番に、描画回路 7 6 ( ディスプレイリストアナライザ ) によって解析され、各指示コマンドに基づく動作が実行される。

#### 【0253】

例えば、指示コマンド ( TXLOAD ) が実行されることで、 C G R O M 5 5 から必要なテクスチャが読み出されて A A C 領域 ( a ) に取得され、その後、 G D E C 7 5 が自動的に起動してデコード動作が実行され、デコード後のデータが所定のインデックス空間に展開される。また、指示コマンドによっては、ジオメトリエンジン 7 7 その他が機能するが、何れにしても、描画回路 7 6 の各部が協働することで、ディスプレイリスト D L に対応する画像データがフレームバッファ F B a , F B b に完成されることになる。

10

#### 【0254】

続いて、 D M A C 回路 6 0 を介在させてディスプレイリスト D L を発行する場合を、図 13 に基づいて説明する。何ら限定されないが、 D M A C 回路 6 0 に内蔵された第 1 ~ 第 4 の D M A チャンネルのうち、第 3 の D M A チャンネルを使用することにする。

20

#### 【0255】

図 13 の実施例では、先ず、所定のデータ転送レジスタ R G i j と、所定の描画レジスタ R G i j に各々クリア値を設定して、データ転送回路 7 2 と、描画回路 7 6 を初期化する ( S T 2 0 ) 。なお、図 12 の場合にも、このような初期化処理を最初に実行しても良い。

20

#### 【0256】

図 13 の処理では、次に、初期化処理が正常に完了したことを、データ転送回路 7 2 と描画回路 7 6 の動作状態を特定する所定のステータスレジスタ R G i j を Read して確認する ( S T 2 1 ) 。そして、万一、初期化できない場合には、重大異常フラグ A B N をセットして処理を終える ( S T 2 2 ) 。但し、このような事態は、実際にはほぼ発生しない。

30

#### 【0257】

次に、データ転送回路 7 2 の転送動作様と、データ転送回路 7 2 内部の伝送経由とを、所定のデータ転送レジスタ R G i j に設定する。設定内容は、特に限定されないが、ここでは、 C P U I F 部 5 6 から C h B 制御回路 7 2 b を経由すること、及び、 C P U バス制御部 7 2 d への転送プロトコルに関し、 D M A C 回路 6 0 への設定に従うと設定する ( S T 2 3 ) 。

40

#### 【0258】

次に、転送総サイズを、所定のデータ転送レジスタ R G i j に設定する。図 12 の場合と同様、データ総量 = 2 5 6 となる。なお、無調整手法 ( C ) を採る場合は、このタイミングで、最低データ量 D m i n の整数倍の転送総サイズを決定して設定することになる。次に、所定の描画レジスタ R G i j への設定値に基づいて、描画回路 7 6 の描画動作を開始させる ( S T 2 5 ) 。図 18 ( a ) におけるタイミング t 1 , t 2 , t 3 , t 4 は、ステップ S T 2 5 の動作タイミングである。そして次に、 D M A C 回路 6 0 の動作を開始させた上で ( S T 2 6 ) 、データ転送回路 7 2 のデータ転送動作を開始させる ( S T 2 7 ) 。

40

#### 【0259】

D M A C 回路 6 0 の動作を開始処理は、図 13 ( b ) に示す通りであり、先ず、 D M A C 転送を禁止した状態で、一サイクルのデータ転送単位 ( 1 オペランド ) の転送が完了するのを待つ ( S T 4 0 ) 。詳細な動作内容は、図 14 に示す処理と同じであり、 D M A C 転送を禁止設定する処理 ( S T 5 3 ) と、その後の待機処理 ( S T 5 4 ) に区分される。

#### 【0260】

このような処理を設けるのは、(1) 他の実施例では、メイン処理やタイマ割込み処理 (

50

図10)で、DMA回路60(第3のDMAチャンネル)を使用する可能性があること、及び、(2)図10のステップST5の処理を設けない他の実施例において、ディスプレイリストDLの発行を開始したDMA回路60が、その動作周期( )内ではDL発行動作を終了できない場合もあり得ることなどを考慮したものである。

#### 【0261】

上記のような例外事態において、動作中のDMA回路60に対して、新規の設定値(矛盾する設定値など)を追加的に設定すると、正常なDMA動作が全く担保されず、深刻なトラブルが懸念されるが、ステップST40の処理を設けることで、その後の設定値に基づく正常動作が担保される。すなわち、本実施例を一部変更した変更実施例でも、先行するトラブルに拘らず、その後の正常なDMA動作を実現することができる。

10

#### 【0262】

以上のような意義を有するステップST40の処理を実行すれば、次に、DMA回路60の動作条件を設定する(ST41)。具体的には、図6に示す通り、サイクルスチール転送モードを選択し、一オペランド転送を32bit転送×2回とする。また、Sourceアドレスは、RAM59のリストバッファ領域(DLバッファ)のアドレスであるので順次増加と認識すべきこと、一方、Destinationアドレスは、転送ポートTR\_PORTであるため固定値とすべきことを規定する。

#### 【0263】

次に、RAM59のDLバッファの先頭アドレスを、DMA回路60の動作を規定する所定の動作制御レジスタに設定すると共に(ST42)、転送先アドレスである転送ポートTR\_PORTのアドレスを設定する(ST43)。また、転送総サイズ、つまり、ディスプレイリストDLのデータ総量を256バイトに設定した上で(ST44)、DMA回路60のDMA動作を開始させる(ST45)。

20

#### 【0264】

ところで、ここまで説明は、指示コマンドの実質ビット長が、全て32bitの整数倍であることを前提にした。しかし、ディスプレイリストDLや指示コマンドの構成は必ずしも限定されないので、以下、このような場合について説明する。

#### 【0265】

例えば、前記した無調整手法(C)を探る場合も含め、ディスプレイリストDLのデータ総量Xが、32bitの整数倍ではない任意値Xである場合には、ステップST44の処理では、この任意値Xを、適切な転送量MODに調整した上で、転送総サイズの設定処理を実行する。ここで、適切な転送量MODは、一オペランド転送についての設定内容と、データ転送回路72の最低データ量Dmin(バイト)に基づいて規定される。

30

#### 【0266】

具体的には、一オペランド転送設定がNバイト×M回であれば、転送量MODは、 $N \times M$ (バイト)の整数倍であって、且つ、Dmin(バイト)の整数倍の値に調整される。例えば、 $N \times M = 8 \times 4$ 、 $Dmin = 256$ であれば、任意値X( $= 300$ )バイトは、転送量MOD( $= 512$ )バイトに調整される。

#### 【0267】

以上、一般論も含め説明したが、DMA回路60のDMA動作は、図6に示すようなサイクルスチール転送動作が開始され、CPUの動作を特に阻害することなく、ディスプレイリストDLが、実施例の場合には32ビット毎に、転送ポートTR\_PORTに転送される。そして、転送されたデータは、転送回路CHBを経由して、描画回路76に転送される。

40

#### 【0268】

このような動作を実現するため、本実施例では、ステップST45の処理に続いて、データ転送回路72の転送動作を開始させて処理を終える(ST27)。その後、データ転送回路72は、DMA回路60から最低データ量Dminを一単位として、ディスプレイリストDLの指示コマンド列を受け、これを描画回路76に転送する。そして、描画回路76は、ディスプレイリストDLの指示コマンドに基づいて描画動作を実行する。した

50

がって、ステップ S T 2 7 の処理の後、演出制御 C P U 6 3 は、図 1 0 のステップ S T 1 1 の処理を開始することができ、 V D P 回路 5 2 による描画動作 ( D M A C 回路 6 0 による D L 発行処理) と並行して、音声演出やランプ演出やモータ演出を制御することができる。

#### 【 0 2 6 9 】

図 1 3 ( c ) は、この動作内容を図示したものである。 D M A 転送に先行して、描画回路の動作を開始しており ( S T 2 5 ) 、描画回路 7 6 のディスプレイリストアナライザは、迅速かつ円滑に Analyze 処理を実行し、その他、 G D E C 7 5 やジオメトリエンジン 7 7 などの動作に基づき、フレームバッファ F B a , F B b には、各表示装置 D S 1 , D S 2 について、各一フレーム分の画像データが生成される。

10

#### 【 0 2 7 0 】

ところで、 D L 発行処理をステップ S T 2 7 の処理で終える図 1 3 の構成は、必ずしも、限定されない。例えば、図 2 0 ~ 図 2 1 のように、音声演出、ランプ演出、及びモータ演出を、他の C P U が制御する場合には、ステップ S T 2 7 の処理の後、 D M A C 回路 6 0 やデータ転送回路 7 2 の正常動作を確認するのが好ましい。図 1 4 は、図 1 3 のステップ S T 2 7 に続く動作であり、正常動作の確認処理を説明するフローチャートである。

#### 【 0 2 7 1 】

先ず、所定のステータスレジスタを参照して、 D M A C 回路 6 0 の転送動作が正常に終了していることを確認する ( S T 5 0 ) 。また、データ転送回路 7 2 が転送動作を終了していることを確認する ( S T 5 1 ) 。通常、このような経路で、図 1 3 の D L 発行処理が完了する。

20

#### 【 0 2 7 2 】

一方、所定時間待機しても、 D M A C 回路 6 0 の動作が完了していない場合、或いは、データ転送回路 7 2 が転送動作を完了していない場合には、描画回路 7 6 とデータ転送回路 7 2 について、所定の V D P レジスタ R G i j にクリア値を設定して、 D L 発行処理を初期化する ( S T 5 2 ) 。これは、ディスプレイリスト D L の発行処理が正常に終了していないことに基づく動作である。

30

#### 【 0 2 7 3 】

この場合も、描画回路 7 6 は、既に動作を開始しており、ある程度の処理を終えているので、描画回路 7 6 の初期化処理には、(1) ディスプレイリスト D L によって設定される可能性のある全ての内部パラメータを初期値に設定すること、(2) 全ての内部制御回路を初期状態に設定すること、(3) G D E C 7 5 を初期化すること、(4) A A C 領域のキャッシュ状態を初期化することが含まれる。

#### 【 0 2 7 4 】

次に、新規の D M A 転送動作を禁止した上で ( S T 5 3 ) 、実行中の一オペランドの転送動作が終わるのを待つ ( S T 5 4 ) 。先に説明した通り、本実施例では、 3 2 b i t 転送 × 2 回を一オペランドとしており、動作中の D M A C 回路 6 0 をいきなり初期化することを避けるためである。

40

#### 【 0 2 7 5 】

そして、この準備作業が終われば、 D M A C 回路 6 0 の動作を規定する所定の動作制御レジスタにクリア値を設定して、 D M A C 回路 6 0 を初期化する ( S T 5 2 ) 。そして、重大異常フラグ A B N をセットして D L 発行処理を終える。なお、この場合、ステップ S T 5 2 や S T 5 5 の処理によって、異常回復が期待できるので、重大異常フラグ A B N をセットすることなく、図 1 3 のステップ S T 2 0 に戻って、 D L 発行処理を再実行するのも好適である。但し、 D L 発行処理 ( S T 2 3 ~ S T 2 7 ) の再実行回数をカウントし、再実行回数が限界値を越えれば、重大異常フラグ A B N をセットして D L 発行処理を終える必要がある。

#### 【 0 2 7 6 】

続いて、プリローダ 7 3 を使用する場合のメイン処理について、図 1 5 に基づいて説明する。図 1 5 の処理は、図 1 0 の処理に類似しているが、先ず、開始条件判定 ( S T 5 '

50

) の内容が相違する。すなわち、プリローダを使用する実施例では、各動作周期の開始時に、描画回路 76 とプリローダ 73 のステータス情報をReadアクセスして、ディスプレイリスト DL1 に基づく描画動作が終わっていること、及び、ディスプレイリスト DL2 に基づくプリロード動作が終わっていること確認する (ST5')。

#### 【0277】

図19(a)のタイムチャートに示す通り、プリローダ 76 は、例えば、動作周期 (T1) に発行されたディスプレイリスト DL1 に基づき、その動作周期中 (T1 ~ T1+) に、先読み動作 (プリロード動作) を終えている筈である。また、描画回路 76 は、例えば、動作周期 (T1+) で指示された動作開始指令に基づき、その動作周期中 (T1+ ~ T1+2) に、ディスプレイリスト DL1 に基づく描画動作を終えている筈である。

10

#### 【0278】

そこで、開始条件判定 (ST5') では、描画回路 76 とプリローダ 73 に関する VDP レジスタ RGij のステータス情報をReadアクセスして、上記の正常動作を確認するのである。図19(a)には、動作周期 T1, T1+, T1+2, T1+4 の判定タイミングでは正常動作が確認されるが、動作周期 T1+3 の判定タイミングでは、プリロード動作が終了していない状態が示されている。

20

#### 【0279】

そして、このような異常時には、異常フラグ ER をインクリメントした上で (ER = ER + 1)、ステップ ST9 の処理に移行させている。そのため、図10の実施例の場合と同様に、フレーム落ちが生じる。すなわち、表示領域の切換え処理 (ST6) がスキップされるので、同じ画面が再表示される。図18(a)に示す動作期間 (T1+3 ~ T1+4) は、その動作状態を示している。

30

#### 【0280】

また、ステップ ST5' の判定において、開始条件を満たさない場合には、描画回路 76 に対して、書換えリスト DL' に基づく描画動作の開始指示 (PT10) が実行されないので、描画回路 76 は非動作状態であり、また、新規のディスプレイリストが生成されることもない。なお、図19(a)において、タイミング t0, t2, t4 は、描画動作の開始指示 (PT10) の動作タイミング、より正確には、図16のステップ ST26 のタイミングを示している。

30

#### 【0281】

以上、ステップ ST5' の判定が不適合の場合を説明したが、通常の場合は、フレームバッファ FBa, FBb の表示領域をトグル的に切換えた後 (ST6)、描画回路 76 に対して、書換えリスト DL' に基づく描画動作を開始させる (PT10)。具体的な内容は、図16に示す通りであり、描画回路 76 は、演出制御 CPU63 の制御に基づき、データ転送回路 72 (転送回路 ChB) を経由して、外付け DRAM54 の DL バッファから書換えリスト DL' を取得して描画動作を実行することになる。

40

#### 【0282】

この動作を実現する図16のフローチャートを説明することに先行して、プリローダ 73 の動作を確認すると、プリローダ 73 は、一動作周期前に取得したディスプレイリスト DL に基づき、CGROM55 の先読み動作 (プリロード) を完了しており、先読みされたデータは、外付け DRAM54 に確保されたプリロード領域に既に格納済みである。また、ディスプレイリスト DL に記載されているテクスチャロード系のコマンド (TXLOAD) については、その Source アドレスがプリロード領域のアドレスに書換えられ、書換えリスト DL' として、外付け DRAM54 の DL バッファに格納されている。

#### 【0283】

なお、この書換え処理において、ディスプレイリスト DL のデータ総量に変化はなく、書換えリスト DL' のデータ総量は、ディスプレイリスト DL と同じである。また、ディスプレイリスト DL は、標準手法 (B) で作成されており、書換えリスト DL' の最後は、ディスプレイリスト DL の場合と同様に EODL コマンドである。

50

## 【0284】

以上を踏まえて、図16について説明すると、演出制御CPU63は、先ず、所定のデータ転送レジスタRGijと、所定の描画レジスタRGijに各々クリア値を設定して、データ転送回路72と、描画回路76を初期化する(ST20)。次に、この初期化処理が正常に終了したことを確認し(ST21)、万一、所定時間経過しても初期化が完了しない場合には、重大異常フラグABNをセットして処理を終える(ST22)。

## 【0285】

通常は、データ転送回路72と描画回路76の初期化は正常に終了するので、続いて、データ転送回路72内部の伝送経由を、所定のデータ転送レジスタRGijに設定する(ST23)。具体的には、外付けDRAM54から、ChB制御回路72bを経由して描画回路76にデータを転送すると設定する(ST23)。次に、書換えリストDL'が格納されている外付けDRAM54のDLバッファについて、その先頭アドレスを、所定のデータ転送レジスタRGijに設定する(ST24)。

10

## 【0286】

また、この書換えリストDL'について、転送総サイズを、所定のデータ転送レジスタRGijに設定する(ST25)。先に説明した通り、書換えリストDL'のデータ総量は、ディスプレイリストDLのデータ総量と同じであり、具体的には、例えば、256バイトである。

## 【0287】

次に、所定の描画レジスタRGijへの設定値に基づいて、描画回路76の描画動作を開始させる(ST26)。図18(a)におけるタイミングt1, t2, t3, t4は、ステップST26の動作タイミングでもある。そして、次に、所定のデータ転送レジスタRGijへの設定値に基づいて、データ転送回路60の動作を開始させて処理を終える(ST27)。その後、演出制御CPU63は、データ転送回路72や描画回路の動作に特に関与せず、次の動作周期で実効化されるディスプレイリストの生成処理(ST7)に移行する。

20

## 【0288】

一方、ステップST26のタイミングで動作を開始する描画回路76は、書換えリストDL'に基づいた描画動作を実行して、フレームバッファFBa, FBbに、書換えリストDL'に基づいた画像データを生成する。なお、この動作において、描画回路76は、CGROM55をReadアクセスすることなく、もっぱら、プリロード領域をReadアクセスするので、一連の描画動作を迅速に完了することができる。

30

## 【0289】

以上、ステップPT10の処理内容を説明したので、図15に戻って説明を続けると、ステップPT11の処理の後、プリローダ73を活用する実施例では、次サイクルで実効化されるディスプレイリストDLを、標準手法(B)に基づいて作成する(ST7)。例えば、図19(a)に示す動作周期(T1)では、次サイクルである動作周期(T1+)において、描画回路76に参照されるディスプレイリストDLを作成する。

## 【0290】

次に、演出制御CPU63は、作成後のディスプレイリストDLを、描画回路76ではなく、プリローダ73に発行する(PT11)。具体的な動作内容は、図17に示す通りである。先に、プリローダ73を使用しない実施例(図10)に関し、演出制御CPU63が、ディスプレイリストDLを、直接的に、描画回路76に発行する場合(図12)と、DMA回路60を経由して発行する場合(図13)を示しているが、図17には、発行先がプリローダ73である点を除いて、ほぼ同じ動作が図17(b)と図17(c)に示されている。

40

## 【0291】

図17(a)は、図17(b)の動作を説明するフローチャートであり、図12のフローチャートとほぼ同じである。但し、CPUIF部56からChC制御回路72cを経由すること、及び、CPUバス制御部72dに関し、その FIFOバッファの残量をチェック

50

クしながらデータ転送動作を実行すると設定する（S T 2 0）。なお、以下の説明では、C h C制御回路7 2 cを、便宜上、「転送回路C h C」と略すことがある。

#### 【0 2 9 2】

次に、転送総サイズ（標準手法（B）で調整された例えば2 5 6バイト）を、所定のデータ転送レジスタR G i j設定し、管理カウンタC Nを6 4に初期設定する（S T 2 1）。次に、転送回路C h Cを経由するデータ転送動作を開始状態に設定すると共に（S T 2 2）、プリローダ7 3の動作を規定するプリロードレジスタR G i jへの設定値に基づいて、プリロード動作を開始させる（S T 2 3）。

#### 【0 2 9 3】

この結果、その後、プリローダ7 3は、演出制御C P U 6 3が、転送ポートTR\_PORTに書込む指示コマンド毎に、必要な解析（Analyze）処理を実行し、C G R O M 5 5をReadアクセスすべき指示コマンド（TXLOAD）を検出すると、そのテクスチャをプリロードして、D R A M 5 4のプリロード領域に保存する。また、テクスチャのSourceアドレスを変更した書き換えリストD L'をD R A M 5 4のD Lバッファ領域に保存する。10

#### 【0 2 9 4】

なお、図1 9（a）におけるタイミングt 1, t 3, t 5は、事実上、図1 7のステップS T 2 3の動作タイミングを示している。但し、この実施例においても、ディスプレイリストD Lの発行処理の途中で、何らかの異常が発生すれば、ステップS T 2 5やステップS T 2 7の処理を実行する。具体的には、データ転送回路7 2や、プリローダ7 3の動作を初期化して、可能な範囲でディスプレイリストD Lの発行処理（S T 2 0～S T 3 0）を再実行する。プリローダ7 3の初期化処理には、未完成状態の書き換えリストD L'の消去や、新規にプリロードデータを記憶したプリロード領域のクリア処理が含まれる。20

#### 【0 2 9 5】

以上、プリローダ7 3を使用する場合と、使用しない場合について詳細に説明したが、具体的な動作内容は、特に限定されない。図1 8（b）は、演出制御C P U 6 3が生成したディスプレイリストを、生成したその動作周期ではなく、一動作周期遅れて描画回路7 6に発行する実施例を示している。このような実施例の場合には、描画回路7 6は、一動作周期（）のほぼ全時間を使用できるので、フレーム落ちの可能性が低減される。

#### 【0 2 9 6】

また、図1 9（b）は、演出制御C P U 6 3が生成したディスプレイリストを、生成したその動作周期ではなく、一動作周期遅れてプリローダ7 3に発行する実施例を示している。この場合は、プリローダ7 3は、一動作周期（）のほぼ全時間を使用してプリロード動作を実行することができるので、この場合も、フレーム落ちの可能性が低減される。30

#### 【0 2 9 7】

なお、ここまで説明では、複合チップ5 0を使用することにしているが、必ずしも、演出制御C P U 6 3とV D P回路を、一素子に集積化する必要はない。更にまた、上記の実施例では、演出制御全体を、単一のC P U（演出制御C P U 6 3）で制御しているが、上流側のC P Uと、下流側の演出制御C P U 6 3が互いに協働して、演出制御動作を実行しても良い。

#### 【0 2 9 8】

図2 0～図2 1は、このような実施例を示すブロック図である。図示の通り、この実施例では、上流側の演出制御C P Uが、音声演出と、ランプ演出と、モータ演出を制御している。一方、下流側の内蔵C P U 5 0は、演出制御C P Uから受ける制御コマンドC M D'に基づいて、画像演出だけを制御している。40

#### 【0 2 9 9】

このような構成を探る場合には、内蔵C P U 5 0は、図1 0（a）のステップS T 1 2の処理と、図1 0（b）の処理を実行する必要がなく、十分に時間をかけて複雑なディスプレイリストD Lを生成することができ、より複雑で高度な3 D（Dimension）などの画像演出を実現することができる。このような場合には、ディスプレイリストが大型化するが、その場合には、ディスプレイリストD Lのデータ総量は、ダミーコマンドを付加する50

ことで、512 バイト又はそれ以上の  $N \times 256$  バイトに調整される。

#### 【0300】

また、下流側の内蔵 C P U 50 の動作は、画像演出制御に特化されるので、ディスプレイリスト D L の発行後、描画動作が完了するのを確認することもできる。図 12 の下方は、この場合の動作制御例を示しており、限界時間を超えて描画動作が完了しない場合には、重大異常フラグ A B N をセットして処理を終える ( S T 32 )。なお、下流側の内蔵 C P U 50 の処理は、画像演出制御だけであるので、簡易的には、描画動作の完了を無限ループ状に待機するのも良い。

#### 【0301】

このような構成を採る場合、図 10 ( a ) の開始条件判定 ( S T 5 ) を所定時間繰り返すことができる。このように構成しても、描画動作完了の遅れが、それほど長くなければ、表示領域 ( 0 ) と表示領域 ( 1 ) の切り換えが遅れるだけの問題しか生じない。すなわち、図 22 ( a ) に示す動作周期 T 1 + 3 のように、表示動作が二回繰り返される一動作周期の中で、前半だけ、フレーム落ち状態となり、後半は、正常なフレームが表示される。

#### 【0302】

この点は、プリローダを使用する場合も同様であり、図 15 ( a ) の開始条件判定 ( S T 5' ) を所定時間繰り返すことができる。そして、多少の遅れであれば、図 22 ( b ) に示す動作周期 T 1 + 3 のように、前半だけ、フレーム落ち状態となり、後半は、正常なフレームが表示される。但し、描画動作の完了が大幅に遅れると、図 18 ( a ) の動作周期 T 1 + 3 と同様に、完全なフレーム落ちが生じることになり、万一、このような事態が継続すると、ウォッチドッグタイマ 58 が起動することになる。そこで、その後は、アンダーフロー信号 U F に基づいて、演出制御動作の全部又は一部（画像演出のみ）を異常リセットすればよい。この点は、プリローダを使用しない場合も同様である。

#### 【0303】

また、内蔵 C P U 50 の制御動作が画像演出制御に特化される場合、D M A 転送を採用する実施例では、図 14 の下方に示す通り、描画回路 76 の描画動作の完了と、データ転送回路 72 の動作完了と、D M A C 回路 60 の動作完了が判定される ( S T 50' ~ S T 52' )。そして、何れかの動作が正常に終了しない場合には、データ転送回路 72 と、描画回路 76 の動作を初期化し、ステップ S T 53 ~ S T 55 の処理と同様の処理 ( S T 55' ~ S T 57' ) が実行される。なお、この場合も、所定回数だけ、D L 発行処理を再実行するのが好適である。

#### 【0304】

以上、各種の実施例について詳細に説明したが、具体的な記載内容は、何ら本発明を限定しない。なお、便宜上、弾球遊技機について説明しているが、本発明は、回胴遊技機など他の遊技機に対しても好適に適用可能である。

#### 【符号の説明】

#### 【0305】

G M 遊技機

D L ディスプレイリスト

5 1 C P U 回路

2 3 画像制御手段

5 2 画像生成手段

7 7 描画回路 77

7 2 データ転送回路

S T 2 0 第 1 手段

S T 2 2 第 2 手段

S T 2 3 第 3 手段

S T 2 4 , S T 2 6 第 4 手段

S T 2 5 , S T 2 7 第 5 手段

10

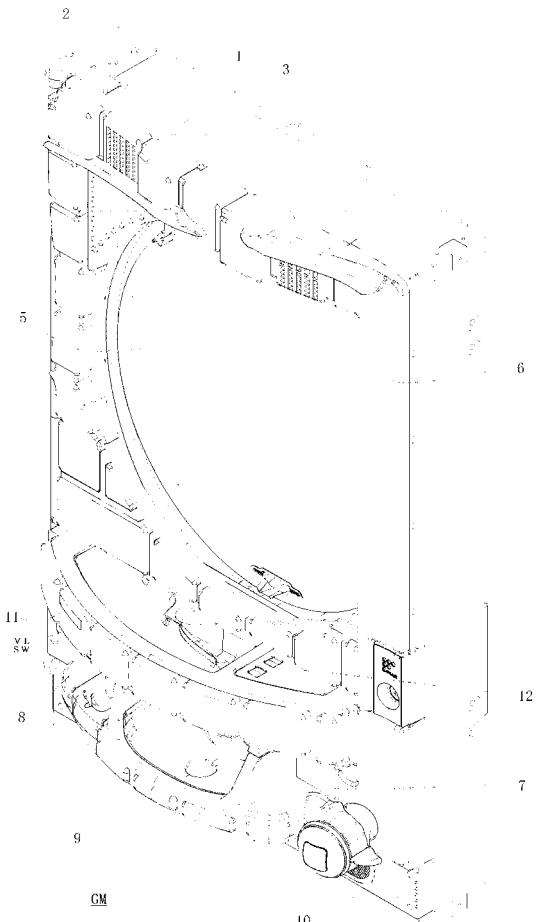
20

30

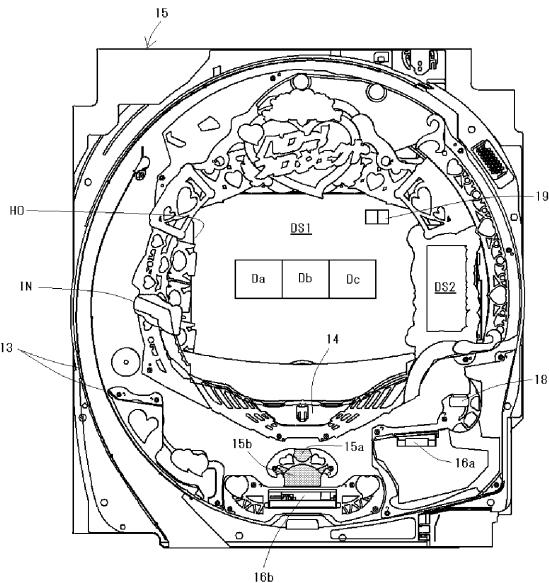
40

50

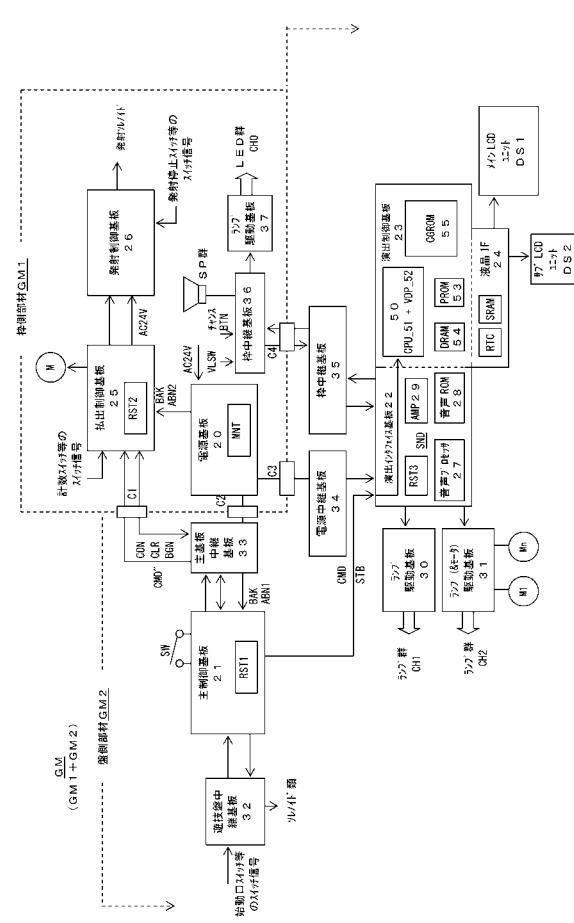
【図 1】



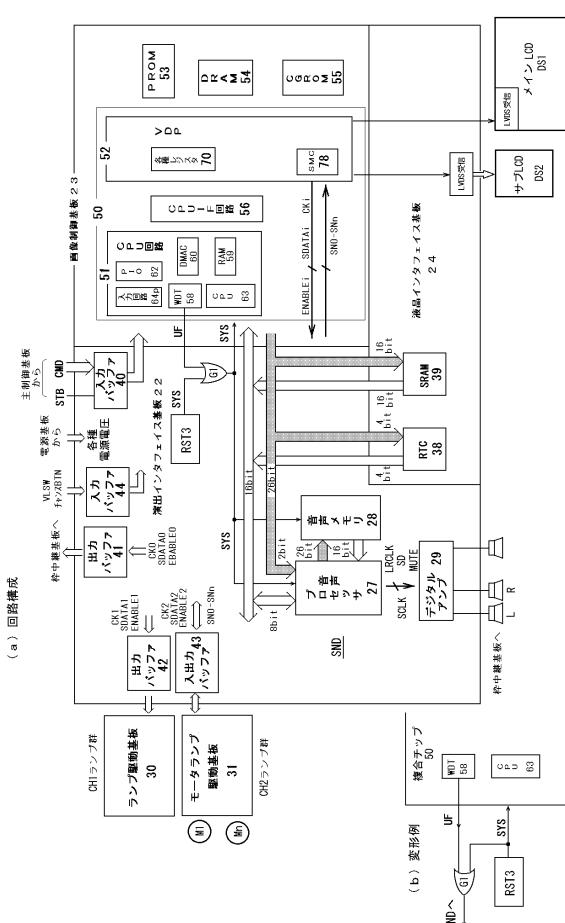
【図 2】



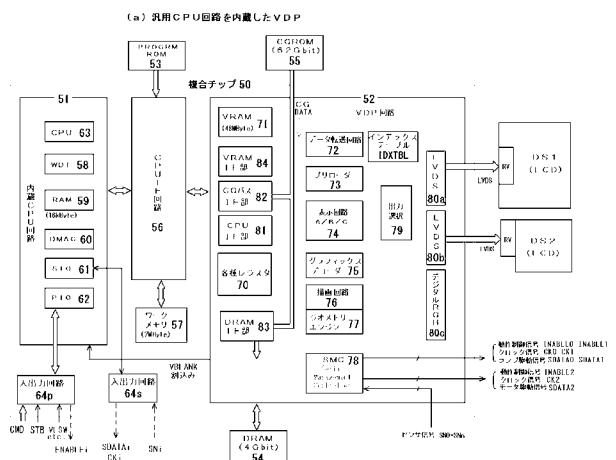
【図 3】



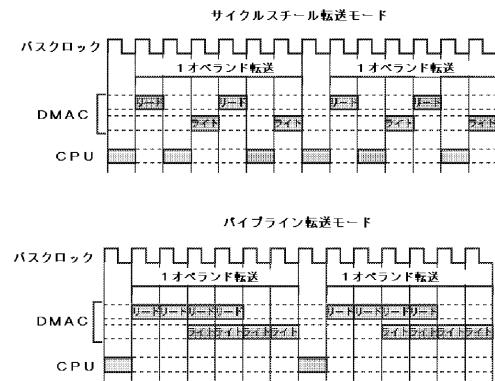
【図 4】



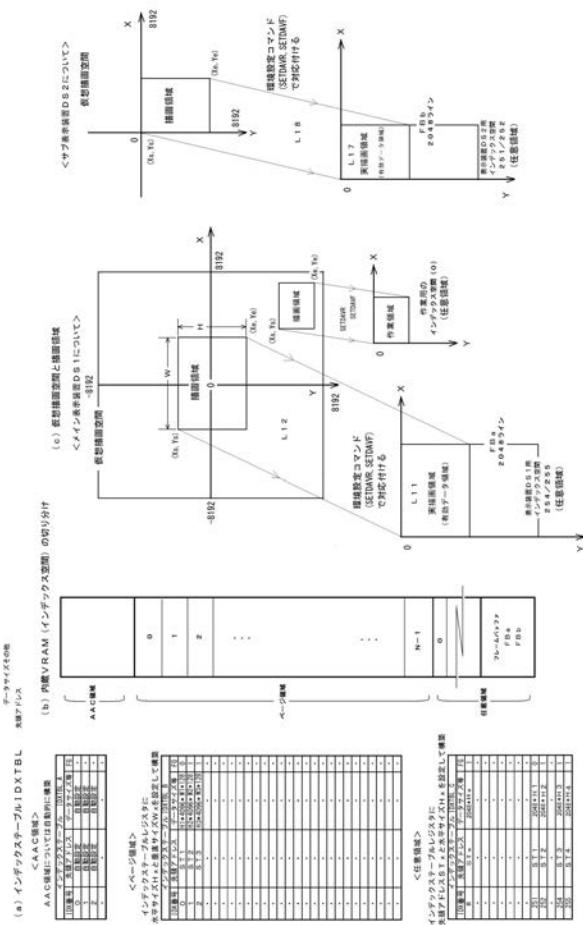
【 図 5 】



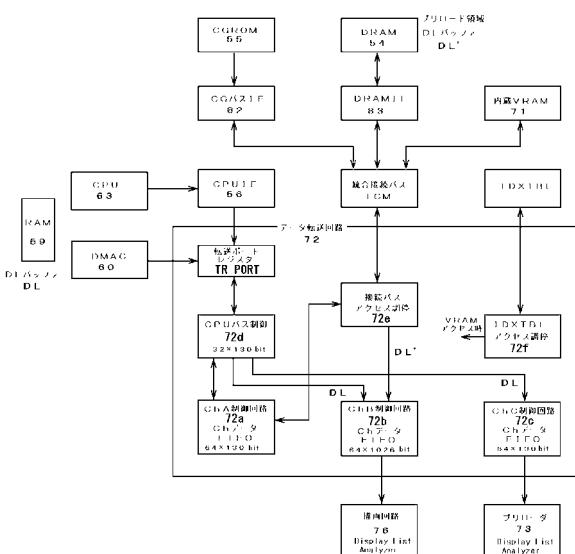
【図6】



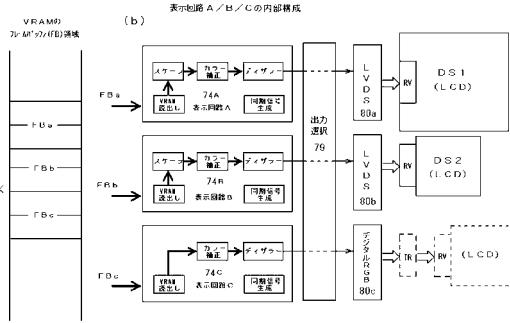
【図7】



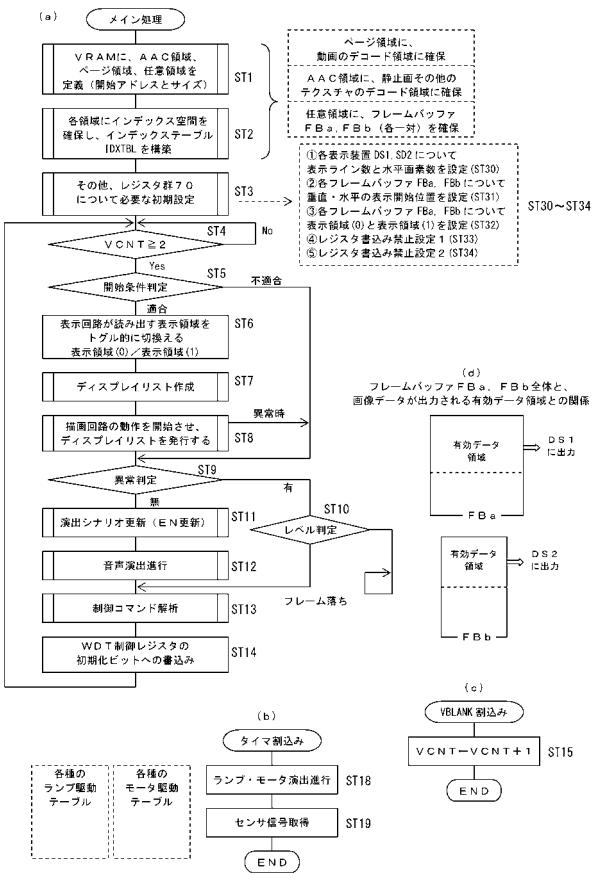
【 図 8 】



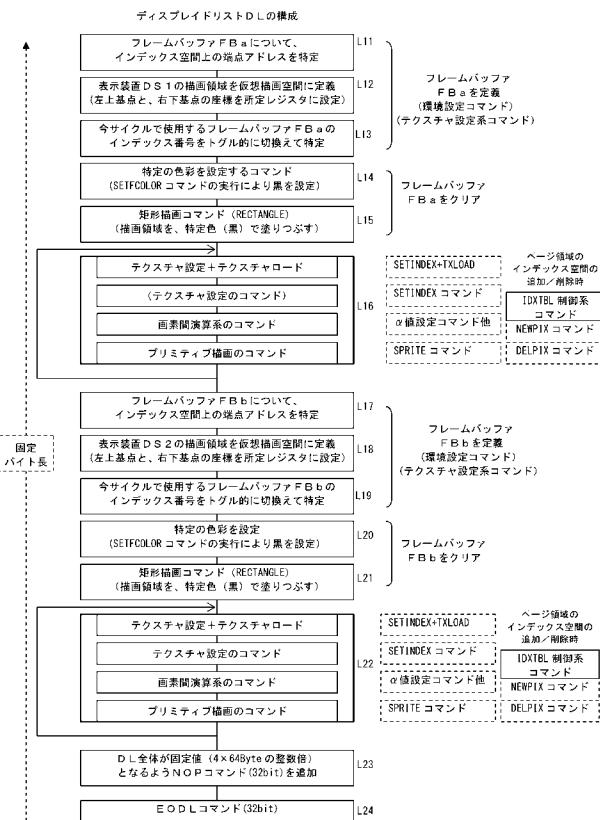
【図9】



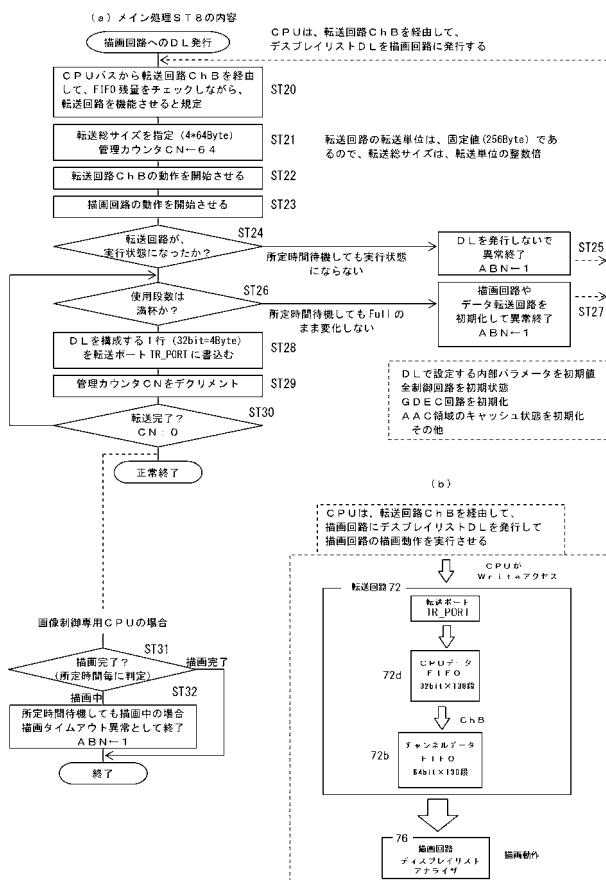
【図10】



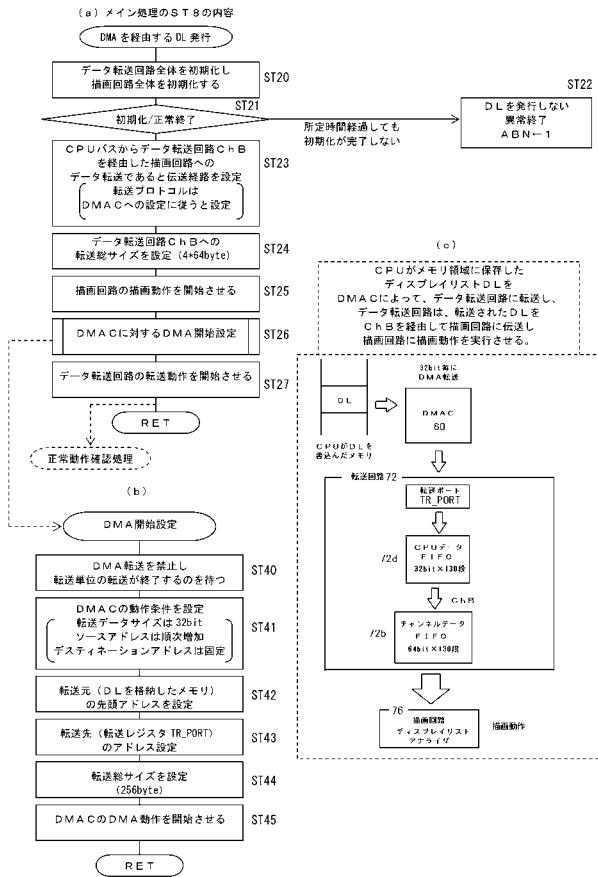
【図11】



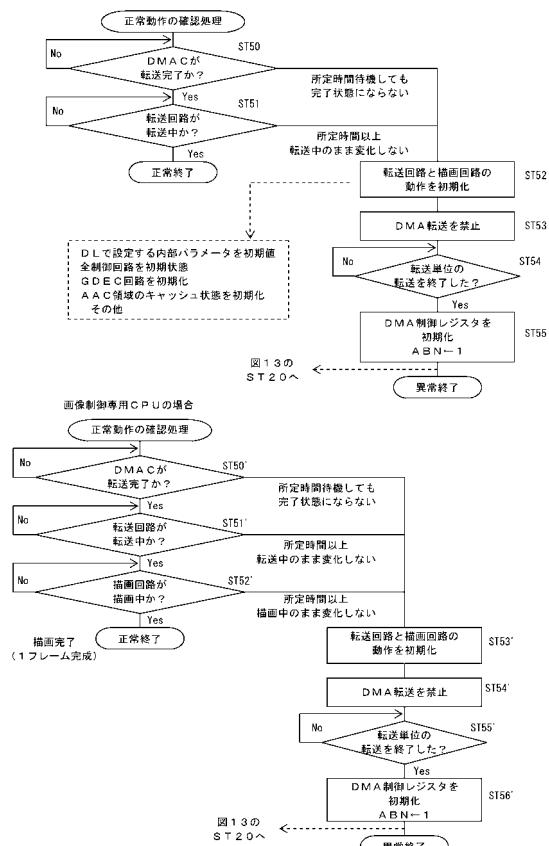
【図12】



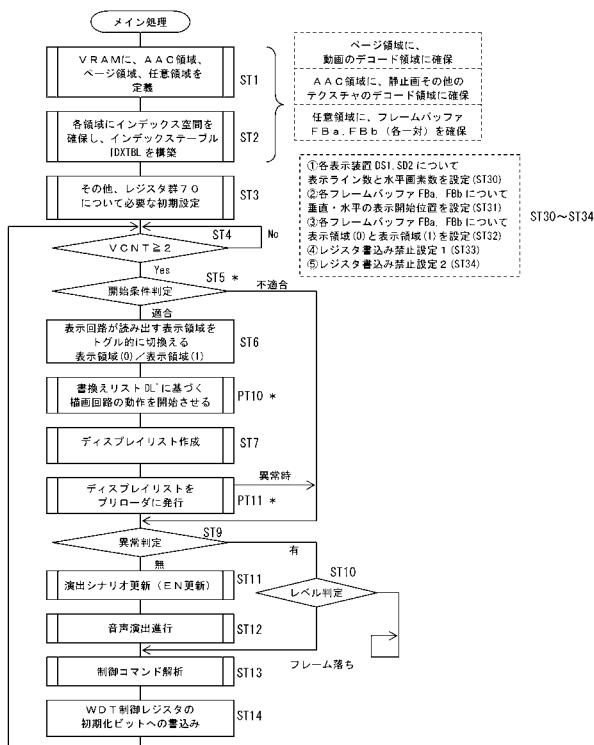
【図 13】



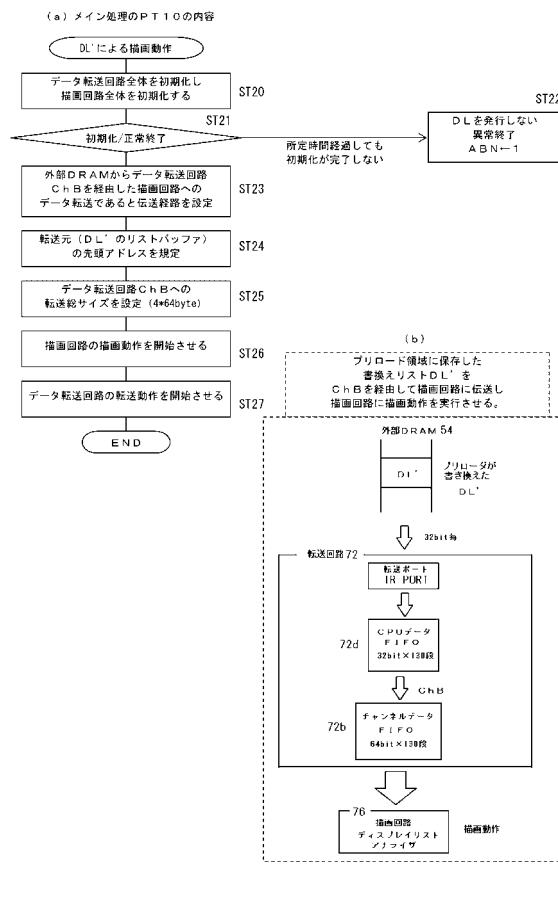
【図 14】



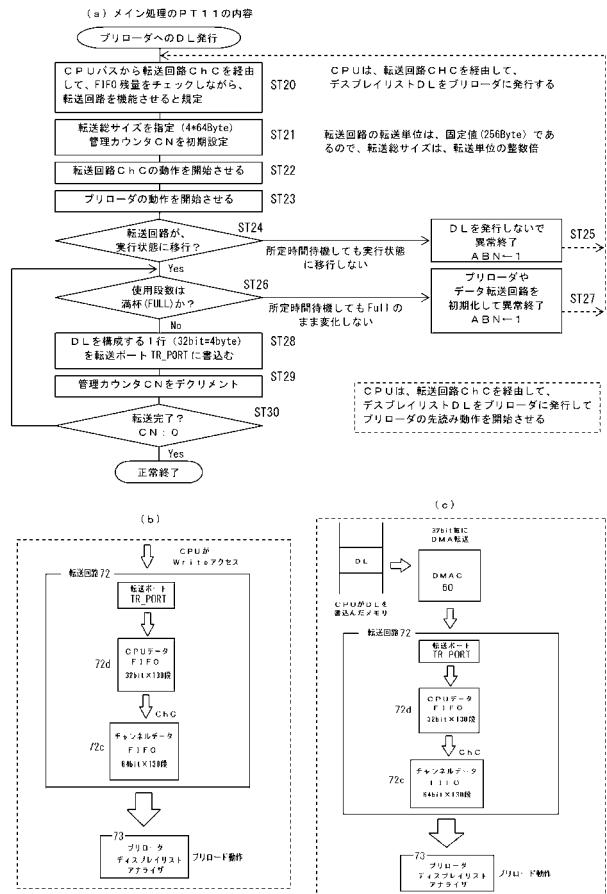
【図 15】



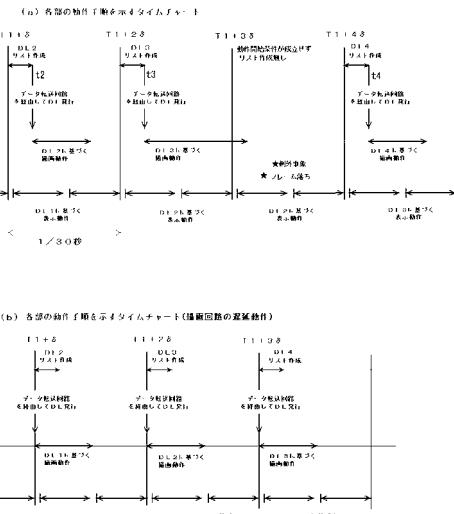
【図 16】



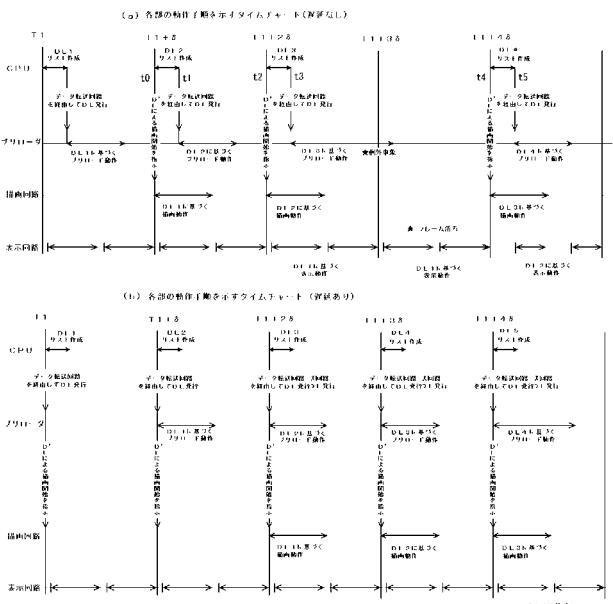
【図 17】



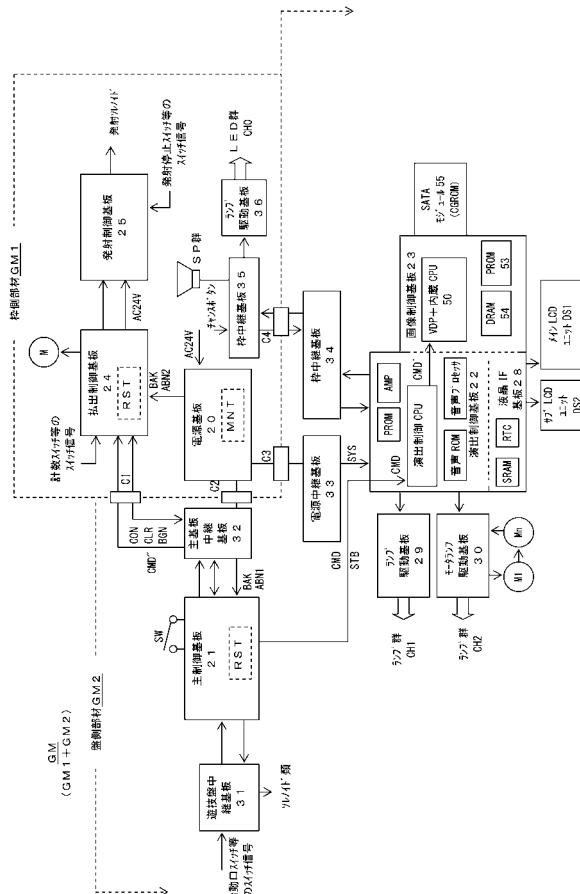
【図 18】



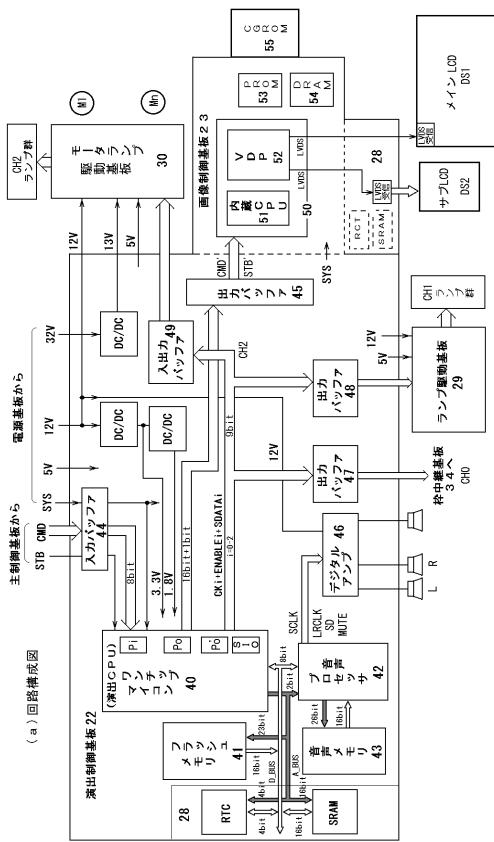
【図 19】



【図 20】



【 図 2 1 】



【 図 2 2 】

