(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. 7
H01L 27/105

(11) 공개번호 특2002 - 0004071
(43) 공개일자 2002년01월16일

(21) 출원번호 10 - 2000 - 0037440
(22) 출원일자 2000년06월30일

(71) 출원인
주식회사 하이닉스반도체
박종섭
경기 이천시 부발읍 아미리 산136 - 1

(72) 발명자
양우석
경기도이천시증포동213 - 5대우1차아파트101 - 601
염승진
경기도이천시대월면사동리현대5차아파트502 - 304

(74) 대리인
특허법인 신성

심사청구 : 없음

(54) 강유전체 결정화 공정에 따른 폴리실리콘 플러그의 산화를방지할 수 있는 강유전체 메모리 소자 제조 방법

요약

본 발명은 강유전체막 결정화를 위한 열처리 공정에서 폴리실리콘 플러그의 산화 및 열적 파괴를 효과적으로 방지할 수 있는 강유전체 메모리 소자 제조 방법에 관한 것으로, 강유전체 결정화 온도를 낮추기 위해서는 강유전체를 구성하는 원소들이 강유전체 결정격자의 정해진 위치로 이동하는 이동도를 향상시켜야 한다. 이를 위하여 본 발명에서는 비정질 강유전체막 형성 후, 강유전체 결정화 공정 전에 강유전체막에 이온을 조사(irradiation) 하는데 특징이 있다. 강유전체막 내에 이온을 조사하면 강유전체막에 여러 결합이 형성되고 이런 결합은 결정화 공정시 강유전체를 구성하는 원소들의 이동도를 촉진시켜 결과적으로 강유전체의 결정화 온도를 600 ℃ 내지 700 ℃로 낮출 수 있다.

대표도

도 2b

색인어

강유전체, 결정화, 이온, 조사, 폴리실리콘 플러그, 산화

명세서

도면의 간단한 설명

도 1a 내지 도 1c는 종래 기술에 따른 FeRAM 소자 제조 공정 단면도,

도 2a 내지 도 2e는 본 발명의 실시 예에 따른 FeRAM 소자 제조 공정 단면도.

도면의 주요부분에 대한 도면 부호의 설명

39: 폴리실리콘 플러그 42: 하부전극막

43: 강유전체막 44: 상부전극막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 소자 제조 분야에 관한 것으로, 특히 강유전체 결정화 공정에 따른 폴리실리콘 플러그의 산화를 방지할 수 있는 강유전체 메모리 소자 제조 방법에 관한 것이다.

반도체 메모리 소자에서 강유전체(ferroelectric) 재료를 캐패시터에 사용함으로써 기존 DRAM(Dynamic Random Access Memory) 소자에서 필요한 리프레쉬(refresh)의 한계를 극복하고 대용량의 메모리를 이용할 수 있는 소자의 개발이 진행되어왔다. FeRAM(ferroelectric random access memory) 소자는 비휘발성 메모리 소자의 일종으로 전원이 끊어진 상태에서도 저장 정보를 기억하는 장점이 있을 뿐만 아니라 동작 속도도 기존의 DRAM에 필적하여 차세대 기억소자로 각광받고 있다.

FeRAM의 축전물질로는 $Sr_xBi_yTa_2O_9$ (이하 SBT)와 $Pb(Zr,Ti)O_3$ (이하 PZT) 박막이 주로 사용된다. 강유전체는 상온에서 유전상수가 수백에서 수천에 이르며 두 개의 안정한 잔류분극(remnant polarization) 상태를 갖고 있어 이를 박막화하여 비휘발성(nonvolatile) 메모리 소자로의 응용이 실현되고 있다. 강유전체 박막을 이용하는 비휘발성 메모리 소자는, 가해주는 전기장의 방향으로 분극의 방향을 조절하여 신호를 입력하고 전기장을 제거하였을 때 남아있는 잔류분극의 방향에 의해 디지털 신호 1과 0을 저장하는 원리를 이용한다.

이하, 첨부된 도면 도 1a 내지 도 1c를 참조하여 종래 기술에 따른 FeRAM 소자 제조 공정 방법을 설명한다.

먼저 도 1a에 도시한 바와 같이, 소자분리막(11) 그리고 게이트 절연막(12), 게이트 전극(13) 및 소오스·드레인(14)으로 이루어지는 트랜지스터 형성이 완료된 반도체 기판(10) 상에 HTO(high temperature oxide)와 BPSG(borophosphosilicate glass)를 적층하여 제1 층간절연막(15)을 형성하고, 제1 층간절연막(15)을 선택적으로 식각하여 소오스·드레인(14)을 노출시키는 제1 콘택홀(C1)을 형성하고, 제1 콘택홀(C1)을 통하여 트랜지스터의 소오스·드레인(14)과 연결되는 비트라인(16)을 형성한 다음, 비트라인(16) 형성이 완료된 전체 구조 상에 제2 층간절연막(17)을 형성하고, 제2 층간절연막(17)과 제1 층간절연막(15)을 선택적으로 식각하여 트랜지스터의 또 다른 소오스·드레인(14)과 연결되는 제2 콘택홀(C2)을 형성하고, 제2 콘택홀(C2) 내에 폴리실리콘 플러그(18), 폴리실리콘 플러그(18) 상에 Ti, Co 등을 형성하고 후열처리하여 실리사이드층(19)을 형성한 후, TiN, TiAlN 또는 TiSiN 등을 증착하고 CMP(chemical mechanical polishing) 공정을 실시하여 콘택홀 내에 확산방지막(20)을 형성한다.

다음으로 도 1b에 도시한 바와 같이, 하부전극막(21), 강유전체막(22) 및 상부전극막(23)을 적층하고, 마스크 공정 및 식각 공정 등으로 상부전극막(23), 강유전체막(22) 그리고 하부전극막(21)을 패터닝하여 캐패시터 패턴을 형성한다. 그 후, 식각 충격에 의해 열화된(degradation)된 강유전체 특성을 회복시켜주기 위한 열처리 공정을 실시한다.

다음으로 도 1c에 도시한 바와 같이, 상기와 같은 강유전체 캐패시터 형성이 완료된 전체 구조 상에 수소 확산방지막(24) 및 제3 층간절연막(25)을 형성하고, 제3 층간절연막(25)과 수소 확산방지막(24)을 선택적으로 식각하여 강유전체 캐패시터의 상부전극(23)을 노출시키는 제3 콘택홀(C3)을 형성한 다음, 금속배선(26)을 형성한다.

강유전체 결정화 반응은 강유전체를 구성하는 원소들이 강유전체 결정격자의 정해진 위치로 이동함에 따라 일어난다. 예를 들면 SBT에서 Sr, Bi, Ta 또는 O 원소는 Bi-레이어드 페롭스카이트(Bi-layered perovskite) 구조의 정해진 위치로 이동함에 따라 강유전체의 결정화 반응이 일어나는 것이다. SBT, SBTN($Sr_x Bi_y (Ta_{1-z} Nb_z)_2 O_9$), BLT($Bi_{4-x} La_x Ti_3 O_{12}$) 등과 같은 Bi-레이어드 페롭스카이트 강유전체의 경우는 결정화를 위해 높은 에너지가 필요하므로 결정화 공정은 통상적으로 700 ℃ 내지 800 ℃의 고온에서 진행된다.

그런데, 이와 같이 고온에서 행하는 강유전체 결정화 공정은 고밀도 FeRAM 소자에서 강유전체 캐패시터 아래에 형성되는 폴리실리콘 플러그의 열적 파괴를 일으켜 폴리실리콘 플러그 콘택 저항을 증가시키는 치명적인 문제점을 유발한다.

발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 해결하기 위한 본 발명은 강유전체막 결정화를 위한 열처리 공정에서 폴리실리콘 플러그의 산화 및 열적 파괴를 효과적으로 방지할 수 있는 강유전체 메모리 소자 제조 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명은, 트랜지스터를 포함한 하부구조 형성이 완료된 반도체 기판 상에 층간절연막을 형성하는 제1 단계; 상기 층간절연막을 선택적으로 식각하여 상기 트랜지스터의 소오스·드레인을 노출시키는 콘택홀을 형성하는 제2 단계; 상기 콘택홀 내부에 폴리실리콘 플러그를 형성하는 제3 단계; 및 상기 제3 단계가 완료된 전체 구조 상에 하부전극막, 강유전체막 및 상부전극으로 이루어지는 강유전체 캐패시터를 형성하되, 상기 강유전체막 내에 이온을 조사한 다음, 상기 강유전체막 결정화를 위한 열처리 공정을 실시하는 제4 단계를 포함하는 강유전체 메모리 소자 제조 방법을 제공한다.

강유전체 결정화 온도를 낮추기 위해서는 강유전체를 구성하는 원소들이 강유전체 결정격자의 정해진 위치로 이동하는 이동도를 향상시켜야 한다. 이를 위하여 본 발명에서는 비정질 강유전체막 형성 후, 강유전체 결정화 공정 전에 강유전체막에 이온을 조사(irradiation) 하는데 특징이 있다. 강유전체막 내에 이온을 조사하면 강유전체막에 여러 결함이 형성되고 이런 결함은 결정화 공정시 강유전체를 구성하는 원소들의 이동도를 촉진시켜 결과적으로 강유전체의 결정화 온도를 600 ℃ 내지 700 ℃로 낮출 수 있다.

이하 첨부된 도면 도 2a 내지 도 2e를 참조하여 본 발명의 실시 예에 따른 강유전체 메모리 소자 제조 방법을 상세하게 설명한다.

먼저 도 2a에 도시한 바와 같이, 소자분리막(31) 그리고 게이트 절연막(32), 게이트 전극(33) 및 소오스·드레인(34)으로 이루어지는 트랜지스터 형성이 완료된 반도체 기판(30) 상부에 BPSG 등으로 제1 층간절연막(35)을 형성하고, 상기 제1 층간절연막(35) 내에 형성된 콘택홀을 통하여 상기 트랜지스터의 소오스·드레인(34)과 연결되는 비트라인(36)을 형성한다. 이어서, 비트라인(36) 형성이 완료된 전체 구조 상에 제2 층간절연막(37)을 형성하고, 제2 층간절

연막(37) 상에 고온 산화막(high temperature oxide, HTO) 등으로 페시베이션 산화막(passivation oxide)(38)을 형성한 다음, 페시베이션 산화막(38) 및 제2 층간절연막(37)을 선택적으로 식각하여 소오스·드레인(34)을 노출시키는 콘택홀을 형성한 다음, 상기 콘택홀 내에 폴리실리콘 플러그(39), 폴리실리콘 플러그(39) 상에 Ti, Co 등을 형성하고 후열처리하여 실리사이드층(40)을 형성한 후, TiN, TiAlN 또는 TiSiN 등을 증착하고 CMP(chemical mechanical polishing) 공정을 실시하여 콘택홀 내에 확산방지막(41)을 형성한다.

다음으로 도 2b에 도시한 바와 같이, 확산방지막(41) 상에 Ir 또는 Ir/IrO_x 적층구조로 이루어지는 하부전극막(42)을 형성하고 상기 하부전극막(42) 상에 강유전체막(43)을 형성한다.

상기 강유전체막(43)은 Bi-레이어드(Bi-layered) 구조의 SBT($Sr_xBi_yTa_2O_9$, x는 0.7 내지 1.0, y는 2.0 내지 2.6), SBTN($Sr_xBi_y(Ta_iNb_j)_2O_9$, x는 0.7 내지 1.0, y는 2.0 내지 2.6, i는 0.7 내지 0.9, j는 0.1 내지 0.3), BLT($Bi_{4-x}La_xTi_3O_{12}$, x는 0.6 내지 0.9) 등의 물질로 형성하며, 증착방법으로는 MOD(metal organic deposition), 졸-겔(sol-gel), LSMCD(liquid source mist chemical deposition), 스퍼터링(sputtering) 또는 MOCVD(metal organic chemical vapor deposition) 방법을 이용한다.

이어서, 상기와 같이 형성된 강유전체막(43) 내에, 10 KV 내지 20 KV의 가속전압으로 Ar, Kr, Xe 등과 같은 불활성 가스의 이온을 조사한 다음, 500 ℃ 내지 700 ℃에서 60분간 결정화 공정을 실시한다.

다음으로 도 2c에 도시한 바와 같이, 강유전체막(43) 상에 상부전극막(44)을 형성한다.

이어서 도 2d에 보이는 바와 같이, 마스크 공정 및 식각 공정 등으로 상부전극막(44), 강유전체막(43), 그리고 하부전극막(42)을 패터닝하여 캐패시터 패턴을 형성한다. 그 후, 식각 충격에 의해 열화된(degradation)된 강유전체 특성을 회복시켜주기 위한 열처리 공정을 실시한다.

다음으로 도 2e에 도시한 바와 같이 전체 구조 상에 Al_2O_3 수소확산방지막(45)을 형성하고, SiO_x, SOG(spin on glass) 및 SiON 등을 증착하여 평탄화를 위한 층간절연막(46)을 형성하고, 제3 층간절연막(46)과 수소 확산방지막(45)을 선택적으로 식각하여 강유전체 캐패시터의 상부전극(44)을 노출시키는 콘택홀을 형성한 다음, TiN 반사방지막, Al막 및 TiN 확산방지막 등을 적층하고 패터닝하여 금속배선(47)을 형성한다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

상기와 같이 이루어지는 본 발명은 폴리실리콘 플러그 구조를 갖는 고밀도 FeRAM 소자 제조 공정에서 강유전체막 내에 이온을 조사한 다음 결정화 공정을 실시함으로써 600 ℃ 내지 700 ℃ 정도의 저온에서 결정화 공정을 진행하는 것이 가능하다. 따라서, 종래 상압(760 Torr) 고온(650 ℃ 내지 800 ℃) 온도 조건으로 강유전체 결정화를 위한 열처리 공정을 실시하는 경우 발생하는 산화 및 열적 파괴에 따른 폴리실리콘 플러그 콘택 저항 문제를 해결할 수 있어서 강유전체 캐패시터의 특성 향상을 기대할 수 있다.

(57) 청구의 범위

청구항 1.

반도체 기판 상부에 하부전극막, 강유전체막 및 상부전극을 적층하여 강유전체 캐패시터를 형성하는 강유전체 메모리 소자 제조 방법에 있어서,

상기 강유전체막을 형성하는 단계;

상기 강유전체막 내에 이온을 조사하는 단계; 및

상기 강유전체막 결정화를 위한 열처리 공정을 실시하는 단계

를 포함하는 강유전체 메모리 소자 제조 방법.

청구항 2.

강유전체 메모리 소자 제조 방법에 있어서,

트랜지스터를 포함한 하부구조 형성이 완료된 반도체 기판 상에 층간절연막을 형성하는 제1 단계;

상기 층간절연막을 선택적으로 식각하여 상기 트랜지스터의 소오스·드레인을 노출시키는 콘택홀을 형성하는 제2 단계;

상기 콘택홀 내부에 폴리실리콘 플러그를 형성하는 제3 단계; 및

상기 제3 단계가 완료된 전체 구조 상에 하부전극막, 강유전체막 및 상부전극막으로 이루어지는 강유전체 캐패시터를 형성하되, 상기 강유전체막 내에 이온을 조사한 다음, 상기 강유전체막 결정화를 위한 열처리 공정을 실시하는 제4 단계를 포함하는 강유전체 메모리 소자 제조 방법.

청구항 3.

제 1 항 또는 제 2 항에 있어서,

상기 강유전체막 결정화를 위한 열처리 공정은 600 ℃ 내지 700 ℃ 온도에서 실시하는 것을 특징으로 하는 강유전체 메모리 소자 제조 방법.

청구항 4.

제 3 항에 있어서,

상기 강유전체막을,

SBT, SBTN 또는 BLT로 형성하는 것을 특징으로 하는 강유전체 메모리 소자 제조 방법.

청구항 5.

제 4 항에 있어서,

상기 제4 단계는,

상기 제3 단계가 완료된 전체 구조 상에 상기 하부전극막을 형성하는 제5 단계;

상기 하부전극막 상에 강유전체막을 형성하는 제6 단계;

상기 강유전체막 내에 이온을 조사하는 제7 단계;

상기 강유전체막 결정화를 위한 열처리 공정을 실시하는 제8 단계; 및

상기 강유전체막 상에 상기 상부전극막을 형성하는 제9 단계를 포함하는 것을 특징으로 하는 강유전체 메모리 소자 제조 방법.

청구항 6.

제 5 항에 있어서,

상기 제7 단계에서,

Ar, Kr, Xe 이온을 조사하는 것을 특징으로 하는 강유전체 메모리 소자 제조 방법.

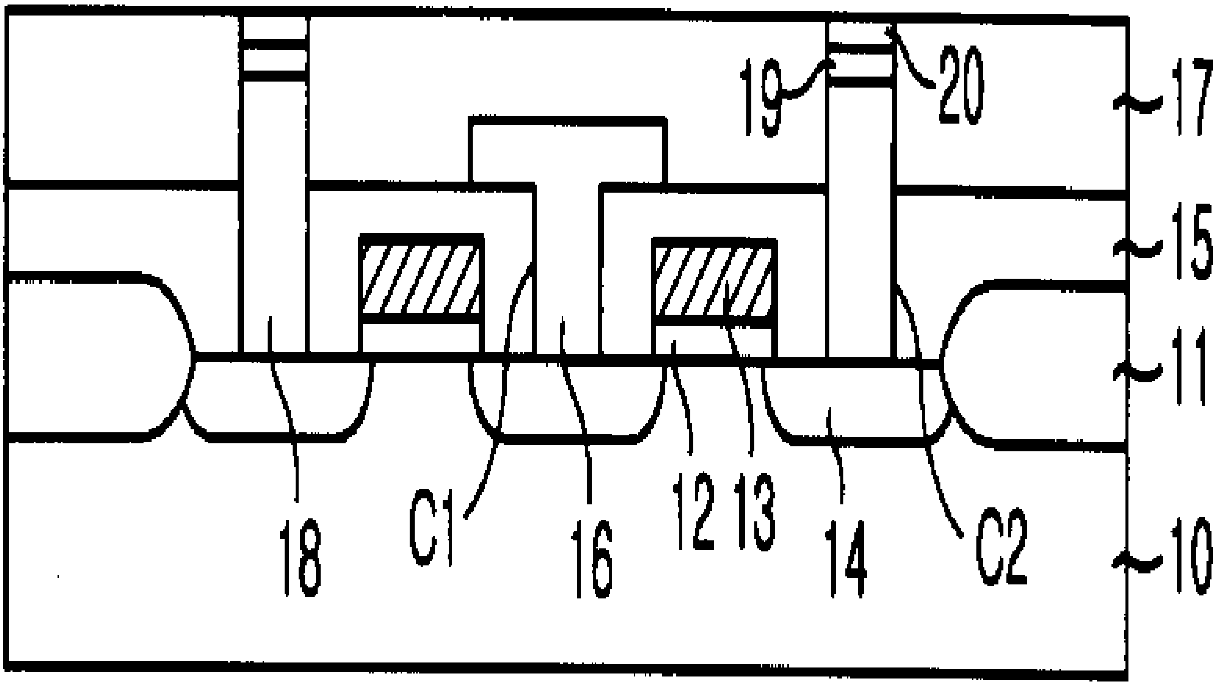
청구항 7.

제 6 항에 있어서,

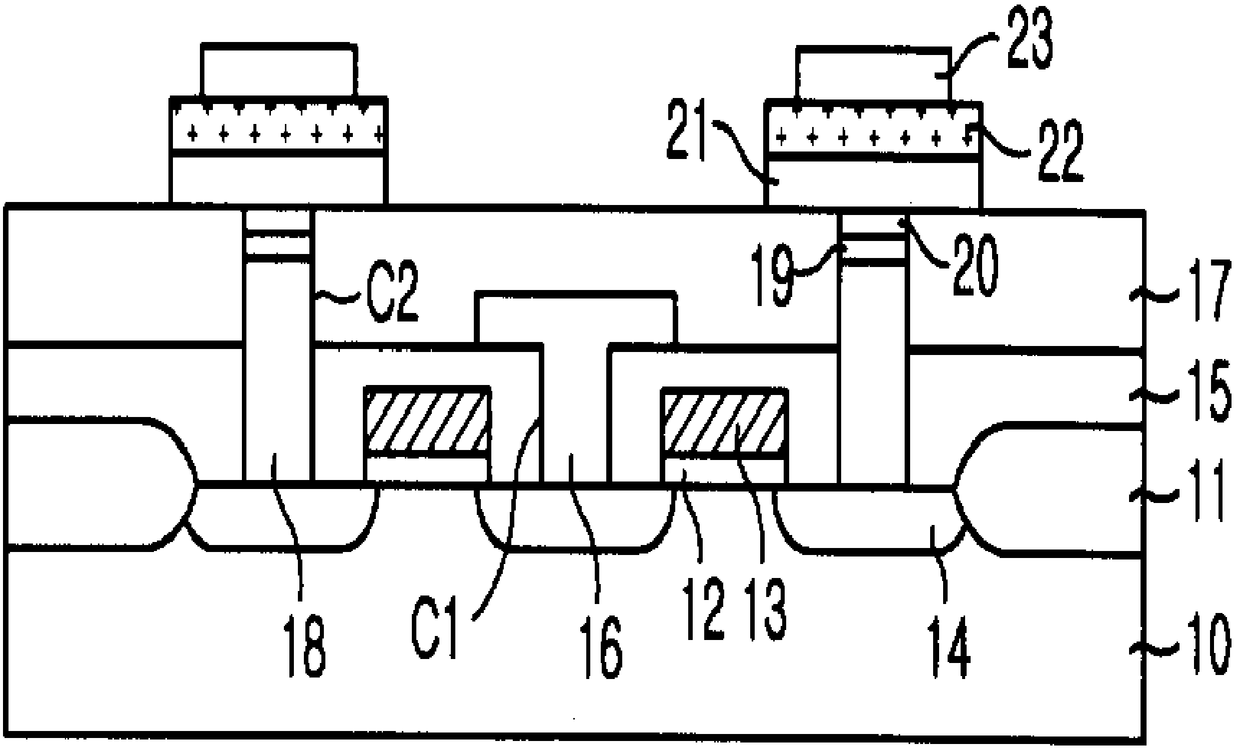
상기 제7 단계에서,

10 KV 내지 20 KV의 가속전압으로 상기 이온을 조사하는 것을 특징으로 하는 강유전체 메모리 소자 제조 방법.

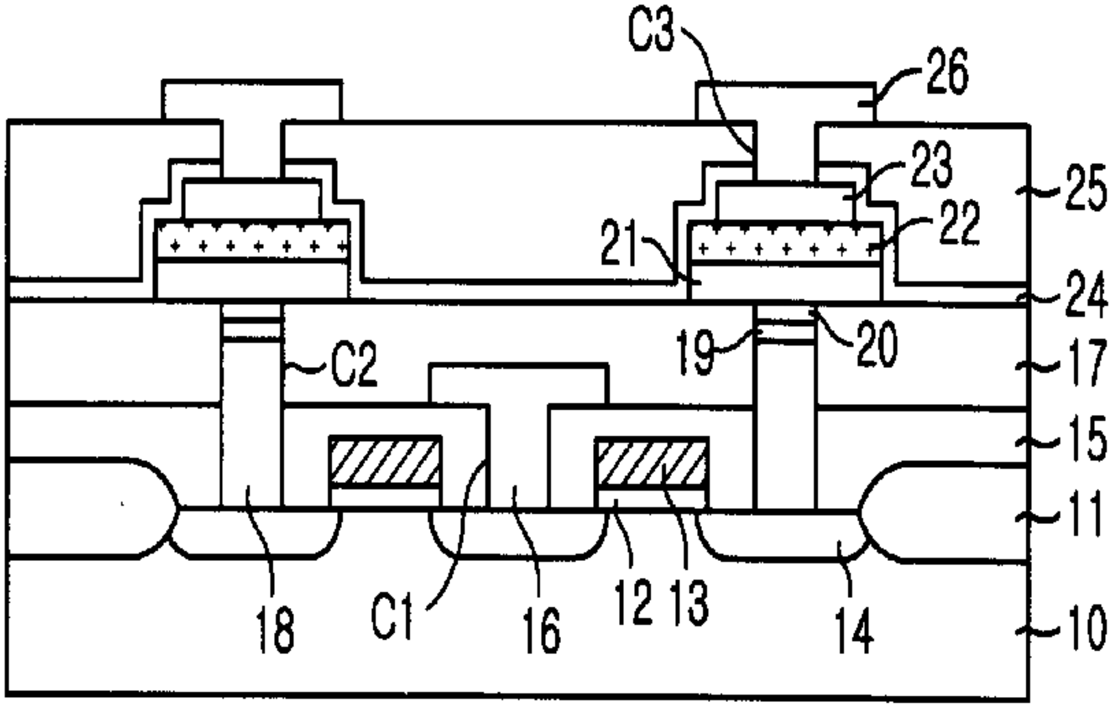
도면 1a



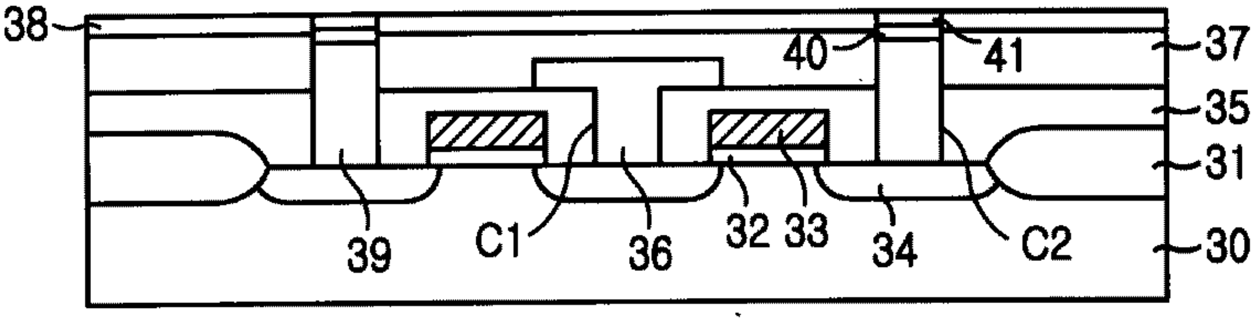
도면 1b



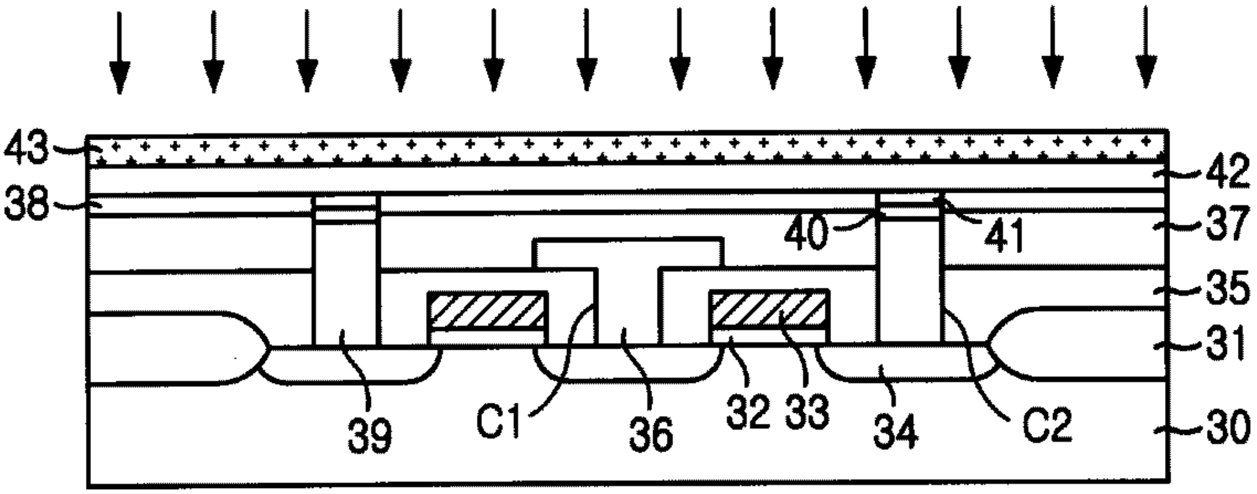
도면 1c


C3
26
23
25
22
21
24
C2
19
20
17
15
11
18
C1
16
12
13
14
10

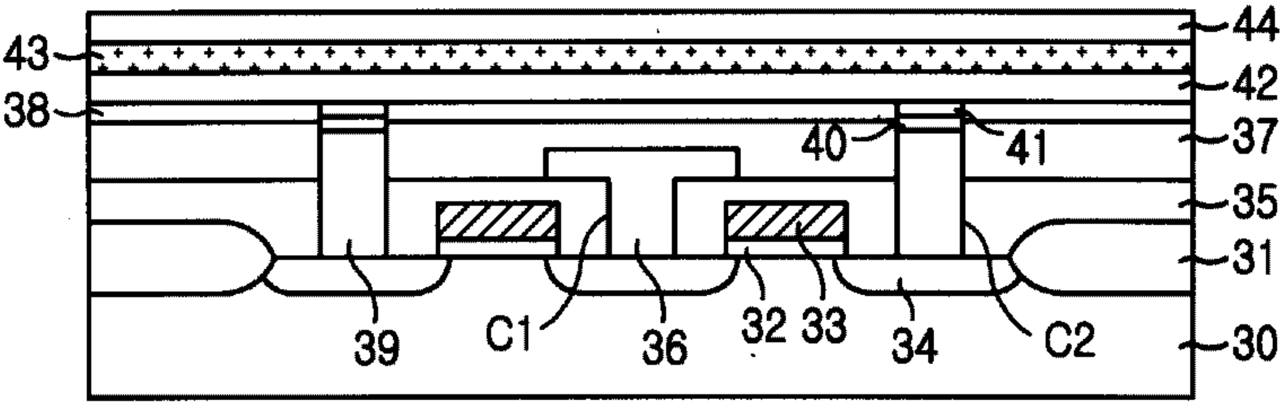
도면 2a


38
40
41
37
35
31
39
C1
36
32
33
34
C2
30

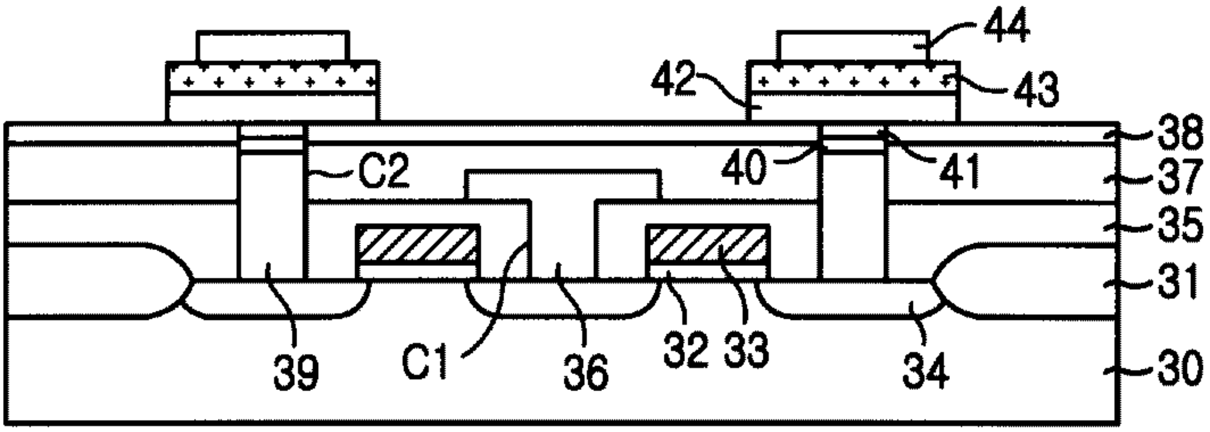
도면 2b


43
38
42
37
40
41
35
31
39
C1
36
32 33
34
C2
30

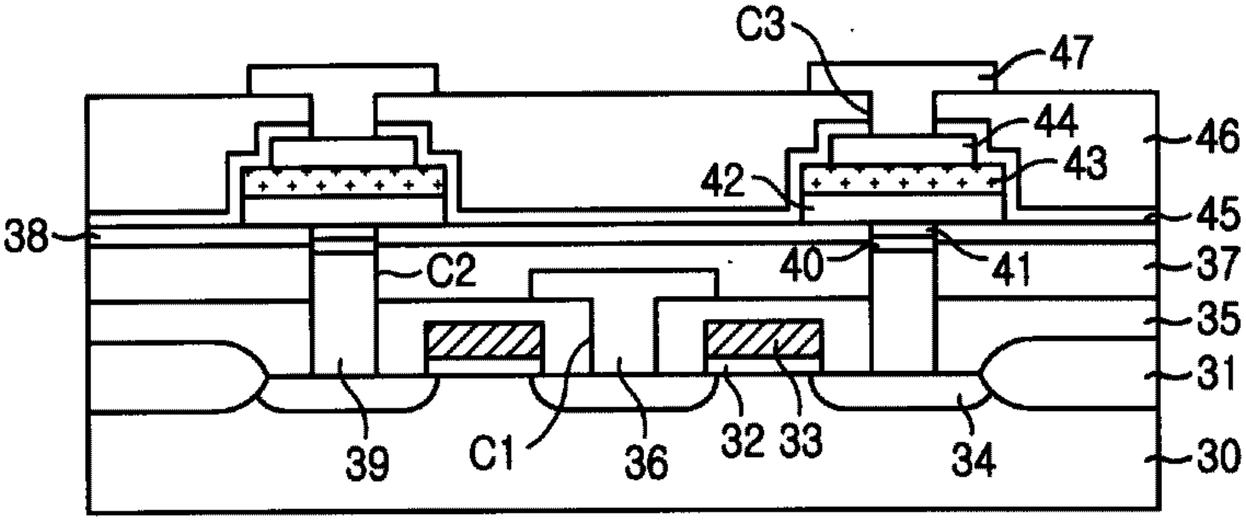
도면 2c


44
43
42
38
40
41
37
35
31
39
C1
36
32 33
34
C2
30

도면 2d


44
42
43
38
C2
40
41
37
35
31
39
C1
36
32 33
34
30

도면 2e


C3
47
44
46
43
42
45
38
C2
40
41
37
35
31
39
C1
36
32 33
34
30