

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4039376号
(P4039376)

(45) 発行日 平成20年1月30日(2008.1.30)

(24) 登録日 平成19年11月16日(2007.11.16)

(51) Int.Cl.

F I

HO 1 L 29/12 (2006.01)	HO 1 L 29/78	6 5 2 T
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	6 5 2 B
HO 1 L 29/06 (2006.01)	HO 1 L 29/78	6 5 2 J
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 5 2 K
	HO 1 L 29/78	6 5 2 P

請求項の数 9 (全 13 頁) 最終頁に続く

(21) 出願番号 特願2004-65474 (P2004-65474)
 (22) 出願日 平成16年3月9日(2004.3.9)
 (65) 公開番号 特開2005-259766 (P2005-259766A)
 (43) 公開日 平成17年9月22日(2005.9.22)
 審査請求日 平成17年4月25日(2005.4.25)

(73) 特許権者 000003997
 日産自動車株式会社
 神奈川県横浜市神奈川区宝町2番地
 (74) 代理人 100075753
 弁理士 和泉 良彦
 (74) 代理人 100081341
 弁理士 小林 茂
 (72) 発明者 田中 秀明
 神奈川県横浜市神奈川区宝町2番地
 日産自動車株式会社
 内
 (72) 発明者 星 正勝
 神奈川県横浜市神奈川区宝町2番地
 日産自動車株式会社
 内
 最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1導電型の第1の半導体材料からなる半導体基体と、該半導体基体とヘテロ接合し前記第1の半導体材料とはバンドギャップの異なる第2の半導体材料からなるヘテロ半導体領域と、前記半導体基体と前記ヘテロ半導体領域との接合部に隣接して第1のゲート絶縁膜を介して配設された第1のゲート電極と、前記ヘテロ半導体領域に接触するソース電極と、前記半導体基体に接触するドレイン電極とを有する半導体装置において、

前記第1のゲート絶縁膜及びヘテロ半導体領域を介して前記第1のゲート電極の少なくとも一部と対向する部位に前記ヘテロ半導体領域に対してビルトイン電界を及ぼす領域を有し、

前記ヘテロ半導体領域に対してビルトイン電界を及ぼす領域が、前記ヘテロ半導体領域に接して配設された第2のゲート絶縁膜及び該第2のゲート絶縁膜に接して配設された第2のゲート電極からなることを特徴とする半導体装置。

【請求項2】

第1導電型の第1の半導体材料からなる半導体基体と、該半導体基体とヘテロ接合し前記第1の半導体材料とはバンドギャップの異なる第2の半導体材料からなるヘテロ半導体領域と、前記半導体基体と前記ヘテロ半導体領域との接合部に隣接して第1のゲート絶縁膜を介して配設された第1のゲート電極と、前記ヘテロ半導体領域に接触するソース電極と、前記半導体基体に接触するドレイン電極とを有する半導体装置において、

前記第1のゲート絶縁膜及びヘテロ半導体領域を介して前記第1のゲート電極の少なく

とも一部と対向する部位に前記ヘテロ半導体領域に対してビルトイン電界を及ぼす領域を有し、

前記ヘテロ半導体領域に対してビルトイン電界を及ぼす領域が、前記ヘテロ半導体領域に接して配設され、前記第1導電型の第1の半導体材料の仕事関数、前記第2の半導体材料の仕事関数のいずれよりも大きい仕事関数を有する金属からなり且つ前記ヘテロ半導体領域に接触していることを特徴とする半導体装置。

【請求項3】

第1導電型の第1の半導体材料からなる半導体基体と、該半導体基体とヘテロ接合し前記第1の半導体材料とはバンドギャップの異なる第2の半導体材料からなるヘテロ半導体領域と、前記半導体基体と前記ヘテロ半導体領域との接合部に隣接して第1のゲート絶縁膜を介して配設された第1のゲート電極と、前記ヘテロ半導体領域に接触するソース電極と、前記半導体基体に接触するドレイン電極とを有する半導体装置において、

前記第1のゲート絶縁膜及びヘテロ半導体領域を介して前記第1のゲート電極の少なくとも一部と対向する部位に前記ヘテロ半導体領域に対してビルトイン電界を及ぼす領域を有し、

前記ヘテロ半導体領域に対してビルトイン電界を及ぼす領域が、前記ヘテロ半導体領域に接して配設された第2導電型の前記第1の半導体材料からなり且つ前記ヘテロ半導体領域に接触していることを特徴とする半導体装置。

【請求項4】

第1導電型の第1の半導体材料からなる半導体基体と、該半導体基体とヘテロ接合し前記第1の半導体材料とはバンドギャップの異なる第2の半導体材料からなるヘテロ半導体領域と、該ヘテロ半導体領域を深さ方向に貫通して前記半導体基体に達するように形成された溝と、該溝内に第1のゲート絶縁膜を介して配設された第1のゲート電極と、前記ヘテロ半導体領域に接触するソース電極と、前記半導体基体に接触するドレイン電極とを有する半導体装置において、

前記第1のゲート絶縁膜及びヘテロ半導体領域を介して前記第1のゲート電極の少なくとも一部と対向する部位に前記ヘテロ半導体領域に対してビルトイン電界を及ぼす領域を有し、

前記ヘテロ半導体領域に対してビルトイン電界を及ぼす領域が、前記ヘテロ半導体領域に接して配設された第2のゲート絶縁膜及び該第2のゲート絶縁膜に接して配設された第2のゲート電極からなることを特徴とする半導体装置。

【請求項5】

第1導電型の第1の半導体材料からなる半導体基体と、該半導体基体とヘテロ接合し前記第1の半導体材料とはバンドギャップの異なる第2の半導体材料からなるヘテロ半導体領域と、該ヘテロ半導体領域を深さ方向に貫通して前記半導体基体に達するように形成された溝と、該溝内に第1のゲート絶縁膜を介して配設された第1のゲート電極と、前記ヘテロ半導体領域に接触するソース電極と、前記半導体基体に接触するドレイン電極とを有する半導体装置において、

前記第1のゲート絶縁膜及びヘテロ半導体領域を介して前記第1のゲート電極の少なくとも一部と対向する部位に前記ヘテロ半導体領域に対してビルトイン電界を及ぼす領域を有し、

前記ヘテロ半導体領域に対してビルトイン電界を及ぼす領域が、前記ヘテロ半導体領域に接して配設され、前記第1導電型の第1の半導体材料の仕事関数、前記第2の半導体材料の仕事関数のいずれよりも大きい仕事関数を有する金属からなり且つ前記ヘテロ半導体領域に接触していることを特徴とする半導体装置。

【請求項6】

第1導電型の第1の半導体材料からなる半導体基体と、該半導体基体とヘテロ接合し前記第1の半導体材料とはバンドギャップの異なる第2の半導体材料からなるヘテロ半導体領域と、該ヘテロ半導体領域を深さ方向に貫通して前記半導体基体に達するように形成された溝と、該溝内に第1のゲート絶縁膜を介して配設された第1のゲート電極と、前記ヘ

10

20

30

40

50

テロ半導体領域に接触するソース電極と、前記半導体基体に接触するドレイン電極とを有する半導体装置において、

前記第1のゲート絶縁膜及びヘテロ半導体領域を介して前記第1のゲート電極の少なくとも一部と対向する部位に前記ヘテロ半導体領域に対してビルトイン電界を及ぼす領域を有し、

前記ヘテロ半導体領域に対してビルトイン電界を及ぼす領域が、前記ヘテロ半導体領域に接して配設された第2導電型の前記第1の半導体材料からなり且つ前記ヘテロ半導体領域に接触していることを特徴とする半導体装置。

【請求項7】

前記第1のゲート電極と前記ヘテロ半導体領域に対してビルトイン電界を及ぼす領域とに挟まれた前記ヘテロ半導体領域の幅が、前記第1のゲート絶縁膜と前記ヘテロ半導体領域との接合界面から前記ヘテロ半導体領域へ伸びる前記第1のゲート電極からのビルトイン電界の及ぶ距離と、前記ヘテロ半導体領域に対してビルトイン電界を及ぼす領域と前記ヘテロ半導体領域との接合界面から前記ヘテロ半導体領域へ伸びる前記ヘテロ半導体領域に対してビルトイン電界を及ぼす領域からのビルトイン電界の及ぶ距離との和よりも小さいことを特徴とする請求項1乃至6の何れかに記載の半導体装置。

10

【請求項8】

前記第1の半導体材料が炭化珪素であることを特徴とする請求項1乃至7の何れかに記載の半導体装置。

【請求項9】

前記ヘテロ半導体領域が多結晶シリコン、単結晶シリコン、アモルファスシリコンのうちの少なくとも1つから構成されていることを特徴とする請求項1乃至8の何れかに記載の半導体装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置に関する。

【背景技術】

【0002】

炭化珪素は、シリコンと比較して絶縁破壊電界強度がひと桁大きく、またシリコンと同様に熱酸化が行えることから、次世代の半導体材料として注目されている。中でも電力変換用素子への応用への期待が高く、近年、炭化珪素を材料に用いた高耐圧かつ低損失のパワートランジスタが提案されている。パワートランジスタの低損失化には、低オン抵抗化が必須であり、効果的にオン抵抗を低減可能なパワートランジスタとしての電界効果トランジスタが提案されている（例えば下記特許文献1参照）。

30

【0003】

この電界効果トランジスタは、ヘテロ半導体領域と炭化珪素エピタキシャル層とによって形成されるヘテロ接合の障壁の高さを、ゲート電極からの電界によって変化させることでスイッチ動作を行うため、MOS型電界効果トランジスタなどにおけるチャンネル領域が存在せず、チャンネル領域における電圧降下がない分、オン抵抗の低減が可能となる。また、ソース電極・ドレイン電極間に高電圧が印加された場合、ヘテロ接合界面のヘテロ半導体領域側に形成される蓄積層に電界が終端されてヘテロ半導体領域には電界が殆ど及ばず、ヘテロ半導体領域はブレークダウンを生じないため、高いソース電極・ドレイン電極間の耐圧を確保できるとされている。

40

【0004】

【特許文献1】特開2003-218398号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、上記の電界効果トランジスタの場合、トランジスタの駆動力を向上する

50

ためにヘテロ接合の障壁高さを小さく設定すると、ソース電極・ドレイン電極間に高電圧が印加された場合にヘテロ接合界面からのリーク電流が増加するというトレードオフの関係がある。そのため、ヘテロ接合の障壁高さの最適化のみで高耐圧化と低オン抵抗化の両立を図るには限界があった。

【0006】

本発明は上記点に鑑みて成されたものであり、本発明の目的は、低オン抵抗で且つリーク電流の少ない高耐圧の半導体装置を提供することにある。

【課題を解決するための手段】

【0007】

上記目的を達成するために、本発明においては、第1導電型の第1の半導体材料からなる半導体基体とヘテロ接合し前記第1の半導体材料とはバンドギャップの異なる第2の半導体材料からなるヘテロ半導体領域と、前記半導体基体と前記ヘテロ半導体領域との接合部に隣接して第1のゲート絶縁膜を介して配設された第1のゲート電極と、前記ヘテロ半導体領域に接触するソース電極と、前記半導体基体に接触するドレイン電極とを有し、前記第1のゲート絶縁膜及びヘテロ半導体領域を介して前記第1のゲート電極の少なくとも一部と対向する部位に前記ヘテロ半導体領域に対してビルトイン電界を及ぼす領域とを有する半導体装置を構成する。

10

【発明の効果】

【0008】

本発明の実施により、低オン抵抗で且つリーク電流の少ない高耐圧の半導体装置を提供することが可能となる。

20

【発明を実施するための最良の形態】

【0009】

以下、本発明の実施の形態について図面に従って説明する。

【0010】

(第1の実施形態)

図1は本発明の第1の実施形態における半導体装置の断面図を示したものである。本実施形態においては、特許請求の範囲に記載の第1導電型はN型であり、第1の半導体材料は炭化珪素であり、第2の半導体材料は多結晶シリコンである。

【0011】

30

図1において、N型の炭化珪素基板1と炭化珪素基板1より不純物濃度が低いN型の炭化珪素エピタキシャル層2とからなる、第1導電型の第1の半導体材料からなる半導体基体である炭化珪素半導体基体100と、炭化珪素半導体基体100とヘテロ接合する、炭化珪素とはバンドギャップの異なる第2の半導体材料であるN型の多結晶シリコンからなるヘテロ半導体領域3と、炭化珪素エピタキシャル層2とヘテロ半導体領域3とによって形成されるヘテロ接合部に隣接して第1のゲート絶縁膜4を介して配設された第1のゲート電極5と、第1のゲート絶縁膜4及びヘテロ半導体領域3を介して第1のゲート電極5と対向する部分を有し且つヘテロ半導体領域3に接触するように配設された第2導電型であるP型の炭化珪素6と、ヘテロ半導体領域3に接触するソース電極8と、炭化珪素半導体基体100に接触するドレイン電極9とが形成されている。

40

【0012】

P型の炭化珪素6の、第1のゲート電極5と対向する部分が、ヘテロ半導体領域3に対してビルトイン電界を及ぼす領域となっており、この領域はヘテロ半導体領域3に接触している。すなわち、ヘテロ半導体領域3に対してビルトイン電界を及ぼす領域が、第2導電型であるP型の、第1の半導体材料である炭化珪素によって構成され且つヘテロ半導体領域3に接触している。なお、ここで、ヘテロ半導体領域3に対してビルトイン電界を及ぼす領域は、ヘテロ半導体領域3が形成される半導体基体100が、ヘテロ半導体領域3に対して及ぼすビルトイン電界より、大きいビルトイン電界をヘテロ半導体領域3に対して及ぼす領域であると定義される。

【0013】

50

ソース電極 8 と第 1 のゲート電極 5 は層間絶縁膜 11 によって電氣的に絶縁されている。また、図示はしていないが、P 型の炭化珪素 6 中の、ヘテロ半導体領域 3 に対してビルトイン電界を及ぼす領域は、図 1 の奥行き方向でソース電極 8 と接触している。

【 0 0 1 4 】

次に、本実施形態における半導体装置の動作について、図面に従って説明する。

【 0 0 1 5 】

図 2 は、ソース電極 8、ドレイン電極 9、第 1 のゲート電極 6 の何れも接地状態の場合における図 1 中に示した A・B 間のバンド構造を示した模式図である。なお、以後に図示する全ての多結晶シリコンのバンド構造は単純化のため、単結晶シリコンのバンド構造を用いている。

10

【 0 0 1 6 】

第 1 のゲート電極 5 と、P 型の炭化珪素 6 中の、ヘテロ半導体領域 3 に対してビルトイン電界を及ぼす領域とに挟まれたヘテロ半導体領域 3 の一部が、上記ヘテロ半導体領域 3 に対してビルトイン電界を及ぼす領域からのビルトイン電界と、第 1 のゲート絶縁膜 4 を介した第 1 のゲート電極 5 からのビルトイン電界とによって、図 2 中に示したように空乏化する。この状態においては、ヘテロ半導体領域 3 が P 型の炭化珪素 6 中の、ヘテロ半導体領域 3 に対してビルトイン電界を及ぼす領域からのビルトイン電界の影響によって空乏化した分、キャリアの通路が狭くなり、P 型の炭化珪素 6 中の、ヘテロ半導体領域 3 に対してビルトイン電界を及ぼす領域が存在していない場合と比較すると、ソース電極 8・ヘテロ接合間の抵抗が高くなっている。

20

【 0 0 1 7 】

図 2 の状態から、第 1 のゲート電極 5 と P 型の炭化珪素 6 中の、ヘテロ半導体領域 3 に対してビルトイン電界を及ぼす領域とに挟まれたヘテロ半導体領域 3 の幅を、第 1 のゲート絶縁膜 4 とヘテロ半導体領域 3 との接合界面からヘテロ半導体領域 3 へ伸びる第 1 のゲート電極 5 からの電界の及ぶ距離と、ヘテロ半導体領域 3 に対してビルトイン電界を及ぼす領域とヘテロ半導体領域 3 との接合界面からヘテロ半導体領域 3 へ伸びる P 型の炭化珪素 6 中の、ヘテロ半導体領域 3 に対してビルトイン電界を及ぼす領域からの電界の及ぶ距離との和よりも小さくすると、バンド構造は図 3 に示すようになり、第 1 のゲート電極 5 と P 型の炭化珪素 6 中の、ヘテロ半導体領域 3 に対してビルトイン電界を及ぼす領域とに挟まれたヘテロ半導体領域 3 は完全に空乏化した状態になる。この場合、ソース電極 8・ヘテロ接合間は電氣的に完全に遮断された状態になる。この状態における、図 1 中に示した C・D 間のバンド構造は図 4 の (a) に示すようになる。

30

【 0 0 1 8 】

ここで、ソース電極 8 と第 1 のゲート電極 5 を接地にした状態で、ドレイン電極 9 に然るべき電圧を印加すると、ソース電極 8・ドレイン電極 9 間はヘテロ接合の障壁 30 によって、電氣的に遮断された状態であるため、ソース電極 8・ドレイン電極 9 間に電流は流れない。すなわちオフ状態となる。第 1 のゲート電極 5 とヘテロ半導体領域 3 に対してビルトイン電界を及ぼす領域とに挟まれたヘテロ半導体領域 3 は、完全に空乏化し、ピンチオフ状態になる。そのため、ソース電極・ヘテロ接合間は電氣的に遮断された状態になり、ソース電極・ドレイン電極間に高電圧が印加された場合のヘテロ接合からのリーク電流をさらに低減することができる。

40

【 0 0 1 9 】

次に、ソース電極 8 を接地、ドレイン電極 9 に然るべき電圧を印加した状態で、第 1 のゲート電極 5 に然るべき電圧を印加すると、第 1 のゲート絶縁膜 4 を介してヘテロ半導体領域 3 に印加されるゲート電界によって、ヘテロ接合の障壁 30 の高さが変化するとともに、ヘテロ半導体領域 3 内部に形成された空乏化領域には電子 31 が蓄積し、蓄積層が形成される。この状態における図 1 中に示した C・D 間のバンド構造は図 4 の (b) に示すようになり、ドレイン電極 9 からの電界によりソース電極 8 からドレイン電極 9 へと電子 31 が流れる。すなわち、オンの状態になる。オン時には、絶縁型の第 1 のゲート電極 5 からの電界によって、空乏化したヘテロ半導体領域 3 に蓄積層が形成されて抵抗が下がる

50

ので、オン抵抗の増大を招くことなく、オフ時のリーク電流を低減できる。

【0020】

次に、ソース電極8を接地、ドレイン電極9に然るべき電圧を印加した状態で、第1のゲート電極5を接地して第1のゲート電極5に印加しているゲート電圧を取り除くと、図1中に示したC・D間のバンド構造は図4の(a)の状態に戻り、オフ状態となる。

【0021】

このように、本実施形態における半導体装置はスイッチング動作をする。

【0022】

また、ソース電極8と第1のゲート電極5とを接地した状態で、ドレイン電極9に高電圧が印加されると、図1中に示したC・D間のバンド構造は図4の(c)に示すようになる。この場合、ヘテロ接合界面のヘテロ半導体領域3側に蓄積した電子31によって電界が終端されるため、ヘテロ半導体領域3には殆ど電界が及ばず、ヘテロ半導体領域3が先にブレークダウンすることはない。また、ここで、ヘテロ接合の障壁30高さによっては、ヘテロ接合界面のヘテロ半導体領域3側に蓄積した電子31がヘテロ接合の障壁30を乗り越える或いはトンネリングすることで炭化珪素エピタキシャル層2側に流れようとするが、ヘテロ半導体領域3内部に形成された空乏化領域によってソース電極8・ヘテロ接合間は電氣的に遮断されているため、電子31は炭化珪素エピタキシャル層2側には流れない。すなわち、ソース電極8・ドレイン電極9間に高電圧が印加された場合においても、本実施形態における半導体装置は高い遮断性を有している。

【0023】

さらにP型の炭化珪素6中の、ヘテロ半導体領域3に対してビルトイン電界を及ぼす領域は、ソース電極8・ドレイン電極9間に高電圧が印加された場合において、電界緩和層としても作用し、ヘテロ接合界面近傍のドレイン電界を緩和するという効果も併せ持つ。

【0024】

なお、本実施形態における半導体装置は、オフ時にはソース電極8・ヘテロ接合間に高抵抗層が挿入された状態、或いはソース電極8・ヘテロ接合間が電氣的に遮断された状態になっているが、オン時には前述のように第1のゲート電極5から第1のゲート絶縁膜4を介してヘテロ半導体領域3に印加されるゲート電界によって、空乏化領域に蓄積層が形成されるため、オン時は、ヘテロ半導体領域3に対してビルトイン電界を及ぼす領域が存在しない場合と同等の特性を実現できる。すなわち、低オン抵抗と高耐圧の両立を図ることができる。

【0025】

このように、ヘテロ半導体領域3に対して電界を及ぼす領域に、第2導電型の第1の半導体材料(この場合にはP型の炭化珪素)を用いると、効果的に電界がヘテロ半導体領域3に伸延するので、ヘテロ半導体領域3がより空乏化しやすくなり、ソース電極・ヘテロ接合間の遮断性が向上することに加えて、第2導電型の半導体から第1導電型の半導体基体側へも空乏層が効率良く伸長するので、ヘテロ接合に印加される電界を効果的に緩和することができる。

【0026】

本実施形態における半導体装置は、ヘテロ半導体領域3に対してビルトイン電界を及ぼす領域がP型の炭化珪素6の一部分に形成されている場合について説明したが、P型の炭化珪素6ではなく、第2のゲート絶縁膜と第2のゲート電極からなる絶縁型のゲート領域、或いは仕事関数が第1導電型の第1の半導体材料の仕事関数、第2の半導体材料の仕事関数のいずれよりも大きい金属で構成されていても同様の効果を得ることができる。以下、その実施の形態について説明する。

【0027】

(第2の実施形態)

図5は本発明の第2の実施形態における半導体装置の断面図を示したものである。本実施形態においても、特許請求の範囲に記載の第1導電型はN型であり、第1の半導体材料は炭化珪素であり、第2の半導体材料は多結晶シリコンである。

10

20

30

40

50

【 0 0 2 8 】

図5において、第1導電型であるN型の炭化珪素基板1と炭化珪素基板1より不純物濃度が低いN型の炭化珪素エピタキシャル層2とからなる、第1導電型の第1の半導体材料からなる半導体基体である炭化珪素半導体基体100と、炭化珪素半導体基体100とヘテロ接合する炭化珪素とはバンドギャップの異なる第2の半導体材料である多結晶シリコンからなるヘテロ半導体領域3と、炭化珪素エピタキシャル層2とヘテロ半導体領域3とによって形成されるヘテロ接合部に隣接して第1のゲート絶縁膜4を介して配設された第1のゲート電極5と、ヘテロ半導体領域3を介して第1のゲート電極5と対向するように配設され且つヘテロ半導体領域3に接触するように配設された、仕事関数がN型の炭化珪素の仕事関数、多結晶シリコンの仕事関数のいずれよりも大きい金属7と、ヘテロ半導体領域3に接触するソース電極8と、炭化珪素半導体基体100に接触するドレイン電極9とが形成されている。なお、半導体材料の仕事関数とは、電子親和力： χ と伝導帯からフェルミレベルまでのエネルギー差： $E_c - E_f$ との和を指している。

10

【 0 0 2 9 】

金属7の、第1のゲート電極5と対向する部分が、ヘテロ半導体領域3に対してビルトイン電界を及ぼす領域となっており、この領域はヘテロ半導体領域3に接触している。すなわち、ヘテロ半導体領域3に対してビルトイン電界を及ぼす領域は、ヘテロ半導体領域3に接して配設され、N型の炭化珪素の仕事関数、多結晶シリコンの仕事関数のいずれよりも大きい仕事関数を有する金属7の、第1のゲート電極5と対向する部分からなり且つヘテロ半導体領域3に接触している。

20

【 0 0 3 0 】

ソース電極8と第1のゲート電極5は層間絶縁膜11によって電氣的に絶縁されている。また、図示はしていないが、仕事関数が炭化珪素より大きい金属7中の、ヘテロ半導体領域3に対してビルトイン電界を及ぼす領域は、図5の奥行き方向でソース電極8と接触している。

【 0 0 3 1 】

本実施形態における半導体装置は、図5中に示したA・B間のバンド構造は、図6に示すようになり、図3に示したP型の炭化珪素を用いた場合と同様にヘテロ半導体領域3は完全に空乏化した状態になる。そのため、図5中に示したC・D間のバンド構造は、図4の(a)と同様になり、本実施形態における半導体装置は、本発明の第1の実施形態における半導体装置と同様の素子特性を示す。

30

【 0 0 3 2 】

ここで、仕事関数がN型の炭化珪素の仕事関数、多結晶シリコンの仕事関数のいずれよりも大きい金属7に、たとえばニッケル(Ni)や白金(Pt)などを用いると、多結晶シリコンと金属との接合界面に形成されるショットキー障壁が高くなるため、効果的にヘテロ半導体領域3にビルトイン電界を伸長することができる。

【 0 0 3 3 】

(第3の実施形態)

図7は本発明の第3の実施形態における半導体装置の断面図を示したものである。本実施形態においても、特許請求の範囲に記載の第1導電型はN型であり、第1の半導体材料は炭化珪素であり、第2の半導体材料は多結晶シリコンである。

40

【 0 0 3 4 】

図7において、N型の炭化珪素基板1と炭化珪素基板1より不純物濃度が低いN型の炭化珪素エピタキシャル層2とからなる炭化珪素半導体基体100と、炭化珪素半導体基体100とヘテロ接合する炭化珪素とはバンドギャップの異なる第2の半導体材料である多結晶シリコンからなるヘテロ半導体領域3と、炭化珪素エピタキシャル層2とヘテロ半導体領域3とによって形成されるヘテロ接合部に隣接して第1のゲート絶縁膜4を介して配設された第1のゲート電極5と、ヘテロ半導体領域3を介して第1のゲート電極5と対向するように配設された第2のゲート絶縁膜13と第2のゲート電極14とからなる絶縁型のゲート領域と、ヘテロ半導体領域3に接触するソース電極8と、炭化珪素半導体基体1

50

00に接触するドレイン電極9とが形成されている。

【0035】

なお、第2のゲート絶縁膜13は厚いフィールド酸化膜12上に形成されている。ソース電極8とゲート電極5は層間絶縁膜11によって電氣的に絶縁されている。また、図示はしていないが、絶縁型ゲート領域における第2のゲート電極14は、図7の奥行き方向でゲート電極5と接触している。

【0036】

ヘテロ半導体領域3に対してビルトイン電界を及ぼす領域は、第2のゲート絶縁膜13及び第2のゲート電極14の、第1のゲート電極5と対向する部分からなる。

【0037】

本実施形態における半導体装置は、図7中に示したA・B間のバンド構造は、図8に示すようになり、図3に示したP型の炭化珪素を用いた場合と同様にヘテロ半導体領域3は完全に空乏化した状態になる。そのため、図7中に示したC・D間のバンド構造は、図4の(a)と同様になり、本実施形態における半導体装置は、本発明の第1の実施形態における半導体装置や本発明の第2の実施形態における半導体装置と同様の素子特性を示す。

【0038】

このように、第1のゲート絶縁膜4と第1のゲート電極5とからなる第1のゲート領域と、第2のゲート絶縁膜13と第2のゲート電極14はからなる第2のゲート領域とによってヘテロ半導体領域3を挟むことで、ヘテロ半導体領域3を効率良く空乏化できる。さらに、第2のゲート電極14は絶縁型のゲート電極であるため、オフ時には負の電圧を印

【0039】

以上、これまでに説明してきた本発明の第1の実施形態、第2の実施形態及び第3の実施形態における半導体装置はプレーナ型構造であり、ヘテロ半導体領域3が多結晶シリコンからなるため、ゲート電極5とヘテロ半導体領域3に対してビルトイン電界を及ぼす領域とに挟まれたヘテロ半導体領域3の幅を、ゲート絶縁膜4とヘテロ半導体領域3との接合界面からヘテロ半導体領域3へ伸びるゲート電極5からの電界の及ぶ距離と、ヘテロ半導体領域3に対してビルトイン電界を及ぼす領域とヘテロ半導体領域3との接合界面からヘテロ半導体領域3へ伸びるヘテロ半導体領域3に対してビルトイン電界を及ぼす領域からの電界の及ぶ距離との和よりも小さくする、すなわち多結晶シリコンの厚さを薄くすることが容易であるという製造上のメリットも併せ持っている。

【0040】

(第4の実施形態)

図9は本発明の第4の実施形態における半導体装置の断面図を示したものである。本実施形態においても、特許請求の範囲に記載の第1導電型はN型であり、第1の半導体材料は炭化珪素であり、第2の半導体材料は多結晶シリコンである。

【0041】

図9において、N型の炭化珪素基板1と炭化珪素基板1より不純物濃度が低いN型の炭化珪素エピタキシャル層2とからなる炭化珪素半導体基体100と、炭化珪素半導体基体100とヘテロ接合する炭化珪素とはバンドギャップの異なる第2の半導体材料である多結晶シリコンからなるヘテロ半導体領域3と、ヘテロ半導体領域3を深さ方向に貫通して炭化珪素半導体基体100に達するように形成された溝10と、溝10内に形成され且つ炭化珪素エピタキシャル層2とヘテロ半導体領域3とによって形成されるヘテロ接合部に隣接してゲート絶縁膜4を介して配設されたゲート電極5と、ヘテロ半導体領域3を介してゲート電極5と対向するように配設され且つヘテロ半導体領域3に接触するように配設されたP型の炭化珪素6の一部分からなる、ヘテロ半導体領域3に対してビルトイン電界を及ぼす領域と、ヘテロ半導体領域3に接触するソース電極8と、炭化珪素半導体基体100に接触するドレイン電極9とが形成されている。

【0042】

ソース電極8とゲート電極5は層間絶縁膜11によって電氣的に絶縁されている。また

10

20

30

40

50

、図示はしていないが、P型の炭化珪素6中の、ヘテロ半導体領域3に対してビルトイン電界を及ぼす領域は、図9の奥行き方向でソース電極8と接触している。

【0043】

図9に示す半導体装置は、上記の効果に加えて、溝10内部にゲート絶縁膜4及びゲート電極5を形成したトレンチゲート構造になっているため、単一セルあたりの素子面積を小さくすることができる。すなわち高集積化を図ることができ、オン抵抗をより低減することができる。

【0044】

なお、本実施形態における半導体装置においては、ヘテロ半導体領域3に対してビルトイン電界を及ぼす領域にP型の炭化珪素6の一部を用いているが、このP型の炭化珪素6に代えて、本発明の第2の実施形態における半導体装置或いは第3の実施形態における半導体装置と同様に、第2のゲート絶縁膜13と第2のゲート電極14からなる絶縁型のゲート領域、或いは仕事関数がN型の炭化珪素の仕事関数、多結晶シリコンの仕事関数のいずれよりも大きい金属7を用いても同様の効果を得ることができる。

10

【0045】

上記の実施形態においては、第1の半導体材料として炭化珪素を用いているが、これにより、高耐圧な半導体装置を実現させることができる。

【0046】

また、上記の実施形態においては、第2の半導体材料として多結晶シリコンを用いているが、これにより、良好なヘテロ接合が形成できるので、上記記載の本発明の効果が得られやすい。

20

【0047】

さらに、多結晶シリコンに代えて、単結晶シリコンまたはアモルファスシリコンを用いても、良好なヘテロ接合が形成できるので、上記記載の本発明の効果が得られやすい。すなわち、第2の半導体材料が、多結晶シリコン、単結晶シリコン、アモルファスシリコンのうち少なくとも1つからなることによっても、本発明の効果が得られる。また、多結晶シリコン、単結晶シリコンまたはアモルファスシリコンにおいては、半導体基体上への堆積、酸化、パターニング、選択的エッチング、選択的伝導度制御等のプロセスが容易になり、好都合である。

【0048】

以上、説明してきた実施形態においては、第1の半導体材料を炭化珪素、第2の半導体材料を多結晶シリコンとした例で説明したが、半導体基体を構成する半導体材料及びヘテロ半導体領域を形成する半導体材料についてはこの限りではない。例えば、第1の半導体材料には、窒化ガリウムなどを用いてもよいし、第2の半導体材料にはシリコンゲルマニウムなどを用いてもよい。さらに、ここで用いられている炭化珪素(SiC)の結晶系は4Hが代表的であるが、6H、3C等その他の結晶系でも構わない。

30

【0049】

また、上記本発明の全ての実施形態において、ヘテロ半導体領域を構成する第2の半導体材料第1導電型であるN型の多結晶シリコンを用いた蓄積型の半導体装置について説明しているが、第2導電型であるP型の多結晶シリコンを用いた場合、すなわち反転型の半導体装置においても同様の効果を得ることができる。

40

【0050】

なお、上記実施形態においては第1導電型をN型、第2導電型をP型としているが、第1導電型をP型、第2導電型をN型とした場合においても同様の効果を得ることができる。

【0051】

さらには、本発明の主旨を逸脱しない範囲での変形を含むことは言うまでもない。

【図面の簡単な説明】

【0052】

【図1】第1の実施形態における半導体装置の断面図である。

50

【図2】第1の実施形態における半導体装置のバンド構造を説明する図である。

【図3】第1の実施形態における半導体装置のバンド構造を説明する図である。

【図4】第1の実施形態における半導体装置の電流通路に沿うバンド構造の変化と電子の動きを説明する図である。

【図5】第2の実施形態における半導体装置の断面図である。

【図6】第2の実施形態における半導体装置のバンド構造を説明する図である。

【図7】第3の実施形態における半導体装置の断面図である。

【図8】第3の実施形態における半導体装置のバンド構造を説明する図である。

【図9】第4の実施形態における半導体装置の断面図である。

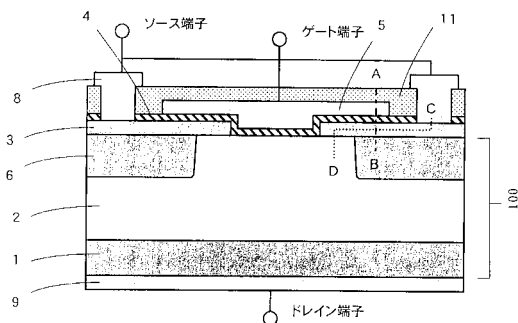
【符号の説明】

【0053】

1...炭化珪素基板、2...炭化珪素エピタキシャル層、3...ヘテロ半導体領域、4...第1のゲート絶縁膜、5...第1のゲート電極、6...P型の炭化珪素、7...金属、8...ソース電極、9...ドレイン電極、10...溝、11...層間絶縁膜、12...フィールド酸化膜、13...第2のゲート絶縁膜、14...第2のゲート電極、30...障壁、31...電子、100...炭化珪素半導体基体。

【図1】

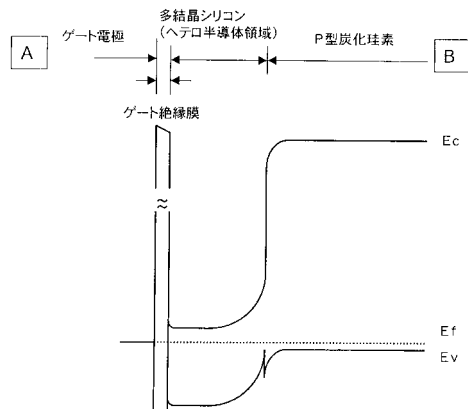
図1



1...炭化珪素基板、2...炭化珪素エピタキシャル層、
 3...ヘテロ半導体領域、4...第1のゲート絶縁膜、
 5...第1のゲート電極、6...P型の炭化珪素、8...ソース電極、
 9...ドレイン電極、11...層間絶縁膜、100...炭化珪素半導体基体

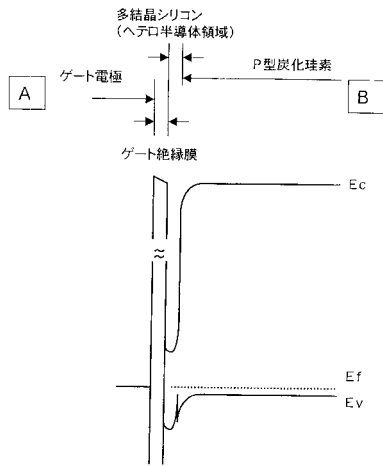
【図2】

図2



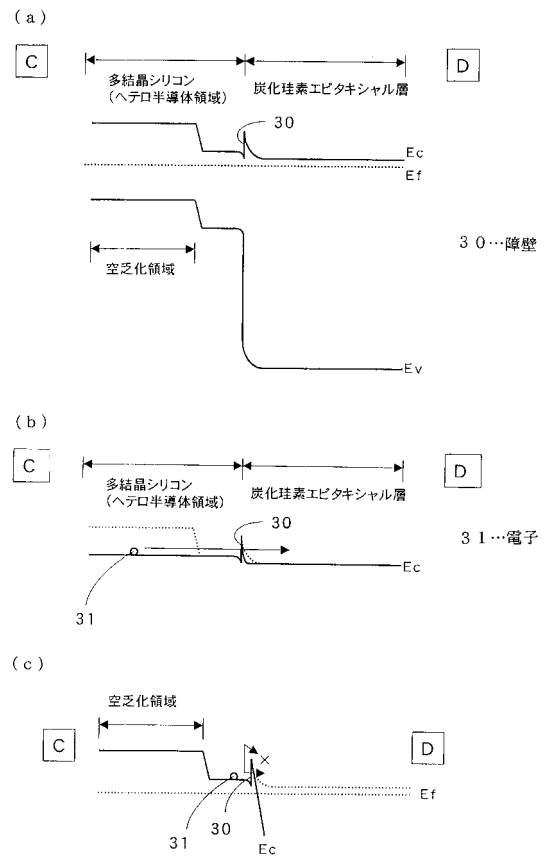
【図3】

図3



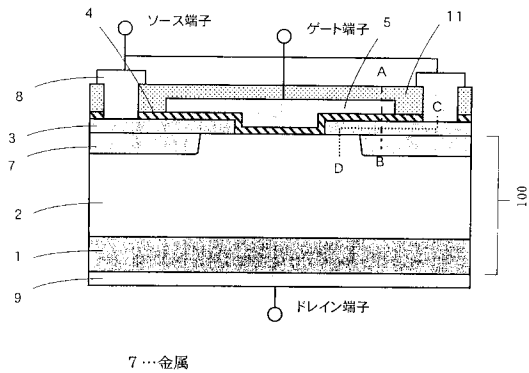
【図4】

図4



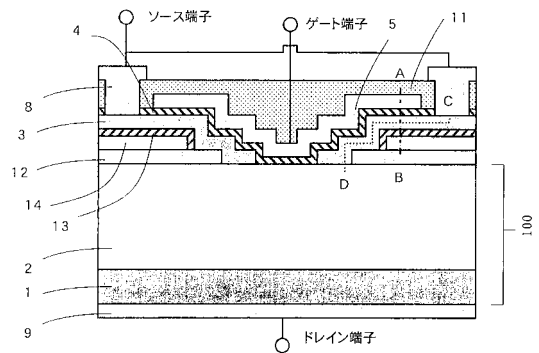
【図5】

図5



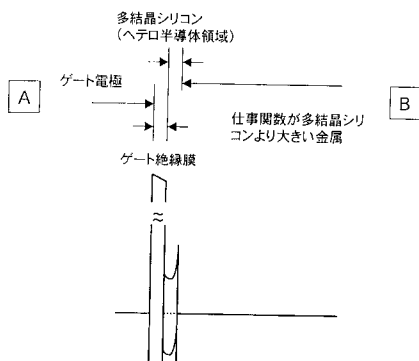
【図7】

図7



【図6】

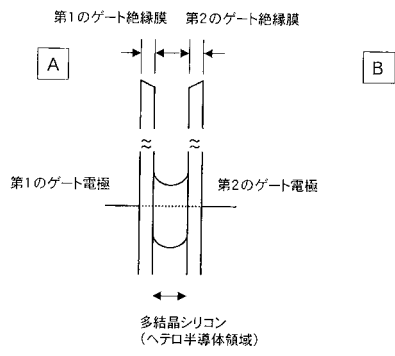
図6



12...フィールド酸化膜、13...第2のゲート絶縁膜、
14...第2のゲート電極

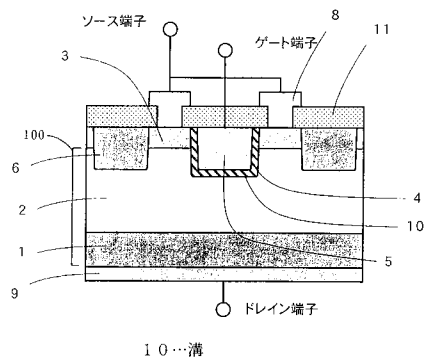
【図8】

図8



【図9】

図9



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 29/78 6 5 3 A

H 0 1 L 29/78 6 5 8 F

(72)発明者 林 哲也

神奈川県横浜市神奈川区宝町2番地

日産自動車株式会社内

審査官 小野田 誠

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 9 / 1 2

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 9 / 0 6

H 0 1 L 2 9 / 7 8