

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-195288

(P2015-195288A)

(43) 公開日 平成27年11月5日(2015.11.5)

(51) Int.Cl.

**H01L 21/338 (2006.01)**  
**H01L 29/778 (2006.01)**  
**H01L 29/812 (2006.01)**

F 1

H O 1 L 29/80

H

テーマコード (参考)

5 F 1 O 2

審査請求 未請求 請求項の数 5 O L (全 29 頁)

(21) 出願番号

特願2014-72821 (P2014-72821)

(22) 出願日

平成26年3月31日 (2014. 3. 31)

(71) 出願人 000154325

住友電工デバイス・イノベーション株式会  
社

神奈川県横浜市栄区金井町1番地

100088155

弁理士 長谷川 芳樹

100113435

弁理士 黒木 義樹

100136722

弁理士 ▲高▼木 邦夫

100174399

弁理士 寺澤 正太郎

菊池 慶

神奈川県横浜市栄区金井町1番地 住友電  
工デバイス・イノベーション株式会社内

最終頁に続く

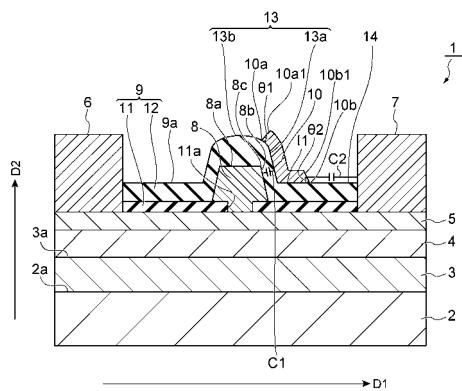
(54) 【発明の名称】半導体装置及び半導体装置の製造方法

## (57) 【要約】

【課題】フィールドプレートとゲート電極との間に発生する容量を低減できる半導体装置及び半導体装置の製造方法を提供する。

【解決手段】半導体装置の製造方法は、窒化物半導体層3上にゲート電極8、ソース電極6およびドレイン電極7を形成する工程と、ゲート電極8を覆い、ゲート電極8の形状を反映した段差13と、平坦部14とを表面9aに有する絶縁膜9を形成する工程と、絶縁膜9上にマスク20を形成する工程と、段差13の側面13aがその内側に位置し、ゲート電極8の上面8a端部がその外側に位置する形状を備え、その深さ方向に向かって広がるオーバーハング形状を有する開口部20aをマスク20に形成する工程と、マスク20を利用して、段差13の側面13aから平坦部14に向けて延在するフィールドプレート10を形成する工程と、を備える。

【選択図】図1



**【特許請求の範囲】****【請求項 1】**

半導体層上にゲート電極、ソース電極およびドレイン電極を形成する工程と、  
 前記ゲート電極を覆い、前記ゲート電極の形状を反映した段差と、前記段差から前記ド  
 レイン電極までの間に位置する平坦部とを表面に有する絶縁膜を形成する工程と、  
 前記絶縁膜上にレジストを形成する工程と、  
 前記段差の側面がその内側に位置し、前記ゲート電極の上面端部がその外側に位置する  
 形状を備え、その上面から前記絶縁膜の前記段差までの距離が前記平坦部までの距離より  
 も近く、その深さ方向に向かって広がるオーバーハンギング形状を有する窓を前記レジストに  
 形成する工程と、

前記レジストをマスクとして利用して、前記絶縁膜上に金属材料を被着させ、前記段差  
 の側面から前記平坦部に向けて延在するフィールドプレートを形成する工程と、  
 を備える半導体装置の製造方法。

**【請求項 2】**

前記フィールドプレートの前記ソース電極側における端部の膜厚は、前記フィールドプレ  
 ートの前記ドレイン電極側における端部の膜厚よりも厚い、請求項 1 に記載の半導体裝  
 置の製造方法。

**【請求項 3】**

前記レジストを形成する工程は、  
 前記絶縁膜上に第 1 マスクを形成する工程と、  
 前記第 1 マスク上に設けられ、前記第 1 マスクよりも感光性が低い第 2 マスクを形成す  
 る工程と、  
 前記第 1 マスク及び前記第 2 マスクに光を照射し、前記第 1 マスクの一部及び前記第 2  
 マスクの一部を除去する工程と、  
 を有する請求項 1 又は 2 に記載の半導体装置の製造方法。

**【請求項 4】**

半導体層上にゲート電極、ソース電極およびドレイン電極を形成する工程と、  
 前記ゲート電極を覆い、前記ゲート電極の形状を反映した段差と、前記段差から前記ド  
 レイン電極までの間に位置する平坦部とを表面に有する第 1 の絶縁膜を形成する工程と、  
 前記第 1 の絶縁膜の前記段差および前記平坦部を含む表面に前記第 1 の絶縁膜とエッチ  
 ングレートの異なる第 2 の絶縁膜を形成する工程と、  
 前記第 2 の絶縁膜の前記平坦部上における領域の膜厚を減じる工程と、  
 前記第 2 の絶縁膜上に、前記膜厚が減じられた領域上の部分を含み、前記段差から前記  
 平坦部の領域にかけて延在するフィールドプレートを形成する工程と、  
 を備える半導体装置の製造方法。

**【請求項 5】**

半導体層と、  
 前記半導体層上に設けられるソース電極と、  
 前記半導体層上に設けられるドレイン電極と、  
 前記半導体層上に設けられ、前記ソース電極と前記ドレイン電極との間に位置するゲー  
 ト電極と、  
 前記ゲート電極を覆い、前記ゲート電極の形状を反映した段差を表面に有する絶縁膜と  
 、  
 前記絶縁膜上に設けられ、前記段差の側面であって前記ゲート電極と前記ドレイン電極  
 との間の前記側面から前記ドレイン電極に向けて延在するフィールドプレートと、  
 を備え、

前記フィールドプレートの前記ソース電極側における端部の膜厚は、前記フィールドプレ  
 ートの前記ドレイン電極側における端部の膜厚よりも大きい半導体装置。

**【発明の詳細な説明】****【技術分野】**

10

20

30

40

50

**【0001】**

本発明は、半導体装置及び半導体装置の製造方法に関する。

**【背景技術】****【0002】**

無線通信用増幅器等に用いられる窒化物半導体を含むトランジスタ（高電子移動度トランジスタ、HEMTともいう）には、ゲート端等に加わる電界を緩和するため、フィールドプレートを設ける技術が知られている。フィールドプレートを設けることにより、HEMTに高電圧が印加された際ににおけるドレイン電流の減少（電流コラプス）等が抑制される。また、フィールドプレートは、ドレイン電極とゲート電極との間のカップリングを遮蔽する効果も有する。例えば特許文献1には、ゲート電極を覆い、当該ゲート電極の形状を反映した段差を表面に有する絶縁膜上に、フィールドプレートが設けられている。10

**【先行技術文献】****【特許文献】****【0003】**

【特許文献1】特開2012-253181号公報

**【発明の概要】****【発明が解決しようとする課題】****【0004】**

上述の特許文献1のようなフィールドプレートが設けられることによって、絶縁膜を介したフィールドプレートとゲート電極との間、及びフィールドプレートとドレイン電極との間に、容量が発生する。この容量によってHEMTの電気特性が劣化するおそれがあるため、当該容量（特に、フィールドプレートとゲート電極との間に発生する容量）を低減することが求められている。20

**【0005】**

本発明は、フィールドプレートとゲート電極との間に発生する容量を低減できる半導体装置及び半導体装置の製造方法を提供することを目的とする。

**【課題を解決するための手段】****【0006】**

本発明の一側面に係る半導体装置の製造方法は、半導体層上にゲート電極、ソース電極およびドレイン電極を形成する工程と、ゲート電極を覆い、ゲート電極の形状を反映した段差と、段差からドレイン電極までの間に位置する平坦部とを表面に有する絶縁膜を形成する工程と、絶縁膜上にレジストを形成する工程と、絶縁膜の段差の側面がその内側に位置し、ゲート電極の上面端部がその外側に位置する形状を備え、その上面から絶縁膜の段差までの距離が平坦部までの距離よりも近く、その深さ方向に向かって広がるオーバーハング形状を有する窓をレジストに形成する工程と、レジストをマスクとして利用して、絶縁膜上に金属材料を被着させ、段差の側面から平坦部に向けて延在するフィールドプレートを形成する工程と、を備える。30

**【発明の効果】****【0007】**

本発明によれば、フィールドプレートとゲート電極との間に発生する容量を低減できる半導体装置及び半導体装置の製造方法を提供できる。40

**【図面の簡単な説明】****【0008】**

【図1】図1は、第1実施形態に係る半導体装置を示す断面図である。

【図2】図2の（a）～（c）は、第1実施形態に係る半導体装置の製造方法を説明する図である。

【図3】図3の（a），（b）は、第1実施形態に係る半導体装置の製造方法を説明する図である。

【図4】図4の（a），（b）は、第1実施形態に係る半導体装置の製造方法を説明する図である。

【図 5】図 5 の (a), (b) は、比較例に係る半導体装置の製造方法を説明する図である。

【図 6】図 6 は、比較例に係る半導体装置の一例を説明する図である。

【図 7】図 7 は、第 1 実施形態に係る半導体装置の断面図である。

【図 8】図 8 は、第 1 実施形態における第 1 変形例に係る半導体装置の断面図を示す。

【図 9】図 9 は、第 1 実施形態における第 2 変形例に係る半導体装置の断面図を示す。

【図 10】図 10 は、第 1 実施形態における第 3 変形例に係る半導体装置の断面図を示す。

【図 11】図 11 は、第 1 実施形態における第 4 変形例に係る半導体装置の断面図を示す。

【図 12】図 12 は、第 1 実施形態における第 5 変形例に係る半導体装置の断面図を示す。

【図 13】図 13 は、第 1 実施形態における第 6 変形例に係る半導体装置の断面図を示す。

【図 14】図 14 は、第 1 実施形態における第 7 変形例に係る半導体装置の断面図を示す。

【図 15】図 15 は、第 2 実施形態に係る半導体装置を示す断面図である。

【図 16】図 16 は、HEMT における半導体層表面とフィールドプレートとの間の絶縁膜の膜厚とコラプス率の関係を示すグラフである。

【図 17】図 17 の (a) ~ (c) は、第 2 実施形態に係る半導体装置の製造方法を説明する図である。

【図 18】図 18 の (a) ~ (c) は、第 2 実施形態に係る半導体装置の製造方法を説明する図である。

【図 19】図 19 の (a) ~ (c) は、第 2 実施形態に係る半導体装置の製造方法を説明する図である。

【図 20】図 20 は、第 2 実施形態に係る半導体装置の製造方法を説明する図である。

【図 21】図 21 は、第 2 実施形態における第 11 変形例に係る半導体装置の断面図を示す。

【図 22】図 22 は、第 2 実施形態における第 12 変形例に係る半導体装置の断面図を示す。

【図 23】図 23 は、第 2 実施形態における第 13 変形例に係る半導体装置の断面図を示す。

【図 24】図 24 は、第 2 実施形態における第 14 変形例に係る半導体装置の断面図を示す。

【図 25】図 25 は、第 2 実施形態における第 15 変形例に係る半導体装置の断面図を示す。

【図 26】図 26 は、第 2 実施形態における第 16 変形例に係る半導体装置の断面図を示す。

【図 27】図 27 は、第 2 実施形態における第 17 変形例に係る半導体装置の断面図を示す。

【発明を実施するための形態】

【0009】

[本願発明の実施形態の説明]

最初に本願発明の実施形態の内容を列記して説明する。本願発明の一実施形態は、半導体層上にゲート電極、ソース電極およびドレイン電極を形成する工程と、ゲート電極を覆い、ゲート電極の形状を反映した段差と、段差からドレイン電極までの間に位置する平坦部とを表面に有する絶縁膜を形成する工程と、絶縁膜上にレジストを形成する工程と、絶縁膜の段差の側面がその内側に位置し、ゲート電極の上面端部がその外側に位置する形態を備え、その上面から絶縁膜の段差までの距離が平坦部までの距離よりも近く、その深さ方向に向かって広がるオーバーハング形状を有する窓をレジストに形成する工程と、レジス

10

20

30

40

50

トをマスクとして利用して、絶縁膜上に金属材料を被着させ、段差の側面から平坦部に向けて延在するフィールドプレートを形成する工程と、を備える半導体装置の製造方法である。

#### 【0010】

この製造方法では、上に記載したマスクを用いてフィールドプレートを形成することによって、ソース電極からドレイン電極に向かう方向において、フィールドプレートのソース電極側における一端は、ゲート電極の上面におけるドレイン電極側の縁よりも、ドレイン電極側に位置することができる。フィールドプレートにおけるゲート電極の上面を覆う部分では、フィールドプレートの効果（ドレイン電極とゲート電極とのカップリングを遮蔽する効果）が得られるが当該効果は小さく、むしろフィールドプレートとゲート電極との間に発生する容量の増大につながる。上記製造方法によれば、ゲート電極の上面を覆わないようにフィールドプレートを形成することができるので、フィールドプレートとゲート電極との間に発生する容量を低減することができる。また、フィールドプレートによってドレイン電極とゲート電極とのカップリングを遮蔽することができる。

10

#### 【0011】

また、フィールドプレートのソース電極側における端部の膜厚は、フィールドプレートのドレイン電極側における端部の膜厚よりも厚くてもよい。この場合、ソース電極からドレイン電極に向かう方向において、フィールドプレートのドレイン電極側における端部は、ドレイン電極に向かってその端部の厚みが減少することとなる。これにより、ドレイン電極側における端部とドレイン電極との間に発生する容量を低減することができる。

20

#### 【0012】

また、レジストを形成する工程は、絶縁膜上に第1マスクを形成する工程と、第1マスク上に設けられ、第1マスクよりも感光性が低い第2マスクを形成する工程と、第1マスク及び第2マスクに光を照射し、第1マスクの一部及び第2マスクの一部を除去する工程と、を有してもよい。この場合、レジストに上記オーバーハング形状を有する窓を精度よく形成することができる。

#### 【0013】

本願発明の異なる一実施形態は、半導体層上にゲート電極、ソース電極およびドレイン電極を形成する工程と、ゲート電極を覆い、ゲート電極の形状を反映した段差と、段差からドレイン電極までの間に位置する平坦部とを表面に有する第1の絶縁膜を形成する工程と、第1の絶縁膜の段差および平坦部を含む表面に第1の絶縁膜とエッチングレートの異なる第2の絶縁膜を形成する工程と、第2の絶縁膜の平坦部上における領域の膜厚を減じる工程と、第2の絶縁膜上に、膜厚が減じられた領域上の部分を含み、段差から平坦部の領域にかけて延在するフィールドプレートを形成する工程と、を備える半導体装置の製造方法である。

30

#### 【0014】

この製造方法では、第1の絶縁膜における段差からドレイン電極までの間に位置する、第2の絶縁膜の平坦部上における領域の膜厚が減じられる。これにより、フィールドプレートと半導体層との距離を近くし、電流コラプスを低減することができる。また、この製造方法では、フィールドプレートが機能する部分以外の絶縁膜の膜厚を、厚く形成することができる。フィールドプレートにおけるゲート電極の上面を覆う部分では、フィールドプレートを設けることによる効果（ドレイン電極とゲート電極とのカップリングを遮蔽する効果）が得られるが当該効果は小さく、むしろフィールドプレートとゲート電極との間に発生する容量の増大につながる。上記製造方法によれば、フィールドプレートとゲート電極の上面との距離を大きくでき、フィールドプレートとゲート電極との間に発生する容量を低減することができる。また、フィールドプレートによってドレイン電極とゲート電極とのカップリングを遮蔽することができる。

40

#### 【0015】

本願発明の異なる一実施形態は、半導体層と、半導体層上に設けられるソース電極と、半導体層上に設けられるドレイン電極と、半導体層上に設けられ、ソース電極とドレイン

50

電極との間に位置するゲート電極と、ゲート電極を覆い、ゲート電極の形状を反映した段差を表面に有する絶縁膜と、絶縁膜上に設けられ、段差の側面であってゲート電極とドレイン電極との間の側面からドレイン電極に向けて延在するフィールドプレートと、を備え、フィールドプレートのソース電極側における端部の膜厚は、フィールドプレートのドレイン電極側における端部の膜厚よりも大きい半導体装置である。

## 【0016】

この半導体装置では、ソース電極からドレイン電極に向かう方向において、フィールドプレートのドレイン電極側における一端は、ドレイン電極に向かってその一端の厚みが減少することとなる。これにより、ドレイン電極側における一端とドレイン電極と間に発生する容量を低減することができる。

10

## 【0017】

本願発明の異なる一実施形態は、窒化物半導体層上にゲート電極、ソース電極およびドレイン電極を形成する工程と、ゲート電極を覆い、ゲート電極の形状を反映した段差を表面に有する絶縁膜を形成する工程と、ゲート電極とドレイン電極との間の絶縁膜上に開口部を有するマスクを形成する工程と、マスクを用い、絶縁膜上に、ゲート電極とドレイン電極との間における段差の側面からドレイン電極に向けて延在するフィールドプレートを形成する工程と、を備え、ソース電極からドレイン電極に向かう方向において、フィールドプレートのソース電極側における一端は、ゲート電極の頂面におけるドレイン電極側の縁よりも、ドレイン電極側に位置する半導体装置の製造方法である。

20

## 【0018】

この製造方法では、フィールドプレートを形成するために用いるマスクの開口部が、ゲート電極とドレイン電極との間の絶縁膜上に位置する。このマスクを用いてフィールドプレートを形成することによって、ソース電極からドレイン電極に向かう方向において、フィールドプレートのソース電極側における一端は、ゲート電極の頂面におけるドレイン電極側の縁よりも、ドレイン電極側に位置することができる。フィールドプレートにおけるゲート電極の頂面を覆う部分では、フィールドプレートの効果に対する寄与が小さく、むしろフィールドプレートとゲート電極との間に発生する容量の増大につながる。上記製造方法によれば、ゲート電極の頂面を覆わないようにフィールドプレートを形成することができるので、フィールドプレートとゲート電極との間に発生する容量を低減することができる。

30

## 【0019】

また、フィールドプレートの一端の端面と、フィールドプレート及び絶縁膜の界面とがなす角度は、鋭角であってもよい。この場合、フィールドプレートの一端の端面と、ゲート電極との間に発生する容量が低減される。したがって、フィールドプレートとゲート電極との間に発生する容量を一層低減することができる。

## 【0020】

また、フィールドプレートのドレイン電極側における他端の端面と、フィールドプレート及び絶縁膜の界面とがなす角度は、鋭角であってもよい。この場合、フィールドプレートの他端の端面と、ドレイン電極との間に発生する容量が低減される。

40

## 【0021】

また、フィールドプレートの一端は、段差の上面に接触していなくてもよい。この場合、フィールドプレートとゲート電極との間に発生する容量を一層低減することができる。

## 【0022】

また、マスクを形成する工程は、絶縁膜上に第1マスクを形成する工程と、第1マスク上に設けられ、第1マスクよりも感光性が低い第2マスクを形成する工程と、開口を有するフォトマスクを介して第1マスク及び第2マスクに光を照射し、第1マスクの一部及び第2マスクの一部を除去する工程と、を有し、窒化物半導体層の厚さ方向において、第1マスクにおける残存部は、ゲート電極に重なっていてもよい。この場合、第1マスクの残存部によって、フィールドプレートを形成する金属原子がゲート電極上に入射されることが抑制される。したがって、フィールドプレートのソース電極側における一端が、ゲート

50

電極の上面におけるドレイン電極側の縁（端部）よりも、ドレイン電極側に位置するよう に、フィールドプレートを精度よく形成することができる。

【0023】

本願発明の異なる一実施形態は、窒化物半導体層と、窒化物半導体層上に設けられるソース電極と、窒化物半導体層上に設けられるドレイン電極と、窒化物半導体層上に設けられ、ソース電極とドレイン電極との間に位置するゲート電極と、ゲート電極を覆い、ゲート電極の形状を反映した段差を表面に有する絶縁膜と、絶縁膜上に設けられ、ゲート電極とドレイン電極との間における段差の側面からドレイン電極に向けて延在するフィールドプレートと、を備え、ソース電極からドレイン電極に向かう方向において、フィールドプレートのソース電極側における一端は、ゲート電極の上面におけるドレイン電極側の縁よりも、ドレイン電極側に位置する半導体装置である。10

【0024】

この半導体装置では、ソース電極からドレイン電極に向かう方向において、フィールドプレートのソース電極側における一端は、ゲート電極の上面におけるドレイン電極側の縁よりも、ドレイン電極側に位置している。フィールドプレートにおけるゲート電極の上面を覆う部分では、フィールドプレートの効果に対する寄与が小さく、むしろフィールドプレートとゲート電極との間に発生する容量の増大につながる。この半導体装置では、ゲート電極の上面を覆わないようにフィールドプレートが設けられているので、フィールドプレートとゲート電極との間に発生する容量を低減することができる。

【0025】

また、フィールドプレートの一端は、段差の上面に接触していなくてもよい。この場合、フィールドプレートとゲート電極との間に発生する容量を一層低減することができる。

【0026】

本願発明の異なる一実施形態は、窒化物半導体層上にゲート電極、ソース電極およびドレイン電極を形成する工程と、ゲート電極を覆い、ゲート電極の形状を反映した段差を表面に有する絶縁膜を形成する工程と、ゲート電極とドレイン電極との間における段差の側面からドレイン電極までの間の絶縁膜の内少なくとも一部の膜厚を薄くする工程と、絶縁膜上に、ゲート電極とドレイン電極との間における段差の側面からドレイン電極に向けて延在するフィールドプレートを形成する工程と、を備える半導体装置の製造方法である。30

【0027】

この製造方法では、ゲート電極とドレイン電極との間における絶縁膜の段差の側面からドレイン電極までの間の絶縁膜の内少なくとも一部の膜厚を薄くする。これにより、フィールドプレートと窒化物半導体層との距離を近くし、電流コラプスを低減することができる。また、この製造方法では、フィールドプレートが機能する部分以外の絶縁膜の膜厚を、厚く形成することができる。フィールドプレートにおけるゲート電極の上面を覆う部分では、フィールドプレートの効果に対する寄与が小さく、むしろフィールドプレートとゲート電極との間に発生する容量の増大につながる。上記製造方法によれば、フィールドプレートとゲート電極の上面との距離を大きくでき、フィールドプレートとゲート電極との間に発生する容量を低減することができる。

【0028】

また、絶縁膜は、第1絶縁膜と、第1絶縁膜上に設けられ、第1絶縁膜と異なる材料からなる第2絶縁膜と、を有し、絶縁膜の膜厚を薄くする工程は、ゲート電極とドレイン電極との間における段差の側面からドレイン電極までの間の第2絶縁膜の一部を除去することにより、第1絶縁膜の一部を露出する工程を有し、フィールドプレートは、露出された第1絶縁膜の一部上に延在して設けられてもよい。この場合、第1絶縁膜と第2絶縁膜とは互いに異なる材料から構成される。このため、第2絶縁膜の一部をエッチングにて除去する際に、第1絶縁膜をエッチングしないように選択比の高いエッチャントを用いることができる。したがって、第2絶縁膜の一部のみを精度よく除去することができる。40

【0029】

また、絶縁膜は、第1絶縁膜と、第1絶縁膜上に設けられ、第1絶縁膜と異なる材料か

10

20

30

40

50

らなる第2絶縁膜と、第2絶縁膜上に設けられ、第2絶縁膜と異なる材料からなる第3絶縁膜と、を有し、絶縁膜の膜厚を薄くする工程は、ゲート電極とドレイン電極との間における段差の側面からドレイン電極までの間の第3絶縁膜の一部を除去することにより、第2絶縁膜の一部を露出する工程を有し、フィールドプレートは、露出された第2絶縁膜の一部上に延在して設けられてもよい。この場合、第2絶縁膜と第3絶縁膜とは互いに異なる材料から構成される。このため、第3絶縁膜の一部をエッチングにて除去する際に、第2絶縁膜をエッチングしないように選択比の高いエッチャントを用いることができる。したがって、第3絶縁膜の一部のみを精度よく除去することができる。

#### 【0030】

また、ゲート電極とドレイン電極との間の絶縁膜上に開口部を有するマスクを形成する工程を更に有し、フィールドプレートは、マスクを用いて形成され、ソース電極からドレイン電極に向かう方向において、フィールドプレートのソース電極側における一端は、ゲート電極の上面におけるドレイン電極側の縁よりも、ドレイン電極側に位置してもよい。この場合、フィールドプレートを形成するために用いるマスクの開口部が、ゲート電極とドレイン電極との間の絶縁膜上に位置する。このマスクを用いてフィールドプレートを形成することによって、ソース電極からドレイン電極に向かう方向において、フィールドプレートのソース電極側における一端は、ゲート電極の上面におけるドレイン電極側の縁よりも、ドレイン電極側に位置することができる。したがって、上記製造方法によれば、ゲート電極の上面を覆わないようにフィールドプレートを形成することができるので、フィールドプレートとゲート電極との間に発生する容量を一層低減することができる。

10

20

30

40

#### 【0031】

また、フィールドプレートの一端の端面と、フィールドプレート及び絶縁膜の界面とがなす角度は、鋭角であってもよい。この場合、フィールドプレートの一端の端面と、ゲート電極との間に発生する容量が低減される。したがって、フィールドプレートとゲート電極との間に発生する容量を一層低減することができる。

#### 【0032】

また、フィールドプレートのドレイン電極側における他端の端面と、フィールドプレート及び絶縁膜の界面とがなす角度は、鋭角であってもよい。この場合、フィールドプレートの他端の端面と、ドレイン電極との間に発生する容量が低減される。

#### 【0033】

また、フィールドプレートの一端は、段差の上面に接触していなくてもよい。この場合、フィールドプレートとゲート電極との間に発生する容量を一層低減することができる。

#### 【0034】

また、マスクを形成する工程は、絶縁膜上に第1マスクを形成する工程と、第1マスク上に設けられ、第1マスクよりも感光性が低い第2マスクを形成する工程と、開口を有するフォトマスクを介して第1マスク及び第2マスクに光を照射し、第1マスクの一部及び第2マスクの一部を除去する工程と、を有し、窒化物半導体層の厚さ方向において、第1マスクにおける残存部は、ゲート電極に重なっていてもよい。この場合、第1マスクの残存部によって、フィールドプレートを形成する金属原子がゲート電極上に入射されることが抑制される。したがって、フィールドプレートのソース電極側における一端が、ゲート電極の上面におけるドレイン電極側の縁よりも、ドレイン電極側に位置するように、フィールドプレートを精度よく形成することができる。

#### 【0035】

本願発明の異なる一実施形態は、窒化物半導体層と、窒化物半導体層上に設けられるソース電極と、窒化物半導体層上に設けられるドレイン電極と、窒化物半導体層上に設けられ、ソース電極とドレイン電極との間に位置するゲート電極と、ゲート電極を覆い、ゲート電極の形状を反映した段差を表面に有する絶縁膜と、絶縁膜上に設けられ、段差の側面であってゲート電極とドレイン電極との間の側面からドレイン電極に向けて延在するフィールドプレートと、を備え、ゲート電極とドレイン電極との間ににおける側面からドレイン電極までの間の絶縁膜の内少なくとも一部の膜厚が、絶縁膜の他の部分の膜厚よりも薄く

50

なっている半導体装置である。

【0036】

この半導体装置では、ゲート電極とドレイン電極との間における絶縁膜の段差の側面からドレイン電極までの間の絶縁膜の内少なくとも一部の膜厚が、絶縁膜の他の部分の膜厚よりも薄くなっている。これにより、フィールドプレートと窒化物半導体層との距離を近くし、電流コラプスを低減することができる。また、この半導体装置では、フィールドプレートが機能する部分以外の絶縁膜の膜厚を厚くできる。フィールドプレートにおけるゲート電極の上面を覆う部分では、フィールドプレートの効果に対する寄与が小さく、むしろフィールドプレートとゲート電極との間に発生する容量の増大につながる。上記半導体装置ではフィールドプレートとゲート電極の上面との距離を大きくでき、フィールドプレートとゲート電極との間に発生する容量を低減することができる。

10

【0037】

また、絶縁膜は、第1絶縁膜と、第1絶縁膜上に設けられ、第1絶縁膜と異なる材料からなる第2絶縁膜と、を有し、絶縁膜の少なくとも一部は、第2絶縁膜が除去された領域であり、フィールドプレートは、領域上に延在して設けられてもよい。この場合、第1絶縁膜と第2絶縁膜とは互いに異なる材料から構成される。このため、第1絶縁膜がエッチングされにくいエッチャントを用いて、第2絶縁膜の一部を除去することができる。したがって、第2絶縁膜の一部のみが精度よく除去された半導体装置が提供できる。

20

【0038】

また、絶縁膜は、第1絶縁膜と、第1絶縁膜上に設けられ、第1絶縁膜と異なる材料からなる第2絶縁膜と、第2絶縁膜上に設けられ、第2絶縁膜と異なる材料からなる第3絶縁膜と、を備え、絶縁膜の少なくとも一部は、第3絶縁膜が除去された領域であり、フィールドプレートは、領域上に延在して設けられてもよい。この場合、第2絶縁膜と第3絶縁膜とは互いに異なる材料から構成される。このため、第2絶縁膜がエッチャントされにくいエッチャントを用いて、第3絶縁膜の一部を除去することができる。したがって、第3絶縁膜の一部のみが精度よく除去された半導体装置が提供できる。

30

【0039】

また、ソース電極からドレイン電極に向かう方向において、フィールドプレートのソース電極側における一端は、ゲート電極の上面におけるドレイン電極側の縁よりも、ドレイン電極側に位置してもよい。この場合、ゲート電極の上面を覆わないようにフィールドプレートが設けられているので、フィールドプレートとゲート電極との間に発生する容量を一層低減することができる。

30

【0040】

また、フィールドプレートの一端は、段差の上面に接触していなくてもよい。この場合、フィールドプレートとゲート電極との間に発生する容量を一層低減することができる。

【0041】

また、窒化物半導体層の厚さ方向において、フィールドプレートのドレイン電極側における他端は、絶縁膜の少なくとも一部に重なっていてもよい。この場合、フィールドプレートの他端は、絶縁膜の薄くなった部分上に位置する。これにより、ソース電極からドレイン電極に向かう方向から見て、フィールドプレートの他端側がドレイン電極に対向する面積が小さくなる。したがって、フィールドプレートとドレイン電極との間に発生する容量を低減することができる。

40

【0042】

[本願発明の実施形態の詳細]

以下、添付図面を参照して、本発明の好適な実施形態について詳細に説明する。なお、以下の説明において、同一要素又は同一機能を有する要素には、同一符号を用いることとし、重複する説明は省略する。

【0043】

(第1実施形態)

図1は、第1実施形態に係る半導体装置を示す断面図である。図1に示されるように、

50

半導体装置であるトランジスタ1は、基板2、窒化物半導体層（半導体層）3、電子供給層4、キャップ層5、ソース電極6、ドレイン電極7、ゲート電極8、絶縁膜9、及びフィールドプレート10を備えている。トランジスタ1はHEMTである。窒化物半導体層3と電子供給層4との界面に2次元電子ガス（2DEG）が生じることにより、チャネル領域が形成される。

## 【0044】

基板2は、結晶成長用の基板である。基板2として、例えばSi基板、SiC基板、サファイア基板、又はダイヤモンド基板が挙げられる。

## 【0045】

窒化物半導体層3は、基板2の表面2aからエピタキシャル成長した層である。窒化物半導体層3の表面3a付近は、チャネル領域として機能する。窒化物半導体層3は、例えばGaN層である。窒化物半導体層3の膜厚は、例えば300～1600nmである。

10

## 【0046】

電子供給層4は、窒化物半導体層3上にエピタキシャル成長した層である。電子供給層4の膜厚は、例えば10～30nmである。電子供給層4は、例えばAlGaN層、InAlN層、又はInAlGaN層等である。電子供給層4は、n型化していてもよい。

## 【0047】

キャップ層5は、電子供給層4上にエピタキシャル成長した層である。キャップ層5の膜厚は、例えば3～10nmである。キャップ層5は、窒化物半導体層であり、例えばGaN層である。キャップ層5は、n型化していてもよい。

20

## 【0048】

ソース電極6及びドレイン電極7は、キャップ層5上に設けられている。ソース電極6及びドレイン電極7は、オーミック電極であり、例えばチタン（Ti）層とアルミニウム（Al）層との積層構造を有する。この場合、キャップ層5とTi層とが互いに接触している。Al層は、窒化物半導体層3の厚さ方向（以下、方向D2とする）において、Ti層によって挟まれていてもよい。

## 【0049】

ゲート電極8は、キャップ層5上であって、ソース電極6及びドレイン電極7の間に設けられている。ゲート電極8は、例えばニッケル（Ni）層と白金（Pt）層と金（Au）層との積層構造を有する。ゲート電極8は、絶縁膜9によって覆われている。

30

## 【0050】

絶縁膜9は、第1絶縁膜11及び第2絶縁膜12を有しており、キャップ層5等を保護する。第1絶縁膜11には開口11aが設けられている。当該開口11a内にはゲート電極8が設けられている。第2絶縁膜12は、ゲート電極8の上面8a及び側面8bを覆うように設けられている。したがって、絶縁膜9の表面9aには、ゲート電極8の形状を反映した段差13と、段差13からドレイン電極7までの間に位置する平坦部14とが設けられている。第1絶縁膜11及び第2絶縁膜12は、例えば窒化ケイ素（SiN）膜、酸化ケイ素（SiO<sub>x</sub>）膜、酸化窒化ケイ素（SiON）膜、又は酸化アルミニウム（AlO<sub>x</sub>）膜等から構成されている。第1絶縁膜11の膜厚は、例えば20～300nmである。第2絶縁膜12の膜厚は、例えば50～800nmである。

40

## 【0051】

フィールドプレート10は、例えば、基板2側からNi層とAu層との積層構造、又は基板2側からTi層とAu層との積層構造を有する金属層である。フィールドプレート10は、ドレイン電極7とゲート電極8との間であって、絶縁膜9上に設けられている。具体的には、フィールドプレート10は、ゲート電極8とドレイン電極7との間における絶縁膜9の段差13の側面13aからドレイン電極7に向けて延在している。上記形状を有するフィールドプレート10が設けられることによって、ゲート電極8とドレイン電極7との間のカップリングを遮蔽し、ゲート電極8の端部においての電界集中を緩和することができる。フィールドプレート10の膜厚は、例えば0.1～1.0μmである。フィールドプレート10とゲート電極8の側面8bとの間には、容量C1が生じる。また、フィ

50

ールドプレート 10 とドレイン電極 7との間には、容量 C2 が生じる。

【0052】

ソース電極 6 からドレイン電極 7 に向かう方向（以下、方向 D1 とする）において、フィールドプレート 10 のソース電極 6 側における一端 10a は、ゲート電極 8 の上面 8a におけるドレイン電極 7 側の縁（端部又は上面端部）8c よりも、ドレイン電極 7 側に位置している。フィールドプレート 10 の一端 10a の端面 10a1 と、フィールドプレート 10 及び絶縁膜 9 の界面 I1 とがなす角度 1 は、鋭角になっている。また、方向 D1 において、フィールドプレート 10 のドレイン電極 7 側における他端 10b の端面 10b1 は、ドレイン電極 7 とゲート電極 8 との間ににおける平坦部 14 上に位置する。フィールドプレート 10 の他端 10b の端面 10b1 と、界面 I1 とがなす角度 2 は、鋭角になっている。方向 D1 において、平坦部 14 上に位置するフィールドプレート 10 の長さは、例えば 0.3 ~ 1.7 μm である。フィールドプレート 10 の一端 10a は、絶縁膜 9 の段差 13 の上面 13b に接触していなくてもよい。

10

【0053】

フィールドプレート 10 とソース電極 6 とは、電気的に接続されている。つまり、フィールドプレート 10 は、ソース電極 6 と同じ電位を有する。したがって、ソース電極 6 とドレイン電極 7 との間に発生する容量は、フィールドプレート 10 とドレイン電極 7 との間に発生する容量も含むものとする。また、ソース電極 6 とゲート電極 8 との間に発生する容量は、フィールドプレート 10 とゲート電極 8 との間に発生する容量も含むものとする。なお、フィールドプレート 10 は、電気的に浮遊していてもよい。

20

【0054】

次に、図 2 ~ 図 4 を用いながら第 1 実施形態に係る半導体装置の製造方法を説明する。図 2 の (a) ~ (c)、図 3 の (a), (b) 及び図 4 の (a), (b) は、第 1 実施形態に係る半導体装置の製造方法を説明する図である。

【0055】

まず、図 2 の (a) に示されるように、第 1 ステップとして、基板 2、窒化物半導体層 3、電子供給層 4、キャップ層 5、ソース電極 6、ドレイン電極 7、ゲート電極 8、及び絶縁膜 9 を有するトランジスタ 1a を形成する。例えば有機金属気相成長法（以下、OM VPE (Organometallic Vapor Phase Epitaxy) 法とする）によって、窒化物半導体層 3、電子供給層 4 及びキャップ層 5 を基板 2 上に順番に形成する。例えば真空蒸着法によって、ソース電極 6、ドレイン電極 7、及びゲート電極 8 をキャップ層 5 上（窒化物半導体層上）に形成する。ソース電極 6 及びドレイン電極 7 は、例えば、基板 2 側から Ni 層と Pt 層と Au 層とから構成される積層構造を有する。ゲート電極 8 は、例えば、基板 2 側から Ti 層と Al 層とから構成される積層構造を有する。例えば化学気相成長法（以下、CVD (Chemical Vapor Deposition) 法とする）によって、絶縁膜 9 の第 1 絶縁膜 11 及び第 2 絶縁膜 12 を、ゲート電極 8 を覆うように形成する。第 1 絶縁膜 11 及び第 2 絶縁膜 12 は、例えば SiN 膜である。絶縁膜 9 の表面 9a に、ゲート電極 8 の形状を反映した段差 13 と平坦部 14（段差 13 からドレイン電極 7 までの間の領域を指す）とが設けられる。

30

【0056】

次に、図 2 の (b) に示されるように、第 2 ステップとして、マスク（レジスト）20 として第 1 マスク 21 及び第 2 マスク 22 を、トランジスタ 1a 上に順番に設ける。第 1 マスク 21 及び第 2 マスク 22 はポジ型のレジストマスクであり、種々の塗布法（例えばインクジェット法等）によって設けられる。第 1 マスク 21 の厚さは例えば 1200 μm とし、第 2 マスク 22 の厚さは例えば 600 μm とする。第 1 マスク 21 の厚さは、少なくともゲート電極 8 の厚さと、後述するフィールドプレート 10 の厚さと、の合計よりも大きければよい。第 2 マスク 22 の感光性が第 1 マスク 21 の感光性よりも低くなるように、第 1 マスク 21 及び第 2 マスク 22 を構成する材料を選択する。

40

【0057】

次に、図 2 の (c) に示されるように、第 3 ステップとして、例えばフォトリソグラフ

50

イによってマスク 2 0 に開口部 2 0 a を設ける。具体的には、第 1 マスク 2 1 に横に広がった開口部 2 1 a を設けると共に、第 2 マスク 2 2 に窓 2 2 a を設ける。第 2 マスク 2 2 の窓 2 2 a は、ドレイン電極 7 とゲート電極 8 との間の絶縁膜 9 の段差 1 3 上に設けられる。方向 D 2 から見て、窓 2 2 a は、絶縁膜 9 の段差 1 3 における上面 1 3 b に重ならない。段差 1 3 の側面 1 3 a は、窓 2 2 a の内側に位置し、ゲート電極 8 の上面 8 a の縁（上面端部）8 c は、窓 2 2 a の外側に位置している。例えば開口を有するフォトマスクを介して第 1 マスク 2 1 及び第 2 マスク 2 2 に光を照射し、第 1 マスク 2 1 及び第 2 マスク 2 2 に光反応領域を形成する。当該光反応領域を除去することによって、開口部 2 1 a , 窓 2 2 a を形成する。これにより、開口部 2 0 a （特に窓 2 2 a ）は、方向 D 2 から見てオーバーハング形状を有している。当該光反応領域は、第 1 マスク 2 1 及び第 2 マスク 2 2 における光が照射される位置（光照射位置）から等方的に進む。このため、方向 D 1 において、第 1 マスク 2 1 の開口部 2 1 a におけるソース電極 6 側の縁 2 1 a 1 が、段差 1 3 の上面 1 3 b 上に位置し、第 1 マスク 2 1 の開口部 2 1 a におけるドレイン電極 7 側の縁 2 1 a 2 が、平坦部 1 4 上に位置するように、光反応領域を形成することが好ましい。第 2 マスク 2 2 の表面 2 2 b に相当する窓 2 2 a の上面 2 0 b から絶縁膜 9 の段差 1 3 までの距離は、窓 2 2 a の上面 2 0 b から絶縁膜 9 の平坦部 1 4 までの距離よりも小さい。また、上述のように第 1 マスク 2 1 の感光性は第 2 マスク 2 2 よりも高い。このため、方向 D 2 において、第 1 マスク 2 1 の開口部 2 1 a の面積は、第 2 マスク 2 2 の窓 2 2 a の面積よりも大きくなる。なお、方向 D 2 において、第 1 マスク 2 1 における残存部 2 1 b は、ゲート電極 8 の上面 8 a に重なっている。当該残存部 2 1 b は、ゲート電極 8 の上面 8 a における縁 8 c に重なってもよい。なお、方向 D 1 における第 2 マスク 2 2 の窓 2 2 a の幅は、例えば 0 . 1 ~ 1 . 5  $\mu\text{m}$  である。以上より、マスク 2 0 の開口部 2 0 a ( 開口部 2 1 a 、窓 2 2 a ) は、露光感度がそれぞれ異なる第 1 マスク 2 1 及び第 2 マスク 2 2 から形成され、オーバーハング形状を有している。さらに開口部 2 0 a は、図 2 の ( c ) に示されるように、その内部に高さが異なる領域も有しており、ゲート電極 8 とドレイン電極 7 との間ににおける絶縁膜 9 の段差 1 3 及び平坦部 1 4 の上に配置され形成されている。  
10  
20  
30

#### 【 0 0 5 8 】

次に、図 3 の ( a ) に示されるように、第 4 ステップとして、マスク 2 0 を用いて絶縁膜 9 上に金属材料を被着させ、段差 1 3 の側面 1 3 a から平坦部 1 4 に向けて延在するフィールドプレート 1 0 を形成する。具体的には、第 1 マスク 2 1 の開口部 2 1 a 及び第 2 マスク 2 2 の窓 2 2 a を介して、ドレイン電極 7 とゲート電極 8 との間ににおける絶縁膜 9 の段差 1 3 の側面 1 3 a からドレイン電極 7 に向けて延在するフィールドプレート 1 0 を形成する。例えば真空蒸着法によって蒸着源である金属材料を蒸発させ、絶縁膜 9 上に被着させることにより、フィールドプレート 1 0 を形成する。また、フィールドプレート 1 0 を形成しない金属 2 3 は、第 2 マスク 2 2 上に堆積する。フィールドプレート 1 0 は、例えば N i 層と A u 層とから構成される積層構造を有する。  
40

#### 【 0 0 5 9 】

次に、図 3 の ( b ) に示されるように、第 5 ステップとして、マスク 2 0 を除去する。例えば、トランジスタ 1 から第 1 マスク 2 1 をリフトオフ（剥離）することによって、第 1 マスク 2 1 及び第 2 マスク 2 2 を除去する。この際、第 2 マスク 2 2 上に堆積された金属 2 3 は、マスク 2 0 と同時に除去される。以上によって、トランジスタ 1 を形成する。  
50

#### 【 0 0 6 0 】

トランジスタ 1 の形成後、図 4 の ( a ) に示されるように、第 6 ステップとして、トランジスタ 1 上に絶縁膜 2 4 を形成してもよい。これにより、フィールドプレート 1 0 の短絡及び酸化等が抑制される。絶縁膜 2 4 は、例えば C V D 法によって形成される S i N 膜である。また、図 4 の ( b ) に示されるように、第 7 ステップとして、ソース電極 6 に接続される配線 2 5 と、ドレイン電極 7 に接続される配線 2 6 とを設けてもよい。絶縁膜 2 4 の一部を除去することによって露出されたソース電極 6 上に、配線 2 5 を設けてもよい。同様に、絶縁膜 2 4 の一部を除去することによって露出されたドレイン電極 7 上に、配

線 2 6 を設けてもよい。配線 2 5 , 2 6 は、例えば厚さが 3 ~ 5  $\mu\text{m}$  の Au 層である。配線 2 5 , 2 6 は、例えば真空蒸着法、スパッタリング、又はメッキ等により形成される。フィールドプレート 1 0 がソース電極 6 に接続されるように、配線 2 5 が形成されてもよい。

#### 【 0 0 6 1 】

次に、図 5 ~ 図 7 を用いながら、第 1 実施形態に係る半導体装置の製造方法の作用効果について説明する。図 5 の ( a ) , ( b ) は、比較例に係る半導体装置の製造方法を説明する図である。図 6 は、比較例に係る半導体装置の一例を説明する図である。図 6 は、図 5 の ( a ) に示される半導体装置と同一である。図 7 は、第 1 実施形態に係る半導体装置の断面図である。

10

#### 【 0 0 6 2 】

図 5 の ( a ) , ( b ) に示されるように、比較例に係る半導体装置の製造方法においては、第 1 マスク 3 1 には、絶縁膜 9 の段差 1 3 が露出されるように開口部 3 1 a が設けられている。また、方向 D 2 から見て絶縁膜 9 の段差 1 3 における上面 1 3 b に第 2 マスク 3 2 が重なるように、第 2 マスク 3 2 の窓 3 2 a が設けられている。したがって、比較例に係る半導体装置の製造方法においては、ゲート電極 8 の上面 8 a の少なくとも一部を覆うようにフィールドプレート 3 3 を形成する。この場合、例えば図 6 に示されるように、フィールドプレート 3 3 と、ゲート電極 8 の上面 8 a との間には、容量 C 3 が生じる。

#### 【 0 0 6 3 】

図 5 の ( a ) に示されるフィールドプレート 3 3 の形状と、図 5 の ( b ) に示されるフィールドプレート 3 4 の形状とは、互いに異なっている。これは、上述のように真空蒸着法によってフィールドプレート 3 3 , 3 4 が形成されているためである。真空蒸着法によって蒸発した金属材料の原子は直進性が高くなる。ウェハ上に半導体装置が形成されている時、蒸着源と半導体装置との位置関係及びウェハの傾きに依存して、蒸着源から半導体装置に向かって直進する金属原子の方向は異なる。例えばウェハ内のトランジスタ 1 b , 1 c の位置が異なる場合、図 5 の ( a ) , ( b ) に示されるように、金属原子が蒸着源から直進する方向 M 1 , M 2 が互いに異なる。したがって、図 5 の ( a ) , ( b ) に示されるように、形成されるフィールドプレート 3 3 、 3 4 の形状にはばらつきが生じる。特に、フィールドプレート 3 3 におけるソース電極 6 側の一端 3 3 a 、及びフィールドプレート 3 4 におけるソース電極 6 側の一端 3 4 a の位置のばらつきが大きくなる。

20

#### 【 0 0 6 4 】

一方、図 7 に示されるように、第 1 実施形態に係る半導体装置の製造方法では、方向 D 1 において、第 2 マスク 2 2 の窓 2 2 a におけるソース電極 6 側の縁 2 2 a 1 と、ゲート電極 8 におけるドレイン電極 7 側の縁 8 d との各々は、例えば方向 D 2 に沿った点線 L に重なるように形成されている。第 2 マスク 2 2 の窓 2 2 a におけるドレイン電極 7 側の縁 2 2 a 2 は、ドレイン電極 7 と、段差 1 3 の側面 1 3 a との間の絶縁膜 9 上に位置している。また、方向 D 1 において、第 1 マスク 2 1 の開口部 2 1 a におけるソース電極 6 側の縁 2 1 a 1 は、第 2 マスク 2 2 の縁 2 2 a 1 よりもソース電極 6 側に位置している。方向 D 1 において、第 1 マスク 2 1 の開口部 2 1 a におけるドレイン電極 7 側の縁 2 1 a 2 は、第 2 マスク 2 2 の縁 2 2 a 2 よりもドレイン電極 7 側に位置している。この結果、窓 2 2 a の上面 2 0 b から絶縁膜 9 の平坦部 1 4 までの方向 D 2 における距離は、窓 2 2 a の上面 2 0 b から絶縁膜 9 の段差 1 3 までの方向 D 2 における距離 ( ソース電極 6 側の縁 2 1 a 1 の高さ ) よりも大きくなる。このため、フィールドプレート 1 0 のドレイン電極 7 側の端部 e 1 の膜厚は、ドレイン電極 7 側に向かって小さくなる。これにより、フィールドプレート 1 0 の端面 1 0 b 1 とドレイン電極 7 とが対向する領域の面積が小さくなるため、それらの間の容量を低減することができる。また、結果としてフィールドプレート 1 0 のソース電極 6 側における端部 e 2 の膜厚は、フィールドプレート 1 0 のドレイン電極 7 側における端部 e 1 の膜厚よりも大きくなる。

40

#### 【 0 0 6 5 】

また、窓 2 2 a の上面 2 0 b から段差 1 3 までの方向 D 2 における距離は、窓 2 2 a の

50

上面 20 b から絶縁膜 9 の平坦部 14 までの方向 D 2 における距離よりも小さい。この領域においては、蒸着時において窓 22 a から入射する金属原子が、窓 22 a に対して忠実に被着される。このため、方向 D 2 において、段差 13 付近におけるフィールドプレート 10 は、ゲート電極 8 の上面 8 a とオーバーラップしないよう厳密に制御することができる。

#### 【0066】

以上に説明したように、第 1 実施形態に係る半導体装置の製造方法によれば、上述に示したマスク 20 を用いてフィールドプレート 10 を形成することによって、方向 D 1 において、フィールドプレート 10 のソース電極 6 側における一端 10 a は、ゲート電極 8 の上面 8 a におけるドレイン電極 7 側の縁 8 c よりも、ドレイン電極 7 側に位置することができる。フィールドプレートにおけるゲート電極の上面を覆う部分では、フィールドプレートを設けることによる効果（ドレイン電極とゲート電極とのカップリングを遮蔽する効果）が得られるが当該効果は小さく、むしろフィールドプレートとゲート電極との間に発生する容量の増大につながる。本実施形態によれば、ゲート電極 8 の上面 8 a を覆わないようにフィールドプレート 10 を形成することができるので、フィールドプレート 10 とゲート電極 8 との間に発生する容量を低減することができる。また、フィールドプレート 10 によってドレイン電極 7 とゲート電極 8 とのカップリングを遮蔽することができる。

10

#### 【0067】

また、フィールドプレート 10 のソース電極 6 側における端部 e 2 の膜厚は、フィールドプレート 10 のドレイン電極 7 側における端部 e 1 の膜厚よりも厚くてもよい。この場合、方向 D 1 において、フィールドプレート 10 のドレイン電極 7 側における端部 e 1 は、ドレイン電極 7 に向かってその端部 e 1 の厚みが減少することとなる。これにより、ドレイン電極 7 側におけるフィールドプレート 10 の端部 e 1 とドレイン電極 7 との間に発生する容量を低減することができる。

20

#### 【0068】

また、フィールドプレート 10 の一端 10 a の端面 10 a 1 と、フィールドプレート 10 及び絶縁膜 9 の界面 I 1 とがなす角度 1 は、鋭角であってもよい。この場合、フィールドプレート 10 の一端 10 a の端面 10 a 1 と、ゲート電極 8 との間に発生する容量が低減される。したがって、フィールドプレート 10 とゲート電極 8 との間に発生する容量を一層低減することができる。

30

#### 【0069】

また、フィールドプレート 10 のドレイン電極 7 側における他端 10 b の端面 10 b 1 と、フィールドプレート 10 及び絶縁膜 9 の界面 I 1 とがなす角度 2 は、鋭角であってもよい。この場合、フィールドプレート 10 の他端 10 b の端面 10 b 1 と、ドレイン電極 7 との間に発生する容量が低減される。

#### 【0070】

また、フィールドプレート 10 の一端 10 a は、段差 13 の上面 13 b に接触していなくてもよい。この場合、フィールドプレート 10 とゲート電極 8 との間に発生する容量を一層低減することができる。

40

#### 【0071】

また、マスク 20 を形成する工程は、絶縁膜 9 上に第 1 マスク 21 を形成する工程と、第 1 マスク 21 上に設けられ、第 1 マスク 21 よりも感光性が低い第 2 マスク 22 を形成する工程と、開口を有するフォトマスクを介して第 1 マスク 21 及び第 2 マスク 22 に光を照射し、第 1 マスク 21 の一部及び第 2 マスク 22 の一部を除去する工程と、を有し、方向 D 2 において、第 1 マスク 21 における残存部 21 b は、ゲート電極 8 に重なっていてもよい。この場合、第 1 マスク 21 の残存部 21 b によって、フィールドプレート 10 を形成する金属原子がゲート電極 8 上に入射されることが抑制される。したがって、フィールドプレート 10 の一端 10 a が、ゲート電極 8 の上面 8 a における縁 8 c よりも、ドレイン電極 7 側に位置するように、フィールドプレート 10 を精度よく形成することができる。また、マスク 20 に上記オーバーハング形状を有する窓 22 a（又は開口部 20 a

50

)を精度よく形成することができる。

【0072】

図8は、第1実施形態における第1変形例に係る半導体装置の断面図を示す。図8に示されるように、トランジスタ1Aにおいて、ソース電極6及びドレイン電極7の各々は、電子供給層4にオーミック接触するように設けられている。この場合、ソース電極6及びドレイン電極7の各々が設けられる前に、キャップ層5Aの一部は除去される。キャップ層5Aの一部は、例えばレジストマスクを用いて除去される。この場合であっても、第1実施形態に係る半導体装置と同等の効果を奏する。さらに、ソース電極6及びドレイン電極7の各々における接触抵抗が低減される。したがって、一層良好な電気特性を有する半導体装置が提供される。

10

【0073】

図9は、第1実施形態における第2変形例に係る半導体装置の断面図を示す。図9に示されるように、トランジスタ1Bにおいて、電子供給層4上にキャップ層5が設けられていない。このため、ソース電極6及びドレイン電極7の各々が電子供給層4にオーミック接触するように設けられている。また、ゲート電極8が電子供給層4に直接接触するように設けられている。この場合であっても、第1実施形態と同等の効果を奏する。さらに、ソース電極6及び電子供給層4の間の接触抵抗と、ドレイン電極7及び電子供給層4の間の接触抵抗とが低減され、高周波特性が向上した半導体装置が提供される。

20

【0074】

図10は、第1実施形態における第3変形例に係る半導体装置の断面図を示す。図10に示されるように、トランジスタ1Cにおいて、キャップ層5上の一部に絶縁膜41が設けられている。このため、ゲート電極8は、絶縁膜41上に設けられている。絶縁膜41は、例えば窒化ケイ素(SiN)膜、酸化ケイ素(SiO<sub>x</sub>)膜、酸化窒化ケイ素(SiON)膜、酸化アルミニウム(AlO<sub>x</sub>)膜、窒化アルミニウム(AlN)膜、酸化ハフニウム(HfO<sub>2</sub>)膜、又は酸化マグネシウム(MgO)膜等である。この場合であっても、第1実施形態と同等の効果を奏する。さらに、絶縁膜41によってゲート電極8と他の膜との短絡とを防ぐことにより、信頼性の高い半導体装置が提供される。

20

【0075】

図11は、第1実施形態における第4変形例に係る半導体装置の断面図を示す。図11に示されるように、トランジスタ1Dにおいて、基板2と窒化物半導体層3との間には、バッファ層42が設けられている。バッファ層42は、例えばAlGaN層である。この場合であっても、第1実施形態と同等の効果を奏する。さらに、バッファ層42が設けられることによって、トランジスタ1Dの短チャネル効果が抑制される。したがって、トランジスタ1Dのゲート長を短くすることができ、高周波特性が向上した半導体装置が提供される。

30

【0076】

図12は、第1実施形態における第5変形例に係る半導体装置の断面図を示す。図12に示されるように、トランジスタ1Eにおいて、方向D2から見て、キャップ層5Bのゲート電極8と接触する部分には、窪み43が形成されている。当該窪み43には、ゲート電極8が充填されている。この場合であっても、第1実施形態と同等の効果を奏する。さらに、窪み43が設けられることによって、ゲート端における電界が緩和されると共に、高周波特性が向上した半導体装置が提供される。なお、窪み43は、方向D2においてキャップ層5Bを貫通する開口部であってもよい。この場合、ゲート電極8は電子供給層4に接触する。

40

【0077】

図13は、第1実施形態における第6変形例に係る半導体装置の断面図を示す。図13に示されるように、トランジスタ1Fにおいて、方向D2から見て、キャップ層5Cのゲート電極8と重なる領域及びその周辺には、窪み44が形成されている。当該窪み44には、ゲート電極8及び第1絶縁膜11が充填されている。この場合であっても、第1実施形態と同等の効果を奏する。さらに、窪み44が設けられることによって、ゲート端にお

50

ける電界が緩和され、高周波特性が向上すると共に、耐圧が向上した半導体装置が提供される。なお、窪み44は、方向D2においてキャップ層5Cを貫通する開口部であってよい。この場合、ゲート電極8は電子供給層4に接触する。

#### 【0078】

図14は、第1実施形態における第7変形例に係る半導体装置の断面図を示す。図14に示されるように、トランジスタ1Gにおいて、方向D2から見て、窒化物半導体層3、電子供給層4、及びキャップ層5におけるソース電極6と重なる領域及びその周辺には、 $n^+$ 領域45が形成されている。同様に、方向D2から見て、窒化物半導体層3、電子供給層4、及びキャップ層5におけるドレイン電極7と重なる領域及びその周辺には、 $n^+$ 領域46が形成されている。 $n^+$ 領域45, 46は、例えばシリコン(Si)、ゲルマニウム(Ge)等のドーパントが、窒化物半導体層3、電子供給層4、及びキャップ層5における他の領域よりも高い濃度にて含有されている領域である。この場合であっても、第1実施形態と同等の効果を奏する。さらに、 $n^+$ 領域45, 46が設けられることによつて、ソース電極6及びドレイン電極7の各々における接触抵抗が低減される。なお、 $n^+$ 領域45, 46は、キャップ層5のみに設けられてもよく、電子供給層4及びキャップ層5のみに設けられてもよい。

10

#### 【0079】

##### (第2実施形態)

図15は、第2実施形態に係る半導体装置を示す断面図である。図15に示されるように、半導体装置であるトランジスタ101は、基板2、窒化物半導体層3、電子供給層4、キャップ層5、ソース電極6、ドレイン電極7、ゲート電極8、絶縁膜109、及びフィールドプレート110を備えている。

20

#### 【0080】

絶縁膜109は、第1絶縁膜11、第2絶縁膜12、及び第3絶縁膜111を有しており、キャップ層5等を保護する。第3絶縁膜111は、第2絶縁膜12を覆うように設けられている。したがつて、絶縁膜109の表面109aには、ゲート電極8の形状を反映した段差113が設けられている。ゲート電極8とドレイン電極7との間ににおける第3絶縁膜111には、第3絶縁膜111が除去された領域である開口部111aが設けられている。すなわち、ゲート電極8とドレイン電極7との間ににおける段差113の側面113aからドレイン電極7までの間の絶縁膜109の内少なくとも一部(平坦部114上における領域)109bの膜厚は、他の絶縁膜109の他の部分の膜厚よりも薄くなっている。

30

#### 【0081】

第3絶縁膜111は、例えば窒化ケイ素(SiN)膜、酸化ケイ素(SiOx)膜、酸化窒化ケイ素(SiON)膜、又は酸化アルミニウム(AlOx)膜等である。第2絶縁膜12と第3絶縁膜111とは、互いに異なる材料から構成される。したがつて、同一のエッチャントを用いた場合、第2絶縁膜12と第3絶縁膜111とのエッチングレートは互いに異なる。第3絶縁膜111の膜厚は、例えば50~800nmである。また、第1絶縁膜11と第2絶縁膜12とは、互いに異なる材料から構成されている。したがつて、同一のエッチャントを用いた場合、第1絶縁膜11と第2絶縁膜12とのエッチングレートは互いに異なる。第1絶縁膜11と第3絶縁膜111とは、互いに同一の材料から構成されてもよい。

40

#### 【0082】

フィールドプレート110は、ソース電極6とドレイン電極7との間であつて、絶縁膜109上に設けられている。具体的には、フィールドプレート110は、絶縁膜109の段差113の上面113b上からドレイン電極7に向けて延在している。また、フィールドプレート110は、絶縁膜109の内少なくとも一部109b上に延在して設けられている。つまり、フィールドプレート110は、第3絶縁膜111の除去された領域である開口部111a内に延在して設けられている。フィールドプレート110は、第1実施形態のフィールドプレート10と同一の積層構造を有している。

50

## 【0083】

方向D1において、フィールドプレート110のソース電極6側における一端110aは、ゲート電極8の上面8aにおけるドレイン電極7側の縁8cよりも、ソース電極6側に位置している。方向D1において、フィールドプレート110のドレイン電極7側における他端110bは、第3絶縁膜111上に位置している。具体的には、フィールドプレート110の他端110bは、絶縁膜109の内少なくとも一部109b(第3絶縁膜111における開口部111aに重なる第2絶縁膜12の平坦部114)よりもドレイン電極7側に位置している。

## 【0084】

図16は、HEMTにおける半導体層表面とフィールドプレートとの間の絶縁膜の膜厚とコラプス率の関係を示すグラフである。図16におけるHEMTとして、図15に示されるトランジスタ101が用いられる。コラプス率とは、電流コラプスの程度を示す指標である。第2実施形態におけるコラプス率は、ストレス印加を行った後に測定したトランジスタ101のドレイン電流値を、ストレス印加を行わずに測定したトランジスタ101のドレイン電流値で除すことによって算出される。第2実施形態におけるストレス印加とは、或る時間の間トランジスタ101に対してゲート電圧Vgを-4V印加すると共に、ドレイン電圧Vdを50V印加することである。コラプス率が100%に近いほど、高電圧動作の際にトランジスタ101のドレイン電流の減少量が小さくなる。

10

## 【0085】

図16に示されるように、絶縁膜109の厚さが薄いほど、コラプス率が100%に近い値となっている。しかしながら、絶縁膜109の厚さを薄くするほど、ゲート電極8とフィールドプレート110との間に発生する容量が大きくなる。このため、ゲート電極8とフィールドプレート110との間(特にゲート電極8の上面8a及び側面8b)における絶縁膜109の厚さを大きくすることが好ましい。また、キャップ層5とフィールドプレート110との間における絶縁膜109の厚さを小さくすることが好ましい。図15に示されるように、第3絶縁膜111において、ゲート電極8とドレイン電極7との間には開口部111aが設けられている。当該開口部111a内には、フィールドプレート110が設けられている。したがって、上記構造を備えるトランジスタ101によれば、フィールドプレート110とキャップ層5との距離を近くすると共に、フィールドプレート110が機能する部分以外の絶縁膜109の膜厚を厚くできる。この場合、コラプス率を100%に近づけると共に、フィールドプレート110とゲート電極8との間に発生する容量を低減できる。

20

30

## 【0086】

次に、図17～図20を用いながら第2実施形態に係る半導体装置の製造方法を説明する。図17の(a)～(c)、図18の(a)～(c)、図19の(a)～(c)、及び図20は、第2実施形態に係る半導体装置の製造方法を説明する図である。

## 【0087】

まず、図17の(a)に示されるように、第1ステップとして、基板2、窒化物半導体層3、電子供給層4、キャップ層5、ソース電極6、ドレイン電極7、ゲート電極8、第1絶縁膜11及び第2絶縁膜12を有するトランジスタ1aを形成する。第2実施形態における第1絶縁膜11は、例えばSiN膜である。第2絶縁膜12は、第1絶縁膜11と異なる材料からなる膜であればよく、例えばSiO<sub>x</sub>膜である。

40

## 【0088】

次に、図17の(b)に示されるように、第2ステップとして、第2絶縁膜12上に第3絶縁膜111を設ける。これにより、第1絶縁膜11、第2絶縁膜12、及び第3絶縁膜111を有する絶縁膜109を設ける。第3絶縁膜111は、例えばCVD法によって設けられる。第3絶縁膜111は、第2絶縁膜12と異なる材料からなる膜であればよく、例えばSiN膜である。

## 【0089】

次に、図17の(c)に示されるように、第3ステップとして、ソース電極6、ドレイ

50

ン電極 7、及び絶縁膜 109 上にマスク 120 を設ける。マスク 120 は、例えば種々の塗布法によって形成されたボジ型のレジストマスクである。マスク 120 は、例えば第 1 実施形態の第 1 マスク 21 又は第 2 マスク 22 と同一材料を含んでもよい。

#### 【0090】

次に、図 18 の (a) に示されるように、第 4 ステップとして、例えばフォトリソグラフィによってマスク 120 に開口部 120a を設ける。方向 D1 において、段差 113 の側面 113a からドレンイン電極 7 までの間のマスク 120 の一部に、開口部 120a を設ける。マスク 120 に開口部 120a が設けられることによって、第 3 絶縁膜 111 の一部を露出する。

#### 【0091】

次に、図 18 の (b) に示されるように、第 5 ステップとして、マスク 120 の開口部 120a を介したエッチングにより、露出した第 3 絶縁膜 111 の一部を除去する。例えば NF<sub>3</sub> 及び Cl<sub>2</sub> の混合ガスを用いたドライエッチングによって、第 3 絶縁膜 111 の一部を除去する。当該混合ガスは、第 2 絶縁膜 12 に対する第 3 絶縁膜 111 の選択比が高いエッチングガス（エッチャント）であるため、第 3 絶縁膜 111 の一部のみを精度よく除去することができる。第 3 絶縁膜 111 の一部を除去することによって、方向 D1 において、ドレンイン電極 7 とゲート電極 8 との間の第 3 絶縁膜 111 に開口部 111a を形成する。つまり、段差 113 の側面 113a からドレンイン電極 7 までの間の絶縁膜 109 の内少なくとも一部 109b の膜厚を減じる。第 3 絶縁膜 111 に開口部 111a を設けることによって、第 2 絶縁膜 12 の一部 12a を露出する。つまり、絶縁膜 109 の内露出する一部が、第 2 絶縁膜 12 の一部 12a（平坦部 114）となる。また、第 3 絶縁膜 111 に開口部 111a を設けた後、図 18 の (c) に示されるように、第 6 ステップとして、マスク 121 を除去する。

10

20

30

40

#### 【0092】

次に、図 19 の (a) に示されるように、第 7 ステップとして、ソース電極 6、ドレンイン電極 7、及び絶縁膜 109 上に、マスク 130 として第 1 マスク 131 及び第 2 マスク 132 を順番に設ける。第 1 マスク 131 及び第 2 マスク 132 は、第 1 実施形態の比較例に係る第 1 マスク 31 及び第 2 マスク 32 にそれぞれ相当する。

#### 【0093】

次に、図 19 の (b) に示されるように、第 8 ステップとして、マスク 130 に窓 130a を設ける。具体的には、第 1 マスク 131 に開口部 131a を設けると共に、第 2 マスク 132 に窓 132a を設ける。第 1 マスク 131 の開口部 131a は、例えば比較例に係る開口部 31a と同一の形状である。第 2 マスク 132 の窓 132a は、例えば比較例 1 に係る窓 32a と同一の形状である。

30

#### 【0094】

次に、図 19 の (c) に示されるように、第 9 ステップとして、マスク 130 を用いて絶縁膜 109 上にフィールドプレート 110 を形成する。具体的には、第 1 マスク 131 の開口部 131a 及び第 2 マスク 132 の窓 132a を介して、絶縁膜 109 上に、膜厚が減じられた領域上の部分を含み、段差 113 から平坦部 114 の領域にかけて延在するフィールドプレート 110 を形成する。フィールドプレート 110 の形成方法は、例えばフィールドプレート 10 の形成方法と同一でよい。

40

#### 【0095】

最後に、図 20 に示されるように、第 10 ステップとして、マスク 130 を除去する。マスク 130 の除去方法は、マスク 20 の除去方法と同一でよい。以上によって、トランジスタ 101 を形成する。なお、第 1 実施形態と同様に、トランジスタ 101 上に絶縁膜及び配線を設けてもよい。

#### 【0096】

以上に説明した、第 2 実施形態の半導体装置の製造方法と、当該製造方法によって製造される半導体装置によって得られる効果について説明する。第 2 実施形態に係る半導体装置の製造方法では、絶縁膜 109 における段差 113 からドレンイン電極 7 までの間に位置

50

する平坦部 114 上の領域の膜厚が減じられる。これにより、フィールドプレート 110 とキャップ層（半導体層）5との距離を近くし、電流コラプスを低減することができる。また、この製造方法では、フィールドプレート 110 が機能する部分以外の絶縁膜 109 の膜厚を、厚く形成することができる。したがって、上記製造方法及び当該製造方法によって製造される半導体装置によれば、フィールドプレート 110 とゲート電極 8 の上面 8a との距離を大きくでき、フィールドプレート 110 とゲート電極 8 との間に発生する容量を低減することができる。また、フィールドプレート 110 によってドレイン電極 7 とゲート電極 8 とのカップリングを遮蔽することができる。

#### 【0097】

また、絶縁膜 109 は、第 1 絶縁膜 11 と、第 1 絶縁膜 11 上に設けられ、第 1 絶縁膜 11 と異なる材料からなる第 2 絶縁膜 12 と、第 2 絶縁膜 12 上に設けられ、第 2 絶縁膜 12 と異なる材料からなる第 3 絶縁膜 111 と、を有し、絶縁膜 109 の膜厚を薄くする工程は、ゲート電極 8 とドレイン電極 7 との間における絶縁膜 109 の段差 113 の側面 113a からドレイン電極 7 までの間の第 3 絶縁膜 111 の一部を除去することにより、第 2 絶縁膜 12 の一部 12a を露出する工程を有し、フィールドプレート 110 は、露出された第 2 絶縁膜 12 の一部 12a 上に延在して設けられてもよい。この場合、第 2 絶縁膜 12 と第 3 絶縁膜 111 とは互いに異なる材料から構成される。このため、第 3 絶縁膜 111 の一部をエッチングにて除去する際に、第 2 絶縁膜 12 をエッチングしないように選択比の高いエッチャントを用いることができる。したがって、第 3 絶縁膜 111 の一部のみを精度よく除去することができる。

10

20

#### 【0098】

また、例えば第 2 絶縁膜 12 を SiN 膜とし、第 3 絶縁膜 111 を SiO<sub>x</sub> 膜としてもよい。この場合、第 5 ステップにて、例えばバッファードフッ酸を用いたウェットエッチングにより、第 3 絶縁膜 111 のみを精度よく除去することができる。つまり、バッファードフッ酸は、第 2 絶縁膜 12 に対する第 3 絶縁膜 111 の選択比が高いエッチャントとなる。

30

#### 【0099】

図 21 は、第 2 実施形態における第 11 変形例に係る半導体装置の断面図を示す。図 21 に示されるように、トランジスタ 101A において、絶縁膜 109A は、第 1 絶縁膜 11A と、第 2 絶縁膜 12A と、第 3 絶縁膜 111A とを有する。第 1 絶縁膜 11A 及び第 2 絶縁膜 12A は、互いに同一の材料から構成される。第 3 絶縁膜 111A は、第 1 絶縁膜 11A 及び第 2 絶縁膜 12A と異なる材料から構成される。この場合であっても、第 2 実施形態と同等の効果を奏する。また、第 3 絶縁膜 111A の一部をエッチングにて除去する際に、第 2 絶縁膜 12A をエッチングしないように選択比の高いエッチャントを用いることができる。したがって、第 3 絶縁膜 111A のみを精度よく除去することができる。なお、ゲート電極 8 の形状を変更し、第 1 絶縁膜 11A 及び第 2 絶縁膜 12A を単一の膜としてもよい。この場合、当該単一の膜を第 1 絶縁膜とし、第 3 絶縁膜 111A に相当する膜を第 2 絶縁膜としてもよく、段差 113 及び平坦部 114 が当該第 1 絶縁膜の表面に形成されていてもよい。

30

#### 【0100】

図 22 は、第 2 実施形態における第 12 変形例に係る半導体装置の断面図を示す。図 22 に示されるように、第 1 絶縁膜 11 と第 2 絶縁膜 12 とは、互いに異なる材料から構成される。第 3 絶縁膜 111B と第 1 絶縁膜 11 とは、互いに同一の材料から構成される。また、トランジスタ 101B において、フィールドプレート 110A のドレイン電極 7 側における他端 110c は、第 2 絶縁膜 12 に接触している。つまり、フィールドプレート 110A の他端 110c は、方向 D2 において、絶縁膜 109B の少なくとも一部 109Bb に重なっている。あるいは、フィールドプレート 110A の他端 110c は、方向 D2 において、第 3 絶縁膜 111B の開口部 111Ba 内に位置している。この場合であっても、第 2 実施形態と同等の効果を奏する。さらに、方向 D1 から見て、フィールドプレート 110A の他端 110c 側がドレイン電極 7 に対向する面積が小さくなる。したがつ

40

50

て、フィールドプレート 110A とドレイン電極 7 との間に発生する容量を低減することができる。

#### 【0101】

図 23 は、第 2 実施形態における第 13 変形例に係る半導体装置の断面図を示す。第 13 変形例では、第 12 変形例(図 22)のトランジスタ 101B の第 1 絶縁膜 11 及び第 2 絶縁膜 12 が、第 11 変形例(図 21)の第 1 絶縁膜 11A 及び第 2 絶縁膜 12A に置換されている。すなわち、図 23 に示されるように、トランジスタ 101C において、絶縁膜 109C は、第 1 絶縁膜 11A と、第 2 絶縁膜 12A と、第 3 絶縁膜 111B とを有する。フィールドプレート 110A の他端 110c は、方向 D2 において、絶縁膜 109C の少なくとも一部 109Cb に重なっている。この場合であっても、第 2 実施形態と同等の効果を奏する。さらに、第 11 変形例(図 21)及び第 12 変形例(図 22)の効果を奏する半導体装置が提供される。10

#### 【0102】

図 24 は、第 2 実施形態における第 14 変形例に係る半導体装置の断面図を示す。図 24 に示されるように、トランジスタ 101D において、フィールドプレート 110B のソース電極 6 側における一端 110d は、ゲート電極 8 の上面 8a の縁 8c よりもドレイン電極 7 側に位置している。このフィールドプレート 110B は、第 1 実施形態と同様の方法によって形成される。この場合であっても、第 2 実施形態と同等の効果を奏する。さらに、第 1 実施形態と同等の効果を奏することから、フィールドプレート 110B とゲート電極 8 との間に発生する容量が一層低減された半導体装置が提供される。また、フィールドプレート 110B の一端 110d は、段差 113 の上面 113b に接触していなくてもよい。この場合、フィールドプレート 110B とゲート電極 8 との間に発生する容量をより一層低減することができる。20

#### 【0103】

図 25 は、第 2 実施形態における第 15 変形例に係る半導体装置の断面図を示す。第 15 変形例では、第 11 変形例(図 21)のトランジスタ 101A のフィールドプレート 110 が、第 14 変形例(図 24)のフィールドプレート 110B に置換されている。すなわち、図 25 に示されるように、トランジスタ 101E は、絶縁膜 109A 及びフィールドプレート 110B を備える。この場合であっても、第 2 実施形態と同等の効果を奏する。さらに、第 11 変形例(図 21)及び第 14 変形例(図 24)の効果を奏する半導体装置が提供される。30

#### 【0104】

図 26 は、第 2 実施形態における第 16 変形例に係る半導体装置の断面図を示す。第 16 変形例では、第 12 変形例(図 22)のトランジスタ 101B のフィールドプレート 110A の特徴と、第 14 変形例(図 24)のフィールドプレート 110B の特徴とが組み合わされている。すなわち、図 26 に示されるように、トランジスタ 101F において、フィールドプレート 110C のソース電極 6 側における一端 110e は、ゲート電極 8 の上面 8a の縁 8c よりもドレイン電極 7 側に位置している。フィールドプレート 110C の一端 110e の端面 110e1 と、フィールドプレート 110C 及び絶縁膜 109B の界面 I2 とがなす角度 3 は、鋭角になっている。また、フィールドプレート 110C のドレイン電極 7 側における他端 110f は、第 2 絶縁膜 12 に接触している。フィールドプレート 110C の他端 110f の端面 110f1 と、界面 I2 とがなす角度 4 は、鋭角になっている。この場合であっても、第 2 実施形態と同等の効果を奏する。さらに、第 12 変形例(図 22)及び第 14 変形例(図 24)の効果を奏する半導体装置が提供される。また、フィールドプレート 10 のソース電極 6 側における端部 e4 の膜厚は、フィールドプレート 10 のドレイン電極 7 側における端部 e3 の膜厚よりも大きくなる。40

#### 【0105】

図 27 は、第 2 実施形態における第 17 変形例に係る半導体装置の断面図を示す。第 17 変形例では、第 16 変形例(図 26)のトランジスタ 101F の第 1 絶縁膜 11 及び第 2 絶縁膜 12 が、第 11 変形例(図 21)の第 1 絶縁膜 11A 及び第 2 絶縁膜 12A に置

10

20

30

40

50

換されている。すなわち、図27に示されるように、トランジスタ101Gにおいて、フィールドプレート110Cの他端110fは、第2絶縁膜12Aに接触している。この場合であっても、第2実施形態と同等の効果を奏する。さらに、第11変形例(図21)及び第16変形例(図26)の効果を奏する半導体装置が提供される。

### 【0106】

本発明による半導体装置の製造方法及び半導体装置は、上述した実施形態に限られるものではなく、他に様々な変形が可能である。例えば、上記実施形態及び変形例を適宜組み合わせてもよい。例えば、第1実施形態の第3変形例に記載された半導体層の層構造を、第2実施形態に適用してもよい。

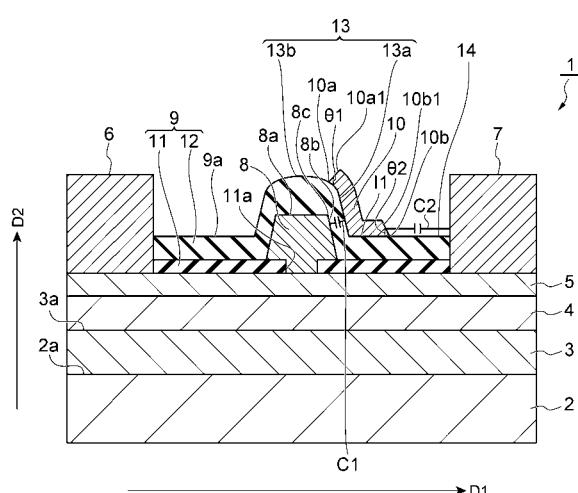
### 【符号の説明】

### 【0107】

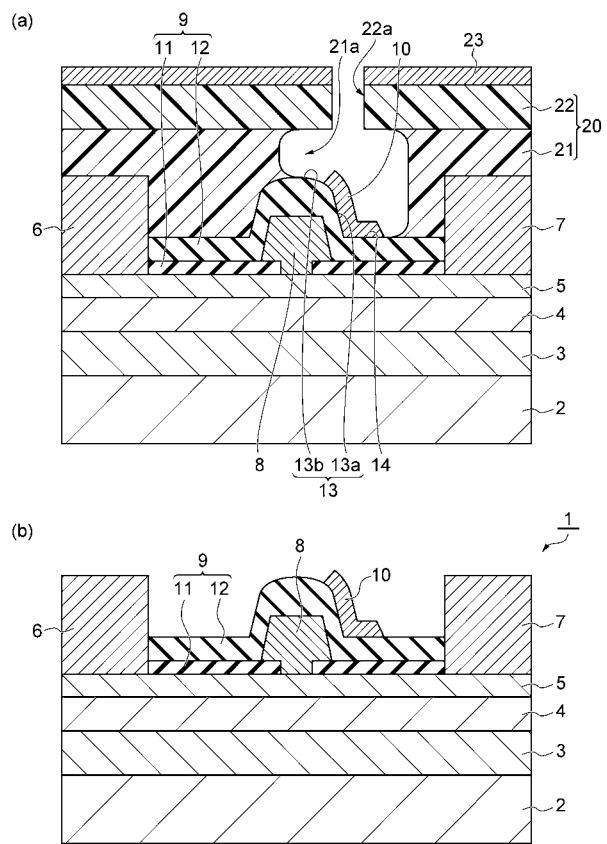
1, 1a ~ 1c, 1A ~ 1G, 101, 101A ~ 101G ...トランジスタ、2...基板、3...窒化物半導体層(半導体層)、4...電子供給層、5...キャップ層(窒化物半導体層)、6...ソース電極、7...ドレイン電極、8...ゲート電極、9, 109, 109A...絶縁膜、10, 110, 110A ~ 110C...フィールドプレート、20, 120, 130...マスク(レジスト)、21, 31, 131...第1マスク、22, 32, 132...第2マスク、41...絶縁膜、42...バッファ層、43, 44...窪み、45, 46...n<sup>+</sup>領域、e1 ~ e4...端部。

10

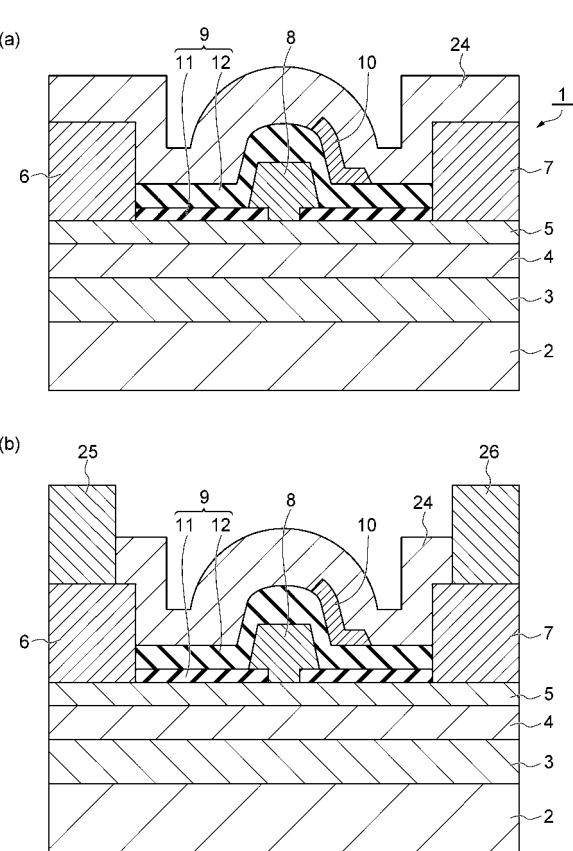
【図1】



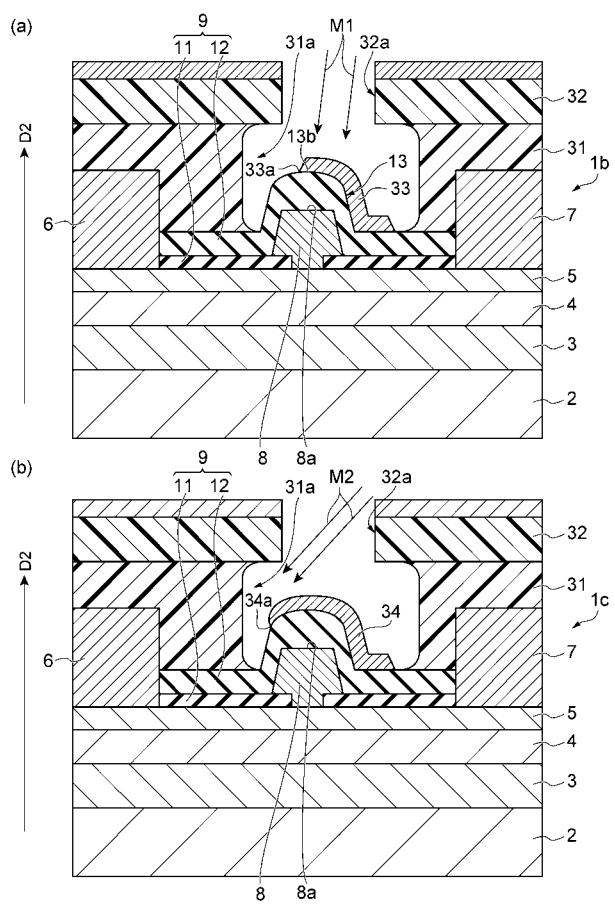
【図3】



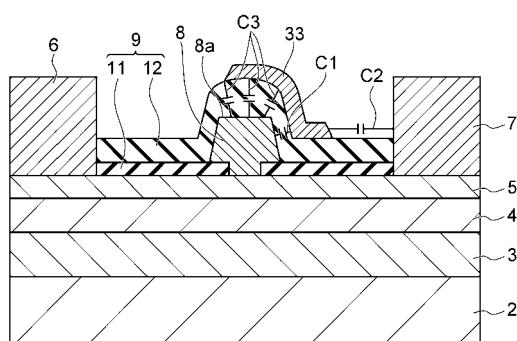
【図4】



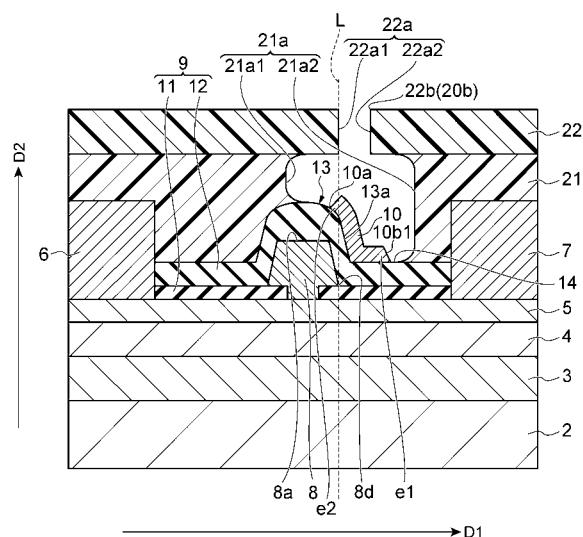
【図5】



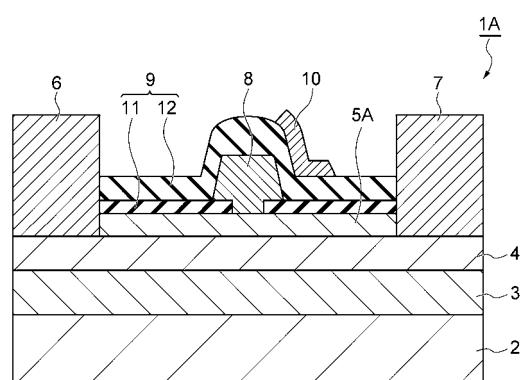
【図6】



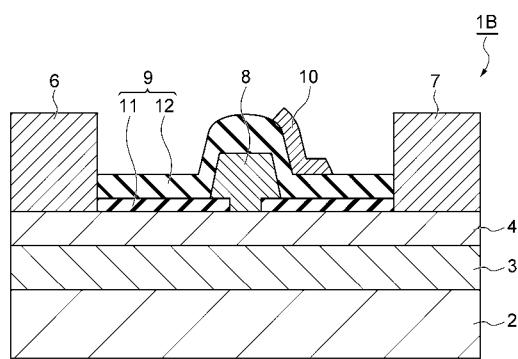
【図7】



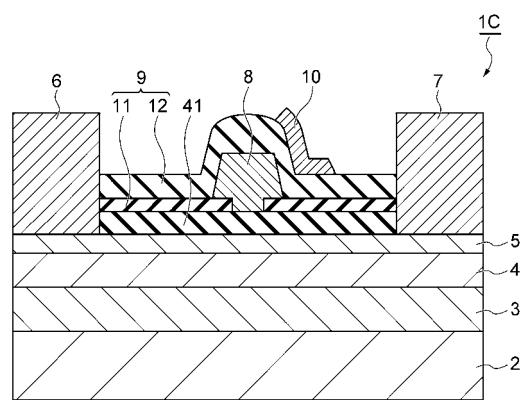
【図8】



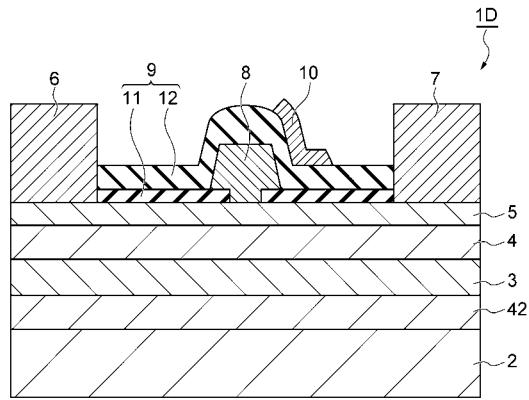
【図9】



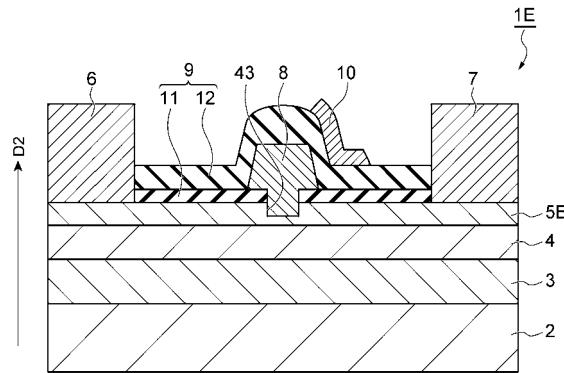
【図10】



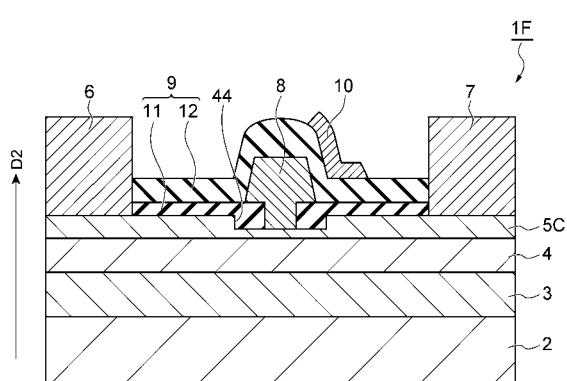
【図 1 1】



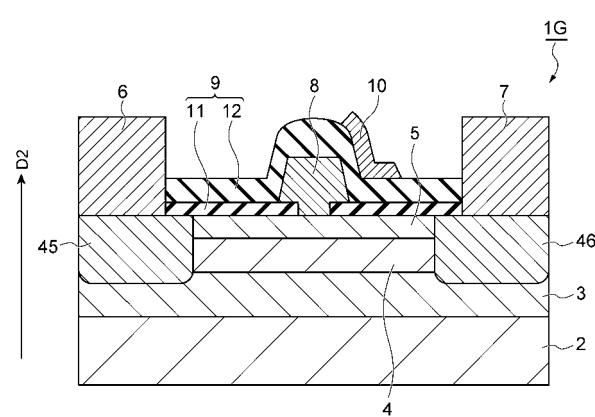
【図 1 2】



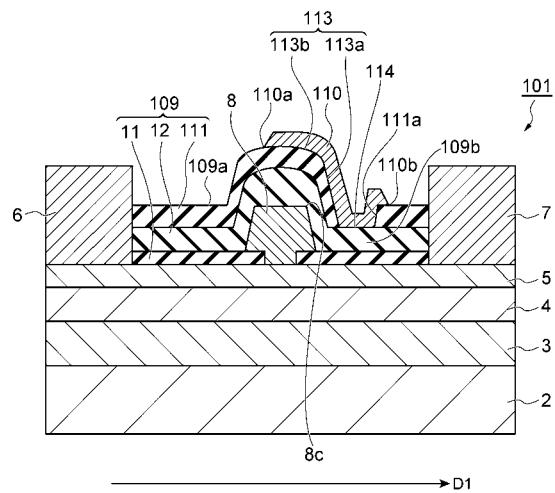
【図 1 3】



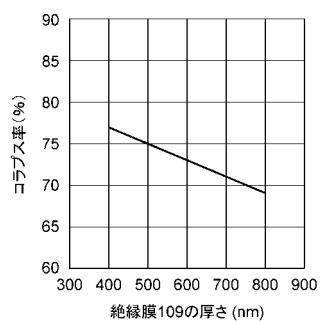
【図 1 4】



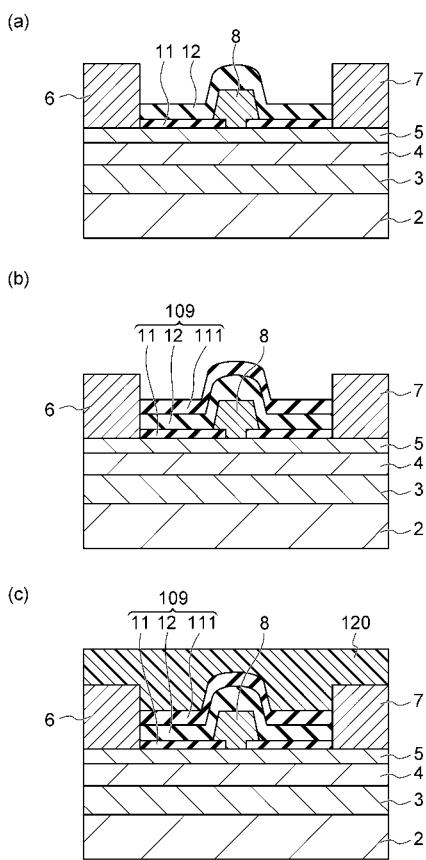
【図15】



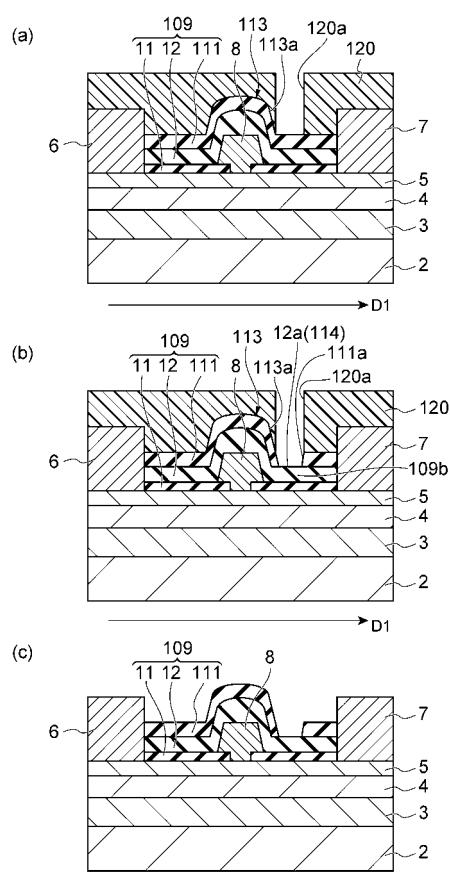
【図16】



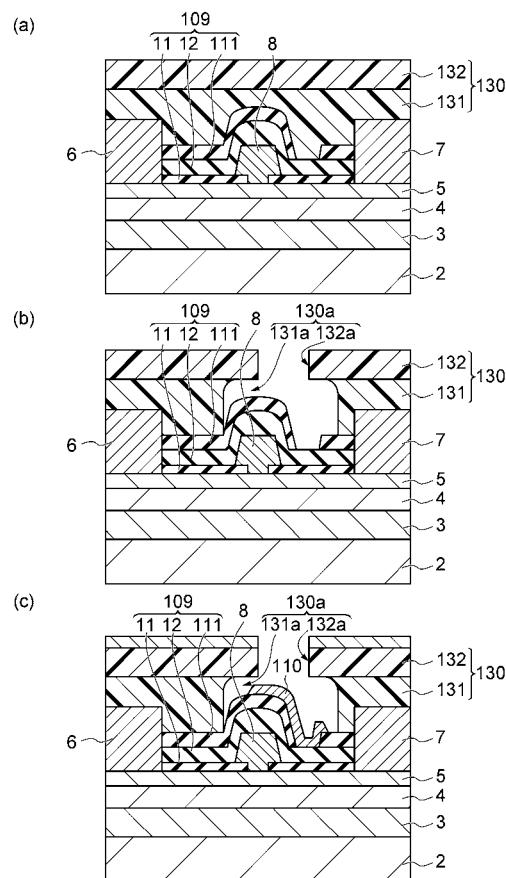
【図17】



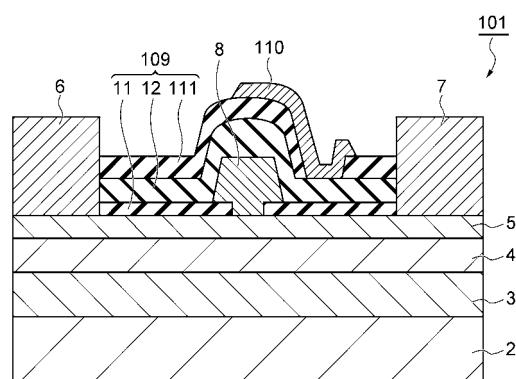
【図18】



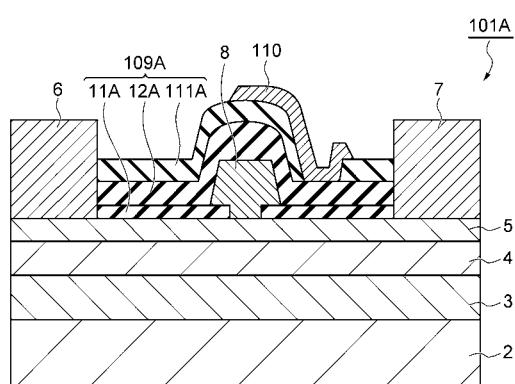
【図19】



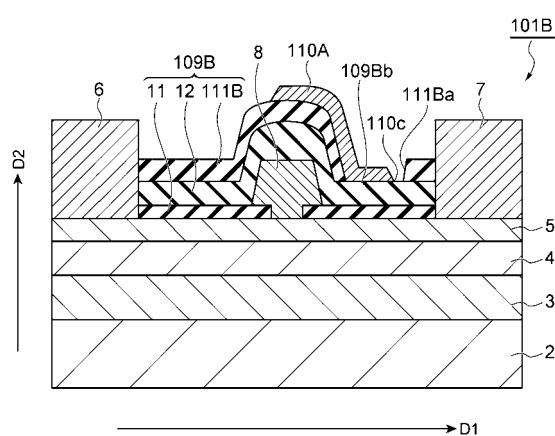
【図20】



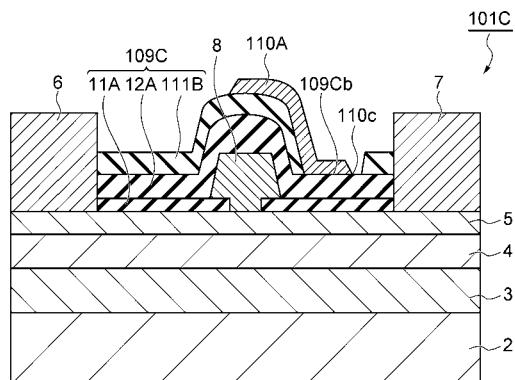
【図21】



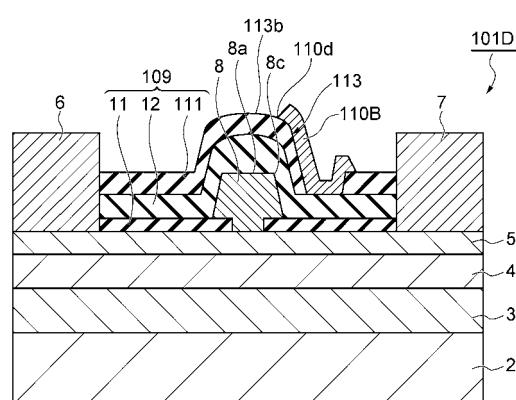
【図22】



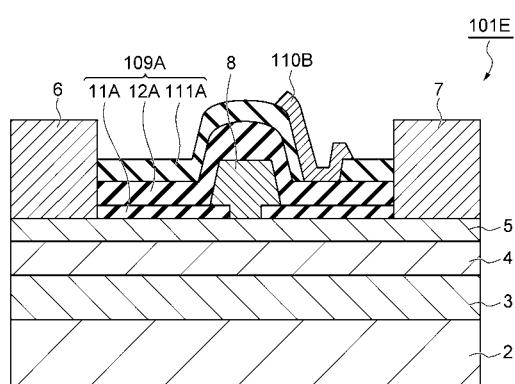
【図23】



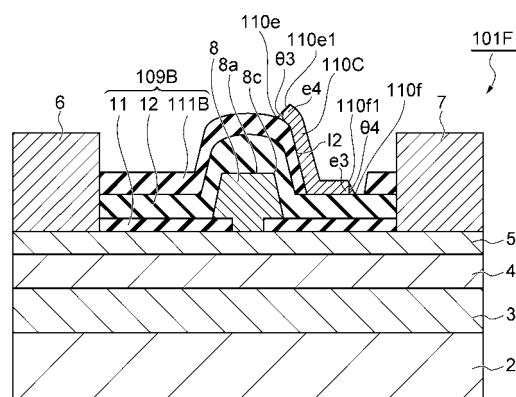
【図24】



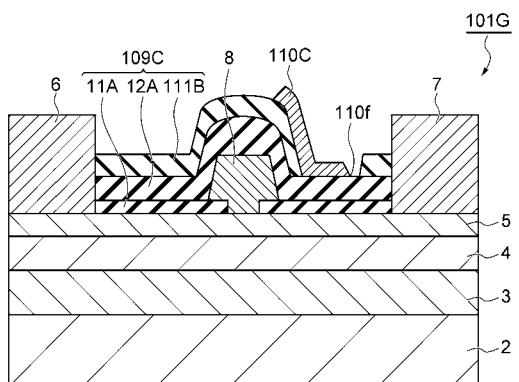
【図25】



【図26】



【図27】



---

フロントページの続き

F ターム(参考) 5F102 GB01 GC01 GD01 GJ02 GJ03 GJ10 GL04 GM04 GM08 GQ01  
GS02 GS04 GT01 GV05 GV06 GV07 GV08