

# 發明專利說明書 200529338

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：P3134108

※申請日期：P3.11.9

※IPC 分類：H01L<sup>21</sup>/60

## 一、發明名稱：(中文/英文)

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

櫛尾計算機股份有限公司(カシオ計算機株式会社)

CASIO COMPUTER CO., LTD.

代表人：(中文/英文)

櫛尾和雄/KASHIO, KAZUO

住居所或營業所地址：(中文/英文)

日本國東京都渋谷區本町 1 丁目 6 番 2 號

國籍：(中文/英文)

日本/Japan

## 三、發明人：(共 4 人)

姓名：(中文/英文)

1. 脇坂伸治/WAKISAKA, SHINJI

2. 定別當裕康(定別当裕康)/JOBETTO, HIROYASU

3. 若林猛/WAKABAYASHI, TAKESHI

4. 三原一郎/MIHARA, ICHIRO

國 籍：(中文/英文)

1.~4.日本/Japan

#### 四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1.日本 2003.11.10 特願 2003-379547

2.日本 2003.11.26 特願 2003-395313

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術區域】

本發明係關於半導體裝置及其製造方法。

### 【先前技術】

以往之多晶片(multi-chip)半導體裝置已知者，例如，如日本專利公開公報特開 2002-368184 號所揭示那樣，在導線框(lead frame)之島件上搭載多數之半導體晶片，將各個半導體晶片與內部導線(lead)施予金屬線結合(wire bonding)，然後將這些被搭載之多數半導體晶片總括一體施予塑模封裝(resin mold)。不過，這樣的半導體裝置因係將多數之半導體晶片配列在一張之導線框上而行封裝(packaging)，故封裝面積大，另外，因係為使用導線框藉金屬線結合之方法，故價格也高。

另外，為了縮小封裝面積，有如日本專利公開公報特開 2003-273321 號所記載那樣，將裝設半導體晶片的多數晶片基板結構體層疊在各個雙面電路基板之一面上，然後藉加熱壓接方式等將其等總括一體作成積層構造者。另外，也有如日本專利公開公報特開 2001-094046 號所記載那樣，在底板之上面中央部疊積搭載兩種裸晶片(bare chip)，將設於各裸晶片之上面周邊部之連接墊和設於底板上之上面周邊部之連接墊，用結合引線連接者。這種情形，因作成使下側之裸晶片能實施金屬線結合，故上側之裸晶片之尺寸係小於下側之裸晶片之尺寸，設在上側裸晶片之上面周邊部之連接墊之配置位置，係比設在下側裸晶片之上

面周邊部之連接墊之配置位置位在內側。又，因在執行下側之裸晶片之金屬線結合後才執行上側之裸晶片之金屬線結合，故在底板之上面，下側之裸晶片用之連接墊係配置在下側之裸晶片搭載區域之外側，而上側之裸晶片用之連接墊則配置在下側之裸晶片用之連接墊之外側。

【發明內容】

(發明之揭示)

(發明欲解決之課題)

日本專利公開公報特開 2003-273321 號記載之半導體裝置係作成爲將搭載半導體晶片之各個雙面電路基板和形成在每個雙面電路基板之導電連接端子重疊結合而成之構造，因各電路基板厚且價昂，故整體也變成厚又價格高。另外，因各層係藉結合(bonding)而重疊積層，故不易得出不受環境變化之影響之可靠性之元件。日本專利公開公報特開 2001-094046 號揭示之半導體裝置係作成爲下側之裸晶片用之連接墊係配置在底板之上面，而上側之裸晶片用之連接墊則配置在其等之外側，因此，半導體晶片之積層數多時底板之面積也變大，從而半導體裝置整體之面積也變大，又，配線之長度也變長之故，電阻值增大導致不適用於高頻方面之用途。

因此，本發明之目的係提供能實現薄型化及安裝面積縮小化，且能確保連接部在強度上之可靠性之半導體裝置及其製造方法。

(解決課題之措施)

依本發明，係提供一種半導體裝置，其特徵為包含：設在具有多數外部連接用電極(14)之第1半導體結構體(4)和前述第1半導體結構體(4)周圍之絕緣材(16)、設在前述第1半導體結構體(4)及前述絕緣材(16)之上面側之上層配線構造(17, 20, 21, 24)、設在前述第1半導體結構體(4)及前述絕緣材(16)之下面側之下層配線構造(2, 1, 3, 31, 33, 34, 37)、及至少搭載於前述上層配線構造(17, 20, 21, 24)上或前述下層配線構造(2, 1, 3, 31, 33, 34, 37)上之第2半導體結構體(40, 71, 77)。

另外，依本發明，係提供一種半導體裝置之製造方法，其特徵為包括：藉底板(1)、絕緣材(16)及上層絕緣膜(17)將各個具有多數之外部連接用電極之第1半導體結構體(4)分別密封形成之工程、在前述上層絕緣膜(17)上形成上層再配線(20)之工程、在前述底板(1)之下部形成下層再配線(33)之工程、至少在前述上層再配線(20)上或下層再配線(33)上搭載第2半導體結構體(40)之工程、及切斷前述底板(1)、前述絕緣材(16)及前述上層絕緣膜(17)而得出多數個具有至少一個前述第1半導體結構體(4)及至少一個前述第2半導體結構體(40)之半導體裝置之工程。

(發明效果)

依本發明，係將具有多數之外部連接用電極之第1半導體結構體搭載於底板上，周圍及上面分別包覆絕緣材及上層絕緣膜而成密封狀態，在前述上層絕緣膜上設置上層再配線，在前述底板上直接或隔介下層絕緣膜設置下層再

配線，至少在前述上層再配線或前述下層再配線上連接第 2 半導體結構體而行安裝，因此能維持小的安裝面積之同時更形薄型化，且能確保連接部在強度上之可靠性。

### 【實施方式】

#### (第 1 實施形態)

第 1 圖係表示本發明一個實施形態之半導體裝置之斷面圖。該半導體裝置具備由玻璃布基材環氧樹脂 (epoxy resin) 等作成之平面矩形之底板 1。在底板 1 之上面設置由銅箔作成之上層配線 2，下面設置也是由銅箔作成之下層配線 3。這種情形，上層配線 2 係為由扁平圖案 (pattern) 所形成之接地 (ground) 配線，下層配線 3 係為由扁平圖案所形成之電源配線。

比底板 1 之尺寸小某程度之小尺寸平面矩形形狀之半導體結構體 4 之下面，係隔介由晶片結合 (die bond) 材作成之接著層 5 而接著於上層配線 2 之上面。這種情形，半導體結構體 4 具有下述之再配線、柱狀電極、封止膜，一般稱為 CSP (Chip size package: 晶片規模封裝)，尤其，如下述那樣，用於採用在矽晶圓上形成再配線、柱狀電極、封止膜後藉切割 (dicing) 而得出各個半導體結構體 4 之方法，特別是，也稱為晶圓層級 CSP (Wafer level CSP: W-CSP)。下面將說明半導體結構體 4 之結構。

半導體結構體 4 具備矽基板 (半導體基板) 6。矽基板 6 係隔介接著層 5 而接著於底板 1。在矽基板 6 之上面配置具有既定功能 (例如 CPU 之功能) 之積體電路 (未圖示)，另

在上面周邊部上連接有由鋁(aluminium)系金屬等作成之多數連接墊 7 俾與積體電路連接。在連接墊 7 之中央部除外之矽基板 6 的上面設有由氧化矽(silicon oxide)等作成之絕緣膜 8，連接墊 7 之中央部係經設在絕緣膜 8 上之開口部 9 而露出。

在絕緣膜 8 之上面設置由環氧系樹脂、聚醯亞胺(polyimide)系樹脂等作成之保護膜(絕緣膜)10。這種情形，保護膜 10 上對應絕緣膜 8 之開口部 9 之部分設有開口部 11。在保護膜 10 之上面設有由銅等作成之基底金屬層 12。在基底金屬層 12 之上面整面設有由銅作成之再配線 13。包含基底金屬層 12 之再配線 13 之一個端部係透過兩開口部 9, 11 而接於連接墊 7。

再配線 13 之連接墊部上面設有由銅作成之柱狀電極(外部連接用電極)14。各柱狀電極 14 之高度係為 60~150  $\mu\text{m}$ 。由環氧系樹脂、聚醯亞胺系樹脂作成之封止膜(絕緣膜)15 係以其上面與柱狀電極 14 之上面齊平那樣，設在包含再配線 13 的保護膜 10 上面。這樣子，稱為 W-CSP 之半導體結構體 4 係包含矽基板 6、連接墊 7、絕緣膜 8，另外也包含保護膜 10、再配線 13、柱狀電極 14、封止膜 15 而組成者。

矩形框狀之絕緣層 16 係以其上面幾乎與半導體結構體 4 之上面齊平那樣，設置在底板 1 之上面，該底板包含半導體結構體 4 之周圍的上層配線 2。絕緣層 16 係由，例如，熱硬化性樹脂，或將玻璃纖維、矽填料等之補強材分

散在熱硬化性樹脂中之物質所形成。

在半導體結構體 4 及絕緣層 16 之上面設置上面形成平坦之第 1 上層絕緣膜 17。第 1 上層絕緣膜 17 係用於增強 (build-up) 基板上之通常稱為增強材者，例如，將纖維、填料等之補強材分散在環氧系樹脂、BT 樹脂等之熱硬化性樹脂中之物質。這種情形，纖維係為玻璃纖維、芳香族醯胺 (aramid) 纖維等。填料係為氧化矽填料、陶瓷系填料等。

在第 1 上層絕緣膜 17 上對應柱狀電極 14 之上面中央部之部分設有開口部 18。在第 1 上層絕緣膜 17 之上面設有銅等作成之第 1 上層基底金屬層 19。在第 1 上層基底金屬層 19 之上面整面設有由銅作成之第 1 上層再配線 20。包含第 1 上層基底金屬層 19 的第 1 上層再配線 20 之一個端部，係經第 1 上層絕緣膜 17 之開口部 18 而接於柱狀電極 14 之上面。

在包含第 1 上層再配線 20 的第 1 上層絕緣膜 17 之上面，設有與第 1 上層絕緣膜 17 相同之材料所作成之第 2 上層絕緣膜 21。在第 2 上層絕緣膜 21 上對應第 1 上層再配線 20 之連接墊之至少一部分的部分上設有開口部 22。在第 2 上層絕緣膜 21 之上面設有由銅等作成之第 2 上層基底金屬層 23。在第 2 上層基底金屬層 23 之上面整面設有由銅作成之第 2 上層再配線 24。包含第 2 上層基底金屬層 23 的第 2 上層再配線 24 之至少一部分之一個端部，係經第 2 上層絕緣膜 21 之開口部 22 而接於第 1 上層再配線 20 之連接墊部。

在包含第 2 上層再配線 24 的第 2 上層絕緣膜 21 之上

面，設有由抗焊料劑 (solder resist) 等作成之最上層絕緣膜 25。在最上層絕緣膜 25 上對應第 2 上層再配線 24 之連接墊部之部分上設有開口部 26。在開口部 26 內及其上方設有焊錫球 27 並與第 2 上層再配線 24 之連接墊部連接。多數之焊錫球 27 係在最上層絕緣膜 25 上配置成矩陣狀。

在包含下層配線 3 的基板 1 之下面，設有由與第 1 上層絕緣膜 17 相同之材料作成，下面呈平坦之第 1 下層絕緣膜 31。在第 1 下層絕緣膜 31 之下面設有由銅等作成之第 1 下層基底金屬層 32。在第 1 下層基底金屬層 32 之下面整面設有由銅作成之第 1 下層再配線 33。

在包含第 1 下層再配線 33 的第 1 下層絕緣膜 31 之下面，設有與第 1 上層絕緣膜 17 相同材料作成之第 2 下層絕緣膜 34。在第 2 下層絕緣膜 34 對應第 1 下層再配線 33 之連接墊部之部分上設有開口部 35。在第 2 下層絕緣膜 34 之下面設有由銅等作成之第 2 下層基底金屬層 36。在第 2 下層基底金屬層 36 之下面整面設有由銅作成之第 2 下層再配線 37。在包含第 2 下層基底金屬層 36 的第 2 下層再配線 37 之至少一部分之一個端部，係透過第 2 下層絕緣膜 34 之開口部 35 而接於第 1 下層再配線 33 之連接墊部。

在包含第 2 下層再配線 37 的第 2 下層絕緣膜 34 之下面，設有由抗焊料劑等作成之最下層絕緣膜 38。在最下層絕緣膜 38 對應第 2 下層再配線 37 之連接墊部之部分上設有開口部 39。多數之半導體結構體 40 係以設在其上面之焊錫球 41 經最下層絕緣膜 38 之開口部 39 接於第 2 下層再

配線 37 之連接墊部而被安裝在最下層絕緣膜 38 之下面。

半導體結構體 40 雖未詳細圖示，但裸晶片、BGA(ball grid array:球格陣列)、CSP 等皆可，係作成爲在由矽等作成之半導體基板之上面設置既定功能(例如半導體記憶體功能)之積體電路，在上面周邊部設置由鋁系金屬等作成之多數連接墊並與各個積體電路連接，在由連接墊本身或接於該連接墊之柱狀電極等作成之外部連接用電極上設置焊錫球 41 之構造。

包含第 1 上層絕緣膜 17、絕緣層 16、上層配線 2 及下層配線 3 的底板 1，包含第 1 下層絕緣膜 31、設在第 1 圖上未示出之位置上之第 1 下層基底金屬層 32 的第 1 下層再配線 33 及第 2 下層絕緣膜 34 之既定地點，係被貫通孔 42 貫通，另外，包含第 2 上層基底金屬層 23 之第 2 上層再配線 24，包含第 1 上層基底金屬層 19 之第 1 上層再配線 20、上層配線 2 或下層配線 3、包含第 2 下層基底金屬層 36 之第 2 下層再配線 37，係藉由設在貫通孔 42 之內壁面上之銅等作成之基底金屬層 43a 和銅層 43b 作成之上下導通部 43 而連接在一起。這裡，上層配線 2 係接在第 2 圖左側之上下導通部 43，下層配線 3 則接在第 2 圖右側之上下導通部 43。

這種情形爲了使上下配線之電性導通良好，於上下導通部 43 內充填銅糊(paste)、銀糊，由導電性樹脂等作成之導電材 44，但也可充填絕緣樹脂，或者也可留空不充填任何材料。

這裡，茲舉一例，半導體結構體 4 之接地用之柱狀電極 14 係經第 1 上層再配線 20 及上下導通部 43 而接於組成接地配線之上層配線 2。半導體結構體 4 之電源用之柱狀電極 14 係經第 1 上層再配線 20 及上下導通部 43 而接於組成電源配線之下層配線 3。

半導體結構體 40 之接地用之焊錫球 41 係經第 2 下層再配線 37 及上下導通部 43 而接於組成接地配線之上層配線 2。半導體結構體 40 之電源用焊錫球 41 係經第 2 下層再配線 37 及上下導通部 43 而接於組成電源配線之下層配線 3。

半導體結構體 4 之信號用之柱狀電極 14 和半導體結構體 40 之信號用之焊錫球 41，係經第 1 上層再配線 20、上下導通部 43、第 1 下層再配線 33 及第 2 下層再配線 37 而連接。然後，接地配線連接至接地用焊錫球 27，電源配線接至電源用之焊錫球 27，信號配線接至信號用之焊錫球 27。

半導體裝置各部之厚度尺寸之一例如下：矽基板 6 係為 0.1~0.35mm、柱狀電極 14 係為 0.06~0.15mm、半導體結構體 4 整體係為 0.25~0.5mm、從第 1 上層絕緣膜 17~最上層絕緣膜 25 止合計係為 0.2~0.25mm、從底板 1 到最下層絕緣膜 38 止合計係為 0.25~0.3mm、半導體結構體 40 係為 0.25mm~0.3mm、及整體之厚度係為 1.0~1.2mm。

但是，底板 1 之尺寸作成比半導體結構體 4 之尺寸大某程度之理由，係因對應矽基板 6 上之連接墊 7 之數量之增加，而將焊錫球 27 之配置區域作成比半導體結構體 4 之

尺寸大某程度，因為如此，故將第 2 上層再配線 24 之連接墊部(最上層絕緣膜 25 之開口部 26 內之部分)之尺寸及間距(pitch)作成比柱狀電極 14 之尺寸及間距大。

因此之故，配置成矩陣狀之第 2 上層再配線 24 之連接墊部不僅配置在對應半導體結構體 4 之區域，也配置在對應設在半導體結構體 4 之周邊側面之外側的絕緣層 16 之區域上。即，在配置成矩陣狀之焊錫球 27 之中，至少最外周之焊錫球 27 係配置在比半導體結構體 4 較靠外側之位置之周圍。

另外，該半導體裝置，在上下面上設有在具有上層配線 2 及下層配線 3 之底板 1 上組成 CPU 之半導體結構體 4，在底板 1 下設有組成半導體記憶體之多數半導體結構體 40，因此即便具備功能不同之半導體結構體 4，40，也能縮小安裝面積。又，在底板 1 之上下面設有由銅箔作成之上層配線 2 及下層配線 3，因此相較於藉增強這些配線 2，3 之工程而形成之情形，能減少工程量。

其次，在說明該半導體裝置之製造方法之一例前先說明半導體結構體 4 之製造方法之一例。這種情形，首先，如第 2 圖所示，在晶圓狀態之矽基板(半導體基板)6 上設置由鋁系金屬等作成之連接墊 7，由氧化矽等作成之絕緣膜 8 及由環氧系樹脂、聚醯亞胺系樹脂等作成之保護膜 10，連接墊 7 之中央部係為經形成在絕緣膜 8 及保護膜 10 上之開口部 9 及 11 而露出之構件。上述之情形係在晶圓狀態之矽基板 6 上，於各半導體結構體形成之區域上形成具有既定

功能之積體電路，連接墊 7 係分別與形成在對應區域上之積體電路行電性之連接。

接著，如第 3 圖所示，在包含經兩開口部 9, 11 露出之連接墊 7 之上面的保護膜 10 之上面，整面形成基底金屬層 12。這種情形，基底金屬層 12 也可只係為藉無電解電鍍形成之銅層，且也可只係為藉濺鍍 (sputter) 形成之銅層，更甚者，也可係為在藉濺鍍形成之鈦 (titan) 等之薄膜層上藉濺鍍形成之銅層。

接著，在基底金屬層 12 之上面形成抗電鍍 (plate-resist) 膜 51 之圖案 (pattern)。這種情形，在抗電鍍膜 51 對應再配線 13 形成區域之部分上形成開口部 52。然後，以基底金屬層 12 為電鍍電流路而執行銅之電解電鍍，藉此，在抗電鍍膜 51 之開口部 52 內的基底金屬層 12 之上面形成再配線 13。然後，剝離抗電鍍膜 51。

接著，如第 4 圖所示，在包含再配線 13 之基底金屬層 12 之上面形成抗電鍍膜 53 之圖案。這種情形，在抗電鍍膜 53 對應形成柱狀電極 14 之區域之部分上形成開口部 54。然後，以基底金屬層 12 作為電鍍電流路執行銅之電解電鍍，藉此，在抗電鍍膜 53 之開口部 54 內之再配線 13 之連接墊部上面形成柱狀電極 14。然後，剝離抗電鍍膜 53，接著，以再配線 13 作遮罩 (mask) 對基底金屬層 12 之不要部分進行蝕刻 (etching) 而予以去除後則，如第 5 圖所示，僅在再配線 13 下面殘存基底金屬層 12。

接著，如第 6 圖所示，藉絲網 (screen) 印刷法、旋轉塗

佈 (spin-coating)法、連續式模塗法 (die-coat)等，在保護膜 10，包含柱狀電極 14 及再配線 13 之上面整面形成環氧系樹脂、聚醯亞胺系樹脂等作成之封止膜 15，該封止膜 15 之厚度係形成比柱狀電極 14 之高度高。因此，在這種狀態下，柱狀電極 14 之上面係被封止膜 15 包覆。

接著，適宜地研磨封止膜 15 及柱狀電極 14 之上面側，如第 7 圖所示，使柱狀電極 14 之上面露出，且平坦化包含該露出之柱狀電極 14 之上面的封止膜 15 之上面。這裡，適宜地研磨柱狀電極 14 之上面側之理由係因藉電解電鍍形成之柱狀電極 14 之高度不均，爲了消除該不均而使柱狀電極 14 之高度均一之故。

接著，如第 8 圖所示，在矽基板 6 之下面整面接著接著層 5。接著層 5 係由環氧系樹脂、聚醯亞胺系樹脂等之晶片結合 (die-bond)材作成，藉加熱加壓，以半硬化狀態固著於矽基板 6 上。其次，將固著於矽基板 6 之接著層 6 黏貼在切割膠帶 (dicing tape)(未圖示)上，經第 9 圖所示之切割工程後自切割膠帶剝離後則，如第 1 圖所示，得出多個在矽基板 6 之下面具有接著層 5 之半導體結構體 4。

這樣子得出之半導體結構體 4 因在矽基板 6 之下面具有接著層 5 之故，在切割工程後不需要進行在各個半導體結構體 4 之矽基板 6 之下面分別設置接著層之極爲麻煩之作業。另外，在切割工程後從切割膠帶剝離之作業相較於在切割工程後分別在各半導體結構體 4 之矽基板 6 之下面設置接著層之作業係極爲簡單。

下面將使用這樣子得出之半導體結構體 4，說明製造第 1 圖所示之半導體裝置之情形之一例。首先，如第 10 圖所示，大小為可採用多數第 1 圖所示之基板 1，雖無限定之意，但製作平面形狀係為矩形形狀之底板 1。這種情形，在底板 1 之上下面上初始即有積層銅箔，但藉光刻法 (photolithography) 將這些銅箔圖案化 (patterning)，而形成上層配線 2 及下層配線 3。

接著，將接著在各個半導體結構體 4 之矽基板 6 之下的接著層 5，接著於底板 1 之上面之既定之多數地點。這裡所提之接著係指加熱加壓使接著層 5 真正硬化。然後，在半導體結構體 4 之間及配置在最外周之半導體結構體 4 之外側之底板 1 上面，藉例如，絲網印刷法或旋轉塗佈法等形成第 1 絕緣材料 16a，另在其上面配置薄片狀之第 2 絕緣材料 17a。又，在底板 1 之下面配置薄片狀之第 3 絕緣材料 31a。

第 1 絕緣材料 16a 係為，例如，在熱硬化性樹脂，或者，在熱硬化性樹脂中分散玻璃纖維、二氧化矽填料等之補強材者。薄片狀之第 2、第 3 絕緣材料 17a、31a 雖非限定之意，但最好是為增強材，作為這種增強材有在環氧系樹脂、BT 樹脂等之熱硬化性樹脂中混入二氧化矽填料，並使熱硬化性樹脂成半硬化狀態者。不過，第 2、第 3 絕緣材料 17a、31a 也能在玻璃纖維中含浸環氧系樹脂等之熱硬化性樹脂，使熱硬化性樹脂成半硬化狀態而形成薄片狀之預浸漬 (prepreg) 材或者不混入填料 (filler) 而僅使用由熱硬

化性樹脂作成之材料。

接著，使用第 11 圖所示之一對加熱加壓板 55, 56，對第 1～第 3 之絕緣材料 16a, 17a, 31a 進行加熱加壓。結果，在配置於半導體結構體 4 之間及最外周之半導體結構體 4 之外側中，於底板 1 之上面形成絕緣層 16，在半導體結構體 4 及絕緣層 16 之上面形成第 1 上層絕緣膜 17，在底板 1 之下面形成第 1 下層絕緣膜 31。

這種情形，第 1 上層絕緣膜 17 之上面因被上側之加熱加壓板 55 之下面壓接之故而成平坦面。另外，第 1 下層絕緣膜 31 之下面因被下側之加熱加壓板 56 之上面壓接之故而成平坦面。因此，不需要爲了平坦化第 1 上層絕緣膜 17 之上面及第 1 下層絕緣膜 31 之下面而進行研磨工程。因此之故，即使底板 1 之尺寸例如，係爲 500×500mm 程度之較大之情形，也能對配置在其上之多數半導體結構體 4，包括第 1 上層絕緣膜 17 之上面及第 1 下層絕緣膜 31 之下面，一體簡單地進行平坦化。

接著，如第 12 圖所示，藉照射雷射光束以行雷射加工，在第 1 上層絕緣膜 17 對應柱狀電極 14 之上面中央部之部分上形成開口部 18。這種情形，在第 1 下層絕緣膜 31 上不形成開口部。然後，視需要，藉去塗污 (de-smear) 處理將在第 1 上層絕緣膜 17 之開口部 18 內等產生之環氧塗污 (smear) 去除。

接著，如第 13 圖所示，藉銅之無電解電鍍等，在包含經開口部 18 露出之柱狀電極 14 之上面的第 1 上層絕緣膜

17 之上面整面，及第 1 下層絕緣膜 31 之下面整面，形成第 1 上層基底金屬層 19 及第 1 下層基底金屬層 32。然後，在第 1 上層基底金屬層 19 之上面形成上層抗電鍍膜 61 圖案，另外，在第 1 下層基底金屬層 32 之下面形成下層抗電鍍膜 62 圖案。這種情形，上層抗電鍍膜 61 對應第 1 上層再配線 20 之形成區域之部分上形成開口部 63。另外，在下層抗電鍍膜 62 對應第 1 下層再配線 33 之形成區域之部分上形成開口部 64。

接著，將基底金屬層 19、32 作為電鍍電流路以進行銅之電解電鍍，藉此，在上層抗電鍍膜 61 之開口部 63 內的第 1 上層基底金屬層 19 之上面，形成第 1 上層再配線 20，另外，在下層抗電鍍膜 62 之開口部 64 內的第 1 下層基底金屬層 32 之下面形成第 1 下層再配線 33。

接著，剝離兩抗電鍍膜 61、62，然後將第 1 上層再配線 20 及第 1 下層再配線 33 作為遮罩(mask)進行蝕刻，以去除第 1 上層基底金屬層 19 及第 1 下層基底金屬層 32 之不要部分，結果，如第 14 圖所示，只在第 1 上層再配線 20 下面殘存第 1 上層基底金屬層 19，另外，只在第 1 下層再配線 33 上面殘存第 1 下層基底金屬層 32。

接著，如第 15 圖所示，藉絲網印刷(screen-print)法、旋轉塗佈(spin-coating)法、連續式模塗(die-coat)法等，在包含第 1 上層再配線 20 的第 1 上層絕緣膜 17 之上面，形成第 2 上層絕緣膜 21，另外，在包含第 1 下層再配線 33 的第 1 下層絕緣膜 31 之下面，形成第 2 下層絕緣膜 34。

第 2 上層絕緣膜 21 及第 2 下層絕緣膜 34 之材料雖能使用與第 1 上層絕緣膜 17 相同之材料，但對有關第 1 上層絕緣膜 17，記載之材料中也可使用與第 1 上層絕緣膜 17 不同之材料形成。

接著，如第 16 圖所示，照射雷射光束以行雷射加工，藉此在第 2 上層絕緣膜 21 對應第 1 上層再配線 20 之連接墊部之至少一部分之部分上形成第 2 開口部 22，另外，在第 2 下層絕緣膜 34 對應第 1 下層再配線 33 之連接墊部之至少一部分之部分上形成開口部 35。

接著，使用機械鑽孔 (mechanical drill)，或藉照射 CO<sub>2</sub> 雷射光束之雷射加工，或者打洞 (punching) 等，在第 2 上層絕緣膜 21、包含第 1 上層基底金屬層 19 的第 1 上層再配線 20、第 1 上層絕緣膜 17、絕緣層 16、包含上層配線 2 或下層配線 3 的底板 1、第 1 下層絕緣膜 31、包含設在第 16 圖上未示出之位置上之第 1 下層基底金屬層 32 的第 1 下層再配線 33、及第 2 下層絕緣膜 34 之既定地點上，形成貫通孔 42。然後，視需要，藉去塗污處理去除在開口部 22、35 內及貫通孔 42 內產生之環氧塗污等。

接著，如第 17 圖所示，藉銅之無電解電鍍等，在第 2 上層絕緣膜 21 上面整面，包含經開口部 22 露出之第 1 上層再配線 20 之連接墊部，在第 2 下層絕緣膜 34 之下面整面，包含經開口部 35 露出之第 1 下層再配線 33 之連接墊部，整面及貫通孔 42 之內壁面上，形成第 2 上層基底金屬層 23、第 2 下層基底金屬層 36 及基底金屬層 43a。

接著，在第 2 上層基底金屬層 23 之上面形成上層抗電鍍膜 65 之圖案，另外，在第 2 下層基底金屬層 36 之下面形成下層抗電鍍膜 66 之圖案。這種情形，在上層抗電鍍膜 65 對應包含貫通孔 42 的第 2 上層再配線 24 之形成區域部分上，形成開口部 67。在下層抗電鍍膜 66 對應包含貫通孔 42 的第 2 下層再配線 37 之形成區域之部分上，形成開口部 68。

接著，將基底金屬層 23、36、43a 作為電鍍電流路以進行銅之電解電鍍，藉此，在上層抗電鍍膜 65 之開口部 67 內的第 2 上層基底金屬層 23 之上面，形成第 2 上層再配線 24，另外，在下層抗電鍍膜 66 之開口部 68 內的第 2 下層基底金屬層 36 之下面，形成第 2 下層再配線 37，再者，在貫通孔 42 內之基底金屬層 43a 之表面上形成銅層 43b。

接著，剝離兩抗電鍍膜 65、66，然後將第 2 上層再配線 24 及第 2 下層再配線 37 作為遮罩(mask)，藉蝕刻將第 2 上層基底金屬層 23 及第 2 下層基底金屬層 36 之不要的部分去除，結果，如第 18 圖所示，只在第 2 上層再配線 24 之下面殘存第 2 上層基底金屬層 23，另外，只在第 2 下層再配線 37 上面殘存第 2 下層基底金屬層 36。

半導體結構體 4 之信號用柱狀電極 14 和半導體結構體 40 之信號用焊錫球 41，係透過第 1 上層再配線 20、上下導通部 43、第 1 下層再配線 33 及第 2 下層再配線 37 而連接。

接著，如第 19 圖所示，藉絲網印刷法在上下導通部 43 內充填由銅糊、銀糊、導電性樹脂等作成之導電材 44。然後，視需要，藉拋光布(buff)研磨等除去從貫通孔 42 突出之多餘之導電材 44。接著，藉絲網印刷法、旋轉塗佈法等在第 2 上層絕緣膜 21 之上面，包含第 2 上層再配線 24，形成由抗焊料劑等作成之最上層絕緣膜 25。這種情形，在最上層絕緣膜 25 對應第 2 上層再配線 24 之連接墊部之部分上，形成開口部 26。

接著，藉絲網印刷法、旋轉塗佈法等在第 2 下層絕緣膜 34 之下面，包含第 2 下層再配線 37，形成由抗焊料劑所作成之最下層絕緣膜 38。這種情形，在最下層絕緣膜 38 對應第 2 下層再配線 37 之連接墊部之部分上，形成開口部 39。

接著，將設在多數半導體結構體 40 之上面之焊錫球 41，經最下層絕緣膜 38 之開口部 37，接至第 2 下層再配線 37 之連接墊部，如此將多數半導體結構體 40 安裝在最下層絕緣膜 38 之下面。然後，在開口部 26 內及其上方形成焊錫球 27 並使其與第 2 上層再配線 24 之連接墊部連接。最後，在相互鄰接之半導體結構體 4 之間切斷最上層絕緣膜 25、第 2 上層絕緣膜 21、第 1 上層絕緣膜 17、絕緣層 16、底板 1、第 1 下層絕緣膜 21、第 2 下層絕緣膜 34 及最下層絕緣膜 38，即得出多數個第 1 圖所示之半導體裝置。

於此狀態，作為一例，半導體結構體 4 之接地用柱狀

電極 14 係經第 1 上層再配線 20 及上下導通部 43 而與組成接地配線之上層配線 2 連接。半導體結構體 4 之電源用柱狀電極 14 係經第 1 上層再配線 20 及上下導通部 43 而與組成電源配線之下層配線 3 連接。

半導體結構體 40 之接地用之焊錫球 41 係經第 2 下層再配線 37 及上下導通部 43 而與組成接地配線之上層配線 2 連接。半導體結構體 40 之電源用焊錫球 41 係經第 2 下層再配線 37 及上下導通部 43 而與組成電源配線之下層配線 3 連接。

如上述，上述之製造方法係對配置在底板 1 上之多數半導體結構體 4 總括一起形成上層配線 2、下層配線 3、第 1、第 2 上層再配線 20、24、第 1、第 2 下層再配線 33、37、上下導通部 43 及焊錫球 27，然後予以分開而得出多數個半導體裝置，因此能簡化製造工程。這時，各絕緣膜及再配線係密接積層而成，因此，相較於以往者，能大幅地薄型化整體之厚度。

另外，第 11 圖所示之製造工程之後，因能將底板 1 和多數之半導體結構體 4 一起運送，故因此也能簡化製造工程。另外，電極與再配線，再配線與再配線因係藉電鍍而連接，故相較於藉熱壓接之方法，能確保在強度上之可靠性。這種情形，柱狀電極 14 和第 1 上層再配線 20 之連接，柱狀電極 14 因具有 0.1mm 程度之高度，即使因環境條件之變化，矽基板 6 與電路基板(未圖示)因熱膨脹係數之不相同而產生應力之情形，也能在水平方向上搖動，進而

能緩和應力之集中。

再者，上述實施形態係針對將上層配線 2 作為由扁平圖案作成之接地配線，將下層配線 3 作為由扁平圖案作成之電源配線之情形說明，但並不限定這樣，也可作成相反之情形。另外，也可藉上層配線 2 或下層配線 3 形成由扁平圖案作成之遮蔽層，另外，也可形成通常之配線圖案。

另外，上述實施形態係針對藉半導體結構體 4 之矽基板 6 組成 CPU 之情形說明，但並非限定於這種情形。例如，也可使用半導體結構體 4 之矽基板 6，在矽基板上形成絕緣膜，然後再在其上形成薄膜電晶體而組成 SOI(Silicon on insulator:絕緣矽)。這種情形，也可將上層配線 2 作為藉扁平圖案作成之接地配線，將接著層 5 作為導電性接著層，進而在矽基板上藉組成配線圖案和接地配線之上層配線 2 而形成微波帶狀線(micro strip line)結構。

另外，上述實施形態係針對上層再配線及下層再配線皆作成二層之情形說明，但並不限定於這種情形，也可作成一層或三層以上，另外，也可作成不同數目之層。更甚者，也可在最下層絕緣膜 38 之下部安裝由電容器、電阻器等作成之晶片零件。

再者，上述實施形態，搭載在底板 1 上之半導體結構體 4 係作成面朝上(face-up)之安裝，但也能在底板 1 上設置焊墊部而作成面朝下(face-down)之安裝。另外，半導體結構體 40 係安裝在屬於底板 1 之下面側之最下層之第 2 下層再配線 37 上，但半導體結構體 40 也可僅安裝在屬於最

上層之第 2 上層再配線 24 上，或安裝在第 2 下層再配線 37 上面及第 2 上層再配線 24 上面之兩面上。另外，半導體結構體 40 若是安裝在底板 1 之下面側之情形，係設置第 2 下層絕緣膜 34、第 2 下層再配線 37，然後，將半導體結構體 40 結合於該第 2 下層再配線 37，但也可在底板 1 之下面設置下層再配線，將半導體結構體 40 安裝於該下層再配線上。另外，半導體結構體 40 係作成面朝下之安裝，但也能作成爲面朝上之封裝，以下將舉其一例當作第 2 實施形態。

(第 2 實施形態)

第 20 圖所示之第 2 實施形態係與第 1 圖所示之第 1 實施形態不同，安裝在第 2 下層再配線 37 上之第 1 半導體結構體 71 及第 2 半導體結構體 77 係作成爲面朝上之安裝。下面將主要說明第 2 實施形態之結構與第 1 實施形態不同之點，與第 1 實施形態相同之結構附加相同之參考符號表示，其說明則省略。

包含第 2 下層基底金屬層 36 之第 2 下層再配線 37，係與第 1 實施形態之情形相同地形成在第 2 下層絕緣膜 34 之下面，但其圖案形狀係對應下述之第 1 外部半導體結構體 71 及第 2 外部半導體結構體 77 之結合位置者。

在包含第 2 下層再配線 37 的第 2 下層絕緣膜 34 下面，設置由抗焊料劑等作成之最下層絕緣膜 38。在最下層絕緣膜 38 對應第 2 下層再配線 37 之連接墊部之部分上設有開口部 39。在開口部 39 內之第 2 下層再配線 37 之連接墊

部下面，設置由金作成之第 1、第 2 表面處理層 70a、70b。這種情形，第 1 表面處理層 70a 係配置在下述之第 1 外部半導體結構體 71 之搭載區域之周圍，且在其周圍配置第 2 表面處理層 70b。

平面矩形形狀之第 1 外部半導體結構體 71 之下面係透過由晶片結合 (die bond) 材作成之接著層 72 而接著於最下層絕緣膜 38 之下面中央部。第 1 外部半導體結構體 71 通常係稱為裸晶片 (bare chip)，在矽基板 (半導體基板) 73 之主面 (第 20 圖之下面) 之中央區域上設有積體電路，在該積體電路之周邊部上設有由鋁系金屬等作成之多數連接墊 74 並與積體電路連接，作成為除掉連接墊 74 之中央部外，其它部分皆被由氧化矽等作成之絕緣膜 75 包覆之結構。然後，第 1 外部半導體結構體 71 之連接墊 74 則透過由金作成之第 1 結合引線 (bonding wire) 76 而與第 1 表面處理層 70a 連接。

平面矩形形狀之第 2 外部半導體結構體 77 之下面，係透過由晶片結合材作成之接著層 78 而接著於第 1 外部半導體結構體 71 之下面中央部。第 2 外部半導體結構體 77 係與第 1 外部半導體結構體 71 相同地，通常被稱為裸晶片者，其尺寸係只比第 1 外部半導體結構體 71 之尺寸小某一程度，其它基本之結構係為與第 1 外部半導體結構體 71 相同，因此省略其之詳細說明。至於，第 2 外部半導體結構體 77 連接墊 79 係透過由金作成之第 2 結合引線 80 而與第 2 表面處理層 70b 連接。在包含第 1、第 2 外部半導體結構

體 71、77 及第 1、第 2 結合引線 76、80 之最下層絕緣膜 38 之下面中央部，設有由環氧系樹脂、聚醯亞胺系樹脂等作成之封止材 81。

包含第 2 上層基底金屬層 23 之第 2 上層再配線 24 之至少一部分，和包含第 2 下層基底金屬層 36 之第 2 下層再配線 37 之至少一部分，係經設在第 2 上層絕緣膜 21，包含第 1 上層基底金屬層 19 之第 1 上層再配線 20、第 1 上層絕緣膜 17、絕緣層 16、包含上層配線 2 或下層配線 3 之底板 1、包含第 1 下層絕緣膜 31、第 1 下層基底金屬層 32 之第 1 下層再配線 33 及第 2 下層絕緣膜 34 之特定處的貫通孔 42 之內壁面上，由銅等作成之基底金屬層 43a 和由銅層 43b 作成之上下導通部 43 而連接。

這種情形，爲了使上下配線之電性導通良好，在上下導通部 43 內充填有銅糊、銀糊、由導電性樹脂等作成之導電材 44，但也可充填絕緣性樹脂，另外，也可係爲不充填任何材料之空孔。

這裡，作爲一個例子，半導體結構體 4 之接地用柱狀電極 14 係經第 1 上層再配線 20 及上下導通部 43 而接於組成接地配線之上層配線 2。半導體結構體 4 之電源用之柱狀電極 14 係經第 1 上層再配線 20 及上下導通部 43 而接於組成電源配線之下層配線 3。

第 1、第 2 之外部半導體結構體 71、77 之接地用之連接墊 74、79 係經第 2 下層再配線 37 及上下導通部 43 而接

於組成接地配線之上層配線 2。第 1、第 2 之外部半導體結構體 71、77 之電源用之連接墊 74、79 係經第 2 下層再配線 37 及上下導通部 43 而接於組成電源配線之下層配線 3。

半導體結構體 4 之信號用柱狀電極 14 和第 1、第 2 外部半導體結構體 71、77 之信號用之連接墊 74、79 係經第 1 上層再配線 20、上下導通部 43、第 1 下層再配線 33 及第 2 下層再配線 37 而連接。然後，接地配線接於接地用焊錫球 27、電源配線接於電源用之焊錫球 27、信號配線接於信號用之焊錫球 27。

但是，底板 1 之尺寸作成比半導體結構體 4 之尺寸大某一程度之理由係對應矽基板 6 上連接墊 7 之數量之增加，而將焊錫球 27 之配置區域作成比半導體結構體 4 之尺寸大某一程度，藉此，第 2 上層再配線 24 之連接墊部(最上層絕緣膜 25 之開口部 26 內之部分)之尺寸及間距也作成比柱狀電極 14 之尺寸及間距大之故。

因此之故，配置成矩陣狀之第 2 上層再配線 24 之連接墊部不只是配置於對應半導體結構體 4 之區域，也配置在對應設在半導體結構體 4 之周側面之外側之絕緣層 16 上。亦即，在配置成矩陣狀之焊錫球 27 中至少最外周之焊錫球 27 係配置在位於比半導體結構體 4 之更外側位置之周圍。

另外，該半導體裝置，在底板 1 之下面設有第 1、第 2 下層再配線 33、37，第 1、第 2 上層再配線 20、24 之至少一部分和第 1、第 2 下層再配線 33、37 之至少一部分係經

上下導通部 43 而連接，因此，能將第 1、第 2 外部半導體結構體 71、77 積層搭載於最下層絕緣膜 38 之下面。然而，這種情形，與整體上實質地積層三個半導體結構體 4、71、77 無關，因只有第 1、第 2 外部半導體結構體 71、77 行金屬線結合，故對於積層三個半導體結構體且全部行金屬線結合之結構，最上段可省掉與外部半導體結構體行金屬線結合，從而能抑制底板 1 之面積之增大，另外，能降低電阻值。

下面將說明該半導體裝置之製造方法之一例。藉第 1 實施形態上說明之方法作成第 18 圖所示之狀態。

爾後，如第 21 圖所示那樣，藉絲網印刷法等，在上下導通部 43 內充填銅糊、銀糊、由導電性樹脂等作成之導電材 44。接著，視需要，藉拋光布研磨等除去從貫通孔 42 突出之多餘之導電材 44。然後，藉絲網印刷法、旋轉塗佈法等，在包含第 2 上層再配線 24 之第 2 上層絕緣膜 21 上面，形成由抗焊料劑等作成之最上層絕緣膜 25。

另外，藉絲網印刷法、旋轉塗佈法等，在包含第 2 下層再配線 34 之第 2 下層絕緣膜 34 下面，形成由抗焊料劑等作成之最下層絕緣膜 38。這種情形，在最下層絕緣膜 38 對應第 2 下層再配線 37 之連接墊部之部分上形成開口部 39，再者，這時，在最上層絕緣膜 25 對應第 2 上層再配線 24 之連接墊部之部分上則形成開口部 26。

這裡，包含第 2 上層基底金屬層 23 之第 2 上層再配線 24 係完全分離。相對於此，包含第 2 下層基底金屬層 36

之第 2 下層再配線 37 則不完全分離，而是與形成於下述之切斷線(相當於切割線)區域之電鍍電流路(未圖示)連接。這裡，將最下層絕緣膜 38 作為遮罩進行金的電解電鍍後即，如第 22 圖所示那樣，在開口部 39 內之第 2 下層再配線 37 之下面形成第 1、第 2 表面處理層 70a、70b。

接著，如第 23 圖所示那樣，在最上層絕緣膜 25 對應第 2 上層再配線 24 之連接墊部之部分上形成開口部 26。其次，如第 24 圖所示，將第 1 外部半導體結構體 71 之接著層 72 接著在最下層絕緣膜 38 之下面中央部，接著，將第 2 外部半導體結構體 77 之接著層 78 接著於第 1 外部半導體結構體 71 之下面中央部。其次，將第 1 外部半導體結構體 71 之連接墊 74 和第 1 表面處理層 70a 透過由金作成之第 1 結合引線 76 而連接。其次，將第 2 外部半導體結構體 77 之連接墊 79 和第 2 表面處理層 70b 透過由金作成之第 2 結合引線 80 而連接。

另外，也可將第 1 外部半導體結構體 71 之接著層 72 接著於最下層絕緣膜 38 之下面中央部，其次將第 1 外部半導體結構體 71 之連接墊 74 和第 1 表面處理層 70a 透過第 1 結合引線連接，接著，將第 2 外部半導體結構體 77 之接著層 78 接著於第 1 外部半導體結構體 71 之下面中央部，其次，將第 2 外部半導體結構體 77 之連接墊 79 和第 2 表面處理層 70b 透過第 2 結合引線 80 連接。

接著，藉金屬線結合法、絲網印刷法等，在包含第 1、第 2 外部半導體結構體 71、77 及第 1、第 2 結合引線 76

、80 之最下層絕緣膜 38 下面，形成由環氧系樹脂、聚醯亞胺系樹脂等作成之封止材 81。其次，在開口部 26 內及其上方形成焊錫球 27 並與第 2 上層再配線 24 之連接墊部連接。最後，在相互接鄰之半導體結構體 4 之間切斷最上層絕緣膜 25、第 2 上層絕緣膜 21、第 1 上層絕緣膜 17、絕緣層 16、底板 1、第 1 下層絕緣膜 31、第 2 下層絕緣膜 34 及最下層絕緣膜 38 後可得出多數個第 20 圖所示之半導體裝置。

這種情形，依上述之切斷線切斷時，包含第 2 下層基底金屬層 36 之第 2 下層再配線 37 因與形成在該切斷線區域上之電鍍電路分離，故包含第 2 下層基底金屬層 36 之第 2 下層再配線 37 則完全分離。這裡，表面處理層 70a、70b 用電解電鍍形成，而不是無電解電鍍，理由係表面處理層 70a、70b 之厚度若藉無電解電鍍時會較薄，藉電解電鍍時則會較厚，表面處理層 70a、70b 之厚度若較薄時藉金屬線結合作成之接合容易產生不良，相對於此，表面處理層 70a、70b 之厚度若較厚時能使藉金屬線結合作成之接合不易產生接合不良之故。

(第 3 實施形態)

第 25 圖係表示本發明之第 3 實施形態之半導體裝置之斷面圖。該半導體裝置與第 20 圖上所示者最大不同之點係為在最上層絕緣膜 25 上積層設置第 1、第 2 外部半導體結構體 71、77，在最下層絕緣膜 38 下面配置焊錫球 27。另外，這種情形，包覆第 1、第 2 外部半導體結構體 71、77

及第 1、第 2 結合引線 76、80 之封止材 81 係藉下注塑形 (transfer mold) 法等形成，在切斷以得出各個半導體裝置時封止材 81 也一併切斷。

(第 4 實施形態)

第 26 圖係表示本發明之第 4 實施形態之半導體裝置之要部 (例如，相當於去掉第 25 圖所示之封止材 81 及第 1、第 1 結合引線 76、80 等之狀態之半導體裝置) 之平面圖。該半導體裝置在半導體結構體 4 和第 1 外部半導體結構體 71 之間因存在有最上層絕緣膜 25 等，故使用外形尺寸大之半導體結構體 4，在對應該半導體結構體 4 之區域內之最上層絕緣膜 25 上面設有經第 1、第 2 結合引線 (未圖示) 與第 1、第 2 外部半導體結構體 71、77 之連接墊 (未圖示) 連接之第 1、第 2 表面處理層 70a、70b。

但是，若是將第 1、第 2 外部半導體結構體 71、77 直接疊積在設於底板 1 上之半導體結構體 4 上之情形時，則需在底板 1 搭載半導體結構體 4 之區域之外側，設置經結合引線與三個半導體結構體 4、71、77 連接之連接墊，從而底板 1 之尺寸大幅增大。相對於此，第 26 圖所示之半導體裝置，如上述，在對應半導體結構體 4 之區域內之最上層絕緣膜 25 上，因設有經第 1、第 2 結合引線與第 1、第 2 外部半導體結構體 71、77 之連接墊連接之第 1、第 2 表面處理層 70a、70b，故能將底板 1 之尺寸作得很小。

(第 5 實施形態)

第 27 圖係表示本發明之第 5 實施形態之半導體裝置之

正面圖。該半導體裝置係積層多數，例如四個，相當於第 20 圖所示之半導體裝置之半導體塊。這種情形，最下層之半導體塊 (block) 91 係為基本上與第 20 圖所示之半導體裝置相同，但尺寸係比第 20 圖所示之半導體裝置稍大，於其上面封止材 81 之周圍設有上部連接墊部 92。其它之半導體塊 93 係為基本上與最下層之半導體塊 91 相同，但無設置焊錫球 27，代之以在下部連接墊部 94 下設置焊錫球 95，另外，在其上面封止材 81 之周圍設有上部連接墊部 96，前述下部連接墊部 94 係設在半導體塊 93 之下面，對應封止材 81 之周圍之區域上。

這裡，上部連接墊部 92、96 係藉第 20 圖所示之第 2 下層再配線 37 之連接墊部之一部分形成。這種情形，也可在最下層絕緣膜 38 之開口部 39 內形成表面處理層，俾使用於形成上部連接墊部 92、96 之第 2 下層再配線 37 之連接墊部露出。另外，下部連接墊部 94 係藉第 20 圖所示之第 2 上層再配線 24 之連接墊部形成。這種情形，用於形成下部連接墊部 94 之第 2 上層再配線 24 之連接墊部係只設在對應封止材 81 之周圍之區域。

然後，第 2 層之半導體塊 93 藉其焊錫球 95 與最下層之半導體塊 91 之上部連接墊部 92 接合在一起而搭載在最下層半導體塊 91 上。第 3 層及第 4 層之半導體塊 93 則是藉其焊錫球 95 與第 2 層及第 3 層之半導體塊 93 之上部連接墊部 96 接合在一起而搭載於第 2 層及第 3 層之半導體塊 93 上。另外，封止材 81 的厚度若是 0.5~0.6mm 之情形時

則焊錫球 95 之直徑採用 0.8 ~ 1.0 mm 者即可。

上述各實施形態係針對積層搭載兩個外部半導體結構體之情形說明，但並不限定於這種情形，也可作成搭載一個，或積層搭載三個以上。另外，上述實施形態係針對上層再配線及下層再配線皆作成二層之情形說明，但並不限定於這種情形，也可作成一層或三層以上，另外，兩者之層數也可作成不同層數。但是，作成相同層數之情形，能降低半導體裝置之彎曲。

另外，上述實施形態係在相互接鄰之半導體結構體 4 之間切斷，但並不限定這樣，也可作成將二個或二個以上之半導體結構體 4 作為一組而行切斷。這種情形，對各個半導體結構體 4，其之各個多數之外部半導體結構體也可作成積層結構。另外，由多數個作成一組之半導體結構體 4 可係為同類或不同類。

另外，上述實施形態，半導體結構體 4 係作成具有作為外部連接用電極之柱狀電極 14，但並不限定這樣，也可係為無柱狀電極但具有再配線 13，於該再配線 13 上設有作為外部連接用電極之連接墊部，另外，也可係為無柱狀電極及再配線，但具有作為外部連接用電極之連接墊部 7 (亦即，裸晶片)。

## 【圖式簡單說明】

第 1 圖係為本發明之第 1 實施形態之半導體裝置之斷面圖。

第 2 圖係為用於說明第 1 圖所示之半導體裝置之製造

方法，最初製作之構件之斷面圖。

第 3 圖係為接續第 2 圖之製造工程之斷面圖。

第 4 圖係為接續第 3 圖之製造工程之斷面圖。

第 5 圖係為接續第 4 圖之製造工程之斷面圖。

第 6 圖係為接續第 5 圖之製造工程之斷面圖。

第 7 圖係為接續第 6 圖之製造工程之斷面圖。

第 8 圖係為接續第 7 圖之製造工程之斷面圖。

第 9 圖係為接續第 8 圖之製造工程之斷面圖。

第 10 圖係為接續第 9 圖之製造工程之斷面圖。

第 11 圖係為接續第 10 圖之製造工程之斷面圖。

第 12 圖係為接續第 11 圖之製造工程之斷面圖。

第 13 圖係為接續第 12 圖之製造工程之斷面圖。

第 14 圖係為接續第 13 圖之製造工程之斷面圖。

第 15 圖係為接續第 14 圖之製造工程之斷面圖。

第 16 圖係為接續第 15 圖之製造工程之斷面圖。

第 17 圖係為接續第 16 圖之製造工程之斷面圖。

第 18 圖係為接續第 17 圖之製造工程之斷面圖。

第 19 圖係為接續第 18 圖之製造工程之斷面圖。

第 20 圖係為本發明之第 2 實施形態之半導體裝置之斷面圖。

第 21 圖係為用於說明第 20 圖所示之半導體裝置之製造方法之斷面圖。

第 22 圖係為接續第 21 圖之製造工程之斷面圖。

第 23 圖係為接續第 22 圖之製造工程之斷面圖。

第 24 圖係為接續第 23 圖之製造工程之斷面圖。

第 25 圖係為本發明之第 3 實施形態之半導體裝置之斷面圖。

第 26 圖係為本發明之第 4 實施形態之半導體裝置之斷面圖。

第 27 圖係為本發明之第 5 實施形態之半導體裝置之斷面圖。

【主要元件符號說明】

- 1 底板
- 2 上層配線
- 3 下層配線
- 4 半導體結構體(第 1 半導體結構體)
- 5 接著層
- 6 矽基板
- 7 連接墊
- 13 再配線
- 14 柱狀電極
- 15 封止膜
- 16 絕緣層(絕緣材)
- 17 第 1 上層絕緣膜
- 20 第 1 上層再配線
- 21 第 2 上層絕緣膜
- 24 第 2 上層再配線、上層配線
- 25 最上層絕緣膜

27	焊錫球
31	第 1 下層絕緣膜
33	第 1 下層再配線
34	第 2 下層絕緣膜
37	第 2 下層再配線
38	最下層絕緣膜
40	半導體結構體 (第 2 半導體結構體)
42	貫通孔
43	上下導通部
70 a, 70 b	表面處理層
71, 77	半導體結構體 (第 2 半導體裝置)
76	第 1 結合引線
80	第 2 結合引線
81	封止材
91, 93	半導體塊
92	上部連接墊部
94	下部連接墊部
95	焊錫球

## 五、中文發明摘要：

能實現維持小的封裝面積之同時更形薄型化，且能確保連接部在強度上之可靠性。

第 1 半導體結構體 4 係搭載在底板 1 上部，周圍及上面分別被絕緣材 16 及上層絕緣膜 17 包覆而成密封狀，形成在上層絕緣膜 17 上之上層再配線 20, 24 和隔介下層絕緣膜 31, 34 形成在前述底板 1 下部之下層再配線 33, 37 係藉上下導通材 43 而連接，接在下層再配線 33, 37 上之第 2 半導體結構體 40 係露出表面那樣被搭載。

## 六、英文發明摘要：

Able to maintain a small packaging area while achieve more miniaturization, furthermore, able to ensure the reliability in the strength of the connection portions.

The first semi-conductor component 4 is carried on the base plate 1, with its peripheral and upper surface being covered by insulation material 16 and upper layer insulation film 17, respectively, thereby forming a sealed state, the upper re-wiring leads 20, 24 connect with, Via the upper-lower conducting material 43, the lower re-wiring leads 33, 37 which are formed on the lower surface of the said base plate 1 through the lower insulation films 31, 34, the second semi-conductor component 40 which connects with the lower re-wiring leads 33, 37 is carried with upper surface exposed.

## 十、申請專利範圍：

1. 一種半導體裝置，其特徵為包含：

具有多數之外部連接用電極(14)之第 1 半導體結構體(4)；

設在前述第 1 半導體結構體(4)之周圍之絕緣材(16)；

設在前述第 1 半導體結構體(4)及前述絕緣材(16)之上面側之上層配線構造(17, 20, 21, 24)；

設在前述第 1 半導體結構體(4)及前述絕緣材(16)之下面側之下層配線構造(2, 1, 3, 31, 33, 34, 37)；及

至少搭載在前述上層配線構造(17, 20, 21, 24)上或前述下層配線構造(2, 1, 3, 31, 33, 34, 37)上之第 2 半導體結構體(40, 71, 77)。

2. 如申請專利範圍第 1 項之半導體裝置，其中具有貫通前述絕緣材(16)而與前述上層配線構造(17, 20, 21, 24)和前述下層配線構造(2, 1, 3, 31, 33, 34, 37)行電性連接之上下導通部(43)。

3. 如申請專利範圍第 1 項之半導體裝置，其中前述第 2 半導體結構體(40, 71, 77)係只搭載在前述上層配線構造(17, 20, 21, 24)或前述下層配線構造(2, 1, 3, 31, 33, 34, 37)上，在未搭載前述第 2 半導體結構體(40, 71, 77)之前述上層配線構造(17, 20, 21, 24)或前述下層配線構造(2, 1, 3, 31, 33, 34, 37)上設有焊錫球(27)。

4. 如申請專利範圍第 1 項之半導體裝置，其中前述上層配

線構造(17, 20, 21, 24)具有多層之上層絕緣膜(17, 21)及多層之上層再配線(20, 24)。

5. 如申請專利範圍第 4 項之半導體裝置，其中在前述多層之上層再配線(20, 24)中最上層之上層再配線(24)具有連接墊部，前述上層配線構造(17, 20, 21, 24)係包含最上層絕緣膜(25)，其係包覆除掉前述連接墊部外之前述最上層之上層再配線(24)上面。
6. 如申請專利範圍第 5 項之半導體裝置，其中在前述最上層之上層配線(24)之前述連接墊上設有焊錫球(27)。
7. 如申請專利範圍第 5 項之半導體裝置，其中在前述最上層之上層配線(24)上設有表面處理層(70a, 70b)。
8. 如申請專利範圍第 7 項之半導體裝置，其中前述第 2 半導體裝置(71, 77)係搭載在前述最上層之絕緣膜(25)上。
9. 一種之半導體裝置，其特徵為前述第 2 半導體裝置(71, 77)具有接於前述表面處理層(70a, 70b)之結合引線(76, 80)。
10. 如申請專利範圍第 1 項之半導體裝置，其中前述下層配線構造(2, 1, 3, 31, 33, 34, 37)包含底板(1)、下層絕緣膜(31)及下層再配線(33)。
11. 如申請專利範圍第 10 項之半導體裝置，其中前述底板(1)至少具有設在其上面之上層配線(2)或設在其下面之下層配線(3)。

12. 如申請專利範圍第 11 項之半導體裝置，其中前述上層配線 (2) 及前述下層配線 (3) 之至少之一係為接地配線。
13. 如申請專利範圍第 10 項之半導體裝置，其中前述底板 (1) 係由含有補強材之熱硬化性樹脂作成者。
14. 如申請專利範圍第 1 項之半導體裝置，其中前述下層配線構造 (2, 1, 3, 31, 33, 34, 37) 包含多層之下層絕緣膜 (31, 34) 及多層之下層再配線 (33, 37)。
15. 如申請專利範圍第 14 項之半導體裝置，其中在前述多層之下層再配線 (33, 37) 中，最下層之下層再配線 (37) 具有連接墊部，前述下層配線構造 (2, 1, 3, 31, 33, 34, 37) 包含最下層絕緣膜 (38)，其係包覆除掉前述連接墊部外之前述最下層之下層再配線 (37) 上面。
16. 如申請專利範圍第 15 項之半導體裝置，其中在前述第 2 半導體裝置 (40) 和前述最下層之下層再配線 (24) 之間有設置焊錫球 (41)。
17. 如申請專利範圍第 15 項之半導體裝置，其中在前述最下層之下層再配線 (37) 上面設有表面處理層 (70a, 70b)。
18. 如申請專利範圍第 17 項之半導體裝置，其中前述第 2 半導體裝置 (71, 77) 係搭載在所述最下層之絕緣膜 (38) 上。
19. 如申請專利範圍第 18 項之半導體裝置，其中前述第 2 半導體裝置 (71, 77) 具有接至前述表面處理層 (70a, 70b) 之結合引線 (76, 80)。

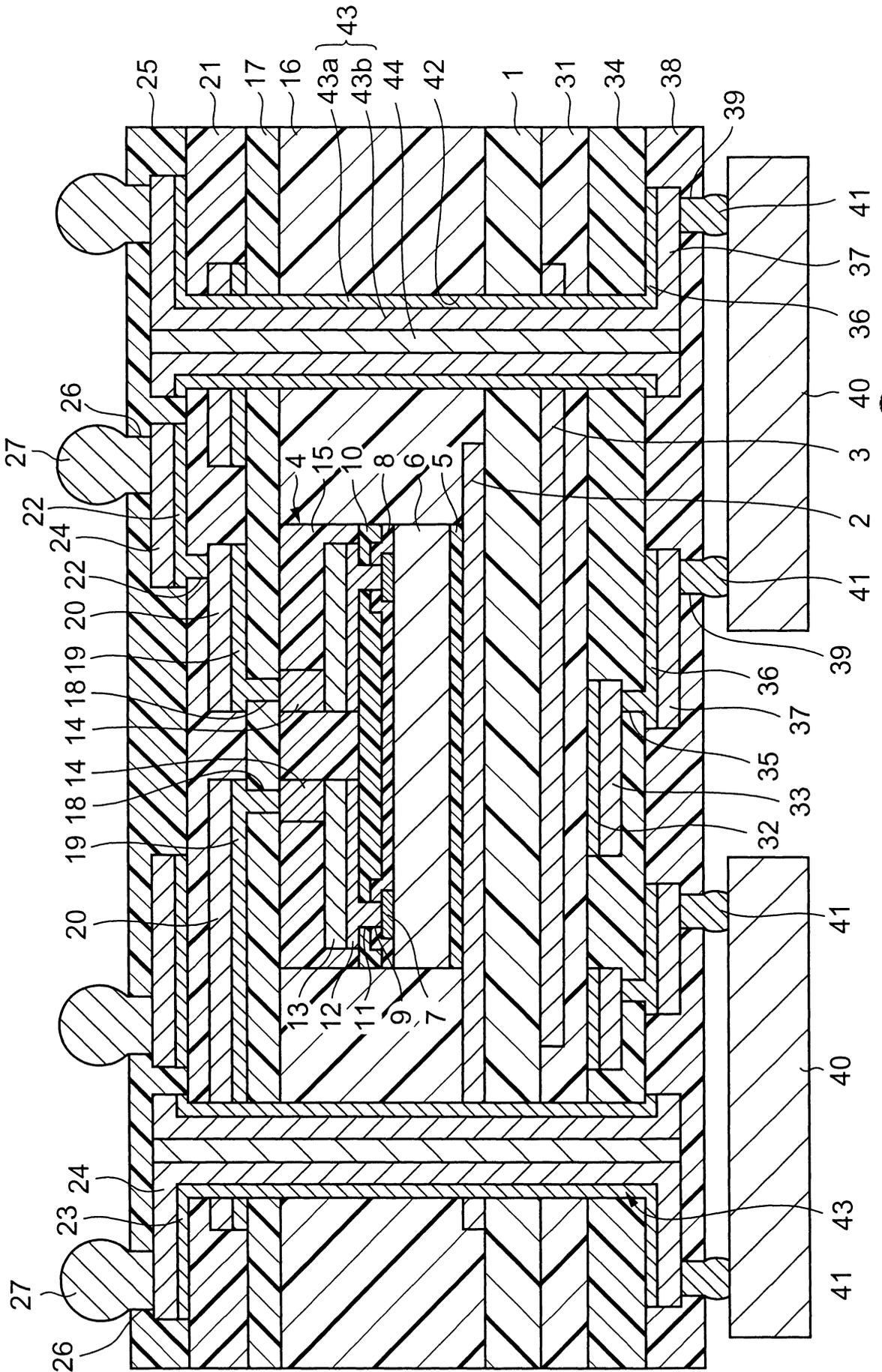
20. 如申請專利範圍第 1 項之半導體裝置，其中前述第 1 半導體結構體(4)之前述外部連接用電極(14)係為高度  $60\ \mu\text{m}$  以上之柱狀電極。
21. 如申請專利範圍第 20 項之半導體裝置，其中前述第 1 半導體結構體(4)含有保護膜(10)，前述外部連接用電極(14)係設在前述保護膜(10)上。
22. 如申請專利範圍第 21 項之半導體裝置，其中前述第 1 半導體結構體(4)具有設在位於前述外部連接用電極(14)之間之前述保護膜(10)上的絕緣膜(15)。
23. 一種半導體裝置之製造方法，其特徵為包括下述工程：  
藉底板(1)、絕緣材(16)及上層絕緣膜(17)分別密封形成各具有多數之外部連接用電極之第 1 半導體結構體(4)；  
在前述上層絕緣膜(17)上形成上層再配線(20)；  
在前述底板(1)下形成下層再配線(33)；  
至少在前述上層再配線(20)上或下層再配線(33)上搭載第 2 半導體結構體(40)；及  
切斷前述底板(1)、前述絕緣材(16)及前述上層絕緣膜(17)，得出多個具有至少一個前述第 1 半導體結構體(4)及至少一個前述第 2 半導體結構體(40)之半導體裝置。
24. 如申請專利範圍第 23 項之半導體裝置之製造方法，其中將前述第 1 半導體結構體(4)分別密封形成之工程包括：  
製作能配列多個前述第 1 半導體結構體(4)之尺寸的底板(1)之工程、將前述第 1 半導體結構體(4)相互分隔固定設

置於前述底板(1)上之工程、在前述底板(1)位在前述各個第 1 半導體結構體之周圍上形成前述絕緣材(16)之工程、及在前述第 1 半導體結構體(4)上形成前述上層絕緣膜(17)之工程。

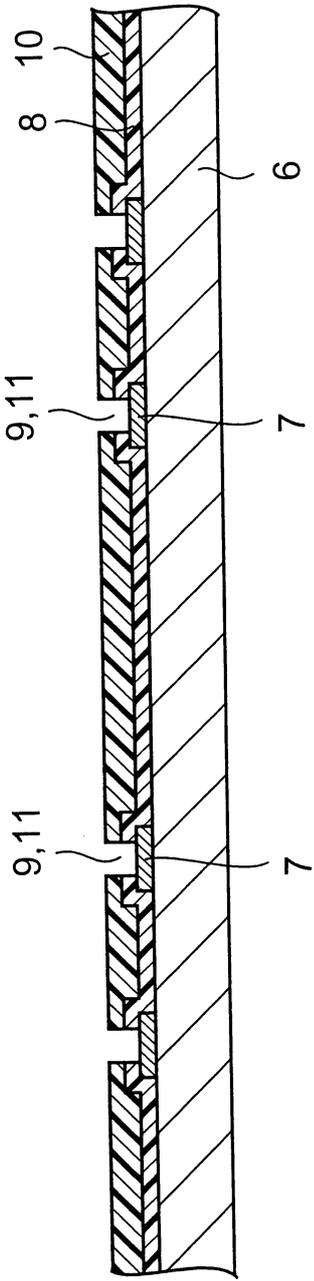
25. 如申請專利範圍第 24 項之半導體裝置之製造方法，其中將前述第 1 半導體結構體(4)分別密封形成之工程，包括使用加熱加壓板(55, 56)加熱加壓前述上層絕緣膜(17)、前述第 1 半導體結構體(4)、前述絕緣材(16)及前述底板(1)。
26. 如申請專利範圍第 23 項之半導體裝置之製造方法，其中前述底板(1)具有上層配線(2)及下層配線(3)。
27. 如申請專利範圍第 23 項之半導體裝置之製造方法，其中另包括在前述底板(1)、前述絕緣材(16)及前述上層絕緣膜(17)上形成貫通孔(42)之工程，及在前述貫通孔(42)內形成使前述上層再配線(20)與前述上層配線(2)及前述下層配線(3)之至少之一連接的上下導通部(43)之工程。
28. 如申請專利範圍第 23 項之半導體裝置之製造方法，其中另包括在前述底板(1)、前述絕緣材(16)及前述上層絕緣膜(17)上形成貫通孔(42)之工程，及在前述貫通孔(42)內形成使前述上層再配線(20)和前述下層再配線(33)連接之上下導通部(43)之工程。
29. 如申請專利範圍第 26 項之半導體裝置之製造方法，其中前述上層配線(2)及前述下層配線(3)之至少之一係與前述上下導通部(43)連接。

30. 如申請專利範圍第 23 項之半導體裝置之製造方法，其中前述第 1 半導體結構體 (4) 之前述外部連接用電極 (14) 係為具有  $60\ \mu\text{m}$  以上高度之柱狀電極。
31. 如申請專利範圍第 30 項之半導體裝置，其中前述第 1 半導體結構體 (4) 含有保護膜 (10)，前述外部連接用電極 (14) 係設在前述保護膜 (10) 上。
32. 如申請專利範圍第 31 項之半導體裝置，其中前述第 1 半導體結構體 (4) 具有設在位於前述外部連接用電極 (14) 之間之前述保護膜上的保護膜 (15)。

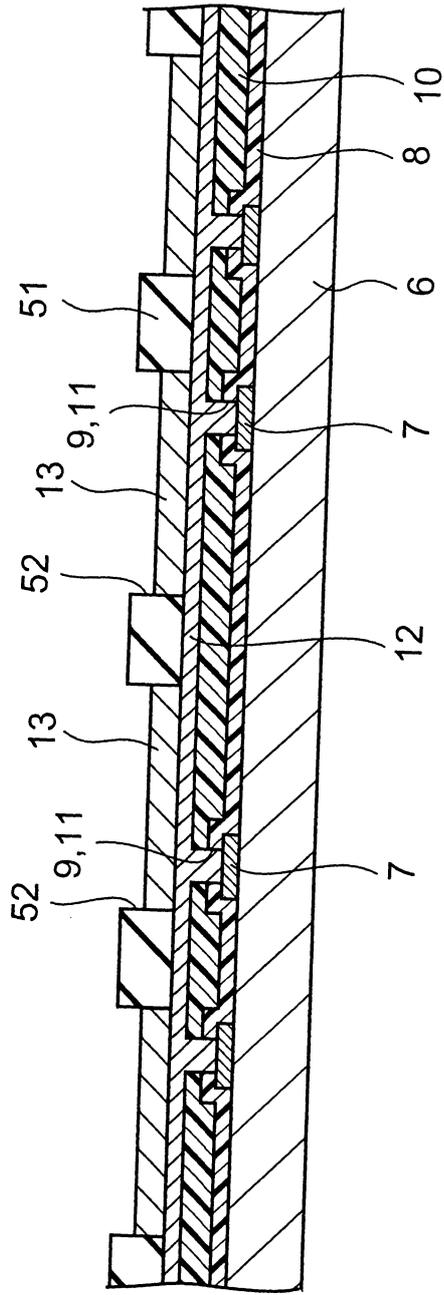
第 1 圖



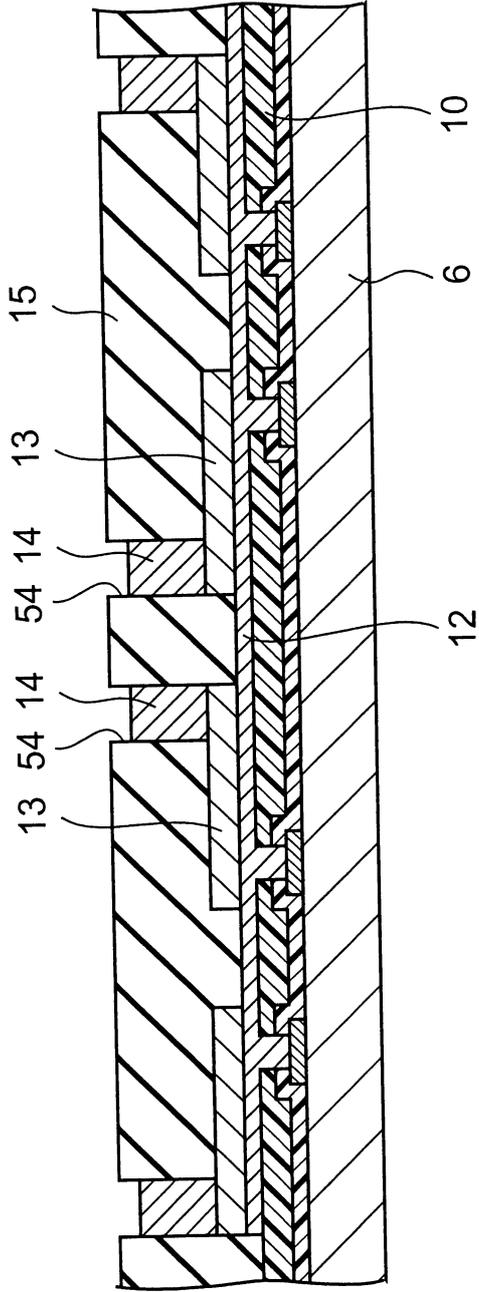
第 2 圖



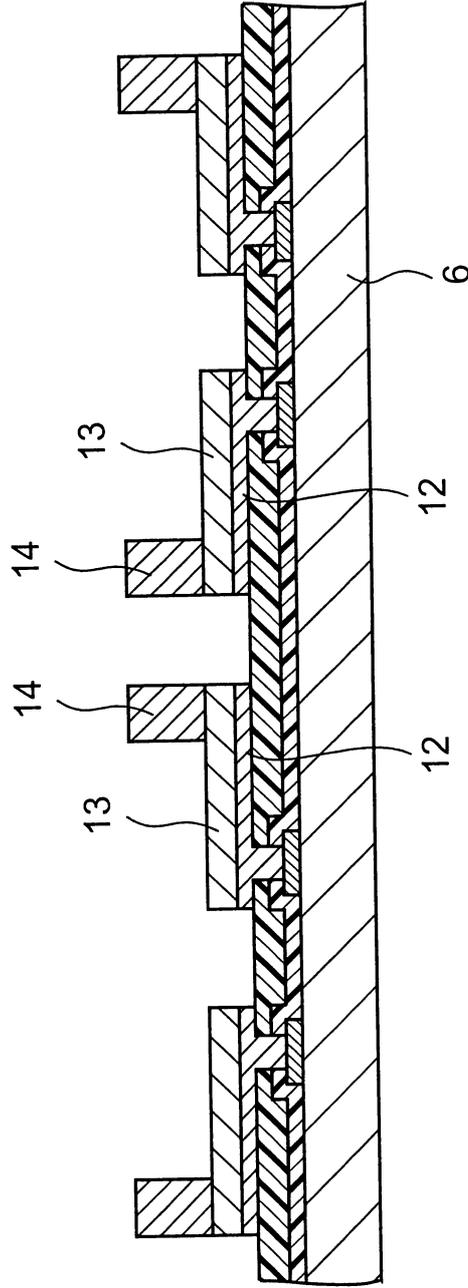
第 3 圖



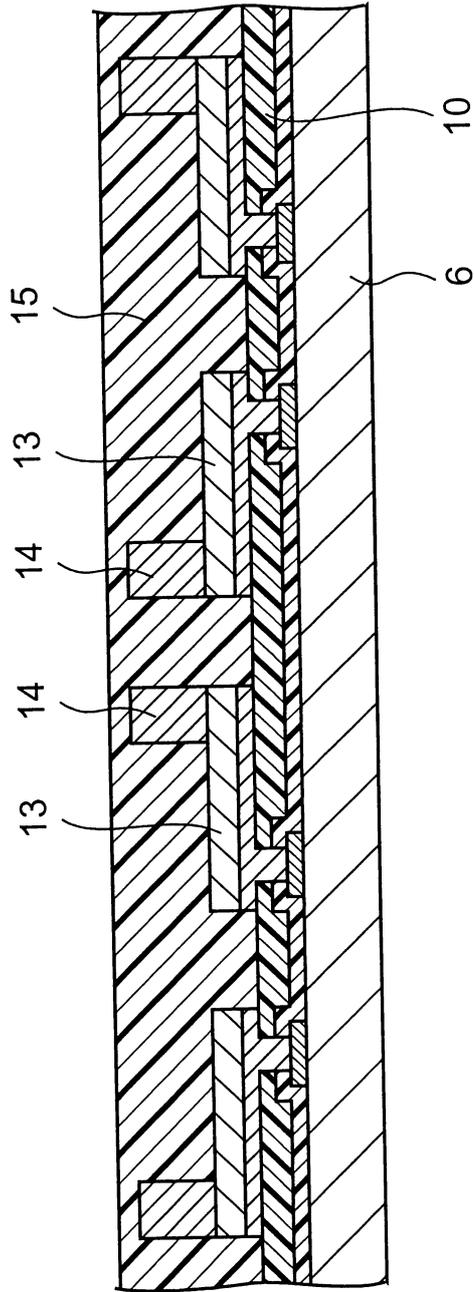
第 4 圖



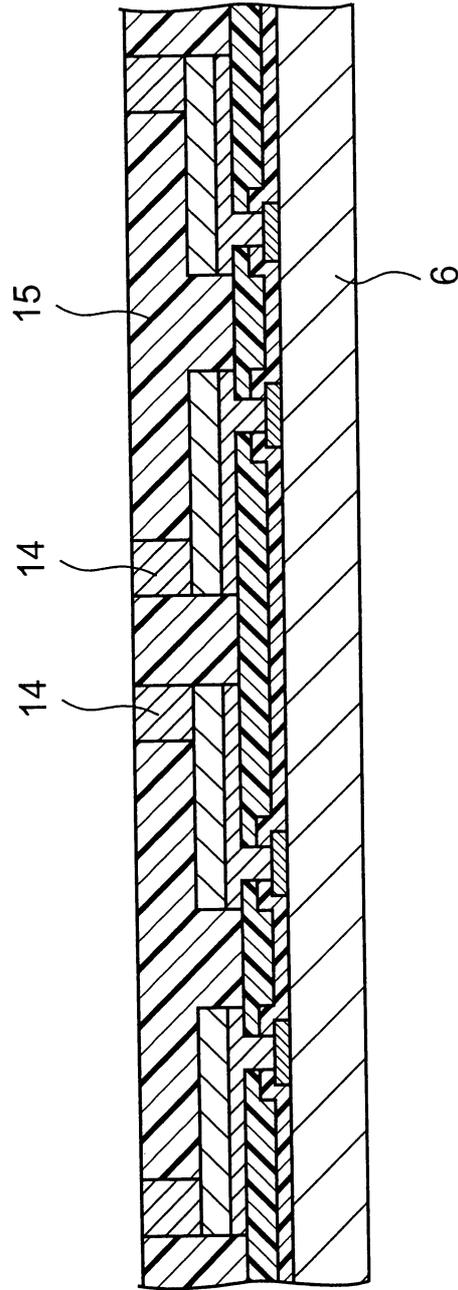
第 5 圖



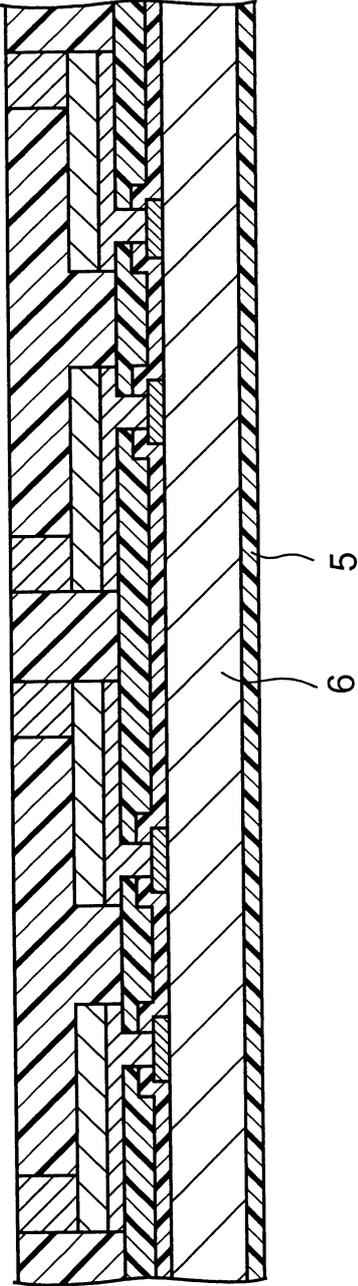
第 6 圖



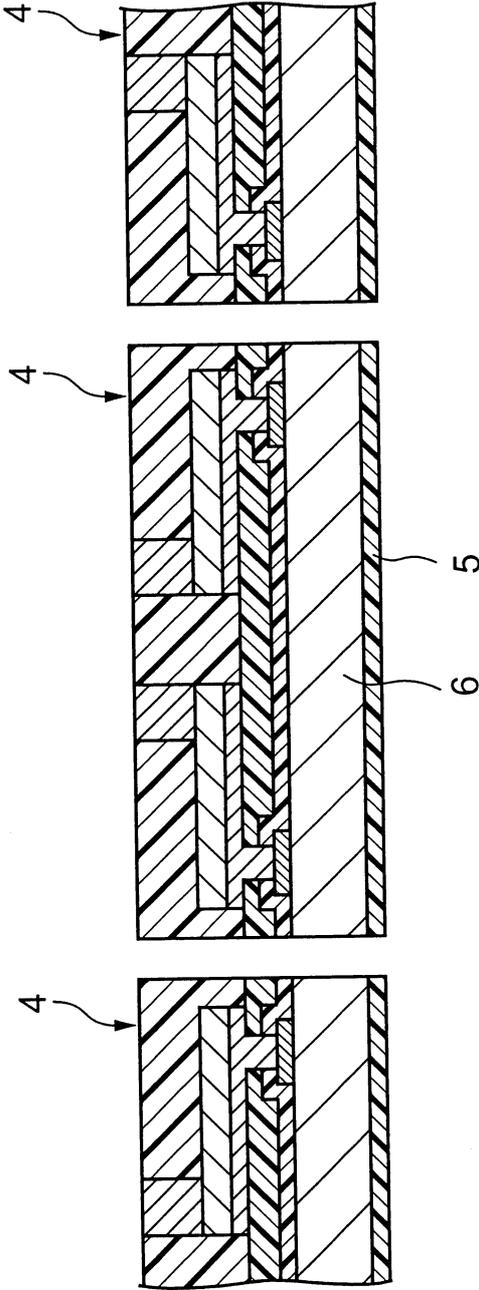
第7圖



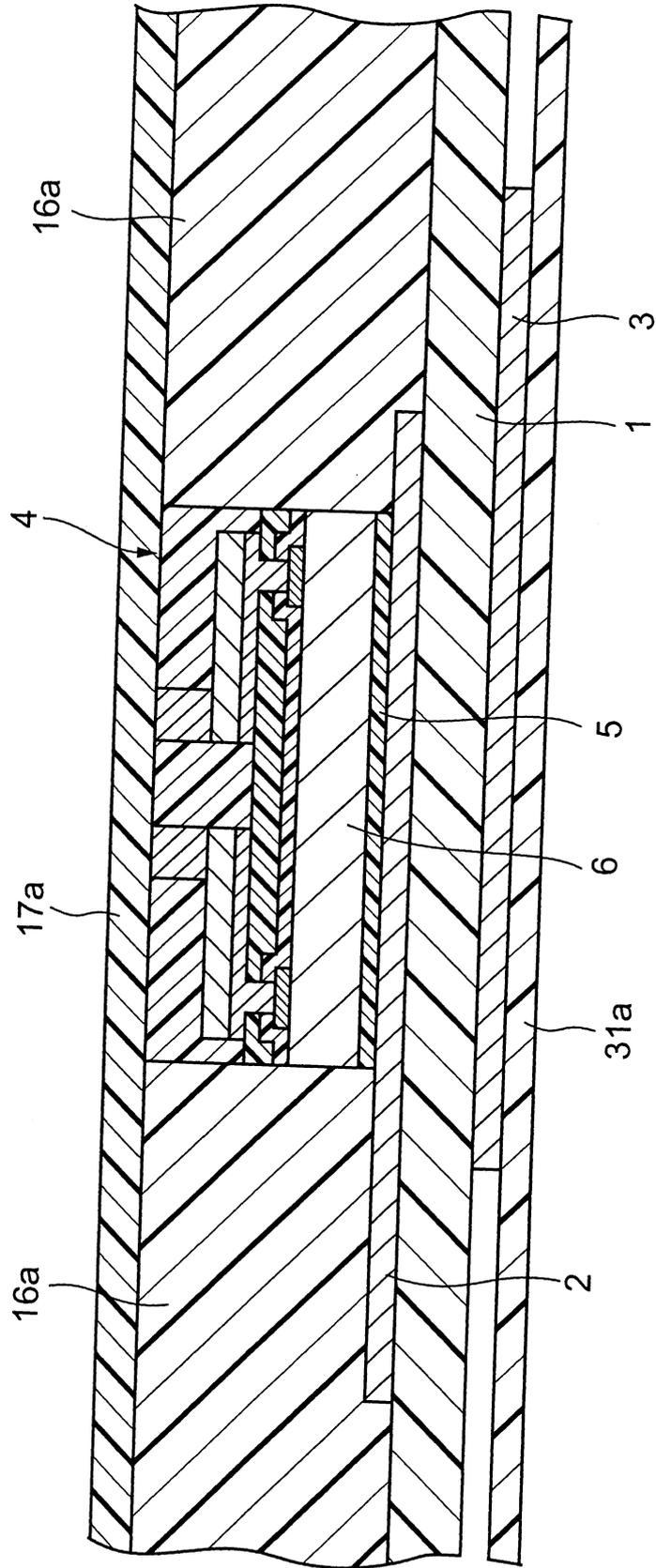
第 8 圖



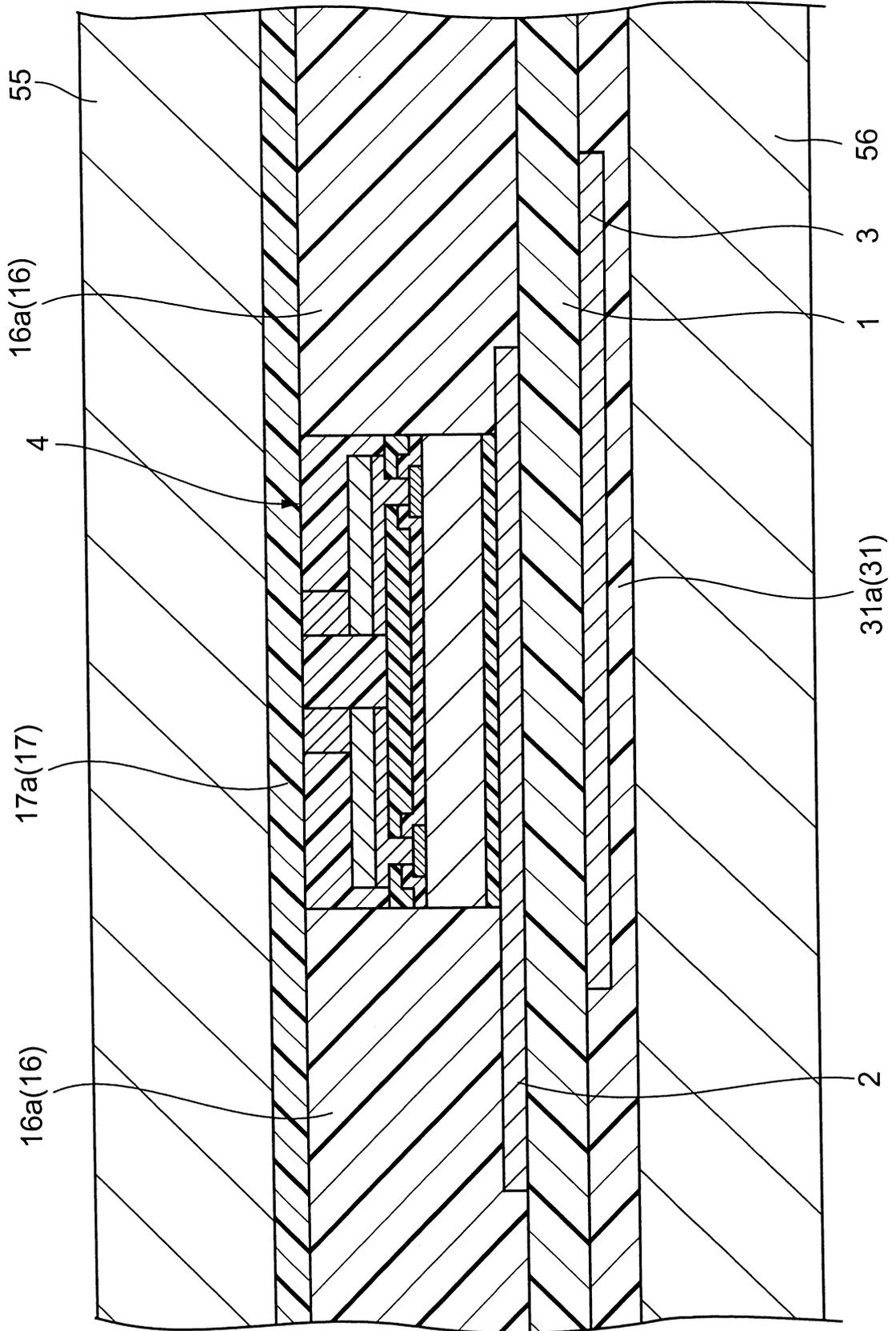
第 9 圖



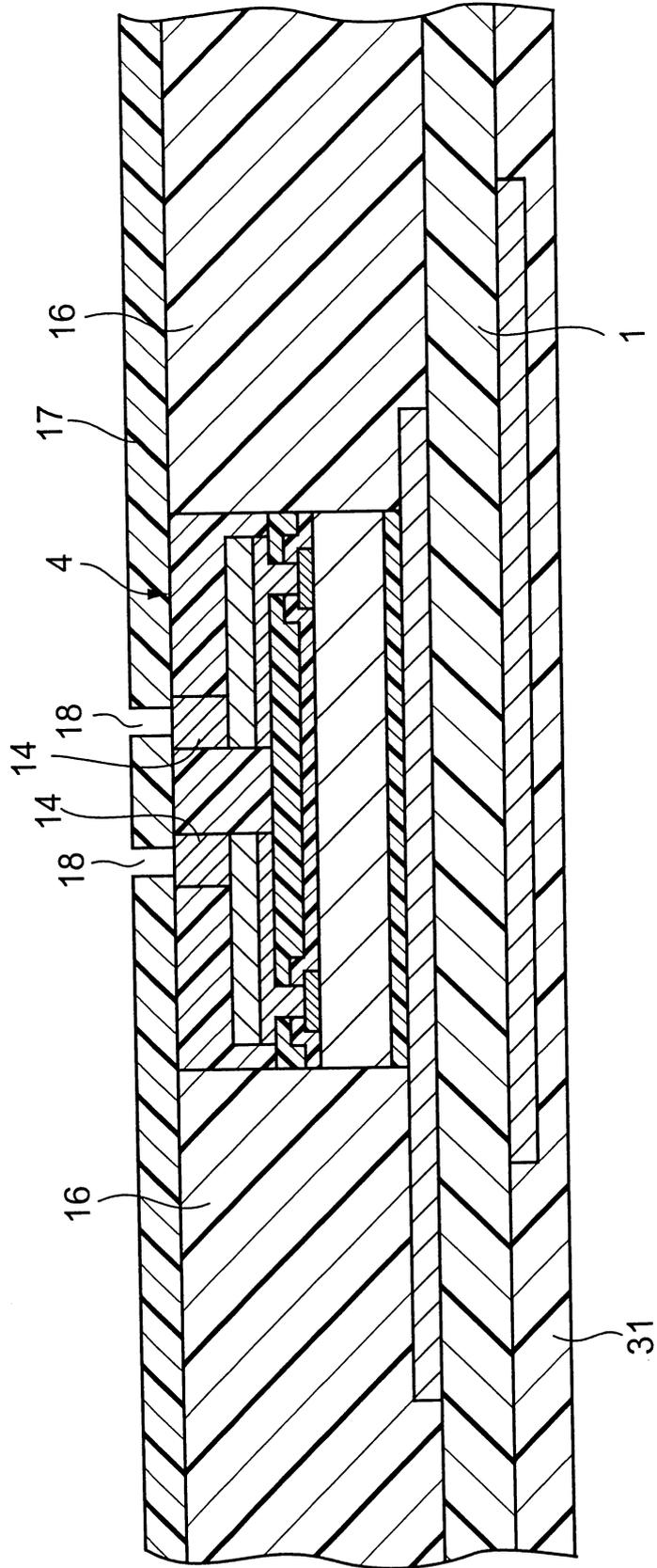
第 10 圖



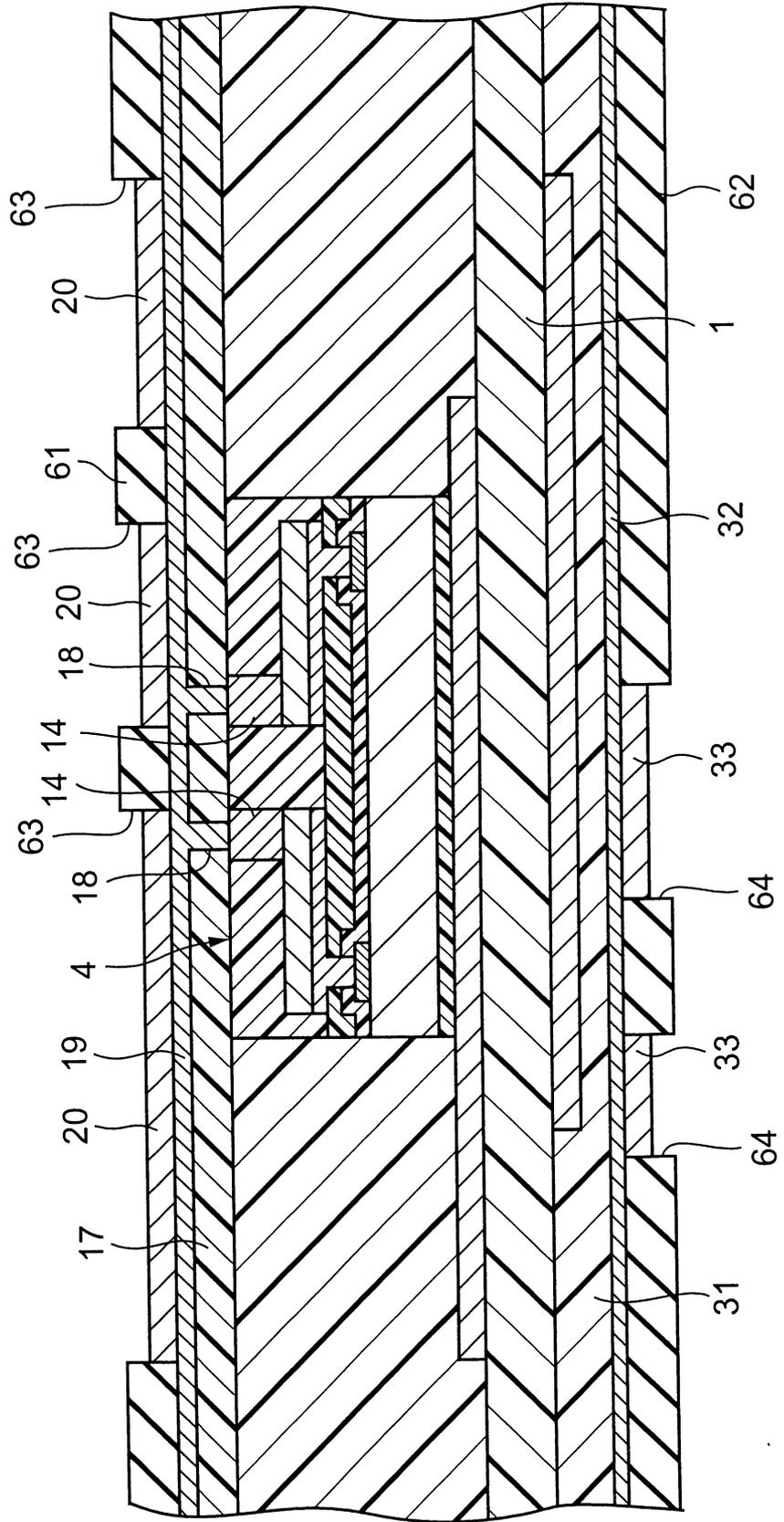
第 11 圖



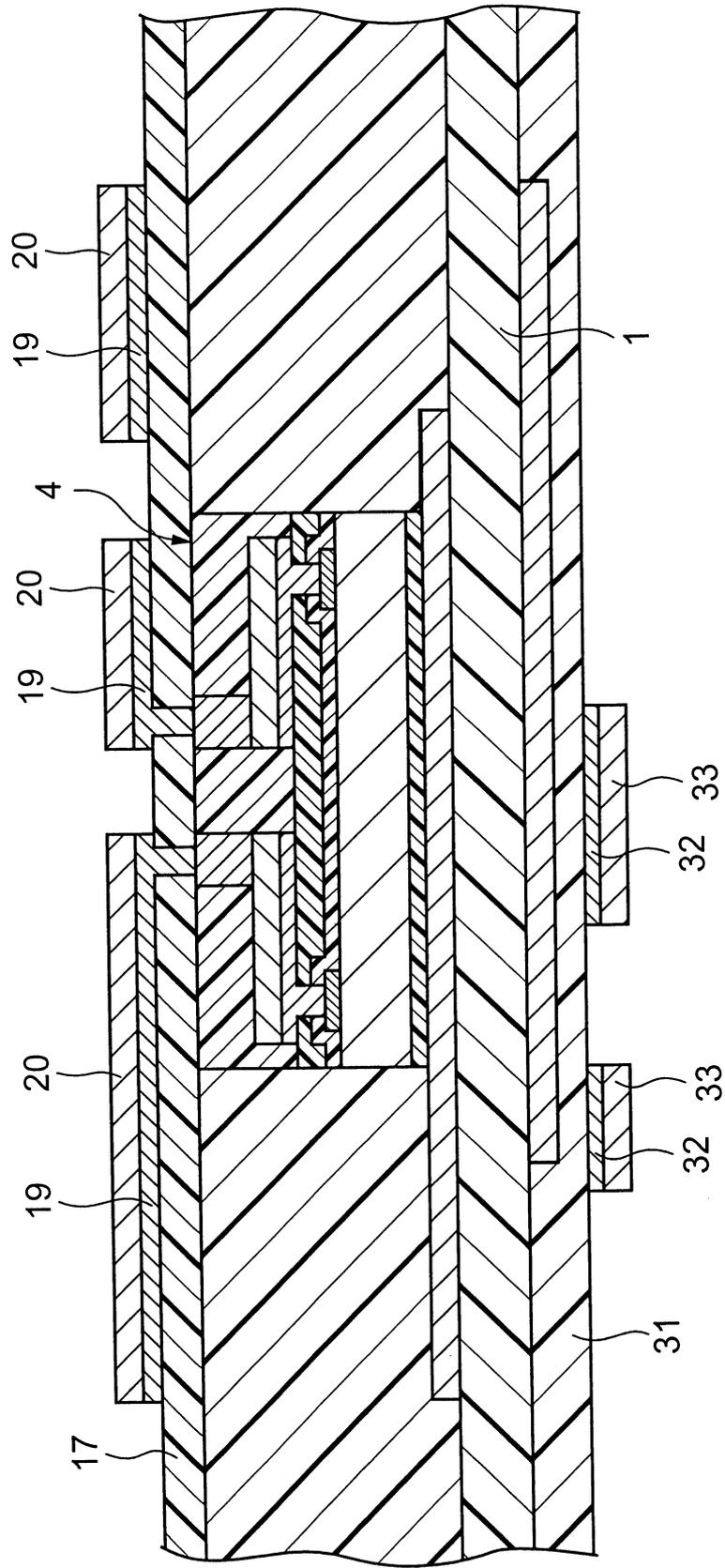
第 12 圖



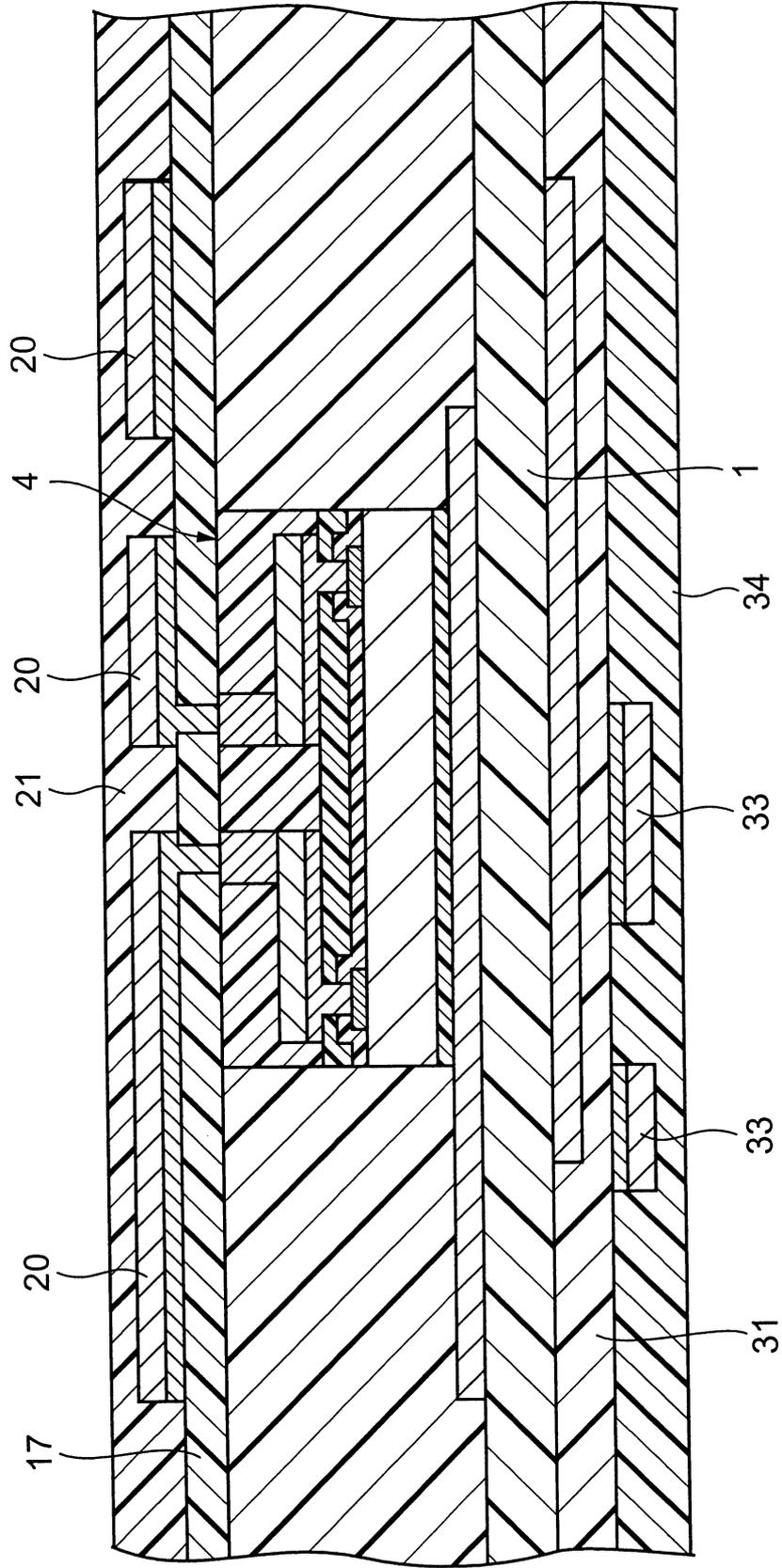
第 13 圖



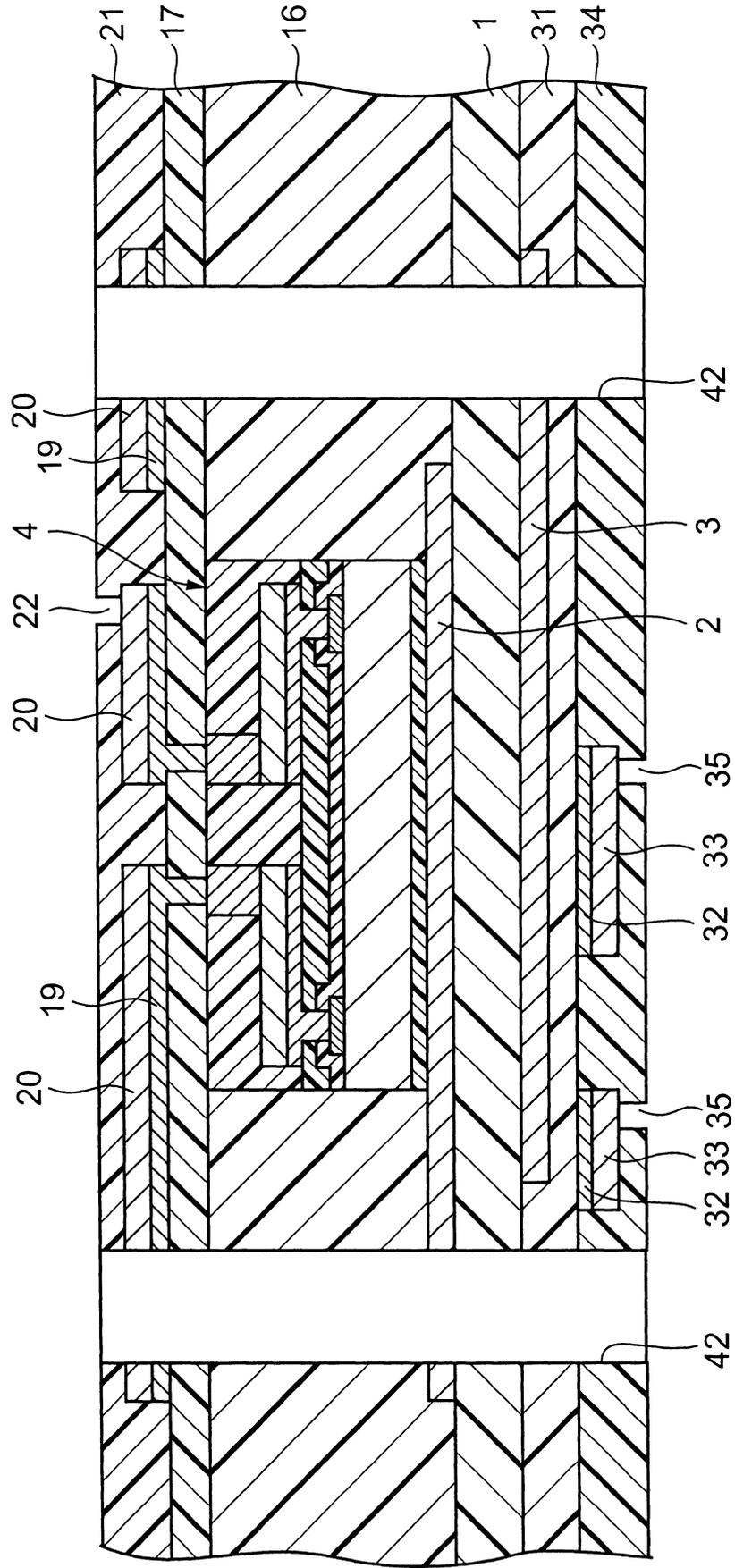
第 14 圖



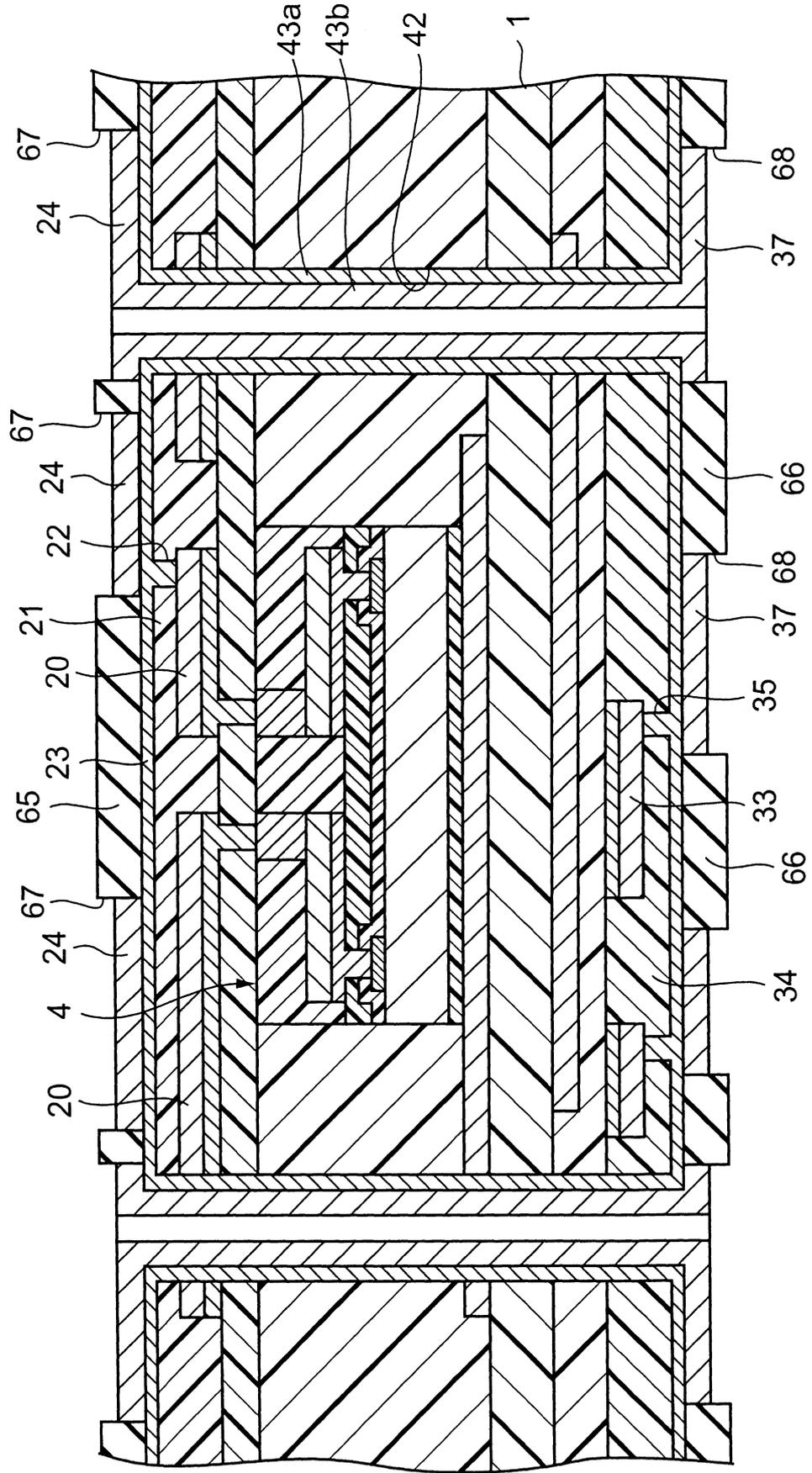
第 15 圖



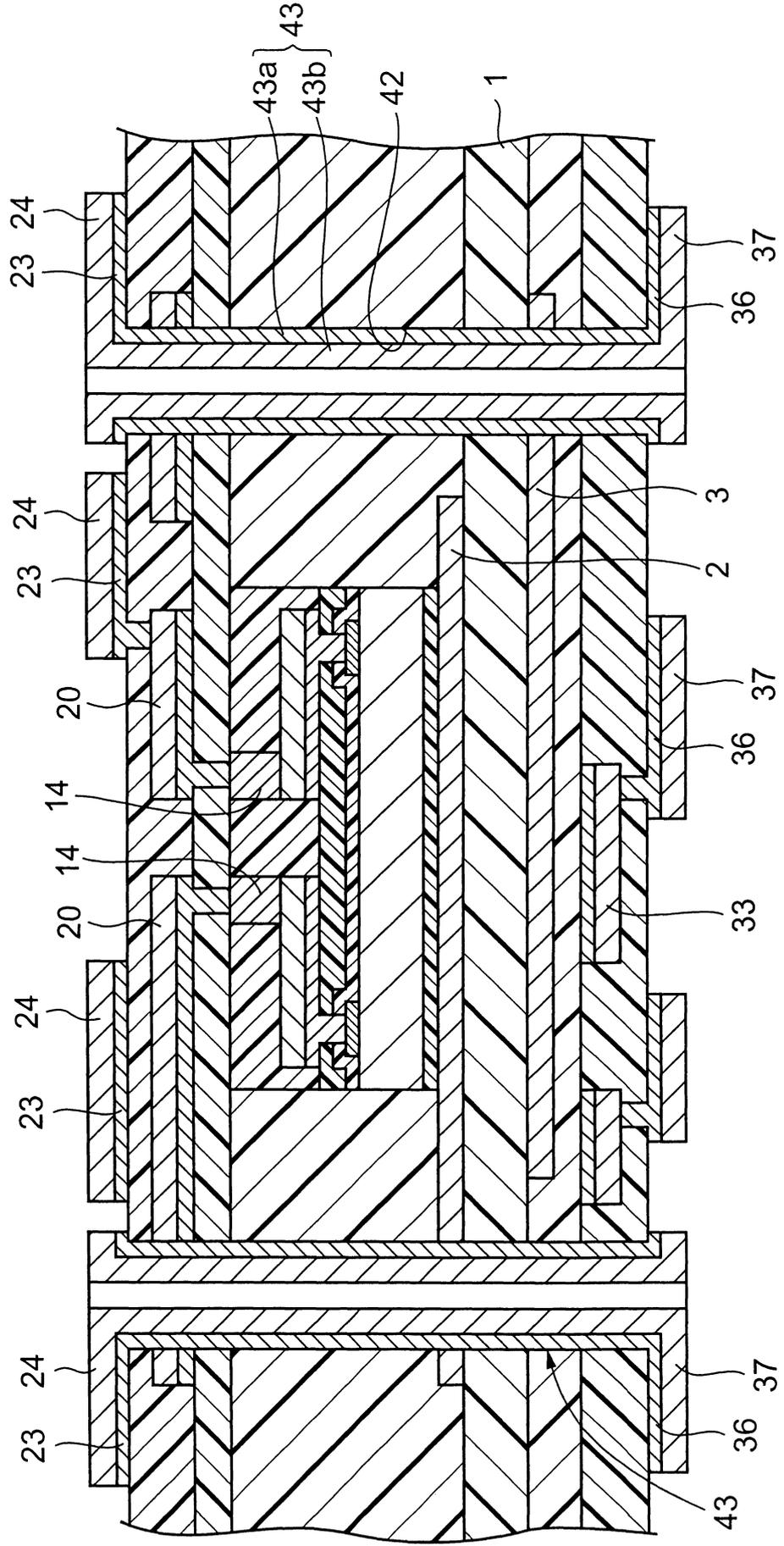
第 16 圖



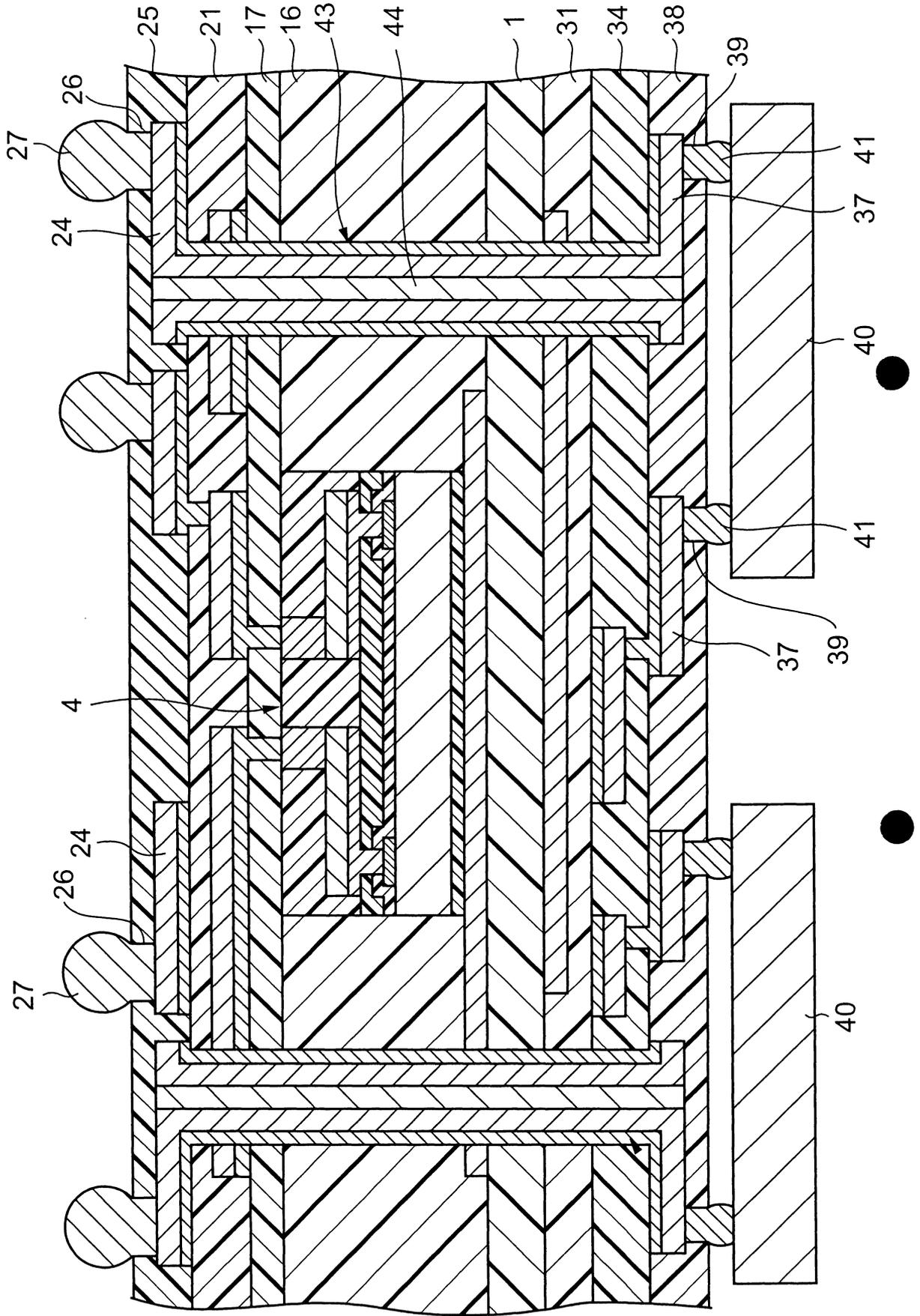
第 17 圖



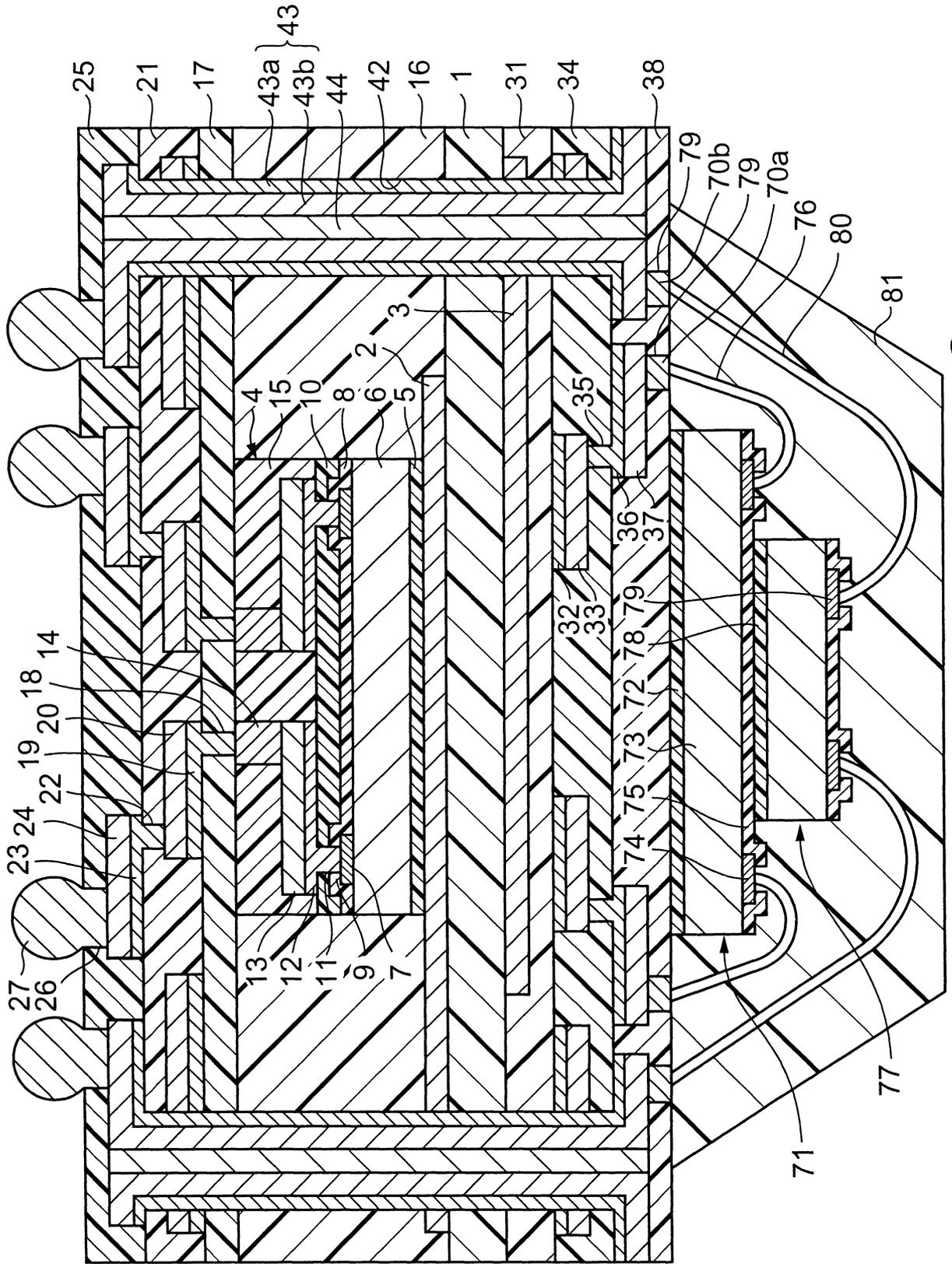
第 18 圖



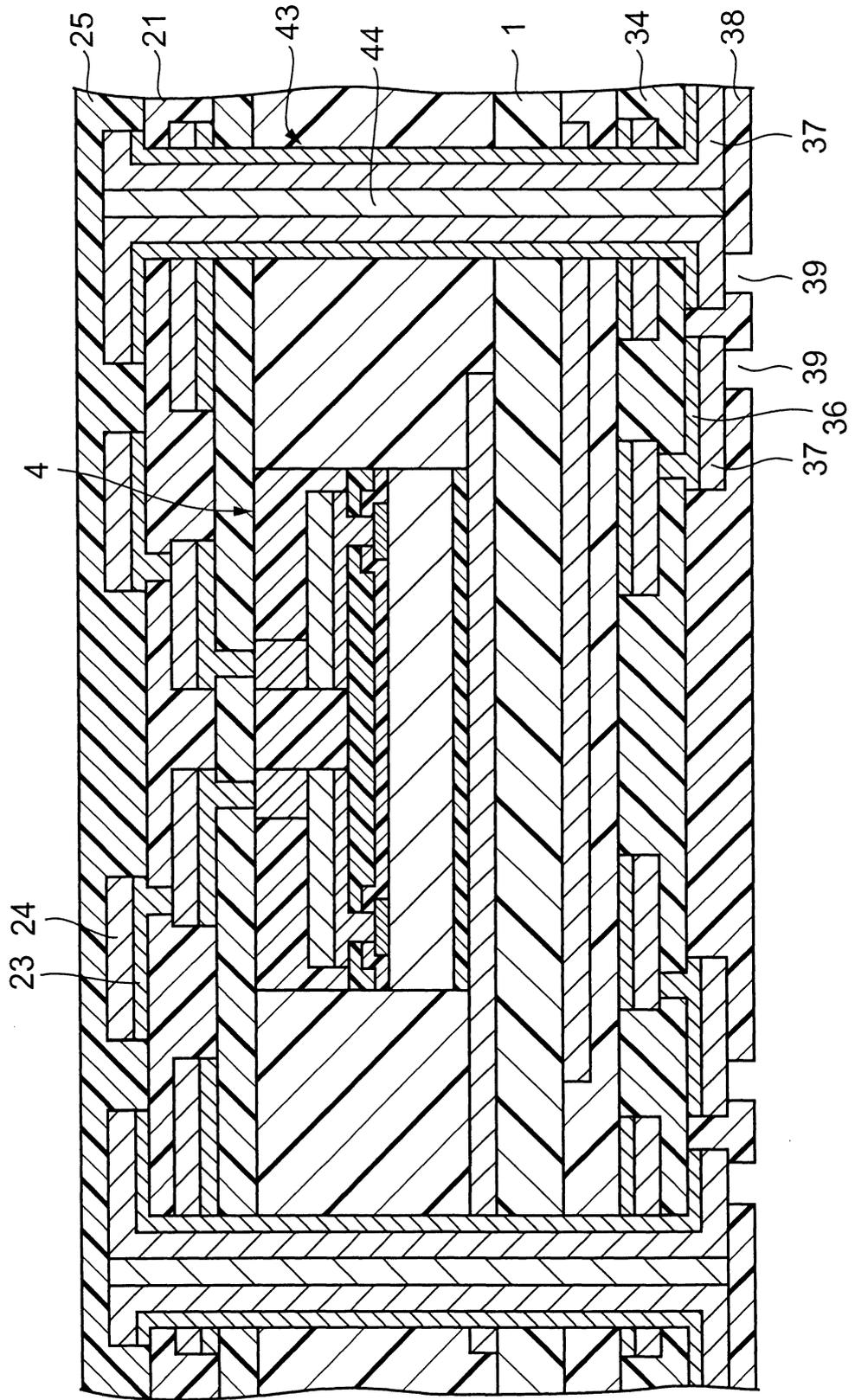
第 19 圖



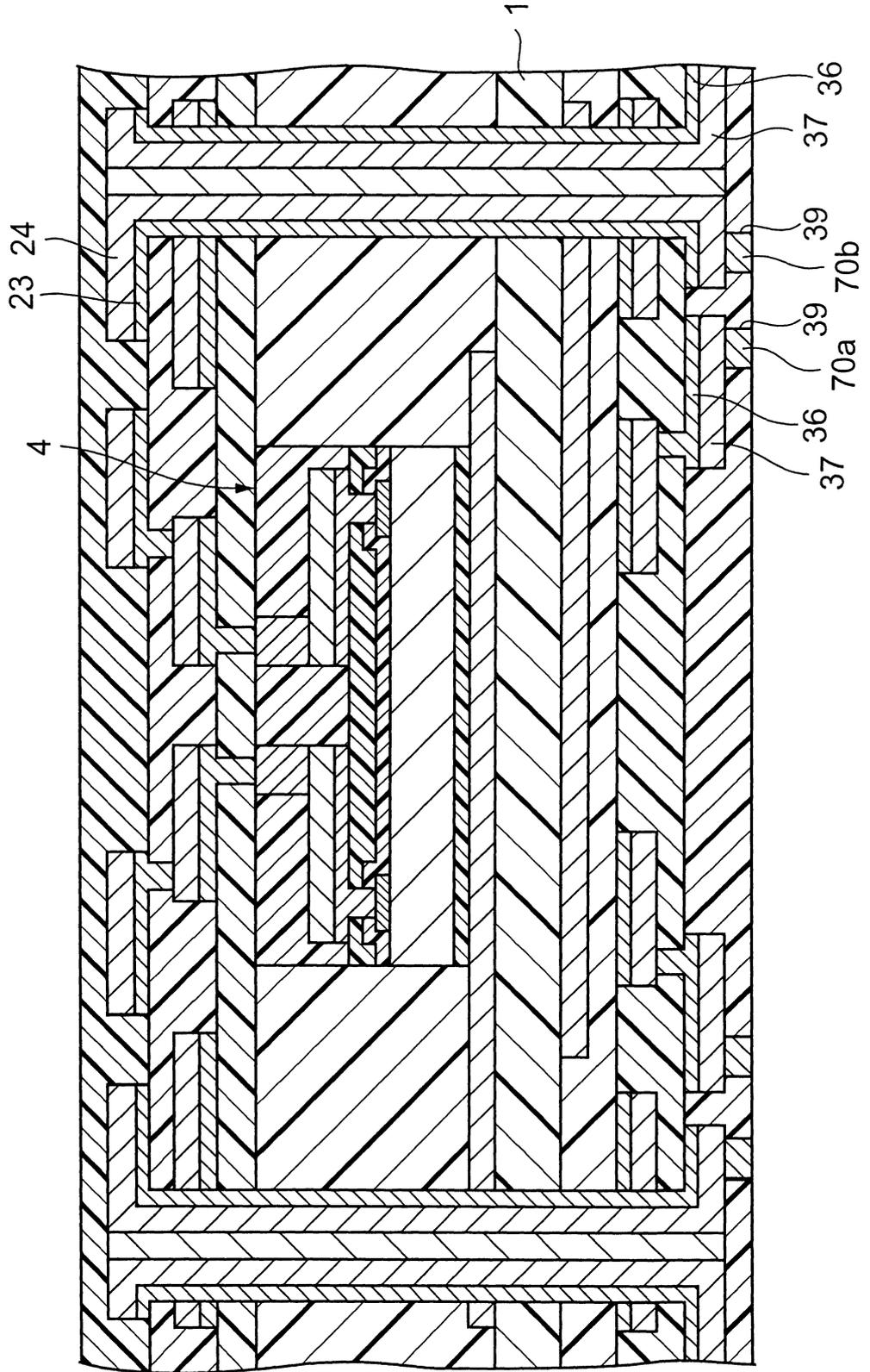
第 20 圖



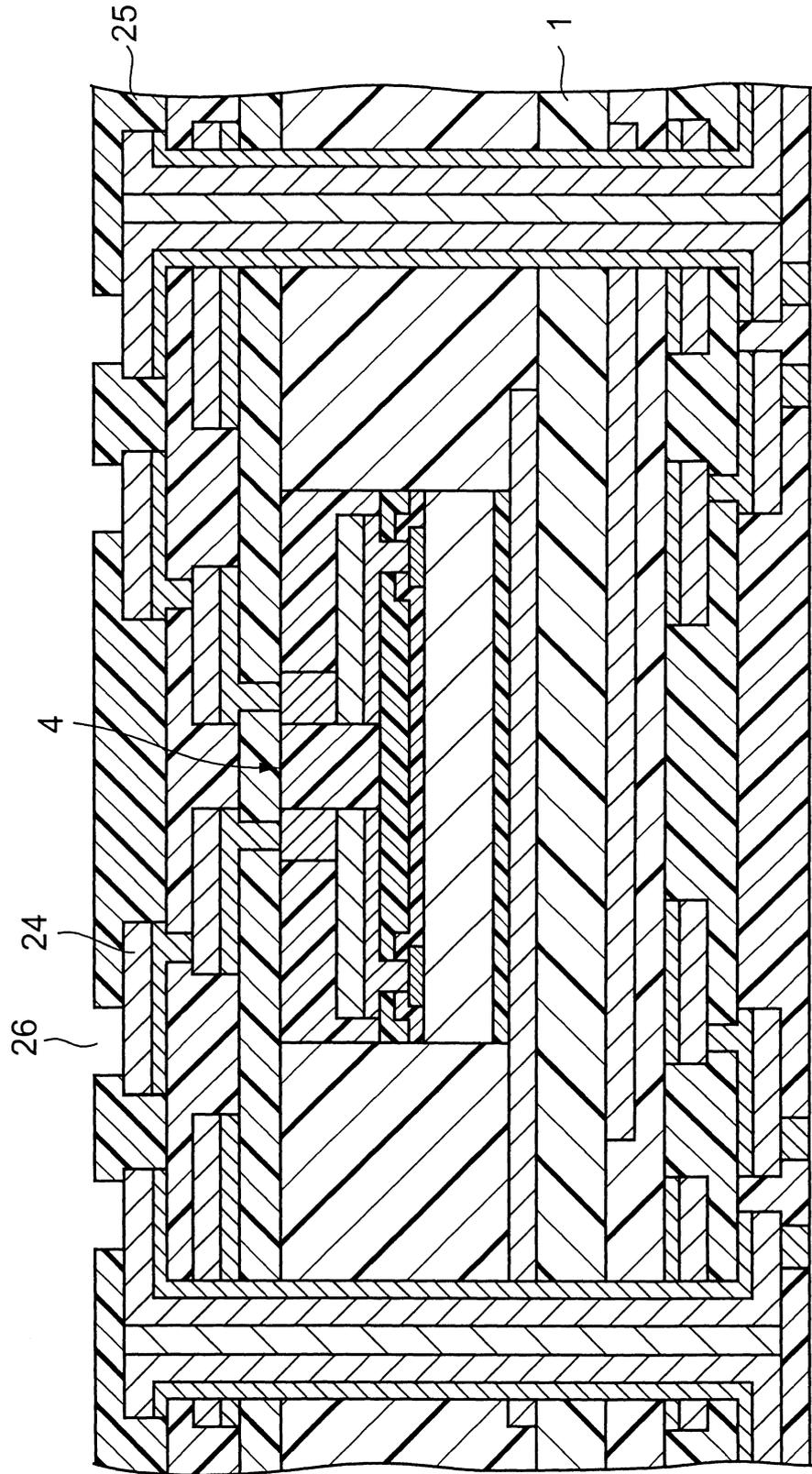
第 21 圖



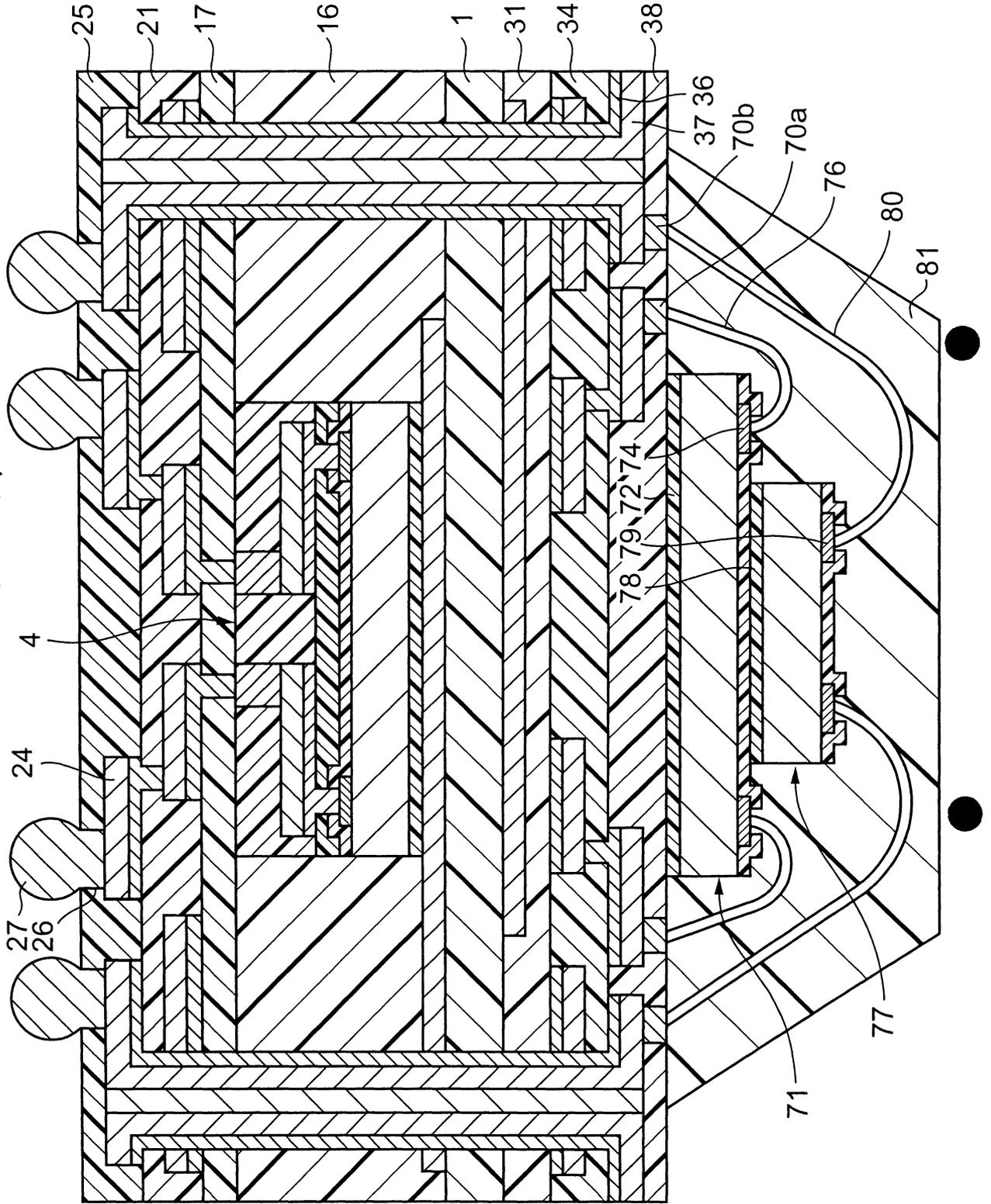
第 22 圖



第 23 圖

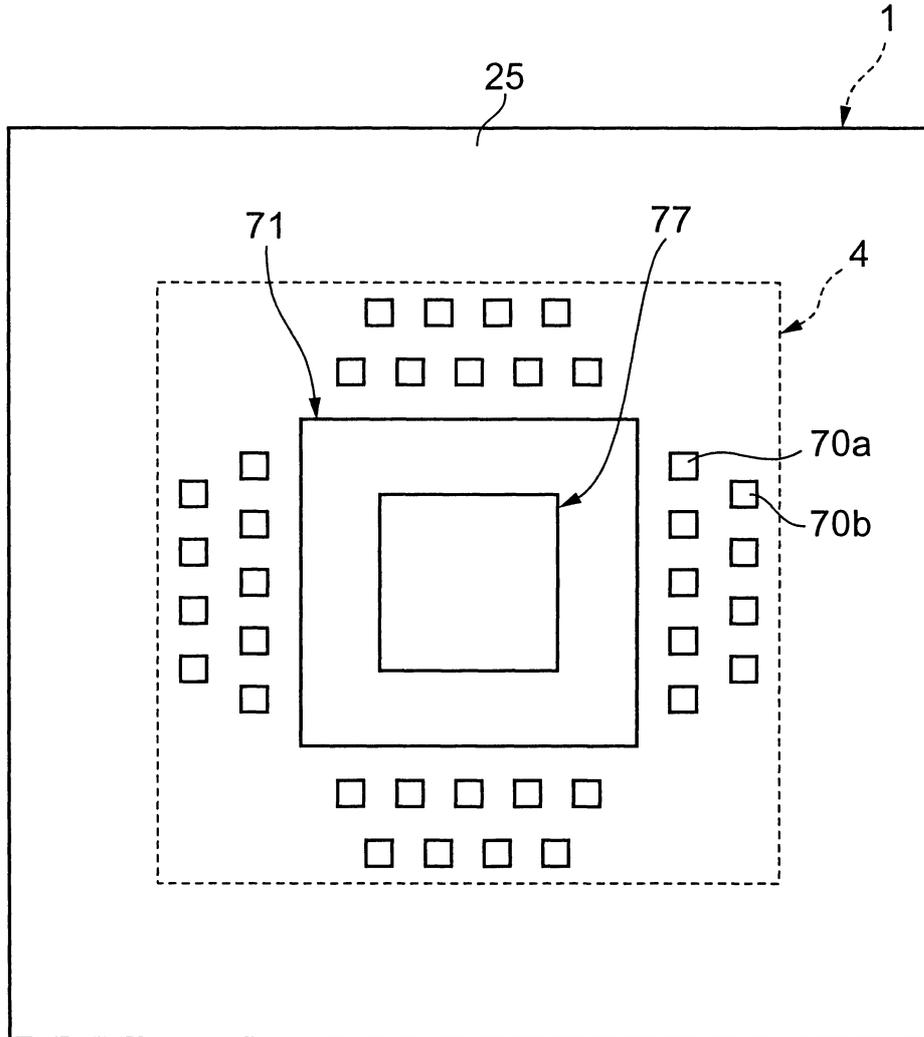


第 24 圖

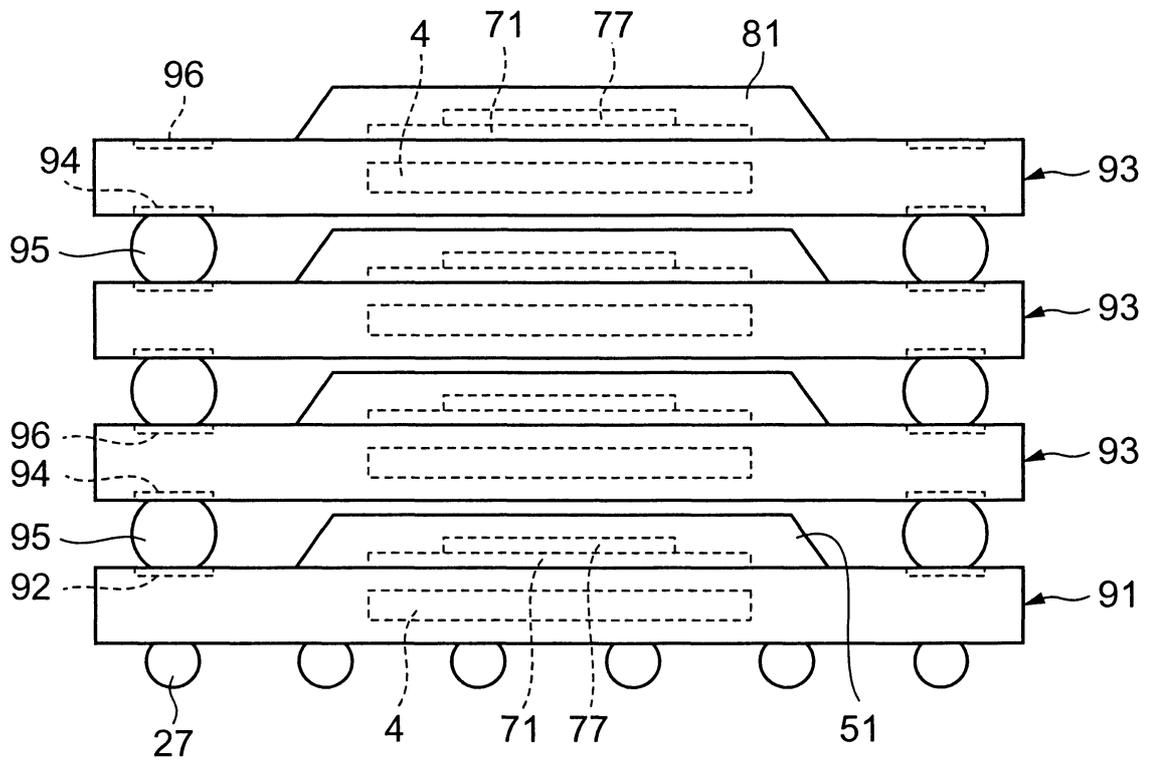




第 26 圖



第 27 圖



七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

- |      |                  |
|------|------------------|
| 1    | 底板               |
| 2    | 上層配線             |
| 3    | 下層配線             |
| 4    | 半導體結構體(第1半導體結構體) |
| 5    | 接著層              |
| 6    | 矽基板              |
| 7    | 連接墊              |
| 8    | 絕緣膜              |
| 9、11 | 開口部              |
| 10   | 保護膜              |
| 12   | 基底金屬層            |
| 13   | 再配線              |
| 14   | 柱狀電極             |
| 15   | 封止膜              |
| 16   | 絕緣層              |
| 17   | 第1上層絕緣膜          |
| 18   | 開口部              |
| 19   | 第1上層基底金屬層        |
| 20   | 第1上層再配線          |
| 21   | 第2上層絕緣膜          |
| 22   | 開口部              |
| 23   | 第2上層基底金屬層        |
| 24   | 第2上層再配線、上層配線     |
| 25   | 最上層絕緣膜           |
| 26   | 開口部              |

- 27 焊錫球
- 31 第 1 下層絕緣膜
- 32 第 1 下層基底金屬層
- 33 第 1 下層再配線
- 34 第 2 下層絕緣膜
- 35 開口部
- 36 第 2 下層基底金屬層
- 37 第 2 下層再配線
- 38 最下層絕緣膜
- 39 開口部
- 40 半導體結構體(第 2 半導體結構體)
- 41 焊錫球
- 42 貫通孔
- 43 上下導通部
- 43 a 基底金屬層
- 43 b 銅層
- 44 導電材

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：