

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication : 2 648 609

(à n'utiliser que pour les
commandes de reproduction)

②1 N° d'enregistrement national : 89 08625

⑤1 Int Cl⁸ : G 11 C 5/14.

①2 DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 28 juin 1989.

③0 Priorité : KR, 2 mai 1989, n° 5915/1989.

④3 Date de la mise à disposition du public de la
demande : BOPI « Brevets » n° 51 du 21 décembre 1990.

⑥0 Références à d'autres documents nationaux appa-
rentés :

⑦1 Demandeur(s) : Société dite : SAMSUNG ELECTRONICS
CO., LTD. — KR.

⑦2 Inventeur(s) : Byung-Yoon Kim.

⑦3 Titulaire(s) :

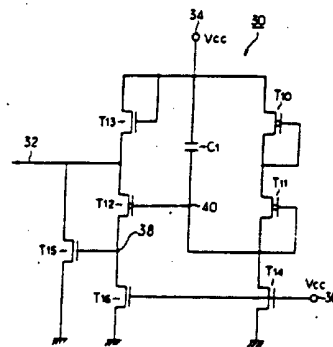
⑦4 Mandataire(s) : Cabinet Bonnet-Thirion.

⑤4 Circuit suiveur de tension de source d'alimentation pour la stabilisation de lignes de bit d'une mémoire.

⑤7 L'invention concerne les mémoires à semi-conducteurs.

Un circuit suiveur de tension de source d'alimentation, destiné à fournir une tension donnée qui est inférieure à une tension de source d'alimentation, comprend un premier nœud 34 destiné à recevoir une tension de source d'alimentation Vcc, un second nœud 40 et une ligne de sortie 32, des moyens de charge T13 connectés entre le premier nœud et la ligne de sortie pour précharger cette dernière à la tension donnée, des moyens C1, T10, T11 connectés entre le premier nœud et le second nœud pour charger ce dernier, et des moyens T12, T15, T16 qui déchargent la ligne de sortie pour la faire passer à la tension donnée sous l'effet de la tension de charge du second nœud.

Application aux mémoires vives statiques.



FR 2 648 609 - A1

La présente invention concerne un circuit suiveur de tension de source d'alimentation. Elle porte en particulier sur un circuit qui fournit une tension stabilisée en suivant des fluctuations de tension.

5 Un dispositif de mémoire vive statique (ou SRAM) utilise la technique consistant à précharger des lignes de bit pendant une opération de lecture, et avec cette technique, la tension de ses lignes de bit effectue une excursion dans les limites d'environ 1 volt au-dessous de
10 la tension de la source d'alimentation.

En considérant la figure 1, on voit un transistor de charge T8 consistant en un transistor à effet de champ MOS à canal N, connecté en diode, qui est branché entre une tension de source d'alimentation Vcc et une ligne
15 de précharge 28, pour précharger la ligne de précharge 28 avec une tension Vcc-VTH (on désigne par VTH une tension de seuil du transistor de charge T8).

Chaque paire de lignes de bit (BL_1 , $\overline{BL_1}$) (BL_n , $\overline{BL_n}$) est connectée à la ligne de précharge 28 par l'inter-
20 médiaire d'un circuit d'égalisation 14 qui comprend des transistors à effet de champ MOS à canal P T1-T3, qui sont activés par des impulsions d'égalisation ϕ_B , et des transistors à effet de champ MOS à canal P T4, T5, qui sont dans l'état conducteur au repos.

25 Entre des paires de lignes de bit, un ensemble de cellules de mémoire 10 sont disposées sous la forme d'une matrice arrangée en rangées et en colonnes, et les cellules de mémoire qui se trouvent dans la même rangée sont activées par des impulsions de rangée ϕ_{WL} . Chaque
30 paire de lignes de bit est connectée à des lignes de données DL, \overline{DL} qui sont connectées à un amplificateur de lecture 12 par l'intermédiaire de transistors série T6, T7 qui consistent en transistors à effet de champ MOS à canal P. Les transistors série T6, T7 connectés à chaque paire
35 de lignes de bit sont activés par des impulsions de colonne

CD1, CDn qui sont fournies par un décodeur de colonne.

Pendant un cycle de lecture, les paires de lignes de bit ($BL_1, \overline{BL_1}$) ($BL_n, \overline{BL_n}$) sont préchargées et égalisées avec la tension $V_{cc-V_{TH}}$, par un transistor T8 et un circuit 5 d'égalisation 14. Ensuite, des données enregistrées dans les cellules de mémoire 10 sont lues et transmises à des paires de lignes de bit par une impulsion de rangée ϕ_{WL} , et les données lues sont transmises vers une paire de lignes de données DL, \overline{DL} , par l'intermédiaire d'une paire de 10 transistors série qui sont activés par une impulsion de colonne, et ces données sont amplifiées par un amplificateur de lecture 12. Les transistors T4, T5 sont toujours à l'état conducteur, de façon à empêcher que la tension des paires de lignes de bit ne présente une excursion excessive 15 pendant le cycle de lecture des cellules de mémoire 10. Ce mécanisme de précharge permet à l'amplificateur de lecture de fonctionner efficacement en ce qui concerne le temps de lecture et l'amplification.

Cependant, lorsque la tension de source d'alimentation 20 V_{cc} augmente au cours de ses fluctuations, la tension de précharge des paires de lignes de bit augmente d'une valeur qui correspond à l'augmentation de la tension de la source d'alimentation. Ensuite, si la tension de la source d'alimentation V_{cc} tombe à la tension de source 25 d'alimentation normale ou au-dessous de celle-ci, la tension qui est préchargée sur les paires de lignes de bit reste égale à la tension de précharge accrue. Même si en pratique une décharge se produit par des cellules de mémoire qui sont connectées entre les paires de lignes de 30 bit, une longue durée est nécessaire pour obtenir une décharge jusqu'à la tension de précharge qui suit les fluctuations de la tension de la source d'alimentation. Il en résulte que la tension de paires de lignes de données DL, \overline{DL} pendant une opération de lecture de données est 35 plus élevée que la tension de la source d'alimentation

Vcc, et l'opération de lecture de l'amplificateur de lecture 12 est ainsi perturbée.

L'invention a donc pour but de procurer un circuit suiveur de tension de source d'alimentation, pour résoudre le problème qui est décrit ci-dessus.

Un autre but de l'invention est de procurer un circuit suiveur de tension de source d'alimentation qui fournisse une tension nécessaire, en fonction de fluctuations de la tension de source d'alimentation.

Pour atteindre les buts qui sont indiqués ci-dessus, un circuit suiveur de tension de source d'alimentation, destiné à fournir une tension donnée qui est inférieure à la tension de source d'alimentation, comprend un premier noeud prévu pour l'application d'une tension de source d'alimentation, un second noeud et une ligne de sortie, des moyens de charge connectés entre le premier noeud et la ligne de sortie pour précharger la ligne de sortie avec la tension donnée, des moyens connectés entre le premier noeud et le second noeud pour charger le second noeud, et des moyens qui déchargent la ligne de sortie jusqu'à la tension donnée, sous la dépendance de la tension de charge du second noeud.

D'autres caractéristiques et avantages de l'invention seront mieux compris à la lecture de la description qui va suivre d'un mode de réalisation, donné à titre d'exemple non limitatif. La suite de la description se réfère aux dessins annexés sur lesquels :

La figure 1 est un schéma de circuit d'une cellule de mémoire vive statique de type classique; et

La figure 2 est un schéma du circuit suiveur de tension de source d'alimentation conforme à l'invention.

En considérant la figure 2, on note que la ligne de sortie 32 est connectée à la ligne de précharge 28 de la figure 1, et qu'un transistor à effet de champ MOS à canal N T13 est un transistor de charge identique au tran-

sistor T8 de la figure 1. La tension de source d'alimentation normale est une tension classique qui est utilisée dans un dispositif de mémoire habituel. On utilisera à titre d'exemple une tension de 16 V. Les transistors T13 à T16 sont des transistors à effet de champ MOS à canal N, et les substrats de ces transistors sont connectés à la masse. Les transistors T10 à T12 sont des transistors à effet de champ MOS à canal P, et les substrats de ces transistors sont connectés à la tension de source d'alimentation Vcc. Le canal drain-source du transistor T15 est connecté entre la ligne de sortie 32 et la masse, et les transistors T12, T16, avec leurs canaux drain-source connectés en série par l'intermédiaire d'un noeud de connexion 38, sont également connectés en parallèle avec le transistor T15 entre la ligne de sortie 32 et la masse. Le noeud de connexion 38 est connecté à la grille du transistor T15. Un condensateur C1 et des transistors connectés en diodes, T10, T11, sont connectés en parallèle entre le premier noeud, qui fournit la tension de source d'alimentation, et le second noeud; et ces transistors connectés en diodes T10, T11 sont connectés mutuellement en série. Le canal drain-source d'un transistor T14 est connecté entre le second noeud et la masse. La grille du transistor T12 est connectée à un second noeud 40, et les grilles des transistors T14, T16 sont connectées à la tension de source d'alimentation Vcc par l'intermédiaire d'un troisième noeud 36. Le condensateur C1 est prévu pour transmettre immédiatement au second noeud des variations transitoires de la tension de source d'alimentation, et les transistors T10, T11 sont prévus pour charger le second noeud 40 à une tension donnée, à savoir la valeur qu'on obtient en soustrayant de la tension de source d'alimentation Vcc la somme des tensions de seuil des transistors T10, T11, après l'écoulement de la durée nécessaire pour la transition de la tension de source d'alimentation.

mention Vcc. La partie qui comprend les transistors T12, T15, T16 est destinée à décharger la tension qui est chargée sur la ligne de sortie 32, conformément à la tension qui est appliquée au second noeud 40. Le transistor T16 est prévu pour décharger la tension qui est chargée au noeud de connexion 38, et le transistor T14 est prévu pour transmettre le bruit qui est appliqué au second noeud 40. En ce qui concerne le rapport entre la largeur et la longueur de canal des transistors T16, T14, on le choisit avec une valeur suffisamment faible pour ne pas décharger rapidement la tension de charge présente sur les noeuds 38, 40.

La taille du transistor T14 peut être très inférieure à celle du transistor T16 et, si nécessaire, on peut ne pas utiliser le transistor T14. Au contraire, le transistor de charge T13 a une taille suffisamment grande pour fournir un courant qui charge des paires de lignes de bit, et la taille du transistor T15 est choisie de façon à décharger la tension présente sur la ligne de sortie 32, pour lui donner une valeur désirée en une durée fixée, au moment où ce transistor devient conducteur, et elle est inférieure à la taille du transistor T13 pour éviter une décharge excessive.

On va maintenant décrire le fonctionnement du circuit suiveur de tension de source d'alimentation conforme à l'invention. Une tension de seuil de chaque transistor qui sera spécifiée ci-après consiste en une valeur absolue. En présence de la tension de source d'alimentation normale NVcc, la ligne de sortie 32 est chargée par la tension NVcc-VTH13. On désigne ici par VTH13 la tension de seuil du transistor T13. La tension du second noeud 40 est chargée à la valeur (NVcc-VTH10-VTH11) par l'intermédiaire des transistors T10, T11. On désigne ici par VTH10 et VTH11 les valeurs absolues des tensions de seuil des transistors T10, T11. Du fait que la tension entre la

grille et la source du transistor T12 est inférieure à sa tension de seuil, à cause de la tension qui est chargée sur le second noeud 40, le transistor T12 est bloqué et le transistor T15 est également bloqué.

5 Ensuite, lorsque la tension de source d'alimentation V_{cc} augmente de façon abrupte de la valeur ΔV_H , à partir de la tension de source d'alimentation normale NV_{cc} , la tension accrue apparaît immédiatement sur le second noeud 40, par l'intermédiaire du condensateur C1,
10 mais le transistor T12 reste à l'état bloqué. Le transistor T15 est également bloqué. Ensuite, la ligne de sortie 32 est chargée par $(NV_{cc} - V_{TH13} + \Delta V_H)$, et le noeud 40 est chargé par $(NV_{cc} - V_{TH11} + \Delta V_H)$, par l'intermédiaire des transistors T10, T11. Les transistors T12, T15 restent
15 donc bloqués.

Lorsque la tension accrue $(NV_{cc} + \Delta V_H)$ diminue de façon abrupte de la valeur ΔV_L , à un certain instant, la tension réduite est immédiatement appliquée au second noeud 40. Si ΔV_L a une valeur suffisante qui permet à la tension grille-source d'être supérieure à la
20 tension de seuil du transistor T12, ce dernier deviendra conducteur et, sous l'effet de la tension qui est chargée au noeud de connexion 38 par l'intermédiaire du transistor T12, le transistor T15 deviendra également conducteur.
25 Ensuite, la ligne de sortie 32 est déchargée à $(NV_{cc} - V_{TH13} + \Delta V_H - \Delta V_L)$ par le passage du transistor T15 à l'état conducteur, et le second noeud est stabilisé à $(NV_{cc} - V_{TH10} - V_{TH11} + \Delta V_H - \Delta V_L)$, par l'intermédiaire des transistors T10, T11. A ce moment, le transistor T12 est bloqué
30 et le transistor T15 est également bloqué. La ligne de sortie 32 peut donc être chargée à tout moment avec une tension qui est inférieure à la tension de source d'alimentation, avec un écart égal à la tension de seuil du transistor de charge T13, en suivant les fluctuations de
35 la tension de source d'alimentation.

L'homme de l'art comprendra aisément qu'on peut obtenir un tel résultat, même pour de faibles fluctuations de la tension de source d'alimentation, en minimisant la différence entre la tension grille-source et la tension de 5 seuil du transistor T12.

Comme décrit ci-dessus, lorsqu'on utilise dans une mémoire vive statique le circuit suiveur de tension de source d'alimentation qui est considéré ici, l'amplificateur de lecture peut accomplir correctement son opération 10 de lecture des données, indépendamment des fluctuations de la source de tension d'alimentation.

Il va de soi que de nombreuses modifications peuvent être apportées au dispositif et au procédé décrits et représentés, sans sortir du cadre de l'invention.

REVENDICATIONS

1. Circuit suiveur de tension de source d'alimentation, destiné à fournir une tension donnée inférieure à une tension d'alimentation, caractérisé en ce qu'il comprend : un premier noeud (34) destiné à recevoir la tension de source d'alimentation; un second noeud (40) et une ligne de sortie (32); des moyens de charge (T13) connectés entre le premier noeud (34) et la ligne de sortie (32), pour précharger la ligne de sortie (32) avec la tension donnée; des moyens (C1, T10, T11), connectés entre le premier noeud (34) et le second noeud (40) pour charger le second noeud (40); et des moyens (T12, T15, T16) qui déchargent la ligne de sortie (32) de façon à la faire passer à la tension donnée, sous l'effet de la tension à laquelle est chargé le second noeud (40).
2. Circuit suiveur de tension de source d'alimentation selon la revendication 1, caractérisé en ce que les moyens de charge consistent en un transistor à effet de champ MOS (T13) connecté en diode.
3. Circuit suiveur de tension de source d'alimentation selon la revendication 2, caractérisé en ce que les moyens de charge (T13) sont connectés en parallèle avec un condensateur et une paire de transistors à effet de champ MOS (T10, T11) connectés en diodes.
4. Circuit suiveur de tension de source d'alimentation selon la revendication 3, caractérisé en ce que les moyens de décharge comprennent : un transistor à effet de champ MOS à canal P (T12) dont le canal source-drain est connecté entre la ligne de sortie (32) et un noeud de connexion (38), et dont la grille est connectée au second noeud (40); un transistor à effet de champ MOS à canal N (T16), dont le canal drain-source est connecté entre le noeud de connexion (38) et la masse, et dont la grille est connectée à la tension de source d'alimentation (Vcc); et un transistor à effet de champ MOS à canal N (T15), dont

le canal drain-source est connecté entre la ligne de sortie (32) et la masse, et dont la grille est connectée au noeud de connexion (38).

5. Circuit suiveur de tension de source d'alimentation selon la revendication 4, caractérisé en ce qu'il comprend en outre un transistor à effet de champ MOS à canal N (T14) dont le canal drain-source est connecté entre le second noeud (40) et la masse, et dont la grille est connectée à la tension de source d'alimentation (Vcc).

10 6. Dispositif de mémoire vive, caractérisé en ce qu'il comprend : un ensemble de paires de lignes de bit ($BL1, \overline{BL1}, \dots, BLn, \overline{BLn}$) connectées à un ensemble de cellules de mémoire (10); des moyens (14) connectés entre chaque paire de lignes de bit ($BL1, \overline{BL1}, \dots, BLn, \overline{BLn}$) et
15 une ligne de précharge (28), pour égaliser ces paires de lignes de bit; des moyens de charge (T8, T13) connectés entre la tension de source d'alimentation (Vcc) et la ligne de précharge (28), pour précharger la ligne de précharge et les paires de lignes de bit ($BL1, \overline{BL1}, \dots, BLn, \overline{BLn}$)
20 avec une tension qui est inférieure d'une tension donnée à la tension de source d'alimentation; et des moyens connectés en parallèle avec les moyens de charge (T8, T13) pour fournir à la ligne de précharge (28) et aux paires de lignes de bit ($BL1, \overline{BL1}, \dots, BLn, \overline{BLn}$) une tension qui est
25 inférieure d'une tension donnée à une tension de source d'alimentation variable (Vcc).

7. Dispositif de mémoire vive selon la revendication 6, caractérisé en ce que les moyens de charge consistent en un transistor à effet de champ MOS (T8, T13)
30 connecté en diode, et la tension donnée est une tension de seuil de ce transistor.

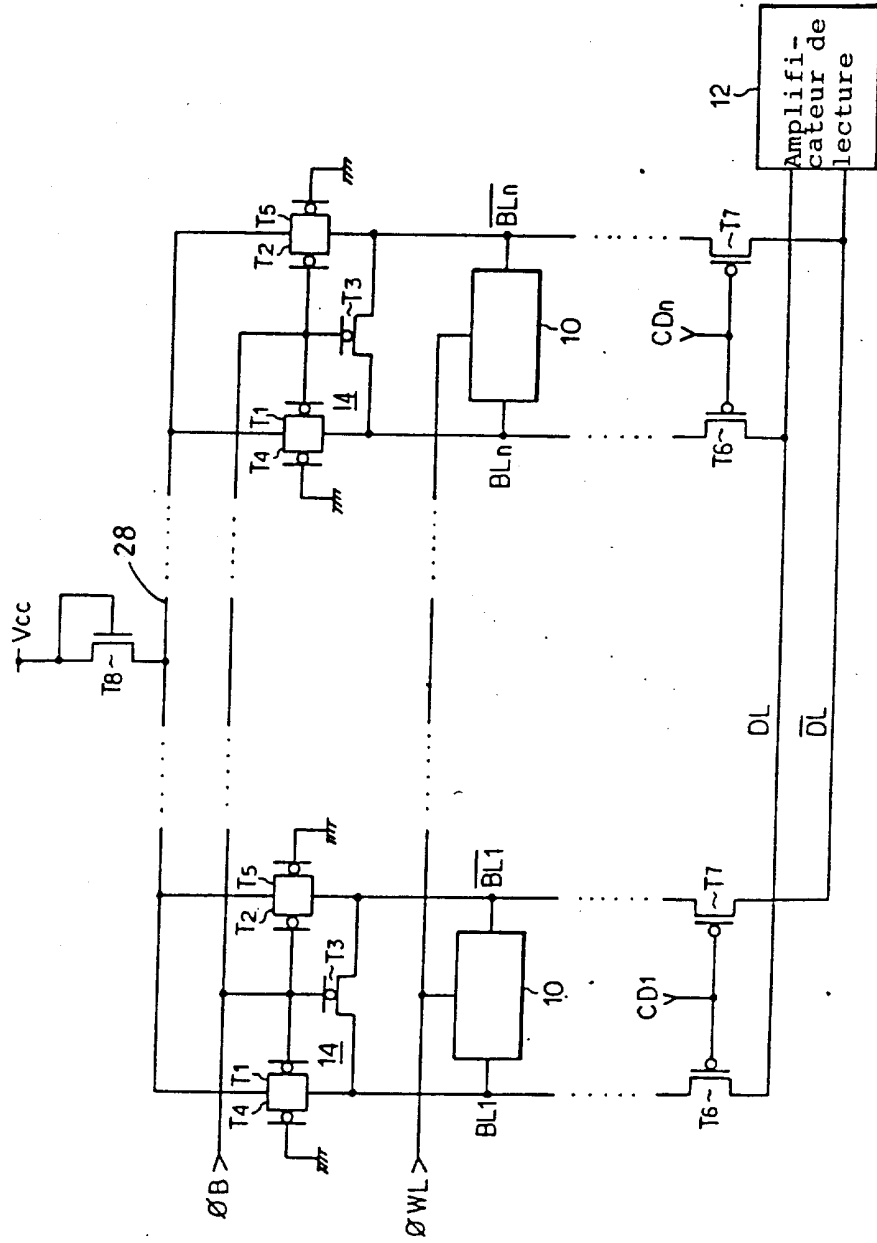


FIG.1

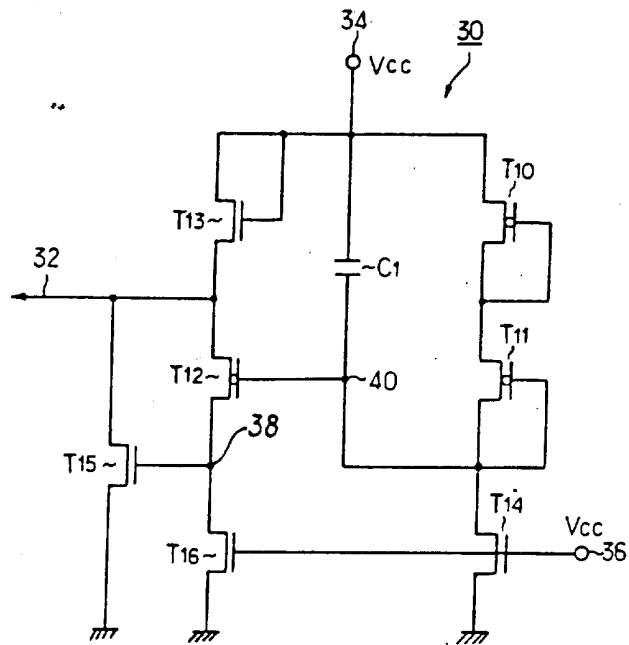


FIG. 2