[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
*H01L 29/786 (2006.01)*
*H01L 27/12 (2006.01)*
*H01L 21/336 (2006.01)*

[12] 发明专利说明书

专利号 ZL 200510129125.5

[45] 授权公告日 2009 年 12 月 2 日

[11] 授权公告号 CN 100565926C

[22] 申请日 2005.10.21
[21] 申请号 200510129125.5
[30] 优先权
[32] 2004.10.22 [33] JP [31] 2004 - 308029
[73] 专利权人 株式会社瑞萨科技
地址 日本东京都
[72] 发明人 平野有一 一法师隆志
[56] 参考文献
US6168979B1 2001.1.2
US6124192A 2000.9.26
US6127228A 2000.10.3
US2003/0102514A1 2003.6.5
审查员 李 勇

[74] 专利代理机构 中国专利代理(香港)有限公司
代理人 浦柏明 刘宗杰

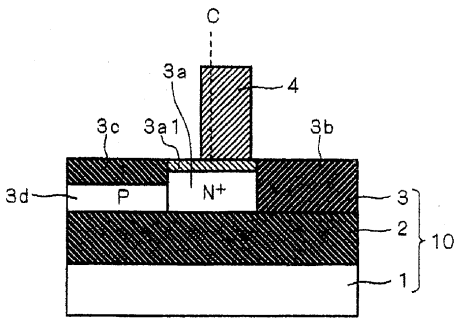
权利要求书 4 页 说明书 12 页 附图 16 页

[54] 发明名称

# 半导体器件、SRAM 以及半导体器件的制造方法

[57] 摘要

提供一种能够容易地在窄的有源区上设置接触部的工序的半导体器件和半导体器件等。本发明的半导体器件包括 SOI 衬底 10、有源区 3a、第一绝缘膜(完全分离绝缘膜)3b、第二绝缘膜(部分分离绝缘膜)3c 和接触部 4。这里，有源区 3a 形成在 SOI 层 3 的表面内。此外，第一绝缘膜 3b 在有源区 3a 的一侧形成，并且从 SOI 层 3 的表面形成至掩埋绝缘膜 2。此外，第二绝缘膜 3c 在有源区 3a 的另一侧形成，并且从 SOI 层 3 的表面开始形成至未到达掩埋绝缘膜 2 的预定深度。此外，根据平面视图，接触部 4 相对于有源区 3a 的中心在第一绝缘膜 3b 存在的一侧设置。



1．一种半导体器件，其特征在于，包括：

具有顺序层叠半导体支撑衬底和掩埋绝缘膜以及 SOI 层的结构的 SOI 衬底；

在所述 SOI 层表面内形成的有源区；

在与所述有源区接触的一侧，从所述 SOI 层表面开始至所述掩埋绝缘膜形成的第一绝缘膜；

在与所述一侧面对的所述有源区的另一侧，从所述 SOI 层表面开始至未到达所述掩埋绝缘膜的预定深度形成的第二绝缘膜；

在平面视图中，相对于所述有源区的中心在存在所述第一绝缘膜的一侧的所述有源区上设置的导体。

2．根据权利要求 1 所述的半导体器件，其特征在于，所述导体连接到所述有源区的上面部分和所述一侧。

3．根据权利要求 1 或 2 所述的半导体器件，其特征在于，从所述有源区的所述一侧到另一侧的宽度为所述导体直径的 2 倍或以下。

4．一种 SRAM，其特征在于，包括：

具有顺序层叠半导体支撑衬底和掩埋绝缘膜以及 SOI 层的结构的 SOI 衬底；

具有在所述 SOI 层表面内形成的第一有源区、在所述 SOI 层形成的存取晶体管；

在与所述第一有源区接触的一侧，从所述 SOI 层表面开始至所述掩埋绝缘膜形成的第一绝缘膜；

在与所述一侧面对的所述第一有源区的另一侧，从所述 SOI 层表面开始至未到达所述掩埋绝缘膜的预定深度形成的第二绝缘膜；

在平面视图中，相对于所述第一有源区的中心，在存在所述第一绝缘膜的一侧的所述第一有源区上设置的第一导体。

5．根据权利要求 4 所述的 SRAM，其特征在于，还包括：

具有在所述 SOI 层表面内形成的第二有源区、在所述 SOI 层形成的第一负载晶体管；

在所述第二有源区的一侧，从所述 SOI 层表面开始至所述掩埋绝缘膜形成的第三绝缘膜；

在与所述第二有源区的一侧面对的、所述第二有源区的另一侧，从所述 SOI 层的表面开始至未到达所述掩埋绝缘膜的预定深度形成的第四绝缘膜；

在平面视图中，相对于所述第二有源区的中心，在存在所述第三绝缘膜的一侧的所述第二有源区上设置的第二导体。

6．根据权利要求 5 所述的 SRAM，其特征在于，所述第二导体连接到所述第二有源区的上面部分和所述第二有源区的一侧。

7．根据权利要求 6 所述的 SRAM，其特征在于，还包括：

具有在所述 SOI 层表面内形成的第三有源区、在所述 SOI 层形成的第二负载晶体管；

在所述第三有源区的一侧，从所述 SOI 层表面开始至所述掩埋绝缘膜形成的所述第一绝缘膜；

在与所述第三有源区的一侧面对的、所述第二有源区的另一侧，从所述 SOI 层的表面开始至未到达所述掩埋绝缘膜的预定深度形成的所述第四绝缘膜；

在平面视图中，相对于所述第三有源区的中心，在存在所述第一绝缘膜一侧的所述第三有源区上设置的第三导体。

8．根据权利要求 5 所述的 SRAM，其特征在于，从所述第二有源区的所述一侧到另一侧的宽度是所述第二导体直径的 2 倍或以下。

9．根据权利要求 4 所述的 SRAM，其特征在于，还包括：

在所述 SOI 层表面内形成的第二、第三有源区；

在所述 SOI 层形成的、具有所述第二、第三有源区的第一、第二负载晶体管；

与所述第二有源区连接的第二导体；

与所述第三有源区连接的第三导体；

在与所述第二、第三导体连接的所述第二、第三有源区的部分中，在所述第二有源区部分的一侧，从所述 SOI 层表面开始至所述掩埋绝缘膜形成的第三绝缘膜；

在与所述第二有源区部分的一侧面对的、所述第三有源区的另一侧，从所述 SOI 层表面开始至所述掩埋绝缘膜形成的所述第一绝缘膜。

10. 根据权利要求 9 所述的 SRAM，其特征在于，还包括：

在所述第二有源区的与所述第二导体连接的部分以外的部分的一侧和与该一侧面对的另一侧，从所述 SOI 层表面开始至未到达所述掩埋绝缘膜的预定深度形成的第四绝缘膜；

在所述第四绝缘膜和所述掩埋绝缘膜之间存在的主体区，

在所述负载晶体管的栅极正下方存在的主体部与所述主体区连接。

11. 根据权利要求 10 所述的 SRAM，其特征在于，

还包括所述第二有源区的与所述第二导体连接的部分以外的部分及、与所述主体区连接的电源用导体，

所述主体区和在与所述主体区连接的所述负载晶体管的栅极正下方存在的主体部固定在预定的电位。

12. 根据权利要求 4 所述的 SRAM，其特征在于，所述第一导体连接到所述第一有源区的上面部分和所述一侧面。

13. 根据权利要求 12 所述的 SRAM，其特征在于，还包括：

具有在所述 SOI 层表面内形成的第二有源区、在所述 SOI 层形成的第一负载晶体管；

在所述第二有源区的一侧、从所述 SOI 层表面开始至所述掩埋绝缘膜形成的第三绝缘膜；

在与所述第二有源区的一侧面对的所述第二有源区的另一侧，从所述 SOI 层表面开始至未到达所述掩埋绝缘膜的预定深度形成的第四绝缘膜；

在平面视图中，相对于所述第二有源区的中心，在存在所述第三绝缘膜的一侧的所述第二有源区上设置的第二导体。

14. 根据权利要求 13 所述的 SRAM，其特征在于，所述第二导体连接到所述第二有源区的上面部分和所述第二有源区的一侧。

15. 根据权利要求 14 所述的 SRAM，其特征在于，从所述第二有源区的所述一侧到所述另一侧的宽度为所述第二导体直径的 2 倍或以下。

16. 根据权利要求 4 所述的 SRAM，其特征在于，从所述第一有源区的所述一侧到另一侧的宽度为所述第一导体直径的 2 倍或以下。

17. 根据权利要求 4 所述的 SRAM，其特征在于，还包括：

在所述 SOI 层表面内形成的第二和第三有源区；

在所述 SOI 层表面内形成的、具有所述第二和第三有源区的第一和第二负载晶体管；

和所述第二有源区连接的第二导体；

和所述第三有源区连接的第三导体；

在和所述第三导体连接的所述第三有源区中，在该第三有源区的一侧，从所述 SOI 层的表面开始至所述掩埋绝缘膜形成的所述第一绝缘膜；

在与所述第三有源区的一侧面对的所述第三有源区的另一侧，从所述 SOI 层表面开始至未到达所述掩埋绝缘膜的预定深度形成的第四绝缘膜；

在所述第二有源区的与所述第二导体连接的该第二有源区的一侧所面对的另一侧，从所述 SOI 层表面开始至未到达所述掩埋绝缘膜的预定深度形成的第四绝缘膜；

在所述第四绝缘膜和所述掩埋绝缘膜之间存在的主体区。

18．根据权利要求 17 所述的 SRAM，其特征在于，在平面视图中，所述第四绝缘膜在所述第一、第二负载晶体管的栅极两侧形成。

19．一种半导体器件的制造方法，其特征在于，包括：

（a）准备具有顺序层叠半导体支撑衬底和掩埋绝缘膜以及 SOI 层的结构的 SOI 衬底的工序；

（b）在所述 SOI 层的表面内形成有源区的工序；

（c）在所述有源区的一侧，从所述 SOI 层的表面开始至所述掩埋绝缘膜形成第一绝缘膜的工序；

（d）在与所述有源区的一侧面对的所述有源区的另一侧，从所述 SOI 层的表面开始至未到达所述掩埋绝缘膜的预定深度形成第二绝缘膜的工序；

（e）在平面视图中，以相对于所述有源区的中心存在所述第一绝缘膜的一侧的所述有源区上为目标，设置导体的工序。

# 半导体器件、SRAM 以及半导体器件的制造方法

## 技术领域

本发明涉及半导体器件、SRAM 及半导体器件的制造方法，尤其涉及具有有源区和与该有源区连接的接触（contact）部的半导体器件、SRAM 以及半导体器件的制造方法。

## 背景技术

一直以来就存在在 SOI 衬底上形成晶体管的技术（非专利文献 1）。

在非专利文献 1 的发明中，构成晶体管的有源区被部分分离绝缘膜包围。此外，在有源区上连接接触部。

然而，在有源区上连接接触部的工序中，由于与叠加偏差等，接触部从原有源区位置错开形成。

非专利文献 1：Y. Hirano 等编著的“Bulk-Layou-Compatible 0.18μm SOI-CMOS Technology Using Body-Fixed Partial Trench Isolation(PTI)”，1999 IEEE International SOI Conference，1999 年 10 月，第 131-132 页。

随着半导体器件的微型化，具有缩小有源区宽度的趋势。但是，如果缩小有源区的宽度，由于所述重叠等，接触部超出有源区之外形成的可能性增高。

假如这样，一旦接触部形成得从有源区超出，接触部的一部分就会和 SOI 层内的主体部连接。这样，在接触部和主体部之间产生漏电流。

为了抑制该漏电流的产生，需要精度高的接触部、在窄有源区上设置接触部。这是半导体器件制造困难的主要原因。

## 发明内容

本发明的目的是提供一种能够容易地进行在窄的有源区上设置接触部的工序的半导体器件、SRAM 以及半导体器件的制造方法。

为了实现所述目的，本发明的技术方案 1 所述的半导体器件包括：具有顺序层叠半导体支撑衬底和掩埋绝缘膜以及 SOI 层的结构的 SOI 衬底；在所述 SOI

层表面内形成的有源区；在所述有源区的一侧从所述 SOI 层表面开始至所述掩埋绝缘膜形成的第一绝缘膜；在与所述一侧面对的所述有源区的另一侧，从所述 SOI 层表面开始至未到达所述掩埋绝缘膜的预定深度形成的第二绝缘膜；在平面视图中，相对于所述有源区的中心，在存在所述第一绝缘膜的一侧的所述有源区上设置的接触部。

此外，在本发明的技术方案 4 中所述的 SRAM 包括：具有顺序层叠半导体支撑衬底和掩埋绝缘膜以及 SOI 层的结构的 SOI 衬底；具有在所述 SOI 层表面内形成的第一有源区、在所述 SOI 层中形成的存取晶体管；在所述第一有源区的一侧从所述 SOI 层表面开始至所述掩埋绝缘膜形成的第一绝缘膜；在与所述一侧面对的所述第一有源区的另一侧，从所述 SOI 层表面开始至未到达所述掩埋绝缘膜的预定深度形成的第二绝缘膜；在平面视图中，相对于所述第一有源区的中心，在存在所述第一绝缘膜的一侧的所述第一有源区上设置的第一接触部。

此外，本发明的技术方案 13 所述的半导体器件的制造方法，包括下列工序：（a）准备具有顺序层叠半导体支撑衬底和掩埋绝缘膜以及 SOI 层的结构的 SOI 衬底；（b）在所述 SOI 层的表面内形成有源区；（c）在所述有源区的一侧，从所述 SOI 层的表面开始至所述掩埋绝缘膜形成第一绝缘膜；（d）在与所述一侧面对的所述有源区的另一侧，从所述 SOI 层的表面开始至未到达掩埋绝缘膜的预定深度形成第二绝缘膜；（e）在平面图中，以相对于所述有源区的中心，在所述第一绝缘膜存在一侧的所述有源区为目标，设置接触部。

附图说明

图 1 是表示实施方式 1 的半导体器件结构的平面图。

图 2 是表示实施方式 1 的半导体器件结构的剖面图。

图 3 是表示有问题的半导体器件结构的平面图。

图 4 是表示有问题的半导体器件结构的剖面图。

图 5 是说明半导体器件的问题点的剖面图。

图 6 是表示实施方式 1 的半导体器件的其它结构例的平面图。

图 7 是表示实施方式 1 的半导体器件的其它结构例的剖面图。

图 8 是说明实施方式 1 的半导体器件的制造方法的工序剖面图。

图 9 是说明实施方式 1 的半导体器件的制造方法的工序剖面图。

图 10 是说明实施方式 1 的半导体器件的制造方法的工序剖面图。

图 11 是说明实施方式 1 的半导体器件的制造方法的工序剖面图。

图 12 是说明实施方式 1 的半导体器件的制造方法的工序剖面图。

图 13 是说明实施方式 1 的半导体器件的制造方法的工序剖面图。

图 14 是说明实施方式 1 的半导体器件的制造方法的工序剖面图。

图 15 是说明实施方式 1 的半导体器件的制造方法的工序剖面图。

图 16 是说明实施方式的半导体器件的制造方法的工序剖面图。

图 17 是说明实施方式 1 的半导体器件的制造方法的工序剖面图。

图 18 是说明实施方式 1 的半导体器件的制造方法的工序剖面图。

图 19 是表示实施方式 2 的 SRAM 结构的平面图。

图 20 是表示实施方式 2 的 SRAM 结构的电路图。

图 21 是表示实施方式 2 的 SRAM 的其它结构例的一部分的平面图。

图 22 是表示实施方式 2 的 SRAM 的其它结构例的一部分的平面图。

图 23 是表示实施方式 3 的 SRAM 的结构的平面图。

图 24 是表示实施方式 3 的 SRAM 的其它结构例的平面图。

图 25 是表示实施方式 3 的 SRAM 的其它结构例的平面图。

图 26 是表示实施方式 4 的 SRAM 的结构的平面图。

图 27 是表示实施方式 5 的 SRAM 结构的平面图。

图 28 是表示实施方式 6 的 SRAM 结构的平面图。

图 29 是表示实施方式 6 的 SRAM 结构的剖面图。

符号说明：1、半导体支撑衬底；2、掩埋绝缘膜；3、SOI 层；3a、有源区；3b、完全分离绝缘膜；3c、部分分离绝缘膜；3d、主体区；3a1、硅化物膜；4、4g、接触部；4s、共享接触部；5、栅极；10、SOI 衬底；Tr1、Tr2 存取晶体管；Tr3、Tr4 负载晶体管；Tr5、Tr6 驱动晶体管；41、电源用接触部。

具体实施方式

下面基于附图具体描述本发明的实施方式。

实施方式 1

<结构>

图1示出了关于实施方式1的半导体器件（晶体管）的结构的平面图。图2是表示图1的II-II剖面结构的剖面图。

如图1、2所示，在SOI（Semiconductor On Insulator，绝缘体上的半导体）衬底10上形成晶体管。这里，SOI衬底10由半导体支撑衬底1、掩埋绝缘膜2和SOI层3构成。

具体地说，如图2所示，在半导体支撑衬底1上形成掩埋绝缘膜2。在掩埋绝缘膜2上形成SOI层3。

在SOI层3的表面内，形成N+型有源区3a。这里，如图2所示，有源区3a从SOI层3的表面至掩埋绝缘膜2被形成。此外，有源区上面的一部分形成了硅化钴膜等硅化物膜3a1。下面，称作含有硅化物膜3a1的有源区3a（图1中省略了硅化物膜3a1）。

此外，在SOI层3上，形成分离如图所示的晶体管和其它的半导体元件（未示出）的完全分离绝缘膜（可以理解为第一绝缘膜）3b和部分分离绝缘膜（可以理解为第二绝缘膜）3c。

如图1、2所示，部分分离绝缘膜3b接着有源区3a的一侧形成。此外，如图2所示，完全分离绝缘膜3b从SOI层3的表面开始至掩埋绝缘膜2被形成。

此外，如图1、2所示，部分分离绝缘膜3c与面对有源区3a的一侧、有源区3a的另一侧的一部分相接形成。此外，如图2所示，部分分离绝缘膜3c从离SOI层3的表面开始至预定的深度（没有到达掩埋绝缘膜2的深度）形成。

如图2所示，在部分分离绝缘膜3c的下面和掩埋绝缘膜2的上面之间，形成P型主体区3d。这里，在工作时，主体区3d固定在预定的电位。

此外，如图1、2所示，接触部4与有源区3a的上面连接。这里，相对于有源区的中心（图中的虚线C），接触部4设置在完全分离绝缘膜3b侧。

而且，如图1所示，在SOI层3上，设置栅电极5。由栅电极5和有源区3a形成晶体管。

由于所述结构，根据本实施方式的半导体器件具有下列效果。在说明效果之前，首先阐述包括下列结构的半导体器件（晶体管）所具有的问题。

图3是表示具有问题的半导体器件（晶体管）的结构的平面图。图4是图

3 的 IV-IV 剖面的结构的剖面图。

如图 3、4 所示，在 SOI 层 3 内，在有源区 3a 的两侧形成部分分离绝缘膜 3c。然后，如图 4 所示，在各个部分分离绝缘膜 3c 的下面和掩埋绝缘膜 2 的上面之间，分别形成主体区 3d。

另外，接触部 4 与有源区 3a 上部连接。这里，接触部 4 的中心按照与有源区 3a 的中心（图中的虚线 C）一致设计半导体器件。

但是，设置实际的接触部 4 时，由于叠加偏移等，存在从有源区 3a 的中心偏移形成接触部 4 的可能性。在有源区 3a 的宽度与接触部 4 的直径相比足够大的情况下，即使稍微产生偏移，接触部 4 也必然设置在有源区 3a 上。

然而，在有源区 3a 的宽度（b）是接触部 4 的直径（a）的 2 倍或以下的情况下（$b \leq 2a$），设置接触时产生叠加偏移等。这样，如图 5 所示，接触部 4 形成到有源区 3a 之外。而且，该接触部 4 贯通部分分离绝缘膜 3c，与主体区 3d 连接。

因此，由于接触部 4 和主体区 3d 连接，因此在接触部 4 和主体区 3d 之间产生漏电流。为了防止产生漏电流，必须仅在狭窄的有源区 3a 上设置接触部 4。该制造工序也极其困难。

但是，应用本实施方式中的半导体器件，能够容易地在窄的有源区 3a 设置接触部 4。

简言之，在有源区 3a 上设置接触部 4 时，接触部 4 以相对于有源区 3a 的中心向完全分离绝缘膜 3b 侧偏移的有源区 3a 上的位置为目标进行配置。

这样，在有源区 3a 上，在部分分离绝缘膜 3c 侧，能够得到大的接触裕度。此外，如图 6、7 所示，由于叠加偏移等，接触部 4 从有源区 3a 超出完全分离绝缘膜侧形成。

但是，在该超出方向，由于仅形成了完全分离绝缘膜 3b，因此接触部 4 和主体部 3d 不连接。

这里，图 6 是表示接触部 4 从有源区超出状态的平面图，图 7 是表示图 6 的 VII-VII 剖面的剖面图。

如上所述，勿庸置疑通过采用作为本实施方式的半导体器件的结构，不必严格控制接触部 4 的设置精度，使接触部 4 的设置工序容易。

尤其是，在所述 $b \leq 2a$ 的关系成立的情况下，本发明更有效。

另外，在本实施方式中，不仅仅是图2所示的结构，从一开始就采用图6、7所示的结构也能达到目的。

如图6、7所示，在采用接触部4在从有源区3a超出完全分离绝缘膜侧的结构情况下，不言而喻，与所述相同，接触部4的设置工序容易。

这是因为在所述同样的有源区3a上，由于在部分分离绝缘膜3c侧能够得到大的接触裕度，此外，由于叠加偏移，即使接触部4与图6、7所示的位置相比在完全分离绝缘膜3b侧错开设置，接触部4也不会与主体部3d相接。

此外，通过图1所示的结构可以看出，和栅电极5连接的接触部4g在部分分离绝缘膜3c侧设置。这样，接触部4与该接触部4g分离设置。据此，能够减小在接触部4和接触部4g之间产生的寄生电容。

<制造方法>

下面说明图1、2或者图6、7所示的半导体器件（晶体管）的制造方法。

首先，如图8所示，在由硅等构成的半导体支撑衬底1上堆积掩埋绝缘膜2，在掩埋绝缘膜2上堆积SOI层3，由此制备SOI衬底10。

该SOI衬底10例如通过SIMOX（Separation by Implanted Oxygen，注氧隔离）法形成。此外，SOI衬底10也可以通过晶片贴合法形成。

其次，如图9所示，通过CVD法，在SOI层3上形成氧化膜OX11。此外，形成的氧化膜OX11的膜厚为5—50nm。

然后，如图9所示，通过CVD法，在氧化膜OX11上形成多晶硅层PS11。这里，该多晶硅层PS11的厚度为10-100nm。

然后，如图9所示，通过CVD法，在多晶硅层PS11上形成氮化膜SN11。此外，氮化膜SN11的厚度为50-200nm。

接着，通过布图，在氮化膜SN11上形成光刻胶掩模RM11（图9）。光刻胶掩模RM11具有在与部分分离绝缘膜3c或者完全分离绝缘膜3b（图1、2或者图6、7）的设置位置对应的部分为开口部RM11A、RM11b的图形。

然后，与光刻胶掩模RM11的开口图形重合，蚀刻氮化膜SN11。此后，光刻胶掩模RM11和氮化膜SN11用作蚀刻掩模，实施干蚀处理。这样，有选择地去除多晶硅层PS11、氧化膜OX11和SOI层3的一部分。

如上所述，如图10所示，对应于部分分离绝缘膜3c和完全分离绝缘膜3b的形成位置，形成沟槽TR1和TR2。此外，在图10中，光刻胶掩模RM11被

去除。

此外，在SOI层3的蚀刻中，必须不贯通SOI层3。其次，使用氮化膜SN11作为掩模，热氧化露出的SOI层3的表面。这样，在露出的SOI层3的表面形成氧化膜OX12。

然后，如图11所示，通过布图形成光刻胶掩模12。光刻胶掩模12具有仅使沟槽TR2的部分作为开口部的图形。

然后，与光刻胶掩模12的开口图形一致，进一步蚀刻沟槽TR2。这样，如图12所示，由沟槽TR2的底部露出掩埋氧化膜2（形成沟槽TR21）。此外，在图12中，去除光刻胶掩模RM12。

然后，如图13所示，通过CVD法，在SOI衬底10的整个区域上形成氧化膜OX13。该氧化膜OX13的膜厚为300-600nm，此外，氧化膜OX13完全埋入沟槽TR1和TR21内。此外，为了简化图，未示出氧化膜12。

然后，对于图13所示的SOI衬底10，进行光刻工序、蚀刻工序、CMP等，这样，如图14所示，形成完全分离绝缘膜3b和部分分离绝缘膜3c。

然后，如图15所示，通过湿蚀或者干蚀去除氮化膜SN11和多晶硅层PS11。

然后，通过对预定的区域注入硼等杂质离子，如图16所示，在SOI层3的预定区域形成P型主体区3d。此外，去除氧化膜OX11之后，形成栅电极（也包含栅绝缘膜。图中未示出）。此后，使用该栅电极作为掩模，注入磷等杂质离子。

通过到上述为止的所述工序，如图16所示，在SOI层3内，形成了P型主体区3d和N+型有源区3a。

然后，对有源区3a的上面进行硅化处理。这样，在有源区3a的表面内，形成了硅化钴膜等硅化物膜3a1。

此后，如图17或者18所示，通过CVD法等，在SOI层3上形成层间绝缘膜20。此后，对层间绝缘膜20进行蚀刻，形成接触孔20a。

这里，形成了接触孔20a，以使接触孔20a的直径的中心与有源区3a的中心C相比位于完全分离绝缘膜3b侧。此外，在图18中，接触孔20a超出有源区3a之外形成，过蚀刻了完全分离绝缘膜3b的一部分。

最后，对图17或者图18所示的接触孔20a填充导体。这样，图1、2或者图6、7所示的半导体器件完成了。这里，在图2、7中，省略了层间绝缘膜

20。

如上所述，在本实施方式的半导体器件的制造方法中，由于夹住在 SOI 层 3 的表面内形成的有源区 3a，在一侧形成完全分离绝缘膜 3b，在另一侧形成部分分离绝缘膜 3c。此外，有意面对层间绝缘膜 20 形成了接触孔 20a，以使接触孔 20a 的直径中心从有源区 3a 的中心 C 偏向完全分离绝缘膜 3b 侧。

据此，在有源区 3a 的部分分离绝缘膜 3c 侧，能够得到大的接触孔 20a 的形成裕度。因此，在形成接触孔 20a 时，能够防止叠加偏移等产生，并且能够防止接触孔 20a 形成在部分分离绝缘膜 3c 侧。

因此，能够防止在接触孔 20a 内形成的接触部 4 和主体区 3d 接触，也不会在接触部 4 和主体区 3d 之间产生漏电流。

<实施方式 2>

本实施方式是在 SRAM（Static Random Access Memory，静态随机存取存储器）中适用实施方式 1 的半导体器件（晶体管）的情况。

图 19 是表示适用实施方式 1 的晶体管的 SRAM 的平面结构图。图 20 是图 19 的 SRAM 的等效电路的电路图。此外，图 19 的 V-V 剖面的剖面结构通过图 7 示出。

如图 19、20 所示，SRAM 由存取晶体管 Tr1、Tr2 和负载晶体管 Tr3、Tr4 以及驱动晶体管 Tr5、Tr6 构成。

这里，存取晶体管 Tr1、Tr2 和驱动晶体管 Tr5、Tr6 为 NMOS 晶体管，负载晶体管 Tr3、Tr4 为 PMOS 晶体管。

如图 19 所示，在 SOI 层 3 的预定区域内形成的 SRAM 具有完全分离绝缘膜 3b 和部分分离绝缘膜 3c。具体地说，在各有源区 3a 的一侧形成完全分离绝缘膜 3b，在另一侧形成部分分离绝缘膜 3c。

此外，存取晶体管 Tr1、Tr2 的栅极 5 的正下方的主体连接存在于部分分离绝缘膜 3c 下的主体区 3d。此外，该主体的电位固定。

从图 19 可以看出，在存取晶体管 Tr1、Tr2 的有源区（源/漏）3a 上设置的位线等的接触部 4 相对于有源区 3a 的中心存在于完全分离绝缘膜 3b 侧。

此外，共享接触部 4s，相对于负载晶体管 Tr3、Tr4 的有源区 3a 的中心存在于完全分离绝缘膜 3b 侧。此外，共享接触 4s 形成节点。另外，共享接触 4s 跨越驱动晶体管 Tr5、Tr6 等的栅极 5 和负载晶体管 Tr3、Tr4 的有源区 3a 设置。

如上所述，构成了适用实施方式 1 的半导体器件（晶体管）的 SRAM。但是，与实施方式 1 相同，在接触部 4、共享接触部 4s 的设置工序时，能够极大地获得有源区 3a 上的部分分离绝缘膜 3c 侧的接触裕度。

据此，能够容易地进行接触部 4 的设置工序，此外，能够防止接触部 4 等和主体区 3d（图 5）接触。在接触部 4 等和主体区 3d 之间不会产生漏电流。

此外，在部分分离绝缘膜侧，错开形成共享接触部 4s，共享接触部 4s 和栅极 5 的接触裕度较小。为了防止这种情况，形成图 21、22 所示形状的共享接触部 4s 较好。

即，如图 21 所示，共享接触部 4s 分为两个部分。具有共享接触部 4s 与栅极 5 接触的部分 A 和共享接触部 4s 与有源区 3a 接触的部分 B。

如图 21 所示，与部分 A 相比，部分 B 设置在完全分离绝缘膜 3b 侧。

此外，在图 22 中，与部分 B 的画面的横向宽度相比，部分 A 的画面的横向宽度大。

<实施方式 3>

本实施方式是在 SRAM 中适用实施方式 1 的半导体等装置（晶体管）的其它结构例。图 23-25 示出了本实施方式的结构平面图。

在图 23 和 24 所示的 SRAM 中，图 2 所示结构的晶体管和图 7 所示结构的晶体管混在一起。对此，在图 25 所示的结构中，仅适用图 2 所示结构的晶体管。

具体地说，在图 23 中，作为存取晶体管 Tr1、Tr2 的有源区 3a 和与该有源区 3a 连接的接触部 4 的结构，适用图 7 所示的结构。此外，作为负载晶体管 Tr3、Tr4 的有源区 3a 和与该有源区 3a 连接的共享接触部 4s 的结构，适用图 2 所示的结构（在图 2 的结构中，有源区 3a 为 P+结构）。

此外，在图 24 中，作为存取晶体管 Tr1、Tr2 的有源区 3a 和与该有源区 3a 连接的接触部 4 的结构，适用图 2 所示的结构，此外，作为负载晶体管 Tr3、Tr4 的有源区 3a 和与该有源区 3a 连接的共享接触部 4s 的结构，适用图 7 所示的结构（根据图 7 的结构，有源区 3a 为 P+型结构）。

此外，在图 25 中，作为存取晶体管 Tr1、Tr2 的有源区 3a 和与该有源区 3a 连接的接触部 4 的结构、以及负载晶体管 Tr3、Tr4 的有源区 3a 和与该有源区 3a 连接的共享接触部 4s 的结构，适用图 2 所示的结构。此外，负载晶体管 Tr3、

Tr4 的有源区为 P+型。

由于所述结构，本实施方式的 SRAM 能够获得与实施方式 1 相同的效果。

<实施方式 4>

本实施方式是在 SRAM 中适用实施方式 1 的半导体等装置的其它结构例。图 26 示出了本实施方式的结构平面图。在本实施方式中，对于存取晶体管 Tr1、Tr2，适用图 7 所示的结构。

具体地说，在存取晶体管 Tr1、Tr2 的有源区 3a 的一侧，形成完全分离绝缘膜 3b，在另一侧，形成部分分离绝缘膜 3c。此外，与存取晶体管 Tr1、Tr2 的有源区连接的接触部 4 相对于该有源区 3a 的中心设置在完全分离绝缘膜 3b 侧。

此外，存取晶体管 Tr1、Tr2 的栅极 5 的正下方的主体和部分分离绝缘膜 3c 下的主体区 3d 连接。此外，该主体的电位固定。

在本实施方式中，在负载晶体管 Tr3、Tr4 的有源区 3a 的两侧，形成完全分离绝缘膜 3b。因此，负载晶体管 Tr3、Tr4 的栅极 5 正下方的主体为浮动结构。此外，连接到该有源区 3a 的共享接触部 4s 不有意将其设置位置从有源区 3a 的中心错开。

由于本实施方式按所述构成，因此根据存取晶体管 Tr1、Tr2，能够获得与实施方式 1 相同的效果。

此外，在接触共享接触部 4s 的有源区 3a 的周边，围绕完全分离绝缘膜 3b。据此，共享接触部 4s 从该有源区 3a 超出，也不会产生所述漏电流等问题。因此，不必严密控制共享接触部 4s 的设置精度，能够使制造容易。

<实施方式 5>

本实施方式是实施方式 4 的 SRAM 的变形。图 27 示出了本实施方式的 SRAM。

在实施方式 4 的 SRAM 中，如图 26 所示，在构成负载晶体管 Tr3、Tr4 的两个有源区（源区和漏区）3a 的两侧存在完全分离绝缘膜 3b。

但是，在本实施方式的 SRAM 中，仅在一方的有源区（漏区）3a 的两侧存在完全分离绝缘膜 3b。

具体地说，有源区（漏区）3a 和共享接触 4s 连接。此外，如图 27 所示，仅在有源区（漏区的大部分）3a 的连接部分区的两侧（一个侧面和与该侧面面

对的另一侧面）存在完全分离绝缘膜 3b。由此，完全分离绝缘膜 3b 从 SOI 层 3 的表面开始至掩埋绝缘层 2 形成。

此外，如图 27 所示，在和所述共享接触 4s 连接的部分以外的有源区（源区和漏区的一部分）3a 的两侧，形成部分分离绝缘膜 3c。

此外，负载晶体管 Tr3、Tr4 的栅极 5 的正下方的主体与在部分分离绝缘膜 3c 下面存在的主体区 3d 连接。但是，该主体的电位不固定。即，负载晶体管 Tr3、Tr4 的栅极 5 正下方的主体为浮动结构。

由于其它结构与实施方式 4 的 SRAM 结构相同，因此省略了对它们的说明。

由于所述结构，因此本实施方式的 SRAM 伴随着与实施方式 4 的 SRAM 相同的效果，能够获得以下效果。

即，根据图 26、27 所示出的，与实施方式 4 的 SRAM 相比，本实施方式的 SRAM 扩大了负载晶体管 Tr3、Tr4 的栅极 5 正下方的主体区。在本实施方式的 SRAM 中，栅极 5 正下方的主体与存在于部分分离绝缘膜 3c 下面的主体区 3d 连接。

因此，在本实施方式的 SRAM 中，能够在主体区 3d 上分散在存在于负载晶体管 Tr3、Tr4 的栅极 5 正下方的主体内的撞击离子化中产生的电子。

据此，能够抑制负载晶体管 Tr3、Tr4 的寄生双极效果，所以该负载晶体管 Tr3、Tr4 能够正常工作。

<实施方式 6>

本实施方式的 SRAM 是实施方式 5 的变形例。本实施方式的 SRAM 的平面图示于图 28。此外，图 29 示出了图 28 的 A-A 剖面的剖面图。

在实施方式 5 的 SRAM 中，负载晶体管 Tr3、Tr4 的栅极 5 正下方的主体处于浮动状态。

但是，在本实施方式的 SRAM 中，通过部分分离绝缘膜 3c 围绕的、负载晶体管 Tr3、Tr4 的有源区（源区）3a 和部分分离绝缘膜 3c 下的主体区 3d 与提供预定固定电位的电源用接触 41 连接。此外，主体区 3d 与负载晶体管 Tr3、Tr4 的栅极 5 正下方的主体连接。

但是，负载晶体管 Tr3、Tr4 的栅极 5 正下方的主体固定在预定电位。

此外，根据图 29 可知，负载晶体管 Tr3、Tr4 是 PMOS。

由于所述以外的结构与实施方式 5 的 SRAM 相同，因此这里省略了说明。

由于本实施方式的 SRAM 根据所述结构构成，因此本实施方式的 SRAM 除了实施方式 5 所述的效果，还具有比下述与实施方式 5 的 SRAM 更优异的效果。

即，由于电源用接触部 41 和主体区 3d 连接，因此能够从该电源用接触 41 向外移动在负载晶体管 Tr3、Tr4 的栅极 5 正下方的主体内的电子。这样，能够减少在栅极 5 正下方的主体内因撞击离子化而产生的电子数。

因此，能够抑制负载晶体管 Tr3、Tr4 的寄生双极效果。能够更加确保负载晶体管 Tr3、Tr4 的工作精度。

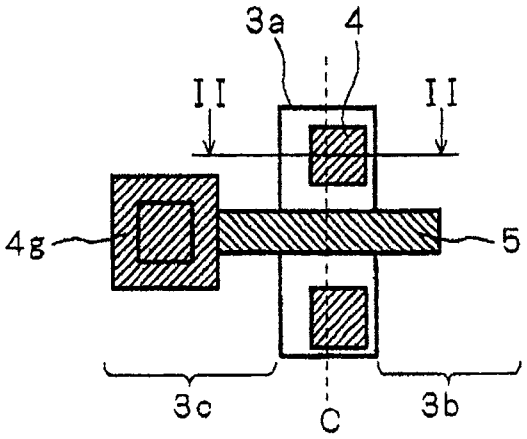

3a
4
II
II
4g
5
3c
C
3b

图 1

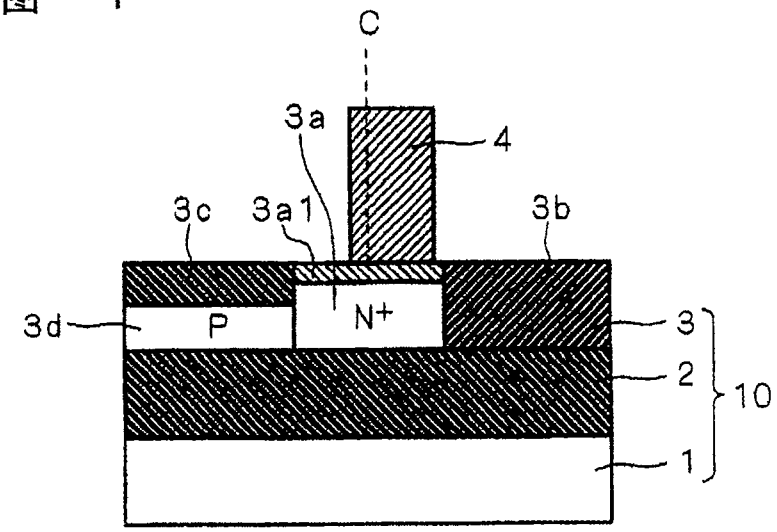

C
3a
4
3c
3a1
3b
3d
P
N+
3
2
10
1

图 2

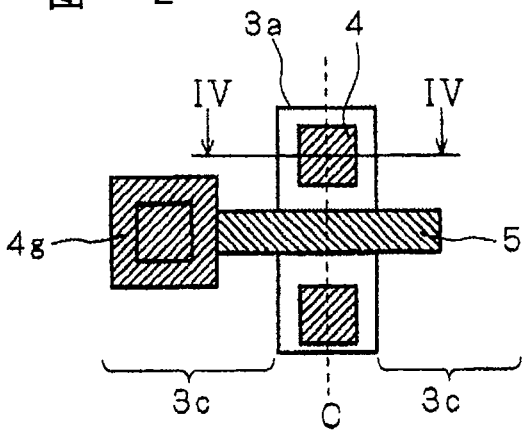

3a
4
IV
IV
4g
5
3c
C
3c

图 3

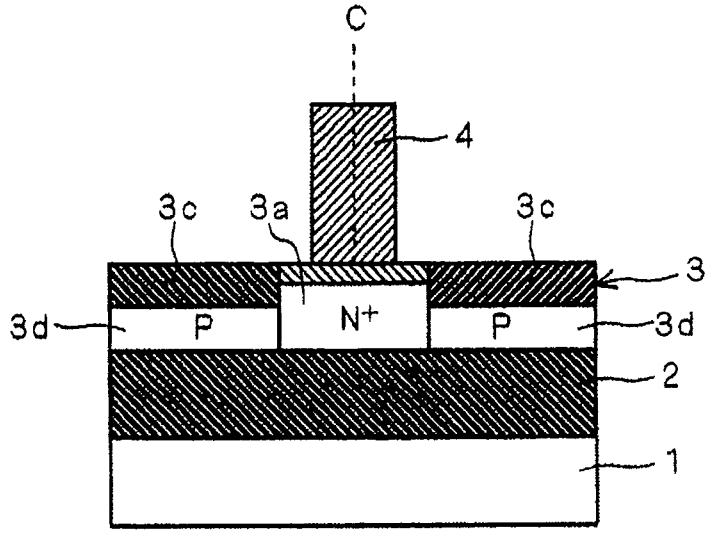

C
4
3c
3a
3c
3
3d
P
N+
P
3d
2
1

图 4

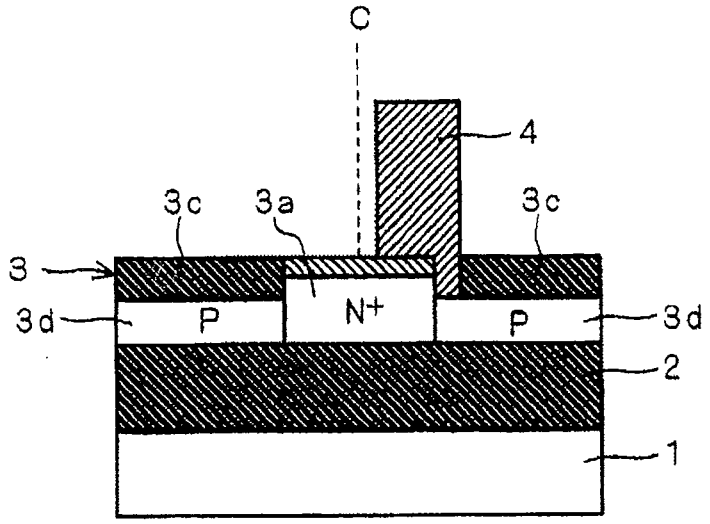

C
4
3c
3a
3c
3
3d
P
N+
P
3d
2
1

图 5

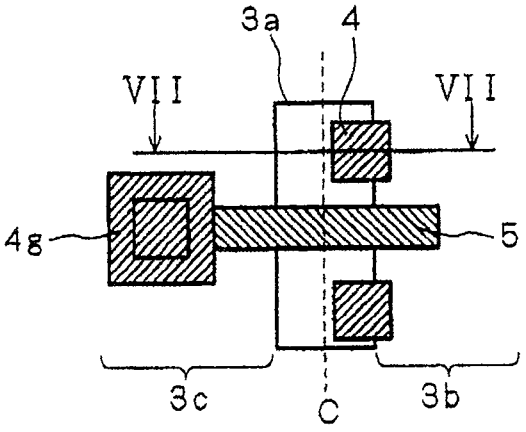

3a
4
VII
VII
4g
5
3c
C
3b

图 6

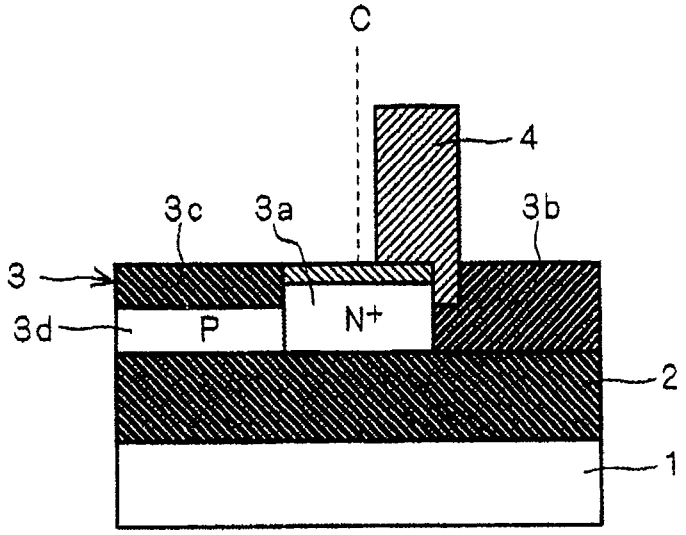

C
4
3c
3a
3b
3
3d
P
N+
2
1

图 7

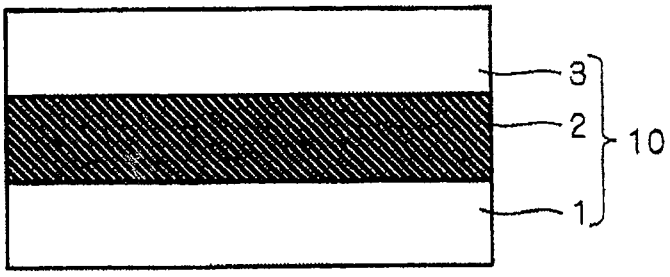

3
2
10
1

图 8

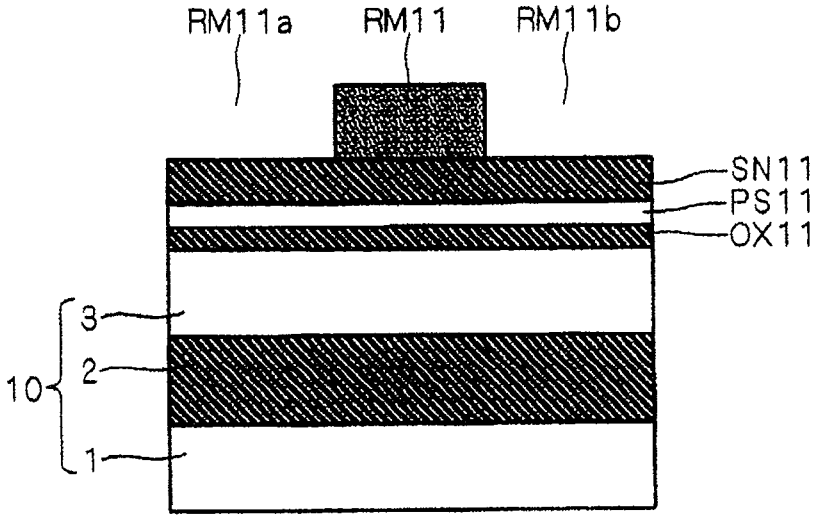

RM11a
RM11
RM11b
SN11
PS11
OX11
3
2
10
1

图 9

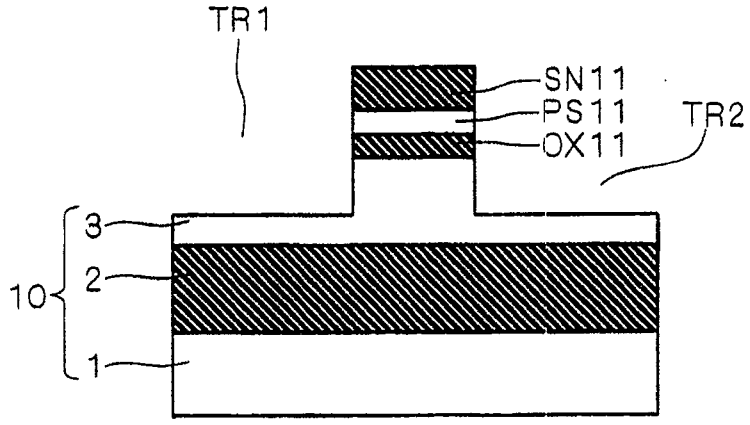

TR1
SN11
PS11
OX11
TR2
3
2
10
1

图 10

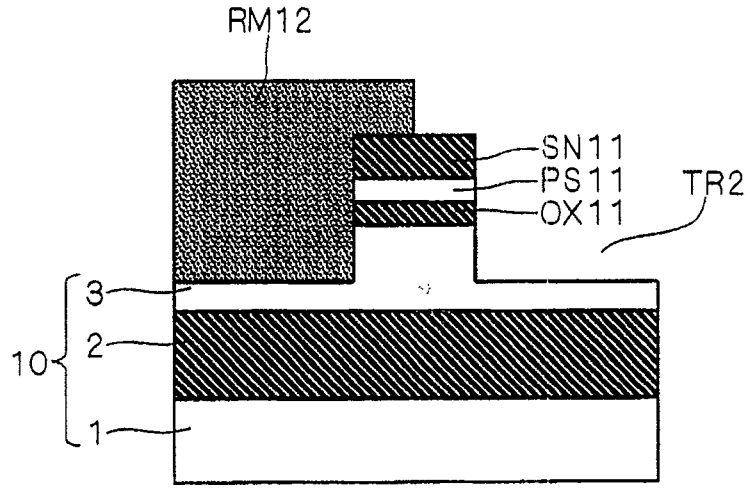

RM12
SN11
PS11
OX11
TR2
3
2
10
1

图 11

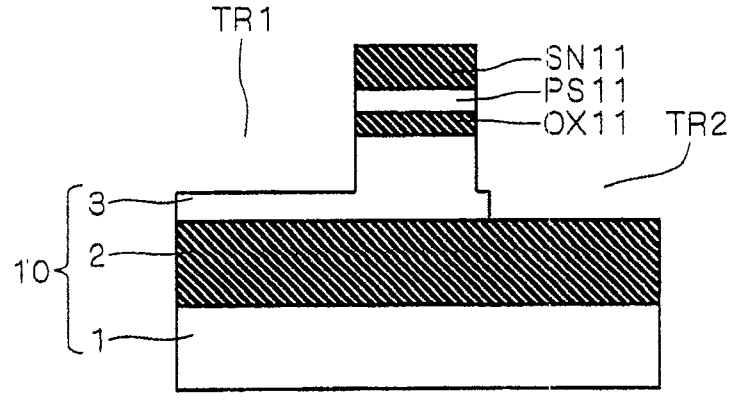

TR1
SN11
PS11
OX11
TR2
3
2
10
1

图 12

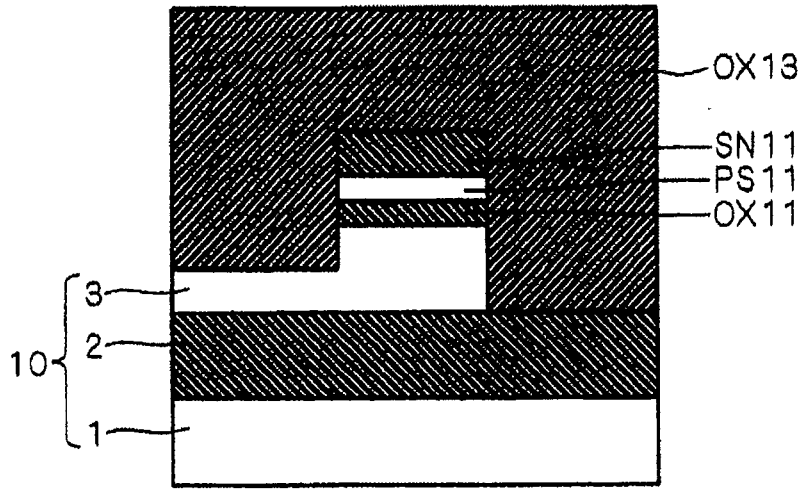



图 13

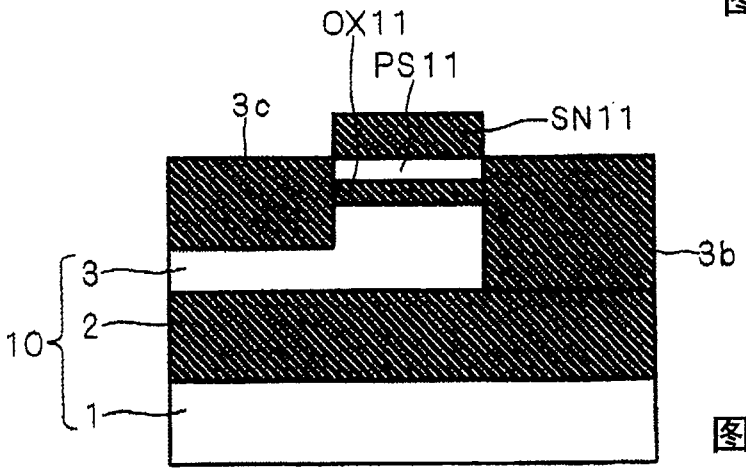



图 14

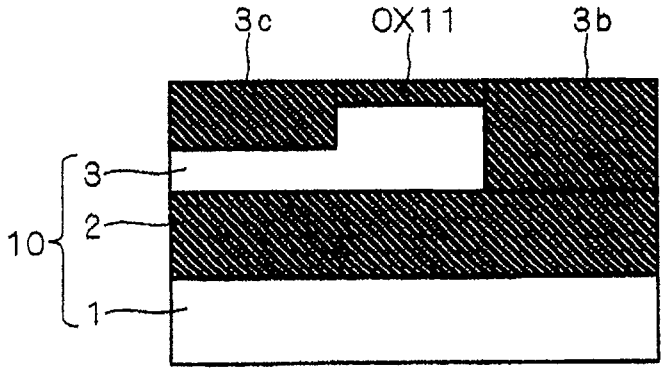



图 15

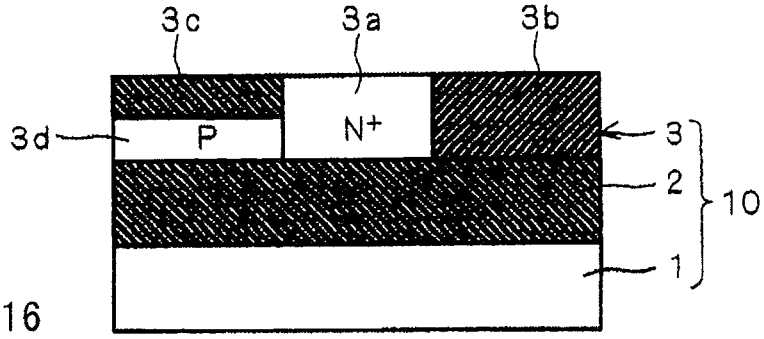



图 16

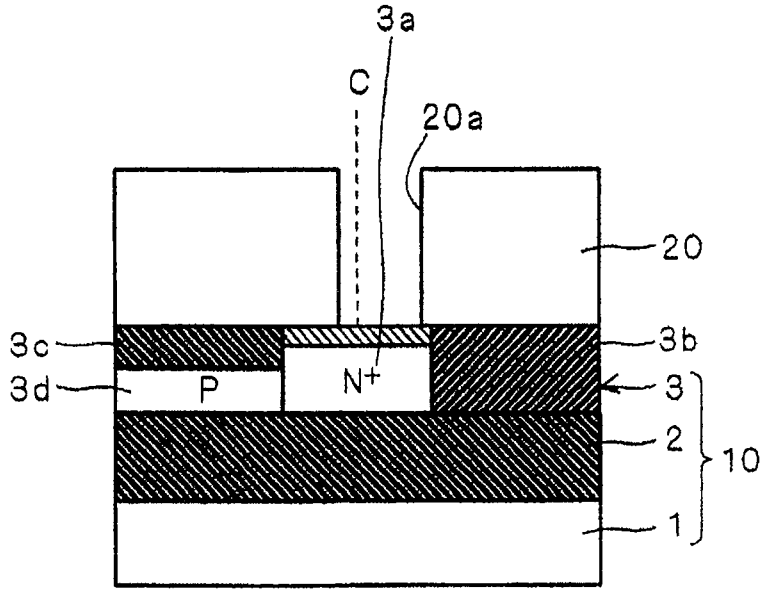



图 17

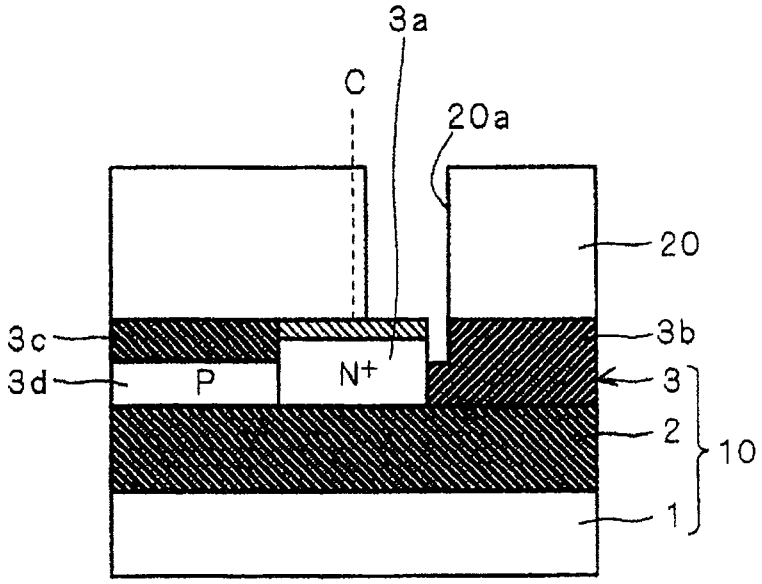



图 18

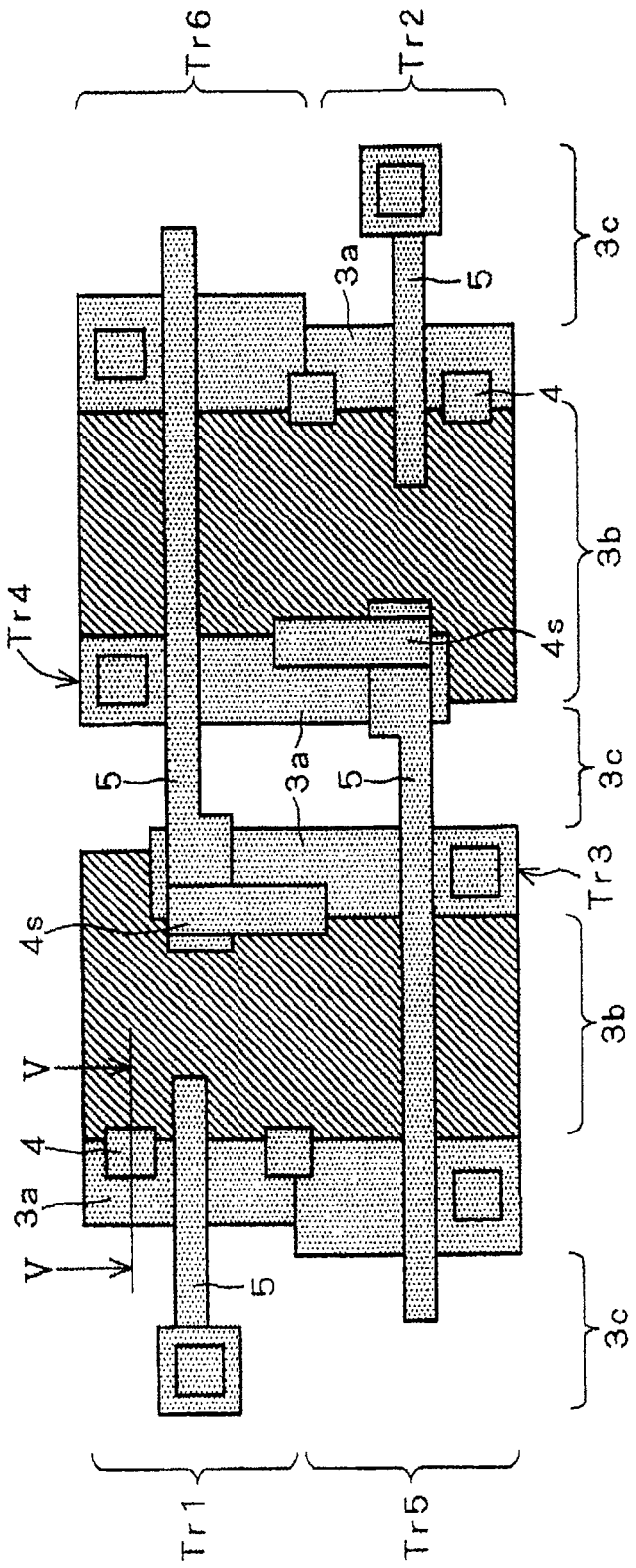



图 19

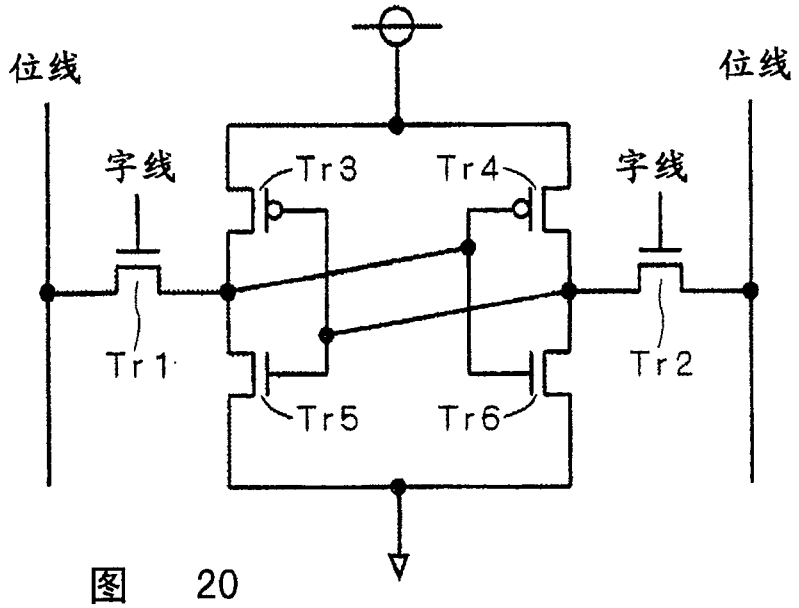



图 20

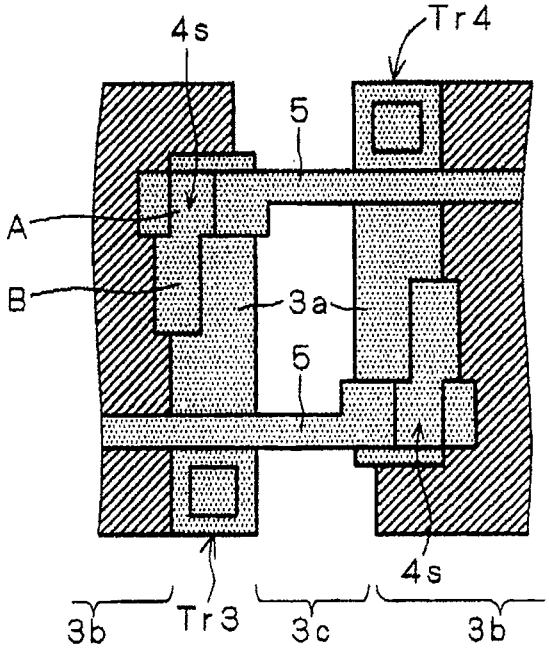



图 21

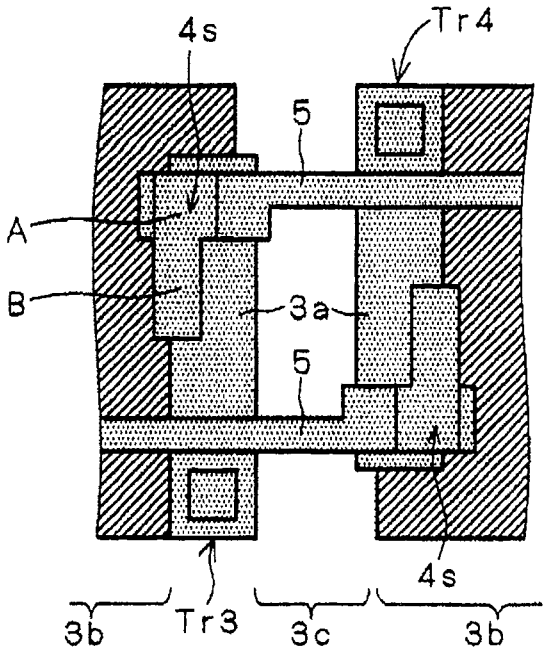



图 22

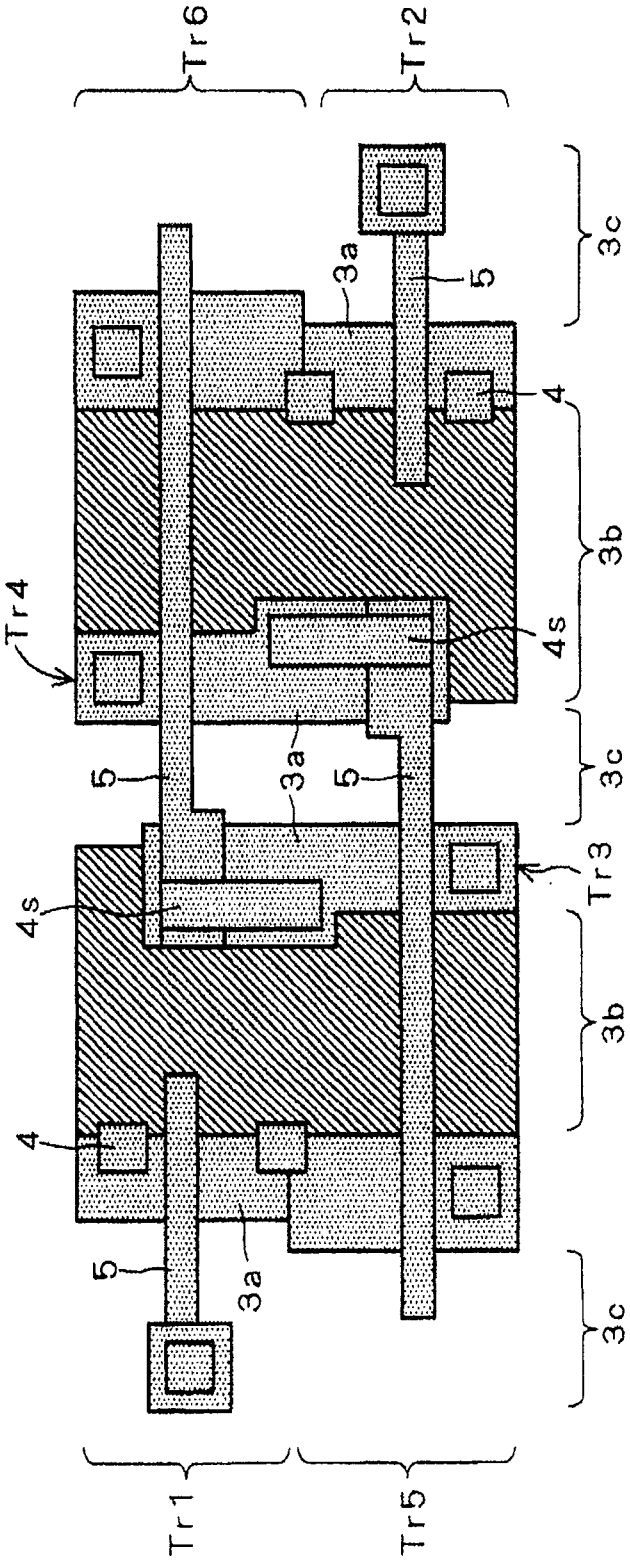



图 23

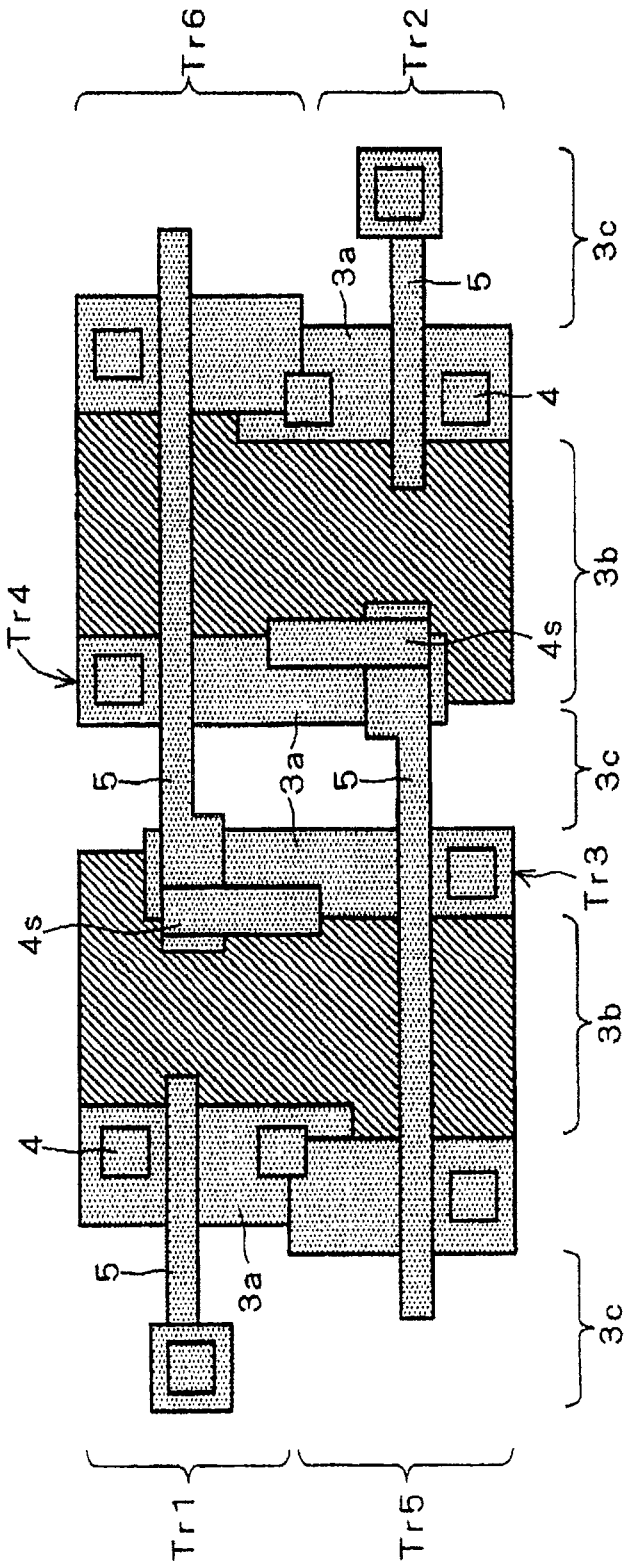



图 24

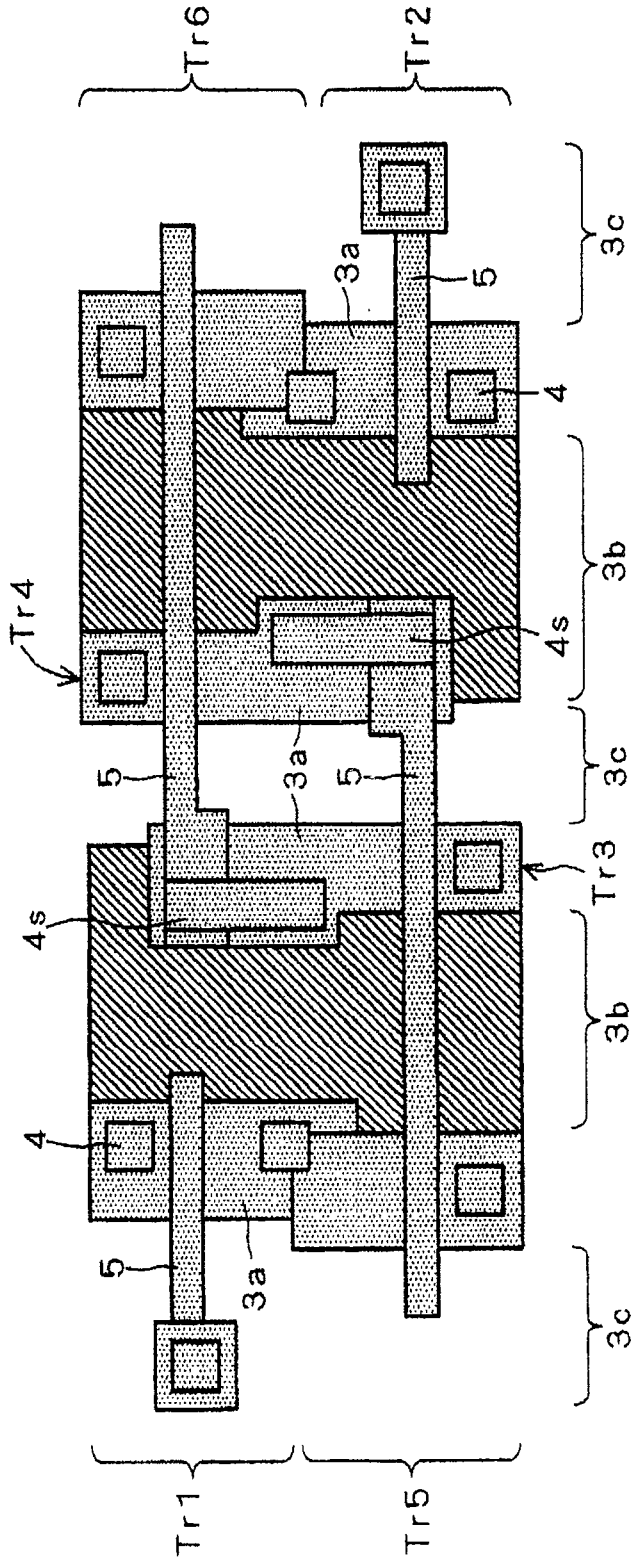



图 25

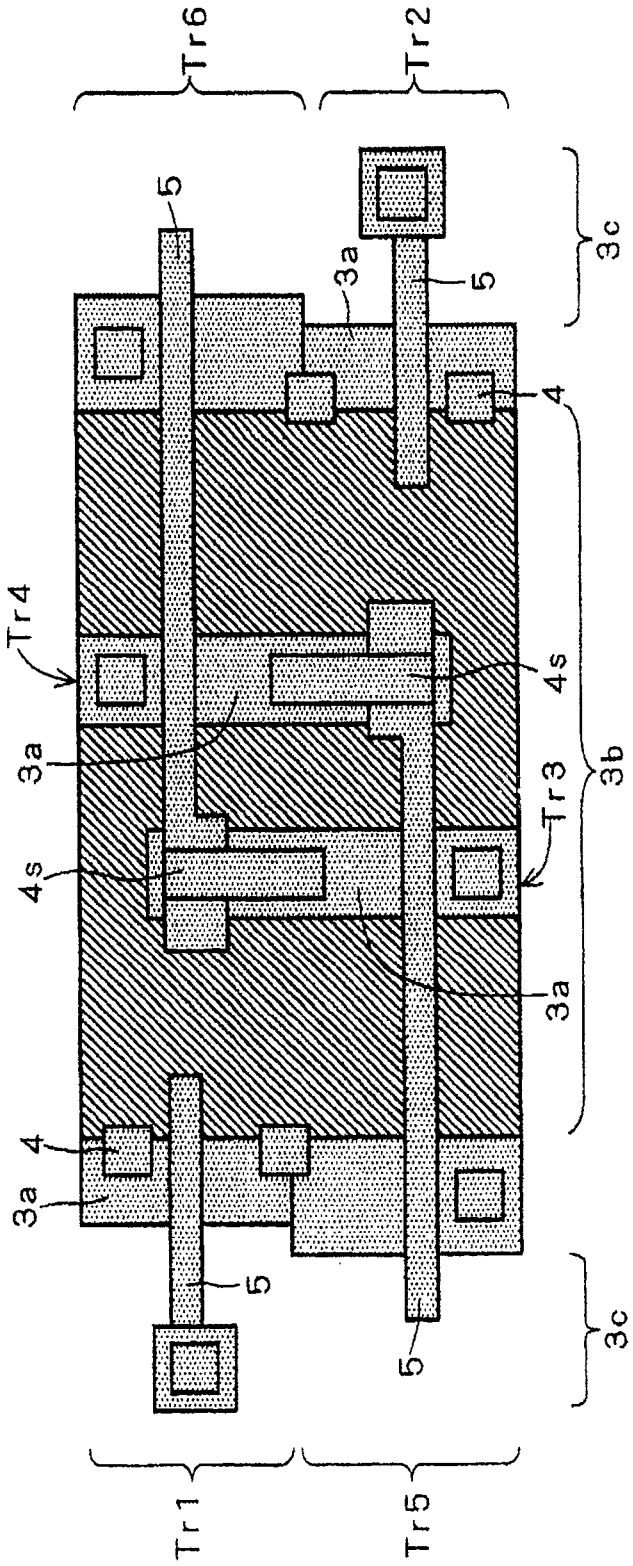



图 26

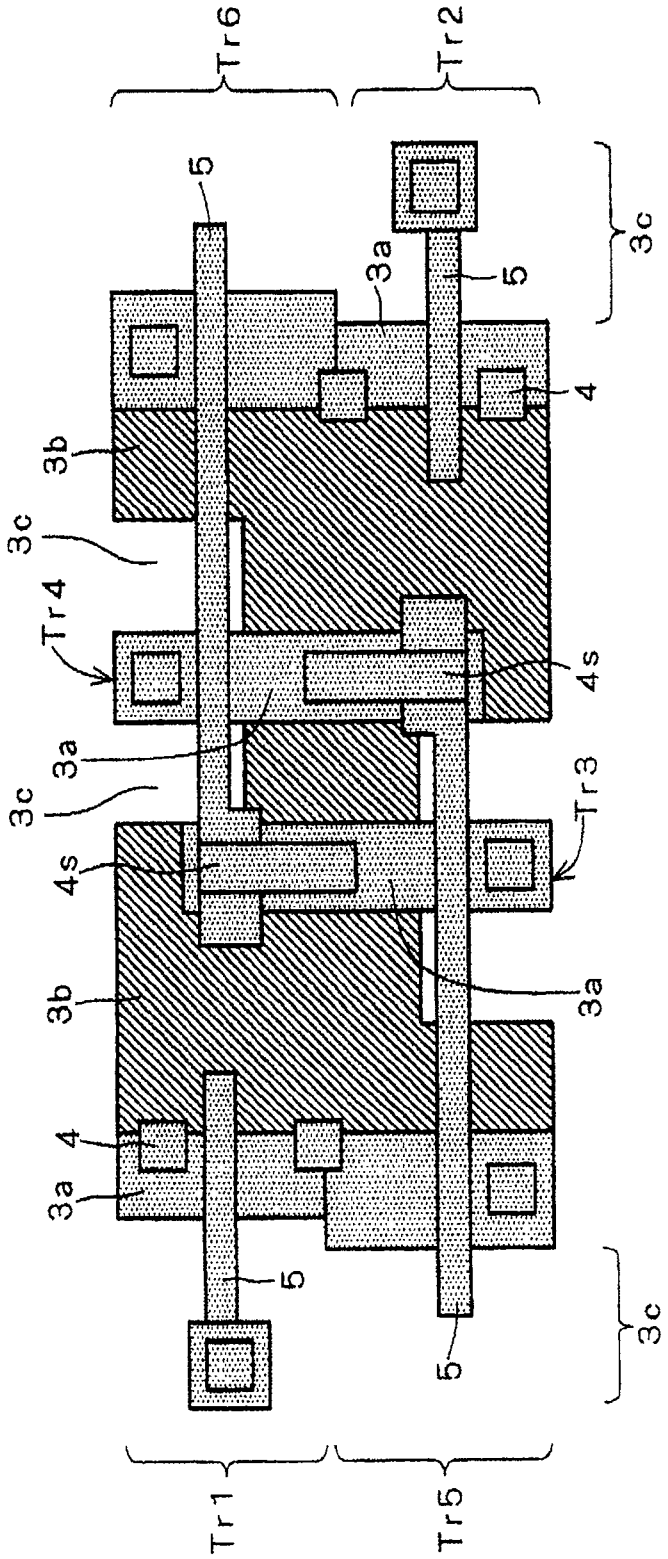



图 27

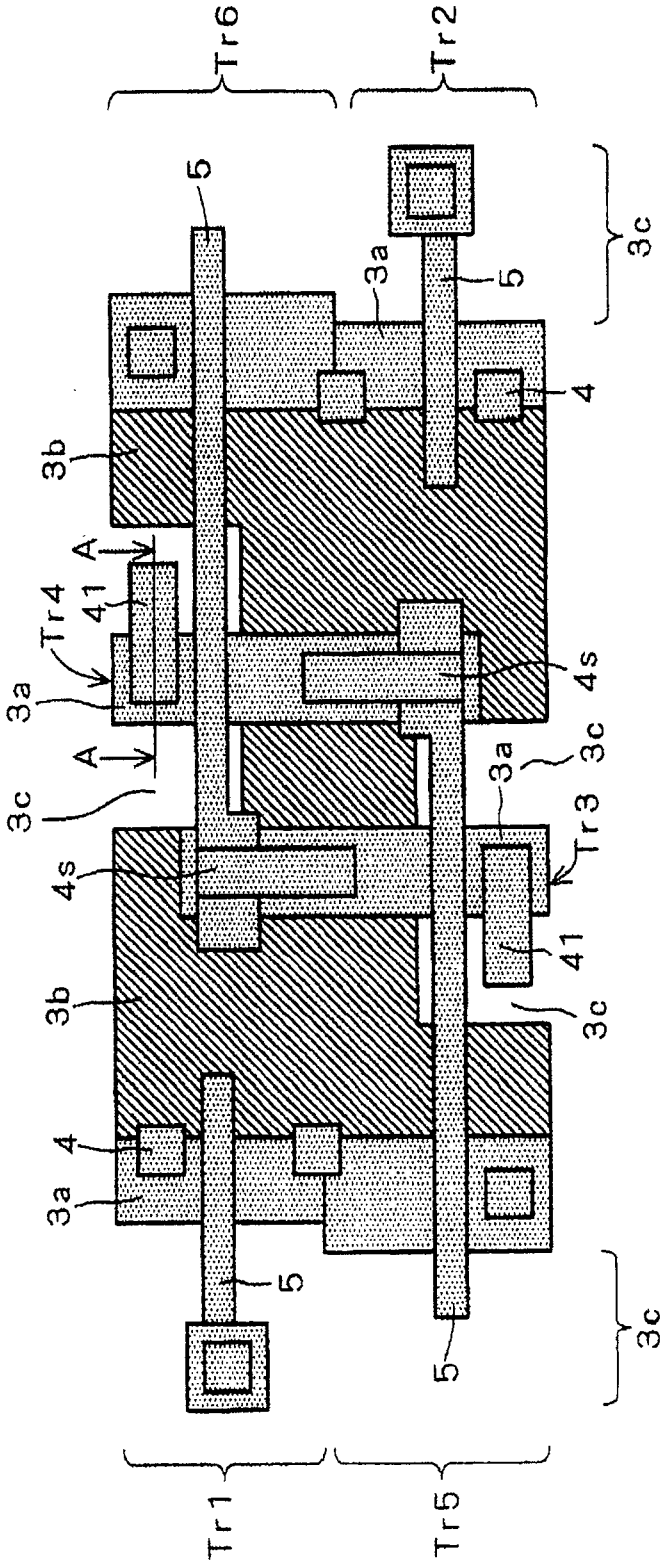

Tr6
Tr2
5
3a
5
3c
4
3b
A
41
Tr4
3a
4s
A
3c
3a
3c
Tr3
4s
41
3b
3c
4
3a
5
3c
5
Tr1
Tr5

图 28

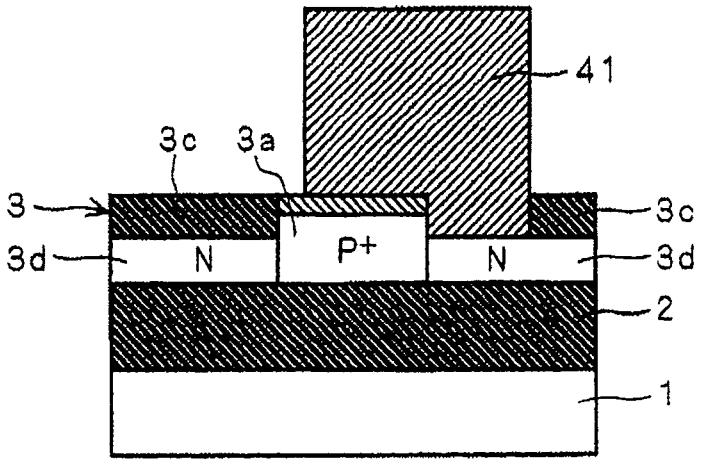



图 29