

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3741870号
(P3741870)

(45) 発行日 平成18年2月1日(2006.2.1)

(24) 登録日 平成17年11月18日(2005.11.18)

(51) Int.C1.

F 1

G O 6 F 9/38 (2006.01)

G O 6 F 9/38 310 A

請求項の数 12 (全 24 頁)

(21) 出願番号 特願平10-223813
 (22) 出願日 平成10年8月7日(1998.8.7)
 (65) 公開番号 特開2000-56970(P2000-56970A)
 (43) 公開日 平成12年2月25日(2000.2.25)
 審査請求日 平成16年3月15日(2004.3.15)

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100108187
 弁理士 横山 淳一
 (74) 代理人 100068755
 弁理士 恩田 博宣
 (72) 発明者 谷口 和也
 愛知県春日井市高蔵寺町二丁目1844番
 2 富士通ヴィエルエスアイ株式会社内
 (72) 発明者 宮崎 順吏
 愛知県春日井市高蔵寺町二丁目1844番
 2 富士通ヴィエルエスアイ株式会社内

最終頁に続く

(54) 【発明の名称】命令及びデータの先読み方法、マイクロコントローラ、疑似命令検出回路

(57) 【特許請求の範囲】

【請求項 1】

メモリに記憶されたプログラムの命令及びデータを先読みしその先読みした命令及びデータを先読みバッファに保持する命令及びデータの先読み方法において、

前記プログラム中に含まれる命令より前に、その命令の存在を示すとともにその命令のジャンプ先のアドレス又はデータのアドレスを付帯した擬似命令を設定し、

その擬似命令を含むプログラムの命令又はデータの先読み時に疑似命令かどうかを検出し、擬似命令を検出したとき、その擬似命令に付帯したジャンプ先のアドレス又はデータのアドレスに基づく命令又はデータをメモリから先読みするようしたことを特徴とする命令及びデータの先読み方法。

【請求項 2】

前記疑似命令は、無条件分岐命令、条件分岐命令、CALL命令、データ呼び出しの命令の少なくともいずれか1の命令に対し、その命令の存在を示すことを特徴とする請求項1に記載の命令及びデータの先読み方法。

【請求項 3】

前記疑似命令かどうかの検出は、前記メモリに対して前記先読みバッファと並列に接続された疑似命令検出部にて行い、そのメモリからの転送される命令又はデータを先読みバッファと並行して疑似命令検出部に入力させて検出するようにしたことを特徴とする請求項1又は請求項2に記載の命令及びデータの先読み方法。

【請求項 4】

10

20

前記擬似命令を検出した時、前記疑似命令より後に転送されるその疑似命令に対応する命令が先読み用バッファに転送保持された後に、前記擬似命令に付帯したジャンプ先のアドレス又はデータのアドレスに基づく命令又はデータの先読みしを開始するようにしたことを特徴とする請求項1、請求項2又は請求項3に記載の命令及びデータの先読み方法。

【請求項5】

前記メモリから先読みされる擬似命令に付帯したジャンプ先のアドレス又はデータのアドレスに基づく命令又はデータを、前記先読みバッファとは別に設けた疑似命令用バッファに保持するようにしたことを特徴とする請求項1、請求項2、請求項3又は請求項4に記載の命令及びデータの先読み方法。

【請求項6】

前記擬似命令を検出したとき、擬似命令に付帯したジャンプ先のアドレス又はデータのアドレスに基づく命令又はデータが、少なくとも先読みバッファに保持されていないときに、前記ジャンプ先のアドレス又はデータのアドレスに基づく命令又はデータの先読みしを開始するようにしたことを特徴とする請求項1、請求項2、請求項3、請求項4又は請求項5に記載の命令及びデータの先読み方法。

【請求項7】

メモリに記憶されたプログラムの命令及びデータを先読みバッファに転送し、命令実行部がアドレスカウンタに基づいて前記先読みバッファから前記命令及びデータを読み出し解読し実行するマイクロコントローラにおいて、

先読みバッファに転送される前記プログラムの命令及びデータから、命令より前に該命令の存在を示すとともに該命令のジャンプ先のアドレス又はデータのアドレスを付帯した疑似命令を検出する疑似命令検出部と、

前記疑似命令検出部が疑似命令を検出したとき、該疑似命令の付帯したジャンプ先のアドレス又はデータのアドレスに基づく命令又はデータをメモリから先読みさせるアドレス制御部とを設けたことを特徴とするマイクロコントローラ。

【請求項8】

前記疑似命令は、無条件分岐命令、条件分岐命令、CALL命令、データ呼び出しの命令の少なくともいずれか1の命令に対し、その命令の存在を示すことを特徴とする請求項7に記載のマイクロコントローラ。

【請求項9】

前記アドレス制御部に基づいて先読みされるジャンプ先のアドレス又はデータのアドレスに基づく命令又はデータを保持する疑似命令用バッファを備えたことを特徴とする請求項7又は請求項8に記載のマイクロコントローラ。

【請求項10】

前記アドレス制御部は、前記擬似命令検出部が擬似命令を検出したとき、該擬似命令に付帯するジャンプ先のアドレス又はデータのアドレスに基づいて少なくとも先読みバッファにジャンプ先のアドレス又はデータのアドレスに基づく命令又はデータが保持されているかどうかチェックし、保持されていないとき、同ジャンプ先のアドレス又はデータのアドレスに基づく命令又はデータをメモリから先読みさせることを特徴とする請求項7、請求項8又は請求項9に記載のマイクロコントローラ。

【請求項11】

前記疑似命令検出部は、前記メモリに対して前記先読みバッファと並列に接続されるよう、メモリに対して先読みバッファとの間に接続されたデータ線からメモリから転送される命令又はデータを入力し、前記疑似命令及び同疑似命令に付帯するジャンプ先のアドレス又はデータのアドレスを検出するようにしたことを特徴とする請求項7、請求項8、請求項9又は請求項10に記載のマイクロコントローラ。

【請求項12】

転送されるオペコード及びオペランドをデータ線から入力し、特定の命令を事前に知らせるために予め設定された擬似命令のオペコードを検出する擬似命令検出回路において、

前記オペコードから求めたその命令長又はオペコードに続くオペランドの数とオペコー

10

20

30

40

50

ド及びオペランドの転送周期とでオペコードの転送時期を検出し、オペランドが転送されている時、オペコードの検出動作を無効にし、オペコードが転送されている時、オペコードの検出動作を有効にする検出タイミング回路を設けたことを特徴とする擬似命令検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、命令及びデータを先読みする先読み機能を備えたマイクロコントローラに好適な命令及びデータの先読み方法、マイクロコントローラ、疑似命令検出回路に関するものである。

10

【0002】

【従来の技術】

近年、マイクロコントローラの動作周波数の高速化に伴い、マイクロコントローラの動作速度は日々向上している。マイクロコントローラの動作速度が高速化する一方において、メモリ等の周辺回路の動作速度や、マイクロコントローラのインターフェイスの動作速度がマイクロコントローラの動作速度に追いつかないのが現状である。

【0003】

そこで、マイクロコントローラはキャッシュメモリを備え、マイクロコントローラの高速動作に対応してシステム全体の処理速度を上げるようにしている。しかしながら、キャッシュメモリを備えたマイクロコントローラにおいても、キャッシュのミスヒットが生じた場合には、主メモリからキャッシュメモリにデータを転送しなければならない。その結果、その転送中、命令実行部は待機状態になることから処理速度は低下する。特に、分岐命令等の命令が多く用いられているプログラムではミスヒットする確率が多くなり、処理速度を著しく低下させる。

20

【0004】

そこで、例えば特開平3-191427号公報において、キャッシュメモリと命令実行部の間にFIFOメモリを設け、即ちキャッシュメモリからFIFOメモリに入力された命令が分岐命令かどうかをFIFOメモリから読み出してチェックする。即ち、命令実行部で処理される前、分岐命令かどうかチェックする。そして、分岐命令である場合には、その分岐先アドレスとキャッシュタグメモリのタグ情報を比較する。そして、比較結果がミスヒットの場合には、その分岐命令の分岐先アドレスにより参照される主メモリのデータ群をキャッシュメモリに転送させる。つまり、命令実行部がその分岐命令を実行する前に検出し、その分岐後の命令を事前にキャッシュメモリに準備させておくようにして、キャッシュメモリのミスヒット率を低下させるようにしている。

30

【0005】

【発明が解決しようとする課題】

しかしながら、特開平3-191427号においては、分岐命令かどうかをチェックするために、読み出すための回路、デコード回路、分岐命令の分岐先アドレスを生成するための特別な回路等が必要であった。これら特別な回路は命令実行部と同程度の複雑な回路構成となり回路規模が大型化する問題があった。

40

【0006】

又、バッファ(FIFOメモリ)に取り込まれて初めて分岐命令かどうかチェックされるため、命令実行部の実行が速くFIFOメモリに順次取り込まれた命令が命令実行部に速く流れて行く場合には、その分岐後の命令を事前にキャッシュメモリに準備しておくのが遅れるといった問題が生じる。

【0007】

さらに、特開平3-191427号においては、分岐命令を事前に検出し、その分岐先の命令を事前にキャッシュメモリに準備しておくことができるが、データについては事前にキャッシュメモリに準備しておくことができず、データの先読みには対応することができなかった。

50

【0008】

本発明は、上記問題点を解消するためになされたものであって、その目的は簡単な回路を付加するだけで、命令やデータのミスヒット率を減らしシステム全体の処理速度の向上を図ることができる命令及びデータの先読み方法、マイクロコントローラ、疑似命令検出回路を提供することにある。

【0009】

【課題を解決するための手段】

請求項1に記載の発明は、メモリに記憶されたプログラムの命令及びデータを先読みしその先読みした命令及びデータを先読みバッファに保持する命令及びデータの先読み方法において、前記プログラム中に含まれる命令より前に、その命令の存在を示すとともにその命令のジャンプ先のアドレス又はデータのアドレスを付帯した擬似命令を設定し、その擬似命令を含むプログラムの命令又はデータの先読み時に疑似命令かどうか検出し、擬似命令を検出したとき、その擬似命令に付帯したジャンプ先のアドレス又はデータのアドレスに基づく命令又はデータをメモリから先読みするようした。10

請求項2に記載の発明は、請求項1に記載の命令及びデータの先読み方法において、疑似命令は、無条件分岐命令、条件分岐命令、CALL命令、データ呼び出しの命令の少なくともいずれか1の命令に対し、その命令の存在を示す。

【0010】

請求項3に記載の発明は、請求項1又は請求項2に記載の命令及びデータの先読み方法において、前記疑似命令かどうかの検出は、前記メモリに対して前記先読みバッファと並列に接続された疑似命令検出部にて行い、そのメモリからの転送される命令又はデータを先読みバッファと並行して疑似命令検出部に入力させて検出するようにした。20

【0011】

請求項4に記載の発明は、請求項1、請求項2又は請求項3に記載の命令及びデータの先読み方法において、前記擬似命令を検出した時、前記疑似命令より後に転送されるその疑似命令に対応する命令が先読み用バッファに転送保持された後に、前記擬似命令に付帯したジャンプ先のアドレス又はデータのアドレスに基づく命令又はデータの先読みしを開始するようにした。

【0012】

請求項5に記載の発明は、請求項1、請求項2、請求項3又は請求項4に記載の命令及びデータの先読み方法において、前記メモリから先読みされる擬似命令に付帯したジャンプ先のアドレス又はデータのアドレスに基づく命令又はデータを、前記先読みバッファとは別に設けた疑似命令用バッファに保持するようにした。30

【0013】

請求項6に記載の発明は、請求項1、請求項2、請求項3、請求項4又は請求項5に記載の命令及びデータの先読み方法において、前記擬似命令を検出したとき、擬似命令に付帯したジャンプ先のアドレス又はデータのアドレスに基づく命令又はデータが、少なくとも先読みバッファに保持されていないときに、前記ジャンプ先のアドレス又はデータのアドレスに基づく命令又はデータの先読みしを開始するようにした。

【0014】

請求項7に記載の発明は、メモリに記憶されたプログラムの命令及びデータを先読みバッファに転送し、命令実行部がアドレスカウンタに基づいて前記先読みバッファから前記命令及びデータを読み出し解読し実行するマイクロコントローラにおいて、先読みバッファに転送される前記プログラムの命令及びデータから、命令より前に該命令の存在を示すとともに該命令のジャンプ先のアドレス又はデータのアドレスを付帯した疑似命令を検出する疑似命令検出部と、前記疑似命令検出部が疑似命令を検出したとき、該疑似命令の付帯したジャンプ先のアドレス又はデータのアドレスに基づく命令又はデータをメモリから先読みさせるアドレス制御部とを設けた。40

請求項8に記載の発明は、請求項7に記載のマイクロコントローラにおいて、疑似命令は、無条件分岐命令、条件分岐命令、CALL命令、データ呼び出しの命令の少なくとも

いずれか 1 の命令に対し、その命令の存在を示す。

【0015】

請求項 9 に記載の発明は、請求項 7 又は請求項 8 に記載のマイクロコントローラにおいて、前記アドレス制御部に基づいて先読みされるジャンプ先のアドレス又はデータのアドレスに基づく命令又はデータを保持する疑似命令用バッファを備えた。

【0016】

請求項 10 に記載の発明は、請求項 7、請求項 8 又は請求項 9 に記載のマイクロコントローラにおいて、前記アドレス制御部は、前記擬似命令検出部が擬似命令を検出したとき、該擬似命令に付帯するジャンプ先のアドレス又はデータのアドレスに基づいて少なくとも先読みバッファにジャンプ先のアドレス又はデータのアドレスに基づく命令又はデータが保持されているかどうかチェックし、保持されていないとき、同ジャンプ先のアドレス又はデータのアドレスに基づく命令又はデータをメモリから先読みさせる。10

【0017】

請求項 11 に記載の発明は、請求項 7、請求項 8、請求項 9 又は請求項 10 に記載のマイクロコントローラにおいて、前記疑似命令検出部は、前記メモリに対して前記先読みバッファと並列に接続されるように、メモリに対して先読みバッファとの間に接続されたデータ線からメモリから転送される命令又はデータを入力し、前記疑似命令及び同疑似命令に付帯するジャンプ先のアドレス又はデータのアドレスを検出する。

【0018】

請求項 12 に記載の発明は、転送されるオペコード及びオペランドをデータ線から入力し、特定の命令を事前に知らせるために予め設定された擬似命令のオペコードを検出する擬似命令検出回路において、前記オペコードから求めたその命令長又はオペコードに続くオペランドの数とオペコード及びオペランドの転送周期とでオペコードの転送時期を検出し、オペランドが転送されている時、オペコードの検出動作を無効にし、オペコードが転送されている時、オペコードの検出動作を有効にする検出タイミング回路を設けた。20

【0020】

(作用)

請求項 1 に記載の発明によれば、疑似命令は対応する命令より先に先読みバッファに転送されるため、疑似命令と対応する命令は転送される前に事前にわかる。そして、擬似命令に付帯したジャンプ先のアドレス又はデータのアドレスに基づく命令又はデータをメモリから先読みすることから、疑似命令は対応する命令が命令実行部で実行される時、ミスヒットすることなく直ちにその分岐先アドレスの命令又はデータを命令実行部に取り込むことができる。30

請求項 2 に記載の発明によれば、疑似命令では、無条件分岐命令、条件分岐命令、CALL 命令、データ呼び出しの命令の少なくともいずれか 1 の命令に対し、その命令の存在が示される。

【0021】

請求項 3 に記載の発明によれば、先読みされるメモリからの命令又はデータは、先読みバッファに転送されると同時に疑似命令検出部に転送され疑似命令かどうかが検出される。従って、疑似命令の検出は、先読みバッファに保持された後でなく、メモリから転送された時に検出がなされるため、より早い時期に疑似命令の検出ができる。その結果、擬似命令に付帯したジャンプ先のアドレス又はデータのアドレスに基づく命令又はデータをメモリから先読みする時期をより早くすることができる。又、疑似命令検出部は、先読みバッファに保持された命令又はデータを用いて疑似命令を検出するのではなく、メモリから先読みのために転送されてくる命令又はデータを直接入力し検出している。従って、疑似命令検出部は、先読みバッファとの間で命令又はデータを読み出すための特別な回路を必要としない簡単な回路で構成することができる。40

【0022】

請求項 4 に記載の発明によれば、疑似命令に対応する命令が先読み用バッファに保持された後に、前記擬似命令に付帯したジャンプ先のアドレス又はデータのアドレスに基づく

命令又はデータの先読みを開始するため、ジャンプ先のアドレス又はデータのアドレスに基づく命令又はデータを優先して転送している途中において、先読みバッファに基づく命令が全て命令実行部で実行処理されてしまつて待機状態となることはない。

【0023】

請求項5に記載の発明によれば、先読みバッファとは別に設けた疑似命令用バッファを設け、その疑似命令用バッファに擬似命令に付帯したジャンプ先のアドレス又はデータのアドレスに基づく命令又はデータを保持させるようにした。従つて、擬似命令に付帯したジャンプ先のアドレス又はデータのアドレスに基づく命令又はデータを先読みして疑似命令用バッファに保持している間、命令実行部は先読みバッファから命令又はデータを読み出し解読及び処理を実行することができる。

10

【0024】

請求項6に記載の発明によれば、擬似命令を検出した時、該擬似命令に付帯するジャンプ先のアドレス又はデータのアドレスに基づいて少なくとも先読みバッファにジャンプ先のアドレス又はデータのアドレスに基づく命令又はデータが保持されてない場合に、メモリから先読み行う。従つて、無駄な先読みがなくなり効率の良い先読み処理を行なうことができる。

【0025】

請求項7に記載の発明によれば、疑似命令は対応する命令より先に先読みバッファに転送されるとともに、疑似命令検出部にて該疑似命令は対応する命令が転送される前に事前にわかる。そして、アドレス制御部にて擬似命令に付帯したジャンプ先のアドレス又はデータのアドレスに基づく命令又はデータはメモリから先読みされる。従つて、疑似命令は対応する命令が命令実行部で実行される時、ミスヒットすることなく直ちにその分岐先アドレスの命令又はデータは命令実行部に取り込むことができる。

20

請求項8に記載の発明によれば、疑似命令では、無条件分岐命令、条件分岐命令、CALL命令、データ呼び出しの命令の少なくともいずれか1の命令に対し、その命令の存在が示される。

【0026】

請求項9に記載の発明によれば、先読みバッファとは別に設けた疑似命令用バッファを設け、その疑似命令用バッファに擬似命令に付帯したジャンプ先のアドレス又はデータのアドレスに基づく命令又はデータが保持される。従つて、擬似命令に付帯したジャンプ先のアドレス又はデータのアドレスに基づく命令又はデータを先読みして疑似命令用バッファに保持している間、命令実行部は先読みバッファから命令又はデータを読み出し解読及び処理を実行することができる。

30

【0027】

請求項10に記載の発明によれば、アドレス制御部は擬似命令検出部が擬似命令を検出したとき、該擬似命令に付帯するジャンプ先のアドレス又はデータのアドレスに基づいて少なくとも先読みバッファにジャンプ先のアドレス又はデータのアドレスに基づく命令又はデータが保持されてない場合のみに、メモリから先読みさせる。従つて、無駄な先読みがなくなり効率の良い先読み処理を行なうことができる。

【0028】

40

請求項11に記載の発明によれば、メモリからの命令又はデータは、先読みバッファに転送されると同時に疑似命令検出部に転送され疑似命令かどうかが検出される。従つて、疑似命令の検出は、先読みバッファに保持された後でなく、メモリから転送された時に検出がなされるため、より早い時期に疑似命令の検出ができる。その結果、擬似命令に付帯したジャンプ先のアドレス又はデータのアドレスに基づく命令又はデータをメモリから先読みする時期をより早くすることができる。又、疑似命令検出部は、先読みバッファに保持された命令又はデータを用いて疑似命令を検出するのではなく、メモリから先読みのために転送されてくる命令又はデータを直接入力し検出している。従つて、疑似命令検出部は、先読みバッファとの間で命令又はデータを読み出すための特別な回路を必要としない簡単な回路となる。

50

【0029】

請求項12に記載の発明によれば、擬似命令検出回路は、検出タイミング回路により、データ線にオペコードが転送されている時、その転送されているオペコードの検出する。従って、検出タイミング回路により、オペランドに擬似命令のオペコードと同じ値が存在した場合でもそのオペランドを擬似命令のオペコードと誤検出することはない。

【0031】

【発明の実施の形態】

(第1実施形態)

以下、本発明を具体化した一実施形態を図1～図4に従って説明する。図1はマイクロコントローラの要部ブロック回路を示す。

10

【0032】

図1において、マイクロコントローラ10は、先読み回路部11と命令実行部12を備えている。マイクロコントローラ10は1チップの半導体集積回路装置で形成されている。

【0033】

先読み回路部11は、メモリとしてのメインメモリ13からプログラムの命令及びデータを順次入力し保持する。命令実行部12は、アドレスカウンタ14が示すアドレスADを先読み回路部11に出力し、そのアドレスADの命令又はデータを先読み回路部11に要求する。先読み回路部11はその要求に応じて命令又はデータを命令実行部12に出力する。そして、命令実行部12は取り込んだ命令又はデータを解読し必要な処理動作を実行する。

20

【0034】

又、先読み回路部11は、メインメモリ13から転送されてくるプログラムの命令及びデータのうち予め用意されている疑似命令が転送されてきたかどうかチェックするようになっている。

【0035】

ここで疑似命令とは、組み立てられたプログラム中に存在する分岐命令の前に存在し、その分岐命令の存在を事前に示すための命令である。従って、疑似命令が転送されて来たとき、疑似命令の後にその疑似命令に対応する分岐命令が転送されてくることがわかる。又、この疑似命令は、前記命令実行部12ではノーオペレーション(NOP)命令と同じに取り扱われるよう定義されている。

30

【0036】

尚、本実施形態では、分岐命令は、無条件分岐命令、条件分岐命令、CALL命令、及びデータ呼び出しの命令を含む。又、本実施形態では、疑似命令のオペコードは、アセンブラーで「1、1、1、1」が割り当てられている。

【0037】

疑似命令は、命令長が4であって、「命令(オペコード)」、「付加情報(オペランド)」、「上位アドレス(オペランド)」及び「下位アドレス(オペランド)」の順に構成されている。上位アドレスは疑似命令に対応する分岐命令が示す分岐先アドレスADX中の上位アドレスを示し、下位アドレスは疑似命令に対応する分岐命令が示す分岐先アドレスADX中の下位アドレスを示す。

40

【0038】

先読み回路部11は、疑似命令が転送されると、その疑似命令に付帯する分岐命令が示す分岐先アドレスADXに対応するプログラムの命令を前記メインメモリ13から取り込むようになっている。従って、疑似命令の後に転送された分岐命令が命令実行部12で実行される時には、その分岐先アドレスADXの命令は既に先読み回路部11に用意されていることから、ミスヒットすることなく直ちにその分岐先アドレスADXの命令は命令実行部12に取り込まれることになる。

【0039】

図1において、先読み回路部11は、疑似命令検出部21、 FIFO(ファーストインファーストアウト)メモリよりなる先読みバッファ22、先読みバッファ用タグメモリ(以

50

下、第1タグという)23、 FIFO(ファーストインファーストアウト)メモリよりなる疑似命令用バッファ24、疑似命令用バッファ用タグメモリ(以下、第2タグという)25、アドレス制御部26、第1及び第2ゲート回路27,28、及び、バイパスゲート回路29を備えている。

【0040】

疑似命令検出部21は、メインメモリ13と先読みバッファ22との間に設けられ、メインメモリ13から先読みバッファ22に順次転送されるプログラムの命令及びデータが疑似命令かどうかチェックする。詳述すると、図2に示すように、疑似命令検出部21はメインメモリ13と先読みバッファ22との間を結ぶ4ビットのデータ線DL0～DL3に接続され、メインメモリ13から先読みバッファ22に順次転送される命令及びデータを直接入力する。10

【0041】

疑似命令検出部11は、疑似命令検出回路31、シフトレジスタ32、付加情報保持回路33、上位アドレス保持回路34、下位アドレス保持回路35とから構成されている。

【0042】

疑似命令検出回路31は4入力端子を備えたアンド回路にて構成されていて、その4入力端子は対応するデータ線DL0～DL3に接続されている。疑似命令検出回路31は、データ線DL0～DL3に転送されている命令又はデータが全てHレベル(高電位)、即ち「1,1,1,1」の時、該転送されている命令が疑似命令であるとしてHレベルなる検出信号SXを次段のシフトレジスタ32に出力する。尚、転送されている命令が疑似命令でないとき、データ線DL0～DL3のうちすくなくとも1つのデータがLレベル(低電位)になる。従って、疑似命令検出回路31はLレベルなる検出信号SXをシフトレジスタ32に出力する。20

【0043】

シフトレジスタ32は、検出信号SXの他にリードストローブ信号RSTを入力する。リードストローブ信号RSTは、マイクロコントローラ10内で生成されるクロック信号であって、このリードストローブ信号RSTの周期で、メインメモリ13からの命令及びデータが読み込まれるようになっている。

【0044】

シフトレジスタ32は3出力端子を備え、各出力端子から対応する保持回路33～35に対して保持信号SFA,SFB,SFCを出力するようになっている。つまり、図4に示すように、シフトレジスタ32は、Hレベルの検出信号SXを入力しリードストローブ信号RSTのLレベルからHレベルの立ち上がりで保持する。その保持した状態で、シフトレジスタ32は次の新たなリードストローブ信号RSTがLレベルからHレベルの立ち上ると、保持信号SFAのみをHレベルにする。そして、保持信号SFAがHレベルの状態で次のリードストローブ信号RSTがLレベルからHレベルの立ち上ると、シフトレジスタ32は保持信号SFAをLレベルにし保持信号SFBのみをHレベルにする。さらに、保持信号SFBがHレベルの状態で次のリードストローブ信号RSTがLレベルからHレベルの立ち上ると、シフトレジスタ32は保持信号SFBをLレベルにし保持信号SFCのみをHレベルにする。そして、保持信号SFCのみがHレベルの状態で、次のリードストローブ信号RSTがLレベルからHレベルの立ち上ると、シフトレジスタ32は全ての保持信号SFA,SFB,SFCをLレベルにする。3040

【0045】

付加情報保持回路33は、4個のD型フリップフロップにて構成されている。各D型フリップフロップのデータ入力端子は対応するデータ線DL0～DL3に接続されている。各D型フリップフロップの制御入力端子には保持信号SFAが入力される。そして、各D型フリップフロップは、保持信号SFAのHレベルの立ち上がりに応答して、その時のデータ線DL0～DL3に転送されている内容を保持する。

【0046】

つまり、付加情報保持回路33は、4ビットの疑似命令の転送後であって、次のリードス50

トローブ信号 R S T に基づいて転送される該疑似命令のための 4 ビットよりなる「付加情報」を保持信号 S F A に応答して保持するようになっている。

【 0 0 4 7 】

上位アドレス保持回路 3 4 は、4 個の D 型フリップフロップにて構成されている。各 D 型フリップフロップのデータ入力端子は対応するデータ線 D L 0 ~ D L 3 に接続されている。各 D 型フリップフロップの制御入力端子には保持信号 S F B が入力される。そして、各 D 型フリップフロップは、保持信号 S F B の H レベルの立ち上がりに応答して、その時のデータ線 D L 0 ~ D L 3 に転送されている内容を保持する。

【 0 0 4 8 】

つまり、上位アドレス保持回路 3 4 は、前記 4 ビットの「付加情報」の転送後であって、
次のリードストローブ信号 R S T に基づいて転送される 8 ビットよりなる分岐先アドレス
A D X 中の上位 4 ビットのアドレス、即ち「上位アドレス」を保持信号 S F B に応答して
保持するようになっている。

【 0 0 4 9 】

下位アドレス保持回路 3 5 は、4 個の D 型フリップフロップにて構成されている。各 D 型フリップフロップのデータ入力端子は対応するデータ線 D L 0 ~ D L 3 に接続されている。各 D 型フリップフロップの制御入力端子には保持信号 S F C が入力される。そして、各 D 型フリップフロップは、保持信号 S F C の H レベルの立ち上がりに応答して、その時のデータ線 D L 0 ~ D L 3 に転送されている内容を保持する。

【 0 0 5 0 】

つまり、下位アドレス保持回路 3 5 は、前記 4 ビットの「上位アドレス」の転送後であって、次のリードストローブ信号 R S T に基づいて転送される前記 8 ビットよりなる分岐先アドレス A D X 中の下位 4 ビットのアドレス、即ち「下位アドレス」を保持信号 S F C に応答して保持するようになっている。

【 0 0 5 1 】

従って、上位アドレス保持回路 3 4 が保持している「上位アドレス」と、下位アドレス保持回路 3 5 が保持している「下位アドレス」をあわせることによって、リードストローブ信号 R S T の二周期で転送される疑似命令に付帯させた分岐先のアドレス A D X が求まる
ことになる。

【 0 0 5 2 】

先読みバッファ 2 2 は、前記メインメモリ 1 3 とデータ線 D L 0 ~ D L 3 を介して接続されている。先読みバッファ 2 2 は、アドレス制御部 2 6 からの第 1 の取り込み信号 R S T 1 に基づいてメインメモリ 1 3 から順次転送されるプログラムの命令及びデータを取り込むようになっている。先読みバッファ 2 2 は、第 1 ゲート回路 2 7 を介して前記命令実行部 1 2 に接続されている。そして、先読みバッファ 2 2 に取り込まれた命令及びデータは、アドレス制御部 2 6 からの第 1 のゲート信号 S G 1 にて第 1 ゲート回路 2 7 が開くことにより命令実行部 1 2 に転送されるようになっている。

【 0 0 5 3 】

第 1 タグ 2 3 は、先読みバッファ 2 2 に取り込まれた命令及びデータにおける先頭アドレスと最終アドレスを記憶している。
40

疑似命令用バッファ 2 4 は、前記メインメモリ 1 3 とデータ線 D L 0 ~ D L 3 を介して接続されている。疑似命令用バッファ 2 4 は、アドレス制御部 2 6 からの第 2 の取り込み信号 R S T 2 に基づいてメインメモリ 1 3 から順次転送されるプログラムの命令及びデータを取り込むようになっている。本実施形態では、前記疑似命令検出部 1 1 が疑似命令を検出し、メインメモリ 1 3 から転送されるその疑似命令に付帯した分岐先アドレス A D X に
対応するプログラムの命令及びデータが、疑似命令用バッファ 2 4 に取り込まれるようにな
っている。

【 0 0 5 4 】

疑似命令用バッファ 2 4 は、第 2 ゲート回路 2 8 を介して前記命令実行部 1 2 に接続され
ている。そして、疑似命令用バッファ 2 4 に取り込まれた命令及びデータは、アドレス制
50

御部 2 6 からの第 2 のゲート信号 S G 2 にて第 2 ゲート回路 2 8 が開くことにより命令実行部 1 2 に転送されるようになっている。

【 0 0 5 5 】

第 2 タグ 2 5 は、疑似命令用バッファ 2 4 に取り込まれた命令及びデータにおける先頭アドレスと最終アドレスを記憶している。

又、メインメモリ 1 3 はバイパスゲート回路 2 9 を介して前記命令実行部 1 2 に接続されている。そして、メインメモリ 1 3 から転送される命令及びデータは、アドレス制御部 2 6 からのバイパス信号 B P S にてバイパスゲート回路 2 9 が開くことにより命令実行部 1 2 に転送されるようになっている。

【 0 0 5 6 】

つまり、本実施形態では、メインメモリ 1 3 から各バッファ 2 3 , 2 4 への命令及びデータの取り込み及び各バッファ 2 3 , 2 4 から命令実行部 1 2 への命令及びデータの転送は、アドレス制御部 2 6 が行っている。

【 0 0 5 7 】

図 3 は、アドレス制御部 2 6 を説明するための回路構成を示す。

図 3 において、先読み用アドレス比較回路 4 1 は、前記命令実行部 1 2 のアドレスカウンタ 1 4 が示すアドレス A D と前記第 1 タグ 2 3 が保持しているアドレスとを入力して両アドレスを比較する。そして、アドレスカウンタ 1 4 が示すアドレス A D と第 1 タグ 2 3 のアドレスが一致する場合、先読み用アドレス比較回路 4 1 は L レベルの第 1 のゲート信号 S G 1 を第 1 ゲート回路 2 7 に出力する。従って、L レベルの第 1 のゲート信号 S G 1 に応答して第 1 ゲート回路 2 7 は開く。その結果、アドレスカウンタ 1 4 のアドレス A D と一致するアドレスの命令又はデータは、先読みバッファ 2 2 から読み出され、第 1 ゲート回路 2 7 を介して命令実行部 1 2 に転送される。

【 0 0 5 8 】

反対に、アドレスカウンタ 1 4 が示すアドレス A D と先頭アドレスが一致しない場合、先読み用アドレス比較回路 4 1 は H レベルの第 1 のゲート信号 S G 1 を第 1 ゲート回路 2 7 に出力する。従って、H レベルの第 1 のゲート信号 S G 1 に応答して第 1 ゲート回路 2 7 は閉じる。その結果、先読みバッファ 2 2 の先頭アドレスにある命令又はデータは、第 1 ゲート回路 2 7 を介して命令実行部 1 2 に転送されない。

【 0 0 5 9 】

疑似命令用アドレス比較回路 4 2 は、前記命令実行部 1 2 のアドレスカウンタ 1 4 が示すアドレス A D と前記第 2 タグ 2 5 が保持しているアドレスとを入力して両アドレスを比較する。そして、アドレスカウンタ 1 4 が示すアドレス A D と第 2 タグ 2 6 のアドレスが一致する場合、疑似命令用アドレス比較回路 4 2 は、L レベルの第 2 のゲート信号 S G 2 を第 2 ゲート回路 2 8 に出力する。従って、L レベルの第 2 のゲート信号 S G 2 に応答して第 2 ゲート回路 2 8 は開く。その結果、アドレスカウンタ 1 4 のアドレス A D と一致するアドレスの命令又はデータは、疑似命令用バッファ 2 4 から読み出されて、第 2 ゲート回路 2 8 を介して命令実行部 1 2 に転送される。

【 0 0 6 0 】

反対に、アドレスカウンタ 1 4 が示すアドレス A D と第 2 タグ 2 5 のアドレスが一致しない場合、疑似命令用アドレス比較回路 4 2 は H レベルの第 2 のゲート信号 S G 2 を第 2 ゲート回路 2 8 に出力する。従って、H レベルの第 2 のゲート信号 S G 2 に応答して第 2 ゲート回路 2 8 は閉じる。その結果、疑似命令用バッファ 2 4 の命令又はデータは、第 2 ゲート回路 2 8 を介して命令実行部 1 2 に転送されない。

【 0 0 6 1 】

NAND 回路 4 3 は、第 1 及び第 2 のゲート信号 S G 1 , S G 2 を入力する。そして、第 1 及び第 2 のゲート信号 S G 1 , S G 2 が共に H レベルの時（先読み用及び疑似命令用アドレス比較回路 4 1 , 4 2 が共にアドレス A D と先頭アドレスが一致しないと判断した時）に、 NAND 回路 4 3 は L レベルの出力信号を出力する。L レベルの出力信号は、待機信号 W T として命令実行部 1 2 に出力する。

10

20

30

40

50

【0062】

そして、命令実行部12は、Lレベルの待機信号WTに応答として命令実行部12は必要な処理動作を停止する。つまり、待機信号WTがLレベルの時には新たな命令又はデータが先読みバッファ22及び疑似命令用バッファ24から取り込まれないため、命令実行部12は必要な処理動作を実行することができず、新たな命令又はデータの取り込みを待つ。

【0063】

又、この NAND 回路 43 の出力信号（待機信号 WT）は、第 3 のゲート信号 SG3 として第 1 アドレスゲート回路 44 に出力される。第 1 アドレスゲート回路 44 は、アドレスカウンタ 14 が示すアドレス AD を入力する。第 1 アドレスゲート回路 44 は、L レベルの第 3 のゲート信号 SG3 を入力したとき、アドレスカウンタ 14 のアドレス AD を次段の第 2 アドレスゲート回路 45 に出力する。第 2 アドレスゲート回路 45 は、第 1 アドレスゲート回路 44 を介してアドレスカウンタ 14 のアドレス AD を入力すると、該アドレス AD をメインメモリ 13 に出力する。従って、メインメモリ 13 は、該アドレス AD の命令及びデータを読み出し先読み回路部 11 に出力することになる。

【0064】

又、この NAND 回路 43 の出力信号（待機信号 WT）は、バイパス信号 BPS としてバイパスゲート回路 29 に出力される。そして、L レベルのバイパス信号 BPS に応答してバイパスゲート回路 29 が開くことにより、メインメモリ 13 から取り込まれる命令及びデータは同バイパスゲート回路 29 を介して命令実行部 12 に直接転送される。反対に、H レベルのバイパス信号 BPS が H レベルのときバイパスゲート回路 29 は閉じる。バイパスゲート回路 29 は閉じることにより、メインメモリ 13 から取り込まれる命令及びデータは同バイパスゲート回路 29 を介して命令実行部 12 に転送されることはない。

【0065】

つまり、命令実行部 12 は、先読みバッファ 22 及び疑似命令用バッファ 24 にアドレスカウンタ 14 が示すアドレス AD の命令又はデータがない場合のときにメインメモリ 13 から転送される命令及びデータをバイパスゲート回路 29 を介して直接取り込むことができるようになっている。

【0066】

先読み用アドレス保持回路 46 は、前記第 1 タグ 23 が保持しているその時の最終アドレスを入力しメインメモリ 13 から次に先読みバッファ 22 に取り込むアドレス（最終アドレスの次のアドレス）を生成し保持する。又、先読み用アドレス保持回路 46 は先読みバッファ 22 に対してメインメモリ 13 からの命令及びデータがこれ以上取り込めないフル状態においては、これ以上の取り込みはできない旨のフルアドレスを生成し保持するようになっている。

【0067】

先読み用アドレスゲート回路 47 は、先読み用アドレス保持回路 46 が保持するアドレスを入力するとともに、前記待機信号 WT を入力する。

先読み用アドレスゲート回路 47 は、H レベルの待機信号 WT を入力している時、第 1 タグ 23 が保持しているアドレス（最終アドレスの次のアドレス）を第 2 アドレスゲート回路 45 に出力する。この時、先読み用アドレスゲート回路 47 は、第 1 取り込み信号 RST1 を生成し、該信号 RST1 を先読みバッファ 22 に出力する。

第 2 アドレスゲート回路 45 は、先読み用アドレスゲート回路 47 を介して先読み用アドレス保持回路 46 が保持するアドレスを入力すると、該アドレスをメインメモリ 13 に出力する。従って、メインメモリ 13 は、該アドレスの命令及びデータを読み出し先読み回路部 11 に出力することになる。そして、先読み回路部 11 の先読みバッファ 22 は、前記第 1 取り込み信号 RST1 に応答してメインメモリ 13 からの命令及びデータを取り込むようになっている。

【0068】

疑似命令用アドレス保持回路 48 は、前記第 2 タグ 25 が保持しているその時の最終アド

10

20

30

40

50

レスを入力しメインメモリ13から次に疑似命令用バッファ24に取り込むアドレス（最終アドレスの次のアドレス）を生成し保持する。又、疑似命令用アドレス保持回路48は疑似命令用バッファ24に対してメインメモリ13からの命令及びデータがこれ以上取り込めないフル状態においては、これ以上の取り込みはできない旨のフルアドレスを生成し保持するようになっている。

【0069】

疑似命令用アドレスゲート回路49は、疑似命令用アドレス保持回路48が保持するアドレスを入力するとともに、前記待機信号WTを入力する。又、疑似命令用アドレスゲート回路49は、疑似命令検出部31からの分岐先アドレスADXを入力する。

【0070】

疑似命令用アドレスゲート回路49は、Hレベルの待機信号WTを入力している時、分岐先アドレスADX又は疑似命令バッファ用タグメモリ25が保持しているアドレス（最終アドレスの次のアドレス）を第2アドレスゲート回路45に出力する。この時、疑似命令用アドレスゲート回路49は、第2取り込み信号RST2を生成し、該信号RST2を疑似命令用バッファ24に出力する。

【0071】

第2アドレスゲート回路45は、疑似命令検出部31からの分岐先アドレスADX又は疑似命令用アドレス保持回路48が保持するアドレスを入力すると、該アドレスをメインメモリ13に出力する。従って、メインメモリ13は、該アドレスの命令及びデータを読み出し先読み回路部11に出力することになる。そして、先読み回路部11の疑似命令用バッファ24は、前記第2取り込み信号RST2に応答してメインメモリ13からの命令及びデータを取り込むようになっている。

【0072】

又、本実施形態では、第2アドレスゲート回路45は、第1アドレスゲート回路44、先読みアドレスゲート回路47及び疑似命令用アドレスゲート回路49からそれぞれアドレスを入力するが、第1アドレスゲート回路44のアドレスを優先的に選択し、その次に第2アドレスゲート回路45のアドレスを選択するようになっている。又、本実施形態では、説明の便宜上、疑似命令用アドレスゲート回路49のアドレスが選択されたとき、第1アドレスゲート回路44からのアドレスの入力を除き先読みアドレスゲート回路47からのアドレスの入力があっても、疑似命令用アドレスゲート回路49のアドレスがフルアドレスになるまで選択し続けるようにしている。そして、選択されたアドレスはメインメモリ13に出力されるようになっている。

【0073】

次に上記のように構成したマイクロコントローラ10の作用について説明する。

今、疑似命令用バッファ24は何も記憶されていない状態で、メインメモリ13から先読みバッファ22にプログラムの命令及びデータがデータ線DL0～DL3を介して順次転送されている場合について説明する。又、先読みバッファ22に転送されたプログラムの命令及びデータが命令実行部12に順次転送され実行処理されている。従って、アドレス制御回路部26の先読み用アドレス比較回路41は第1のゲート信号SG1を出力するとともに、 NAND回路43を介して出力される待機信号WTはHレベルとなっている。

【0074】

又、アドレス制御回路部26の先読み用アドレスゲート回路47は、第1取り込み信号RST1を出力している。さらに、疑似命令用バッファ24は何も記憶されていない状態で、アドレス制御回路部26の疑似命令用アドレスゲート回路49は第2取り込み信号RST2を出力していない。

【0075】

従って、第2アドレスゲート回路45は、先読みアドレスゲート回路47を介して先読み用アドレス保持回路46からのアドレスを選択して該アドレスをメインメモリ13に転送している。

【0076】

10

20

30

40

50

このような状態において、疑似命令検出部21の疑似命令検出回路31はそのデータ線D L0～DL3を先読みバッファ22に転送されていくプログラムの命令及びデータを入力する。そして、疑似命令検出回路31が、「1, 1, 1, 1」なる疑似命令のオペコードを検出すると、疑似命令検出部21の上位アドレス保持回路34及び下位アドレス保持回路35において、前記疑似命令に付帯させた分岐先のアドレスADXが保持される。上位アドレス保持回路34及び下位アドレス保持回路35に保持された前記疑似命令に付帯させた分岐先のアドレスADXは、アドレス制御回路部26の疑似命令用アドレスゲート回路49に出力される。

【0077】

疑似命令用アドレスゲート回路49は、この時点では待機信号WTはHレベルであり、疑似命令用アドレス保持回路48は疑似命令用バッファ24は何も記憶されていないことから、このアドレスADXを第2アドレスゲート回路45に出力する。第2アドレスゲート回路45は、このアドレスADXを入力すると、先読み用アドレス回路47からのアドレスがフルアドレスかどうかチェックし、フルアドレスになるまで該アドレスADXを選択しない。そして、先読み用アドレス回路47からのアドレスがフルアドレスになると、第2アドレスゲート回路45は、該アドレスADXを選択しメインメモリ13に出力する。該アドレスADXを選択されると、疑似命令用アドレスゲート回路49は、第2の取り込み信号RST2を出力する。又、第2アドレスゲート回路45は、フルアドレスになると、第1の取り込み信号RST1を消失させる。

【0078】

メインメモリ13はこのアドレスADXの命令及びデータを読み出し出力する。この時、疑似命令用アドレスゲート回路49は、第2取り込み信号RST2を出力しているため、このアドレスADXの命令及びデータは、疑似命令用バッファ24に転送される。

【0079】

アドレスADXの命令及びデータが疑似命令用バッファ24に転送されると、第2タグ25を介して疑似命令用アドレス保持回路48から疑似命令用アドレスゲート回路49にアドレスADXに1加算したアドレスが出力される。疑似命令用アドレスゲート回路49はこのアドレスADXに1加算したアドレスを第2アドレスゲート回路45を介してメインメモリ13に出力する。アドレスADXに1加算したアドレスの命令及びデータが読み出され疑似命令用バッファ24に転送される。

【0080】

以後、同様な動作が繰り返されて、疑似命令用バッファ24に分岐先のアドレスADXを先頭に命令及びデータが記憶される。

やがて、疑似命令用バッファ24がこれ以上命令及びデータを取り込めないフル状態になると、疑似命令用アドレス保持回路48からフルアドレスを示すデータが疑似命令用アドレスゲート回路49に出力される。

【0081】

疑似命令用アドレスゲート回路49はこのフルアドレスを示すデータに基づいて第2の取り込み信号RST2の生成を停止し該信号RST2の疑似命令用バッファ24への出力を停止する。又、疑似命令用アドレスゲート回路49はこのフルアドレスを示すデータを第2アドレスデータゲート回路45に出力する。

【0082】

第2アドレスデータゲート回路45は、フルアドレスを示すデータに基づいて前記先読み用アドレスゲート回路47のアドレスを選択する状態になる。前記先読み用アドレスゲート回路47は、第1タグ23に基づくアドレスを第2アドレスデータゲート回路45に出力するとともに、第1の取り込み信号RST1を先読みバッファ22に出力する。

【0083】

メインメモリ13はこの先読み用アドレス保持回路46からのアドレスの命令及びデータを読み出し出力する。この時、先読み用アドレスゲート回路47は、第1取り込み信号RST1を出力しているため、このアドレスの命令及びデータは、先読みバッファ22に転

10

20

30

40

50

送される。即ち、先読みバッファ 2 2への命令及びデータの転送が再開される。

【 0 0 8 4 】

アドレスの命令及びデータが先読みバッファ 2 2に転送されると、先読み用アドレス保持回路 4 6 から先読み用アドレスゲート回路 4 7 に先のアドレスに 1 加算したアドレスが出力される。先読み用アドレスゲート回路 4 7 はこの 1 加算されたアドレスを第 2 アドレスゲート回路 4 5 を介してメインメモリ 1 3 に出力する。1 加算されたアドレスの命令及びデータが読み出され先読みバッファ 2 2 に転送される。

【 0 0 8 5 】

以後、同様な動作が繰り返されて、先読みバッファ 2 2 に命令及びデータが記憶される。
やがて、先読みバッファ 2 2 がこれ以上命令及びデータを取り込めないフル状態に再びなると、先読み用アドレス保持回路 4 6 からフルアドレスを示すデータが先読み用アドレスゲート回路 4 7 に出力される。

10

【 0 0 8 6 】

先読み用アドレスゲート回路 4 7 はこのフルアドレスを示すデータに基づいて第 1 の取り込み信号 R S T 1 の生成を停止し該信号 R S T 1 の先読みバッファ 2 2 への出力を停止する。又、先読み用アドレスゲート回路 4 7 はこのフルアドレスを示すデータを第 2 アドレスデータゲート回路 4 5 に出力する。

【 0 0 8 7 】

第 2 アドレスデータゲート回路 4 5 は、フルアドレスを示すデータに基づいて前記先読み用アドレスゲート回路 4 7 のアドレスを非選択にする状態になり、メインメモリ 1 3 にアドレスを出力するのを停止する。

20

【 0 0 8 8 】

次に、上記のように構成したマイクロコントローラの特徴について述べる。

(1) 本実施形態では、組み立てられたプログラムにおいて、そのプログラム中に存在する分岐命令の前にその分岐命令の存在を事前に示すための疑似命令を設けた。そして、組み立てられたプログラムの命令及びデータを先読みバッファ 2 2 に転送する途中において、疑似命令検出部 2 1 にて転送されている命令が疑似命令かどうか検出するようにした。従って、分岐命令が先読みバッファ 2 2 に転送される前に事前に分岐命令が転送されて来ることがわかる。その結果、疑似命令の後に転送された分岐命令が命令実行部 1 2 で実行される時、その分岐先アドレス A D X の命令を既に疑似命令用バッファ 2 4 に用意させておくことができため、ミスヒットすることなく直ちにその分岐先アドレス A D X の命令は命令実行部 1 2 に取り込むことができる。

30

【 0 0 8 9 】

(2) 本実施形態では、疑似命令検出部 2 1 は、メインメモリ 1 3 と先読みバッファ 2 2 との間に接続されたデータ線 D L 0 ~ D L 3 と接続し、メインメモリ 1 3 から先読みバッファ 2 2 に転送する途中の命令及びデータを入力して疑似命令を検出する。従って、先読みバッファ 2 2 に転送される前に疑似命令の検出ができる。その結果、疑似命令の後に転送された分岐命令が命令実行部 1 2 で実行される時、その分岐先アドレス A D X の命令を既に疑似命令用バッファ 2 4 に用意させておくことができため、ミスヒットすることなく直ちにその分岐先アドレス A D X の命令は命令実行部 1 2 に取り込むことができる。

40

【 0 0 9 0 】

(3) 本実施形態の疑似命令検出部 2 1 は、アンド回路よりなる疑似命令検出回路 3 1 、シフトレジスタ 3 2 、及び、D 型フリップフロップよりなる各保持回路 3 3 ~ 3 4 等の非常に簡単な回路で構成したので、マイクロコントローラがより複雑になることが防止できる。

【 0 0 9 1 】

(4) 本実施形態では、疑似命令検出部 2 1 は、先読みバッファ 2 2 に転送される前に疑似命令の有無を検出するようにした。つまり、疑似命令の検出のために、先読みバッファ 2 2 との間でデータの授受を行うことがなことから、先読みバッファ 2 2 との間に特別か

50

つ複雑な検出のための回路を設ける必要ない。その結果、マイクロコントローラの回路構成が複雑になることが防止できる。

【0092】

(5) 本実施形態では、分岐命令が示す分岐先ドレス A D X を疑似命令に付帯させた。そして、疑似命令検出部 21 は疑似命令の転送を検出したとき、あわせて分岐命令が示す分岐先ドレス A D X を抽出してアドレス制御部 26 に出力する。アドレス制御部 26 は分岐先ドレス A D X に基づいてメインメモリ 13 から命令及びデータを読み出し疑似命令用バッファ 24 に転送させるようにした。従って、分岐先アドレス A D X に対応するプログラムの命令は前記メインメモリ 13 から取り込むことができ、疑似命令の後に転送された分岐命令が命令実行部 12 で実行される時には、その分岐先アドレス A D X の命令は既に疑似命令用バッファ 24 に用意されていることから、ミスヒットすることなく直ちにその分岐先アドレス A D X の命令は命令実行部 12 に取り込むことができる。10

【0093】

(6) 本実施形態では、待機信号 W T が H レベルの時、即ち、命令実行部 12 が メインメモリ 13 から命令及びデータを直接読み出していない間に、先読みバッファ 22 及び疑似命令用バッファ 24 に命令及びデータを転送するようにしたので、効率よく メインメモリ 13 を使用することができ、メインメモリ 13 から単位時間当たりの読み出し命令数の向上を図ることができる。

【0094】

(7) 本実施形態によれば、先読みバッファ 22 とは別に疑似命令用バッファ 24 を設け、その疑似命令用バッファ 24 に擬似命令に付帯したジャンプ先のアドレス A D X に基づく命令及データを転送させるようにした。従って、擬似命令に付帯したジャンプ先のアドレス A D X に基づく命令及データを先読みし疑似命令用バッファ 24 に保持している間、命令実行部 12 は、停止することなく、アドレスカウンタ 14 に基づいて先読みバッファ 22 から命令及びデータを読み出し解読及び処理を実行することができる。20

【0095】

(第 2 実施形態)

次に、本発明の第 2 実施形態について説明する。本実施形態は、疑似命令検出部 21 が第 1 実施形態と相違する。従って、説明の便宜上、疑似命令検出部 21 についてのみ説明する。30

【0096】

前記実施形態では、疑似命令のオペコードをアセンブラーで「1、1、1、1」とし、そのオペコードをアンド回路よりなる疑似命令検出回路 31 で検出するようにしたものである。そして、上記実施形態の場合、オペコードに続くオペランドに「1、1、1、1」よりなるオペランドがないものとしている。つまり、「1、1、1、1」よりなるオペランドが存在した場合に、このオペランドによって疑似命令として誤検出してしまうからである。

【0097】

そこで、本実施形態では、オペランドに「1、1、1、1」よりなるオペランドが存在しても、誤検出しない疑似命令検出回路 21 を説明する。40

尚、本実施形態では、全てのオペコードは、4 ビットよりなり、その上位 2 ビット（最上位ビットを D 3、最上位ビット D 3 の次の下位ビットを D 2 とする）は、オペコードに続くオペランドの数を示すように定義されている。

【0098】

本実施形態では、「D 3、D 2」が「0、0」の時、オペランドの数は無し。「D 3、D 2」が「0、1」の時、オペランドの数は 1 つ。「D 3、D 2」が「1、0」の時、オペランドの数は 2 つ。「D 3、D 2」が「1、1」の時、オペランドの数は 3 つ。

【0099】

従って、疑似命令のオペコードは「1、1、1、1」であって、その上位 2 ビットは、「1、1」なので、疑似命令のオペランドの数は 3 つ、即ち、付加情報、上位アドレス及び

下位アドレスの3つのオペランドとなる。又、ある命令のオペコードが「1、0、1、1」のとき、その上位2ビットは、「1、0」なので、その命令のオペランドの数は2つとなる。

【0100】

図5は、本実施形態の疑似命令検出回路21を示す。尚、第1実施形態と同じ回路構成については、符号を同じにしその詳細は省略し相違する構成について説明する。

【0101】

本実施形態の疑似命令検出回路31は、5入力よりなるアンド回路より構成され、それデータ線DL0～DL3に接続されている。又、残る1つの入力端子は、検出タイミング回路としてのダウンカウンタ50に接続されている。本実施形態の疑似命令検出回路31は、データ線DL0～DL3に転送される命令及びデータが全て「1」であって、ダウンカウンタ50から出力される出力信号が「1」のとき、Hレベルの検出信号SXを出力することになる。10

【0102】

ダウンカウンタ50は、セット入力端子が、上位2ビットD3、D2が転送されデータ線DL3、DL2に接続されている。そして、ダウンカウンタ50は、「D3、D2」が「0、0」の時に「0」、「D3、D2」が「0、1」の時に「1」、「D3、D2」が「1、0」の時に「2」、「D3、D2」が「1、1」の時に「3」の値を、出力信号が「0」から「1」になるとき保持し、次の新たなリードストローブ信号RSTの立ち上がりでセットされるようになっている。20

【0103】

ダウンカウンタ50は、そのセットされた値を前記リードストローブ信号RSTの立ち上がりで「1」づつ減算する。そして、ダウンカウンタ50は、減算値が「0」になった時、「1」の出力信号を疑似命令検出回路31に出力する。従って、ダウンカウンタ50は、減算値が「0」以外の時、「0」の出力信号を疑似命令検出回路31に出力する。その結果、疑似命令検出回路31は、出力信号が「0」の時には疑似命令の検出ができない。

【0104】

ダウンカウンタ50の出力信号は、同カウンタ50の制御入力端子に入力される。ダウンカウンタ50は、制御信号入力端子に出力信号が「0」から「1」になったとき、データ線DL3、DL2から上位2ビットD3、D2の値を保持し、保持した後に出力信号を「1」から「0」にする。ダウンカウンタ50は、制御信号入力端子に出力信号が「0」のときには、データ線DL3、DL2から上位2ビットD3、D2の値をセットしない。30

【0105】

次に上記のよう構成した疑似命令検出部21の作用を説明する。

今、「1,0,...,...」よりなるオペコードよりなるある命令の後、疑似命令が転送されるものとする。従って、ある命令のオペコードの上位ビットD3、D2は「1,0」であるため、オペランドの数は2となる。

【0106】

そして、ある命令の「1,0,...,...」のオペコードが転送されている状態であって、ダウンカウンタ50の出力信号が「0」から「1」になった状態で、疑似命令検出回路31は、オペコードが「1,0,...,...」で「0」を含むので、疑似命令でない判断する。一方、ダウンカウンタ50は、出力信号の「0」から「1」に応答してこのオペコードの上位ビットD3、D2の「1,0」即ち「2」を保持するとともに、出力信号を「1」から「0」にする。40

【0107】

そして、ダウンカウンタ50は、次にリードストローブ信号RSTの立ち上がりで「2」をセットする。このリードストローブ信号RSTの立ち上がり時に、「1,0,...,...」のオペコードよりなるある命令の1つ目のオペランドが転送されるが、疑似命令検出回路31は、出力信号が「0」なのでこのオペランドを入力しても疑似命令の検出をしない。

【0108】

10

20

30

40

50

続いて、新たなリードストローブ信号 R S T が立ち上がりいでダウンカウンタ 5 0 は、減算値が「1」となる。このリードストローブ信号 R S T の立ち上がり時に、2つ目のオペラントが転送されるが、疑似命令検出回路 3 1 は、出力信号が「0」なのでこのオペラントを入力しても疑似命令の検出はしない。

【0109】

2つ目のオペラントが転送されて次の疑似命令のオペコードが転送されると、次の新たなリードストローブ信号 R S T が立ち上がり、その立ち上がりでダウンカウンタ 5 0 は、減算値が「0」となり出力信号を「1」にする。従って、疑似命令検出回路 3 1 は、「1」の出力信号に基づいて検出可能となる。この時、疑似命令における「1, 1, 1, 1」のオペコードが転送されているので、H レベルの検出信号 S X を出力する。

10

【0110】

一方、ダウンカウンタ 5 0 は、上位ビット D 3, D 2 の「1, 1」即ち「3」を保持し保持した後、出力信号を「1」から「0」にする。以後同様な動作を繰り返し、3つのオペラントが転送されても、その間、疑似命令検出回路 3 1 は、疑似命令の検出は行わない。つまり、疑似命令検出回路 3 1 の検出時期を常にオペーコードが転送されている間に限定している。

【0111】

従って、本実施形態では、オペラントに疑似命令と同じ内容のものが存在しても、そのオペラントを疑似命令と誤検出することはない。その結果、プログラムを設計する際の自由度は向上する。

20

【0112】

尚、この第2実施形態では、オペコードからオペラントの数をダウンカウンタ 5 0 にセットしたが、オペラントの数に1加算してなる命令長をダウンカウンタ 5 0 にセットして実施してもよい。この場合には、ダウンカウンタ 5 0 はリードストローブ信号 R S T の立ち上がりで保持及び減算を行なうことになる。

【0113】

尚、発明の実施の形態は、上記各実施形態に限定されるものではなく以下のように実施してもよい。

前記実施形態では、疑似命令検出部 2 1 が疑似命令を検出した時先読みバッファ 2 2 がフルアドレスになった後に、疑似命令検出部 2 1 が検出した分岐命令におけるジャンプ先のアドレス A D X に基づいてメインメモリ 1 3 から命令及びデータを疑似命令用バッファ 2 4 に転送するようにした。

30

【0114】

これを、疑似命令検出部 2 1 が疑似命令を検出した時、先読みバッファ 2 2 への命令及びデータ転送が、その疑似命令に対応する分岐命令が先読みバッファ 2 2 に転送されまで、中止させないようして実施してもよい。

【0115】

この場合、疑似命令に付帯する付加情報に疑似命令が転送されてから対応する分岐命令がどれくらい後に転送されるかの情報を記録する。そして、この付加情報を、例えば図 3 に破線で示すように、先読みアドレス保持回路 4 6 に出力する。先読みアドレス保持回路 4 6 は、この付加情報に基づいて、疑似命令が転送されてから対応する分岐命令の転送が完了したとき、第2アドレスゲート回路 4 5 に対して疑似命令用アドレスゲート 4 9 を優先的に選択させる信号を出力させる機能を持たせる。

40

【0116】

このように、構成することによって、先読みバッファ 2 2 に対する先読みが長くなりすぎて疑似命令に対応する分岐命令が命令実行部 1 2 にて処理される前に、ジャンプ先のアドレス A D X に基づいてメインメモリ 1 3 から命令及びデータを疑似命令用バッファ 2 4 に転送されていないといった問題はなくなる。

【0117】

前記実施形態では、先読みバッファ 2 2 がフルアドレスになった後に、疑似命令検出部

50

21が検出した分岐命令におけるジャンプ先のアドレスADXに基づいてメインメモリ13から命令及びデータを疑似命令用バッファ24に転送するようにした。

【0118】

これを、先読みバッファ22への命令及びデータ転送を一旦中止し、疑似命令検出部21が検出した分岐命令におけるジャンプ先のアドレスADXに基づいてメインメモリ13から命令及びデータを疑似命令用バッファ24に転送するようにして実施してもよい。

【0119】

この場合、疑似命令検出部21が疑似命令を検出した時、先読みバッファ22への命令及びデータ転送が、その疑似命令に対応する分岐命令が先読みバッファ22に転送されまで、中止させないようして変更して実施してもよい。 10

【0120】

この場合も、疑似命令に付帯する付加情報に疑似命令が転送されてから対応する分岐命令がどれくらい後に転送されるかの情報を記録する。そして、この付加情報を、例えば図3に破線で示すように、先読みアドレス保持回路46に出力する。先読みアドレス保持回路46は、この付加情報に基づいて、疑似命令に対する分岐命令が先読みバッファ22に転送されるまでの間、第2アドレスゲート回路45に対して優先的に選択させる機能を持たせる。

【0121】

このように、構成することによって、疑似命令用バッファ24にジャンプ先のアドレスADXに基づいてメインメモリ13から命令及びデータを転送している途中において、先読みバッファ22に基づく命令が全て命令実行部12で実行処理されてしまって待機状態となることが防止できる。 20

【0122】

又、この先読みバッファ22に分岐命令が転送された後に、疑似命令用バッファ24へのジャンプ先のアドレスADXに基づいて命令及びデータの転送する場合について、命令及びデータが疑似命令用バッファ24にこれ以上取り込めないフル状態になった時、先読みバッファ22にまだ取り込む余裕がある時、アドレス制御部26は、先読みバッファ22に書き込むようにしてよい。

【0123】

前記実施形態では、無条件分岐、条件分岐、CALL命令、データ呼び出しの命令を分岐命令とし、その分岐命令に対して疑似命令を作成したが、分岐命令に対して疑似命令を設定したが、無条件分岐、条件分岐、CALL命令、データ呼び出しの命令の少なくともいすれか1つの命令に対して疑似分岐命令を設定してもよい。 30

【0124】

前記実施形態では、疑似命令は命令実行部12ではノーオペレーション(NOP)命令と同じに取り扱われる。そして、疑似命令の命令長は4であるので、命令実行部12は疑似命令を処理するためにその命令長4のサイクルだけ無駄な処理をすることになる。

【0125】

そこで、疑似命令検出部21が疑似命令を検出した時、アドレス制御部26にその疑似命令の1つ前の命令又はデータのアドレスを保持させ、命令実行部12のアドレスカウンタ14がそのアドレスになり、そして次のアドレスにカウントアップするとき、疑似命令のアドレスを飛ばし疑似命令の次に来る命令又はデータのアドレスまでアップさせる機能を持たせるようにして実施してもよい。 40

【0126】

この場合、命令実行部12は、疑似命令の処理を実行することなく直ちに疑似命令の次に来る命令又はデータを処理することになり、処理時間の短縮を図ることができる。

【0127】

本実施形態では、疑似命令検出部21にて疑似命令が検出されると、その疑似命令に付帯する分岐命令が示す分岐先アドレスADXに対応する命令及びデータをメインメモリ13から読み出すようにしている。これを疑似命令検出部21にて検出した分岐先アドレス 50

A D X に基づく命令及びデータが先読みバッファ 2 2 又は疑似命令用バッファ 2 4 に既に保持されているかチェックする機能をバス制御部 2 6 に持たせ、既に保持されている場合には先読みをしないようにし、保持されていない時には疑似命令用バッファ 2 4 に命令及びデータを先読みさせるようにする。この場合、バス制御部 2 6 による既に保持されているかチェックは、例えば分岐先アドレス A D X と第 1 タグ 2 3 及び第 2 タグ 2 5 のタグ情報を比較して行う。

【 0 1 2 8 】

このようにすることにより、無駄な先読みがなくなり、効率の良い先読み処理を行うことができる。

前記実施形態では、無条件分岐命令、条件分岐命令、C A L L 命令、データ呼び出しの命令を 1 つの擬似命令として取り扱い、オペコードを「1, 1, 1, 1」としたが、これを無条件分岐命令、条件分岐分岐、C A L L 命令、及び、データ呼び出しの命令に対してそれぞれ相違するオペコードの擬似命令を設定してもよい。10

【 0 1 2 9 】

そして、無条件分岐命令の擬似命令に付帯する付加情報に、該無条件命令が先読みバッファ 2 2 に転送されるまで先読みし、その後はジャンプ先の命令及びデータを擬似命令用バッファ 2 4 に転送させるような情報を付加する。そして、その付加情報に基づいてアドレス制御部 2 6 に上記動作を実行させるようにしてもよい。

【 0 1 3 0 】

又、条件分岐命令の擬似命令に付帯する付加情報に、該条件分岐命令が先読みバッファ 2 2 に転送されるまで先読みし、その後はジャンプ先の命令及びデータを擬似命令用バッファ 2 4 に転送させる動作と、先読みバッファ 2 2 に転送する通常の転送動作を行なわせるような情報を付加する。そして、その付加情報に基づいてアドレス制御部 2 6 に上記動作を実行させるようにしてもよい。このとき、交互にかかるタイミングは、その転送する命令及びデータ数の割合で決定して行なってもよい。20

【 0 1 3 1 】

さらに、C A L L 命令の擬似命令に付帯する付加情報に、該 C A L L 命令が先読みバッファ 2 2 に転送されるまで先読みし、続いてジャンプ先の命令及びデータを最後まで擬似命令用バッファ 2 4 に転送させ、その後に再び先読みバッファ 2 2 を使用した先読みを行なわせるような情報を付加する。そして、その付加情報に基づいてアドレス制御部 2 6 に上記動作を実行させるようにしてもよい。30

【 0 1 3 2 】

さらに又、データ呼び出し命令の擬似命令に付帯する付加情報に、該データ呼び出し命令が先読みバッファ 2 2 に転送されるまで先読みし、続いて擬似命令用バッファ 2 4 に必要な分のデータを転送し、その後は引き続き先読みバッファ 2 2 への先読みを行なわせるような情報を付加する。そして、その付加情報に基づいてアドレス制御部 2 6 に上記動作を実行させるようにしてもよい。

【 0 1 3 3 】

前記実施形態では、無条件分岐命令、条件分岐命令、C A L L 命令、データ呼び出しの命令を 1 つの擬似命令として取り扱い、オペコードを「1, 1, 1, 1」としたが、これをオペコードは共通とし、無条件分岐命令、条件分岐分岐、C A L L 命令、及び、データ呼び出しの命令の区別を付加情報に定義して実施してもよい。40

【 0 1 3 4 】

前記実施形態では、1 つの疑似命令用バッファ 2 4 だけであった。これを無条件分岐命令、条件分岐命令、C A L L 命令、データ呼び出しの命令の各命令の対する疑似命令をそれぞれを区別できるようにするとともに、無条件分岐命令、条件分岐命令、C A L L 命令、データ呼び出しの命令の各命令のための専用の疑似命令用バッファをそれぞれ設ける。そして、アドレス制御部 2 6 に無条件分岐命令の疑似命令の場合には無条件分岐命令のために設けたバッファにジャンプ先のアドレスの命令及びデータを転送させる等、各命令に対応するバッファにその命令及びデータを転送させる機能をもたせて実施してもよい。50

【0135】

又、無条件分岐命令、条件分岐命令、及び、CALL命令に対する疑似命令のオペコードを「1, 1, 1, 1」とし、データ呼び出しの命令に対する擬似命令のオペコードを「1, 1, 1, 0」にする。つまり、擬似命令のオペコードの最下位ビットを「0」にして他の疑似命令と相違させて実施してもよい。この場合、疑似命令検出回路31は、上位3ビットのオペコードをデータ線DL1～DL3から入力する。そして、オペコードの最下位ビットが転送されるデータ線DL0からその最下位ビットをアドレス制御部26に出力する。

【0136】

そして、アドレス制御部26に疑似検出回路部21からの疑似命令の検出に基づいてその時の最下位ビットの内容（「1」か「0」）で、データ呼び出しの命令に対する擬似命令なのか、それ以外の疑似命令なのか判断する機能を持たせる。さらに、データ呼び出しの命令に対する擬似命令の場合には、該データ呼び出し命令が先読みバッファ22に転送されるまで先読みし、続いて擬似命令用バッファ24に必要な分のデータを転送し、その後は引き続き先読みバッファ22への先読みを行なわせる機能をアドレス制御部26に持たせるようにして実施してもよい。

【0137】

又、疑似命令に付帯する付加情報に優先順位の情報を付加する。そして、その付加情報に基づいて先読みバッファ22の先読みを優先的に行ったり、疑似命令用バッファ24の先読みを優先的に実行させる等の機能をバス制御部26に持たせて実施してもよい。

【0138】

前記実施形態では、先読みバッファ22及び疑似命令用バッファ24をFIFOメモリで構成したが、それぞれキャッシュメモリで構成してもよい。

前記実施形態では、先読みバッファ22と疑似命令用バッファ24をそれぞれ設けたが、これを1つの記憶容量が大きいFIFOメモリよりなるバッファを共用するようにし、疑似命令が検出されたとき、疑似命令に対する命令がバッファに転送されるまで先読みし、続いてジャンプ先の命令及びデータを最後まで先読みを行なわせる等の機能をバス制御部26に持たせて実施してもよい。

【0139】**【発明の効果】**

請求項1, 2に記載の発明によれば、ミスヒットすることなく直ちにその分岐先アドレスの命令及びデータを命令実行部に取り込むことができる。

【0140】

請求項3に記載の発明によれば、ミスヒットすることなく直ちにその分岐先アドレスの命令及びデータを命令実行部に取り込むことができるとともに、簡単な回路で実施することができる。

【0141】

請求項4に記載の発明によれば、先読みバッファに基づく命令が全て命令実行部で実行処理されてしまって待機状態となることはなくマイクロコントローラの効率のよい処理動作を可能にすることができます。

【0142】

請求項5に記載の発明によれば、擬似命令に付帯したジャンプ先のアドレス又はデータのアドレスに基づく命令及データを先読みし疑似命令用バッファに保持している間、命令実行部は先読みバッファから命令及びデータを読み出し解読及び処理を実行することができ、マイクロコントローラの効率のよい処理動作を可能にすることができます。

【0143】

請求項6に記載の発明によれば、無駄な先読みをなくすことができ効率の良い先読み処理を行なうことができる。

請求項7, 8に記載の発明によれば、ミスヒットすることなく直ちにその分岐先アドレスの命令及びデータは命令実行部に取り込むことができる。

10

20

30

40

50

【0144】

請求項9に記載の発明によれば、擬似命令に付帯したジャンプ先のアドレス又はデータのアドレスに基づく命令及データを先読みし疑似命令用バッファに保持している間、命令実行部は先読みバッファから命令及びデータを読み出し解読及び処理を実行することができ、マイクロコントローラの効率のよい処理動作を可能にすることができる。

【0145】

請求項10に記載の発明によれば、無駄な先読みをなくすことができ効率の良い先読み処理を行なうことができる。

請求項11に記載の発明によれば、ミスヒットすることなく直ちにその分岐先アドレスの命令及びデータを命令実行部に取り込むことができるとともに、簡単な回路で実施することができる。 10

【0146】

請求項12に記載の発明によれば、擬似命令を確実に検出することができる。

【図面の簡単な説明】

【図1】一実施形態を説明するための先読み回路部を備えたマイクロコントローラの要部ブロック回路図

【図2】疑似命令検出部の構成を説明するためのブロック回路図

【図3】アドレス制御部の構成を説明するためのブロック回路図

【図4】疑似命令検出部の動作を説明するためのタイミングチャート

【図5】疑似命令検出部の別例を説明するためのブロック回路図

【符号の説明】

1 0 マイクロコントローラ

1 1 先読み回路部

1 2 命令実行部

1 3 メインメモリ

1 4 アドレスカウンタ

2 1 疑似命令検出部

2 2 先読みバッファ

2 3 先読みバッファ用タグメモリ

2 4 疑似命令用バッファ

2 5 疑似命令バッファ用タグメモリ

2 6 アドレス制御部

3 1 疑似命令検出回路

5 0 ダウンカウンタ

A D X 分岐先アドレス

D L 0 ~ D L 3 データ線

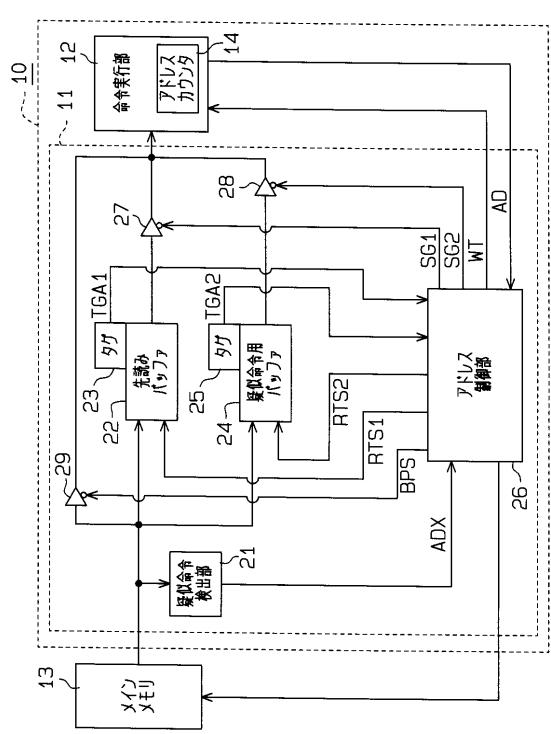
10

20

30

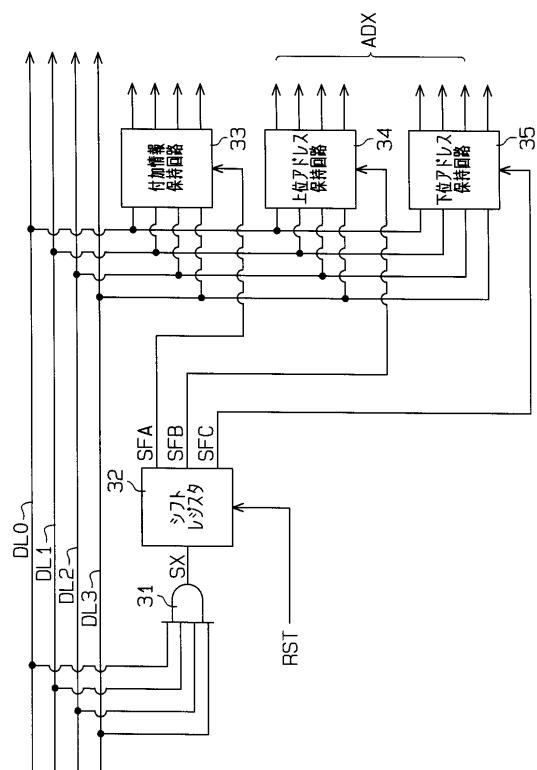
【図1】

先読み回路部を備えたマイクロコントローラの要部ブロック回路図



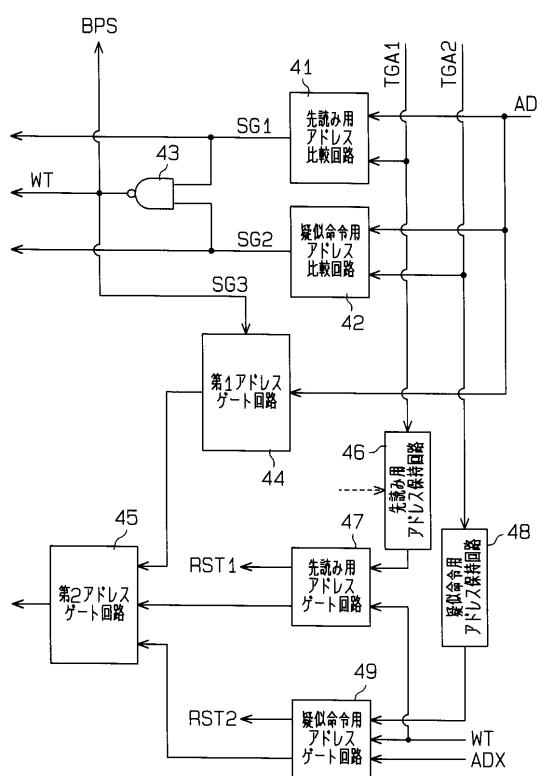
【図2】

疑似命令検出部の構成を説明するためのブロック回路図



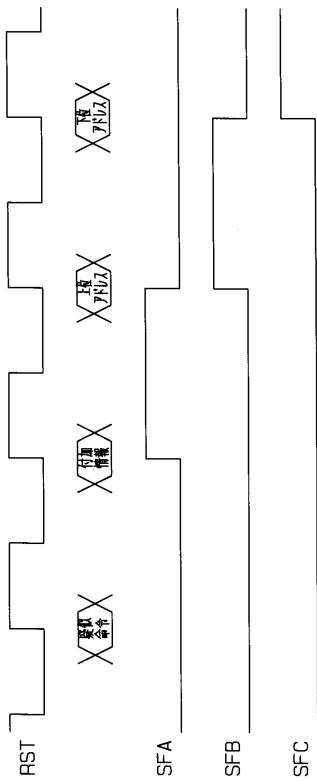
【図3】

アドレス制御部の構成を説明するためのブロック回路図



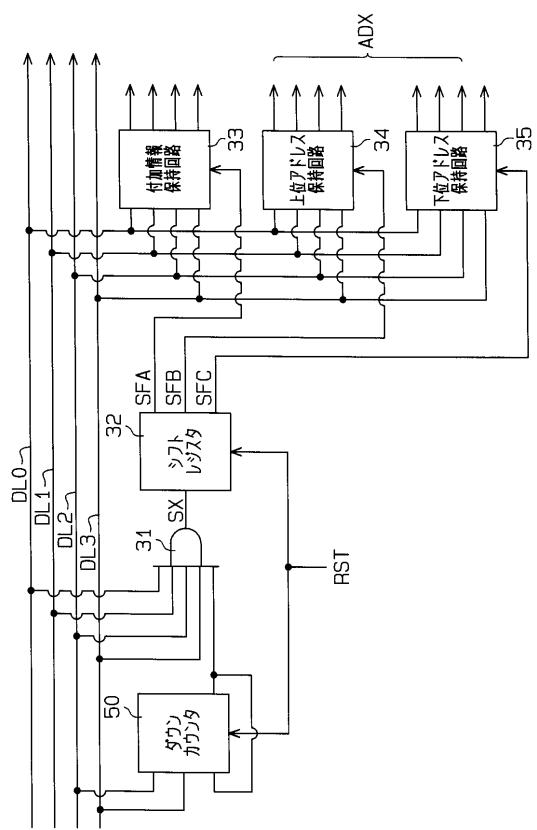
【図4】

疑似命令検出部の動作を説明するためのタイミングチャート



【図5】

疑似命令検出部の別例を説明するためのブロック回路図



フロントページの続き

審査官 後藤 彰

(56)参考文献 特開平10-91437(JP,A)
特開平7-121443(JP,A)
特開平4-365133(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 9/38