

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 3 区分  
 【発行日】平成 25 年 2 月 21 日 (2013.2.21)

【公表番号】特表 2012-518234 (P2012-518234A)  
 【公表日】平成 24 年 8 月 9 日 (2012.8.9)  
 【年通号数】公開・登録公報 2012-031  
 【出願番号】特願 2011-551086 (P2011-551086)  
 【国際特許分類】

G 0 6 F 11/28 (2006.01)

G 0 6 F 12/16 (2006.01)

【 F I 】

G 0 6 F 11/28 3 1 0 B

G 0 6 F 12/16 3 3 0 D

【手続補正書】  
 【提出日】平成 24 年 12 月 19 日 (2012.12.19)  
 【手続補正 1】  
 【補正対象書類名】特許請求の範囲  
 【補正対象項目名】全文  
 【補正方法】変更  
 【補正の内容】  
 【特許請求の範囲】  
 【請求項 1】

デバッグメッセージを生成するデータ処理システムにおいて、  
 複数のデータ処理命令を実行するためのデータプロセッサと、  
 データプロセッサに接続されており、情報を格納し、データプロセッサに該情報を与えるためのメモリと、

データプロセッサに接続されており、アドレス変換トレースメッセージを含むデバッグメッセージを生成するためのデバッグ回路と、

デバッグ回路及びデータプロセッサに接続されているメモリ管理ユニットであって、アドレス変換マッピングを格納するとともに該アドレス変換マッピングを用いてアドレス変換を実行して仮想形態と物理形態との間でアドレスを変換するためのアドレス変換論理を備えるメモリ管理ユニットと、を備え、

デバッグ回路は、メモリ管理ユニットに接続されており前記アドレス変換マッピングのうちの 1 つ以上が変更されるときに通知を受信するためのメッセージ生成回路を備え、メッセージ生成回路は、前記 1 つ以上のアドレス変換マッピングの変換の検出に応答してアドレス変換トレースメッセージを生成するとともに、アドレス変換トレースメッセージをデバッグ回路の外部に提供する、データ処理システム。

【請求項 2】

アドレス変換マッピングが更新される毎に、メモリ管理ユニットはメッセージ生成回路にインジケータ信号を送信する、請求項 1 に記載のデータ処理システム。

【請求項 3】

メッセージ生成回路は、  
 アドレス変換トレースメッセージの 1 つ以上のフィールドを選択的に除去するための圧縮論理をさらに備える、請求項 2 に記載のデータ処理システム。

【請求項 4】

圧縮論理によって除去されるアドレス変換トレースメッセージの前記 1 つ以上のフィールドの各々は、そのフィールドについての所定の優勢値を含む、請求項 3 に記載のデータ処理システム。

**【請求項 5】**

デバッグメッセージを生成するための方法において、

データプロセッサを用いて複数のデータ処理命令を実行する工程と、

アドレス変換トレースメッセージを含むデバッグメッセージを生成するためのデバッグ回路をデータプロセッサに接続する工程と、

デバッグ回路及びデータプロセッサにメモリ管理ユニットを接続する工程であって、メモリ管理ユニットは、アドレス変換を実行して仮想形態と物理形態との間でアドレスを変換するためのTLB（トランслーション・ルックアサイド・バッファ）を備える前記工程と、

TLBエントリが変更されるときを検出する工程と、

TLBエントリの変更の検出に応答して、アドレス変換トレースメッセージを生成する工程と、

デバッグ端子にアドレス変換トレースメッセージを提供する工程と、を備える方法。