



(12)发明专利

(10)授权公告号 CN 104919704 B

(45)授权公告日 2019.01.18

(21)申请号 201380070303.4

Z·伦德斯特鲁姆 C·N·格洛扎

(22)申请日 2013.11.15

S·D·库帕查恩

(65)同一申请的已公布的文献号

H·达尔马瓦斯克伊塔

申请公布号 CN 104919704 A

(74)专利代理机构 北京律盟知识产权代理有限公司 11287

(43)申请公布日 2015.09.16

代理人 沈锦华

(30)优先权数据

(51)Int.Cl.

61/726,996 2012.11.15 US

H03K 5/151(2006.01)

14/080,322 2013.11.14 US

H03K 7/08(2006.01)

(85)PCT国际申请进入国家阶段日

(56)对比文件

2015.07.13

CN 102027679 A, 2011.04.20, 说明书第0002-0023段及附图1-5.

(86)PCT国际申请的申请数据

US 6937084 B2, 2005.08.30, 说明书第4栏第5行至第10栏第40行及附图1-6.

PCT/US2013/070249 2013.11.15

JP 特开2005-143282 A, 2005.06.02, 全文.

(87)PCT国际申请的公布数据

CN 102027679 A, 2011.04.20, 说明书第

W02014/078628 EN 2014.05.22

0002-0023段及附图1-5.

(73)专利权人 密克罗奇普技术公司

审查员 徐生芹

地址 美国亚利桑那州

权利要求书4页 说明书12页 附图12页

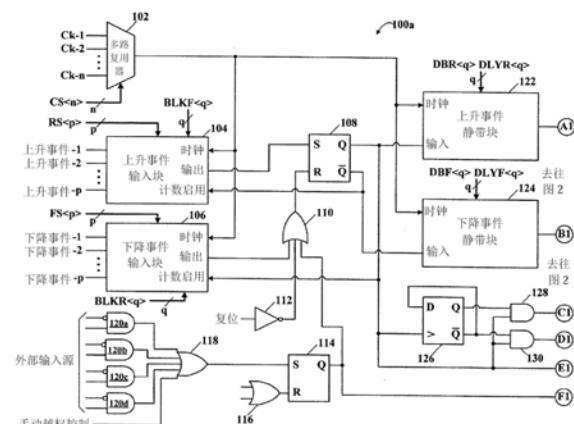
(72)发明人 S·S·斯蒂德曼

(54)发明名称

互补输出产生器模块

(57)摘要

本发明涉及一种互补输出产生器COG模块，其产生由上升及下降事件源所确定的至少两个互补输出。在所述COG模块的简单配置中，所述上升及下降事件源为相同信号，所述相同信号为具有所要周期及工作循环的信号。所述COG模块将此单信号输入转换成双互补输出。所述双输出的频率及工作循环实质上匹配所述单输入信号的频率及工作循环。可在所述互补输出之间引入消隐及静带时间，且还可对所述双互补输出进行相位延迟。另外，所述COG模块可提供高达四个输出以用于控制半波及全波桥式功率应用。



1. 一种用于微控制器的互补输出产生器模块,其中所述互补输出产生器可通过所述微控制器的处理核心配置,且包括:

时钟输入,其耦合到时钟源;

第一电路,其接收来自所述时钟输入的时钟信号且经配置以接收多个第一输入信号,其中所述第一电路可配置以选择所述多个第一输入信号中的一者,其中所述第一电路进一步经配置以检测所选择的第一输入信号的上升边沿,并且起始与所述时钟源同步的上升边沿信号;

第二电路,其接收所述时钟信号且经配置以接收多个第二输入信号,其中所述第二电路可配置以选择所述多个第二输入信号中的一者,其中所述第二电路进一步经配置以检测所选择的第二输入信号的下降边沿,并且起始与所述时钟源同步的下降边沿信号;以及

第三电路,其接收所述上升边沿信号和所述下降边沿信号,且经配置以:

在检测到所述上升边沿信号后即刻断言第一输出驱动信号直到检测到所述下降边沿信号为止,且经配置以

在检测到所述下降边沿信号后即刻断言第二输出驱动信号直到检测到下一上升边沿信号为止。

2. 根据权利要求1所述的互补输出产生器模块,其进一步包括耦合于所述时钟输入与多个时钟源之间的时钟多路复用器,其中所述时钟多路复用器适于选择所述多个时钟源中的一者。

3. 根据权利要求1所述的互补输出产生器模块,其进一步包括上升边沿消隐时间电路,以用于抑制所述上升边沿产生所述上升边沿信号直到所述上升边沿消隐时间电路已超时之后为止。

4. 根据权利要求3所述的互补输出产生器模块,其中所述上升边沿消隐时间电路包括:

计数器,其耦合到所述时钟源;

比较器,其耦合到所述计数器;以及

消隐时间寄存器,其耦合到所述比较器。

5. 根据权利要求3所述的互补输出产生器模块,其中所述上升边沿消隐时间电路包括:

多个串联连接的单位延迟元件;以及

多路复用器,其具有耦合到所述多个串联连接的单位延迟元件中的相应者的输入。

6. 根据权利要求1所述的互补输出产生器模块,其进一步包括下降边沿消隐时间电路,以用于抑制所述下降边沿产生所述下降边沿信号直到所述下降边沿消隐时间电路已超时之后为止。

7. 根据权利要求6所述的互补输出产生器模块,其中所述下降边沿消隐时间电路包括:

计数器,其耦合到所述时钟源;

比较器,其耦合到所述计数器;以及

消隐时间寄存器,其耦合到所述比较器。

8. 根据权利要求6所述的互补输出产生器模块,其中所述下降边沿消隐时间电路包括:

多个串联连接的单位延迟元件;以及

多路复用器,其具有耦合到所述多个串联连接的单位延迟元件中的相应者的输入。

9. 根据权利要求1所述的互补输出产生器模块,其进一步包括上升边沿静带时间电路,

以用于抑制所述第二输出驱动信号直到所述上升边沿静带时间电路已超时之后为止。

10. 根据权利要求9所述的互补输出产生器模块,其中所述上升边沿静带时间电路包括:

计数器,其耦合到所述时钟源;
比较器,其耦合到所述计数器;以及
静带时间寄存器,其耦合到所述比较器。

11. 根据权利要求9所述的互补输出产生器模块,其中所述上升边沿静带时间电路包括:

多个串联连接的单位时间延迟元件;以及
多路复用器,其具有耦合到所述多个串联连接的单位延迟元件中的相应者的输入。

12. 根据权利要求11所述的互补输出产生器模块,其中每一单位时间延迟元件提供固定时间延迟。

13. 根据权利要求12所述的互补输出产生器模块,其中所述固定时间延迟为大约五纳秒。

14. 根据权利要求1所述的互补输出产生器模块,其进一步包括下降边沿静带时间电路,以用于抑制所述第一输出驱动信号直到所述下降边沿静带时间电路已超时之后为止。

15. 根据权利要求14所述的互补输出产生器模块,其中所述上升和/或下降边沿消隐时间电路,和/或所述上升和/或下降边沿静带时间电路包括:

计数器,其耦合到所述时钟源;
比较器,其耦合到所述计数器;以及
时间寄存器,其耦合到所述比较器。

16. 根据权利要求14所述的互补输出产生器模块,其中所述上升和/或下降边沿消隐时间电路,和/或所述上升和/或下降边沿静带时间电路包括:

多个串联连接的单位时间延迟元件;以及
多路复用器,其具有耦合到所述多个串联连接的单位延迟元件中的相应者的输入。

17. 根据权利要求16所述的互补输出产生器模块,其中每一单位时间延迟元件提供固定时间延迟。

18. 根据权利要求1所述的互补输出产生器模块,其进一步包括多个输出极性反转电路,所述多个输出极性反转电路中的每一者耦合到多个输出中的相应一者,其中当将第一逻辑电平施加到所述输出极性反转电路时,所述多个输出中的所述相应者提供非反相输出驱动信号,且当将第二逻辑电平施加到所述输出极性反转电路时,所述多个输出中的所述相应者提供反相输出驱动信号。

19. 根据权利要求1所述的互补输出产生器模块,其进一步包括多个输出转向多路复用器,其中所述多个输出转向多路复用器将多个输出中的相应者耦合到相应信号、逻辑高、逻辑低或高阻抗。

20. 根据权利要求19所述的互补输出产生器模块,其中所述多个输出转向多路复用器实质上立即改变信号到所述多个输出的耦合。

21. 根据权利要求19所述的互补输出产生器模块,其中所述多个输出转向多路复用器与下一上升边沿信号同步地改变信号到所述多个输出的耦合。

22. 根据权利要求1所述的互补输出产生器模块,其进一步包括具有耦合到上升及下降边沿输入的输出的脉冲宽度调制PWM产生器。

23. 根据权利要求1所述的互补输出产生器模块,其中所述互补输出产生器模块可编程配置以在半桥模式中的一者中操作。

24. 根据权利要求1所述的互补输出产生器模块,其中所述互补输出产生器模块是以推挽模式配置。

25. 根据权利要求1所述的互补输出产生器模块,其中所述互补输出产生器模块是以正向全桥模式配置。

26. 根据权利要求1所述的互补输出产生器模块,其中所述互补输出产生器模块是以反向全桥模式配置。

27. 根据权利要求1所述的互补输出产生器模块,其中所述互补输出产生器模块是以转向模式配置。

28. 根据权利要求1所述的互补输出产生器模块,其中所述互补输出产生器模块是以同步转向模式配置。

29. 一种使用根据前述权利要求之一所述的互补输出产生器模块以产生互补波形的方法,所述方法包括以下步骤:

采用所述第一电路从多个上升边沿源选择至少一个上升边沿信号源;

提供在可编程上升边沿消隐时间周期内对后续至少一个下降边沿的消隐;

在对上升边沿源边沿或上升边沿源电压电平的检测之间进行选择以用于产生上升边沿信号;

采用所述第二电路从多个下降边沿源选择至少一个下降边沿源;

提供在可编程下降边沿消隐时间周期内对后续至少一个上升边沿的消隐;

在对下降边沿源边沿或下降边沿源电压电平的检测之间进行选择以用于产生下降边沿信号;

在检测到所述至少一个上升边沿后即刻断言至少一个第一输出直到检测到所述至少一个下降边沿为止;以及

在检测到所述至少一个下降边沿后即刻断言至少一个第二输出直到检测到下一至少一个上升边沿为止。

30. 根据权利要求29所述的方法,其进一步包括提供上升边沿相位延迟的步骤,其中所述上升边沿相位延迟使所述上升边沿信号延迟。

31. 根据权利要求29所述的方法,其进一步包括提供下降边沿相位延迟的步骤,其中所述下降边沿相位延迟使所述下降边沿信号延迟。

32. 根据权利要求29所述的方法,其进一步包括在断言所述第一输出与断言所述第二输出的所述步骤之间提供静带时间的步骤。

33. 根据权利要求32所述的方法,其中提供所述静带时间的所述步骤包括在解除断言所述第二输出的步骤之后延迟对所述第一输出的断言的步骤。

34. 根据权利要求31所述的方法,其中提供所述静带时间的所述步骤包括在解除断言所述第一输出的所述步骤之后延迟对所述第二输出的断言的步骤。

35. 根据权利要求29所述的方法,其进一步包括在断言自动关机后即刻将所有所述输

出强制为预定义逻辑电平的步骤。

互补输出产生器模块

[0001] 相关申请案

[0002] 本申请案主张肖恩·斯特西·斯蒂德曼(Sean Stacy Steedman)、齐克·朗斯特鲁姆(Zeke Lundstrum)、克里斯蒂安·尼古拉·格罗萨(Cristian Nicolae Groza)、塞巴斯蒂安·丹·克帕斯亚(Sebastian Dan Copacian)及哈多诺·达玛瓦克塔(Hartono Darmawaskita)的标题为“互补输出产生器模块(Complementary Output Generator Module)”、于2012年11月15日提出申请的序号为61/726,996的共同拥有的美国临时专利申请案的优先权；且出于所有目的特此以引用方式并入本文中。

技术领域

[0003] 本发明涉及一种互补输出产生器(COG)模块，且特定来说，涉及一种供与微控制器一起结合例如(举例来说，但不限于)可用于功率管理(例如，切换模式电力供应器(SMPS)、蓄电池充电器、马达速度、能量收获等)的脉冲宽度调制器外围模块的其它模块使用的COG模块。

背景技术

[0004] 互补输出产生器(COG)模块结合各种信号产生模块(例如，脉冲宽度调制器、比较器、频率产生器等)用于微控制器及其它数字控制装置中。此外围装置的可编程性允许许多不同应用，举例来说以控制桥式配置或切换模式电力供应器(SMPS)中的功率晶体管。虽然许多配置借助常规互补输出产生器可用，但仍需要此COG模块的经改进功能性。

发明内容

[0005] 因此，需要具有如下文中更充分地描述的增强特征的COG模块。

[0006] 根据一实施例，一种用于微控制器的互补输出产生器模块，其中所述互补输出产生器可通过所述微控制器的处理核心配置，可包括：时钟输入，其耦合到时钟源；多个上升事件输入，其可以可编程方式选择，其中所述选定上升事件输入中的至少一者当在所述上升事件输入中的相应选定一者处发生至少一个上升事件时起始与所述时钟源同步的上升事件信号；多个下降事件输入，其可以可编程方式选择，其中所述选定下降事件输入中的至少一者当在所述下降事件输入中的相应选定一者处发生至少一个下降事件时起始与所述时钟源同步的下降事件信号；及多个输出，其中所述多个输出中的第一者在检测到所述上升事件信号后即刻断言第一输出驱动信号直到检测到所述下降事件信号为止，且所述多个输出中的第二者在检测到所述下降事件信号后即刻断言第二输出驱动信号直到检测到下一上升事件信号为止。

[0007] 根据又一实施例，时钟多路复用器可耦合于所述时钟输入与多个时钟源之间，其中所述时钟多路复用器可适于选择所述多个时钟源中的一者。根据又一实施例，上升事件消隐时间电路可经提供以用于抑制所述上升事件产生所述上升事件信号直到所述上升事件消隐时间电路已超时之后为止。根据又一实施例，所述上升事件消隐时间电路可包括：计

数器,其耦合到所述时钟源;比较器,其耦合到所述计数器;及消隐时间寄存器,其耦合到所述比较器。

[0008] 根据又一实施例,所述上升事件消隐时间电路可包括:多个串联连接的单位延迟元件;及多路复用器,其具有耦合到所述多个串联连接的单位延迟元件中的相应者的输入。根据又一实施例,下降事件消隐时间电路可经提供以用于抑制所述下降事件产生所述下降事件信号直到所述下降事件消隐时间电路已超时之后为止。根据又一实施例,所述下降事件消隐时间电路可包括:计数器,其耦合到所述时钟源;比较器,其耦合到所述计数器;及消隐时间寄存器,其耦合到所述比较器。根据又一实施例,所述下降事件消隐时间电路可包括:多个串联连接的单位延迟元件;及多路复用器,其具有耦合到所述多个串联连接的单位延迟元件中的相应者的输入。

[0009] 根据又一实施例,上升事件静带时间电路可经提供以用于抑制所述第二输出驱动信号直到所述上升事件静带时间电路已超时之后为止。根据又一实施例,所述上升事件静带时间电路可包括:计数器,其耦合到所述时钟源;比较器,其耦合到所述计数器;及静带时间寄存器,其耦合到所述比较器。

[0010] 根据又一实施例,所述上升事件静带时间电路可包括:多个串联连接的单位时间延迟元件;及多路复用器,其具有耦合到所述多个串联连接的单位延迟元件中的相应者的输入。根据又一实施例,每一单位时间延迟元件提供固定时间延迟。根据又一实施例,所述固定时间延迟可为大约五纳秒。

[0011] 根据又一实施例,下降事件静带时间电路可经提供以用于抑制所述第一输出驱动信号直到所述下降事件静带时间电路已超时之后为止。根据又一实施例,所述下降事件静带时间电路可包括:计数器,其耦合到所述时钟源;比较器,其耦合到所述计数器;及静带时间寄存器,其耦合到所述比较器。根据又一实施例,所述下降事件静带时间电路可包括:多个串联连接的单位时间延迟元件;及多路复用器,其具有耦合到所述多个串联连接的单位延迟元件中的相应者的输入。根据又一实施例,每一单位时间延迟元件提供固定时间延迟。

[0012] 根据又一实施例,可提供多个输出极性反转电路,其中所述多个输出极性反转电路中的每一者可耦合到所述多个输出中的相应一者,借此当可将第一逻辑电平施加到所述输出极性反转电路时,所述多个输出中的所述相应者提供非反相输出驱动信号且当可将第二逻辑电平施加到所述输出极性反转电路时,所述多个输出中的所述相应者提供反相输出驱动信号。

[0013] 根据又一实施例,可提供多个输出转向多路复用器,其中所述多个输出转向多路复用器将所述多个输出中的相应者耦合到相应信号、逻辑高、逻辑低或高阻抗。根据又一实施例,所述多个输出转向多路复用器实质上立即改变信号到所述多个输出的耦合。根据又一实施例,所述多个输出转向多路复用器与下一上升事件信号同步地改变信号到所述输出的耦合。

[0014] 根据又一实施例,可提供具有耦合到上升及下降事件输入的输出的脉冲宽度调制(PWM)产生器。根据又一实施例,互补输出产生器模块可以半桥模式配置。根据又一实施例,互补输出产生器模块可以推挽模式配置。根据又一实施例,所述互补输出产生器模块可以正向全桥模式配置。根据又一实施例,所述互补输出产生器模块可以反向全桥模式配置。根据又一实施例,所述互补输出产生器模块可以转向模式配置。根据又一实施例,所述互补输出

出产生器模块可以同步转向模式配置。

[0015] 根据另一实施例,一种用于产生互补波形的方法可包括以下步骤:从多个上升事件源选择至少一个上升事件源;提供在可编程上升事件消隐时间周期内对后续至少一个下降事件的消隐;在对上升事件源边沿或上升事件源电压电平的检测之间选择以用于产生上升事件信号;从多个下降事件源选择至少一个下降事件源;在可编程下降事件消隐时间周期内提供对后续至少一个上升事件的消隐;在对下降事件源边沿或下降事件源电压电平的检测之间选择以用于产生下降事件信号;在检测到所述至少一个上升事件后即刻断言至少一个第一输出直到检测到所述至少一个下降事件为止;及在检测到所述至少一个下降事件后即刻断言至少一个第二输出直到检测到下一至少一个上升事件为止。

[0016] 根据方法的又一实施例,可提供:提供上升事件相位延迟的步骤,其中所述上升事件相位延迟使所述上升事件信号延迟。根据方法的又一实施例,可提供:提供下降事件相位延迟的步骤,其中所述下降事件相位延迟使所述下降事件信号延迟。根据方法的又一实施例,可在断言所述第一输出与断言所述第二输出的所述步骤之间提供:提供静带时间的步骤。根据方法的又一实施例,提供所述静带时间的所述步骤可包括:在解除断言所述第二输出的所述步骤之后延迟对所述第一输出的断言的步骤。根据方法的又一实施例,提供所述静带时间的所述步骤可包括:在解除断言所述第一输出的步骤之后延迟对所述第二输出的断言的步骤。根据方法的又一实施例,可提供在断言自动关机后即刻将所有所述输出强制为预定义逻辑电平的步骤。

附图说明

[0017] 可通过参考连同附图一起进行的以下说明而获得对本发明的更完整理解,其中:

[0018] 图1及2图解说明根据本发明的特定实例性实施例的可软件配置的互补输出产生器模块的示意性框图;

[0019] 图3及4图解说明根据本发明的另一特定实例性实施例的可软件配置的互补输出产生器模块的示意性框图;

[0020] 图5及6图解说明根据本发明的又一特定实例性实施例的可软件配置的互补输出产生器模块的示意性框图;

[0021] 图7图解说明根据本发明的特定实例性实施例的如图1到6中所展示的用于上升及下降事件输入块、消隐及相位延迟的电路的示意性框图;

[0022] 图8图解说明根据本发明的教示的模拟时间延迟电路的更详细示意性框图的示意性框图;

[0023] 图9图解说明根据本发明的教示的数字时间延迟电路的更详细示意性框图;

[0024] 图10图解说明根据本发明的教示的具有互补输出产生器的混合信号集成电路装置的示意性框图;

[0025] 图11图解说明典型切换模式电力供应器(SMPS)应用中所使用的功率组件的示意图;且

[0026] 图12图解说明驱动负载的典型全桥式应用中所使用的功率组件的示意图。

[0027] 虽然易于对本发明做出各种修改及替代形式,但已在图式中展示并在本文中详细描述其特定实例性实施例。然而,应理解,本文中对特定实例性实施例的说明并非打算将本

发明限制于本文中所揭示的特定形式,而是相反,本发明将涵盖如由所附权利要求书所定义的所有修改及等效形式。

具体实施方式

[0028] 根据本发明的教示,互补输出产生器(COG)模块产生由上升及下降事件源所确定的至少两个互补信号。在所述COG模块的简单配置中,所述上升及下降事件源为相同信号,其可为(举例来说但不限于)具有所要周期及工作循环的PWM信号。所述COG模块可将此单个输入信号转换成至少两个互补输出信号。所述至少两个输出信号的频率及工作循环实质上匹配所述单个输入信号的频率及工作循环。数字设计领域且受益于本发明的技术人员将容易明了其它及另外配置。互补输出产生器揭示于2013年7月16日发布的斯蒂德曼(Steedman)等人的标题为“经增强互补波形产生器(Enhanced Complementary Waveform Generator)”的共同拥有的美国专利第8,487,685B2号中,且出于所有目的特此以引用方式并入本文中。根据本发明的各种实施例,互补输出产生器(COG)模块可在其功能性方面得以增强。举例来说但不限于,根据本发明的特定实例性实施例,以下额外新的、新颖且不明显特征中的至少一者可实施于COG模块中。

[0029] COG模块提供输出波形的半桥、全桥及转向。COG模块可提供至少六个操作模式:

- [0030] (1) 半桥模式
- [0031] (2) 推挽模式
- [0032] (3) 正向全桥模式
- [0033] (4) 反向全桥模式
- [0034] (5) 转向模式
- [0035] (6) 同步转向模式
- [0036] 半桥模式

[0037] 在半桥模式中,不重叠(静带)时间插入于两个COG模块输出之间以防止各种电力供应器应用中的功率晶体管贯通电流。

[0038] 推挽模式

[0039] 在推挽模式中,COG模块输出的波形产生在两个所使用输出之间交替。此交替形成驱动基于某一变压器的电力供应器设计所需的推挽效应。在驱动变压器负载时通常不需要输出之间的静带。

[0040] 全桥模式

[0041] 在正向及反向全桥驱动模式中,COG模块的输出符合增强型捕获、比较及PWM(ECCP)类型全桥式驱动。一个输出经调制且另外三个输出可保持处于静态值。ECCP应用更充分描述于微芯片应用笔记AN906、AN1178、AN1138、AN1305、AN893、AN1244等(可在www.microchip.com处获得)中,其中所有这些应用笔记出于所有目的而以引用方式并入本文中。

[0042] 转向模式

[0043] 在转向模式中,可将多个信号转向到四个COG模块输出中的任何者。在同步转向模式中,仅在下一上升事件输入时发生转向配置的改变。在非同步模式中,转向对下一指令循环生效。

- [0044] COG模块可进一步提供以下特征：
- [0045] 可选择时钟控制
- [0046] 具有并列启用的可选择上升及下降事件触发源
- [0047] 输出极性控制
- [0048] 输出转向
- [0049] 同步于上升事件或
- [0050] 立即生效
- [0051] 具有以下各项的静带控制：
- [0052] 模拟或经计时静带
- [0053] 独立的上升及下降事件静带启用
- [0054] 独立的上升及下降事件静带计数器
- [0055] 具有以下各项的消隐控制：
- [0056] 独立的上升及下降事件启用
- [0057] 独立的上升及下降事件消隐计数器
- [0058] 具有以下各项的相位控制：
- [0059] 独立的上升及下降事件启用延迟
- [0060] 独立的上升及下降事件相位计数器
- [0061] 具有以下各项的自动关机控制：
- [0062] 具有并列启用的可选择关机源
- [0063] 自动再启动启用
- [0064] 自动关机越权控制
- [0065] 现在参考图式,示意性地图解说明特定实例性实施例的细节。将由相似编号表示图式中的相似元件,且将由具有不同小写字母后缀的相似编号表示类似元件。
- [0066] 参考图1到6,其描绘根据本发明的特定实例性实施例的可软件配置的互补输出产生器(COG)模块的示意性框图。其它及另外COG模块可在本发明的范围内经软件配置且在本文中预期。COG模块通常由数字100表示(图1及2-100a,图3及4-100b,且图5及6-100c)。
- [0067] 可选择时钟源
- [0068] 时钟源Ck可借助多路复用器102选择。多路复用器102可依据具有输出CSn的时钟源寄存器(未展示)控制,其中n可为二进制值。所选定时钟源Ck可贯穿COG模块100使用,如下文中更充分地描述。
- [0069] 还参考图7,其描绘根据本发明的特定实例性实施例的如图1到6中所展示的用于上升及下降事件输入块以及消隐及相位延迟的电路的示意性框图。
- [0070] 可选择上升及下降事件触发源
- [0071] 用于所有上升及下降事件触发源输入的并列启用提供更多操作灵活性。可借助上升事件输入块104选择至少一个上升事件源。对上升事件输入块104的控制可借助具有输出RSp的上升事件源寄存器(未展示)。上升事件源寄存器可存储对应于所要的至少一个上升事件源的p位样式。可借助下降事件输入块106选择至少一个下降事件源。对下降事件输入块106的控制可借助具有输出FSp的下降事件源寄存器(未展示),其中下降事件源寄存器可存储对应于所要的至少一个下降事件源的p位样式。上升及下降事件可来自相同源,例

如,来自信号源的单个输出。此信号源可与选定时钟源Ck同步或异步。上升事件发生的速率可确定信号频率。从上升事件输入到下降事件输入的时间可确定信号工作循环。

[0072] 独立的上升及下降事件启用延迟

[0073] 单独且独立的上升及下降事件启用延迟(例如,消隐延迟)提供更多操作灵活性。当“与”门704p的RS-p输入上具有逻辑高时,可选择上升事件源。下降事件源可借助反相器706p经反相以变成上升信号,且当“与”门704p的FS-p输入上具有逻辑高时被选择。每一“与”门704输出耦合到充当事件逻辑电平的门及存储寄存器两者的相应锁存器708的D输入。当锁存器708的锁存启用(LE)处于逻辑低(“0”)时,其D输入处的逻辑电平将不通过Q输出,且Q输出将维持于锁存启用(LE)上次处于逻辑高时D输入的逻辑电平。当锁存启用(LE)处于逻辑高时,Q输出将跟随锁存器708的D输入。

[0074] 锁存器708的锁存启用(LE)可耦合到与下降事件相关联的消隐计数器718,且用于存储下降事件的锁存器708的锁存启用(LE)可耦合到与上升事件相关联的消隐计数器718。消隐延迟的量(如果存在)是通过消隐计数器718确定,消隐计数器的消隐时间从具有输出BLK<q>的消隐寄存器(未展示)加载。与上升事件相关联的一个消隐计数器718的输出BLKR<q>耦合到用于下降事件的锁存器708的LE输入,且与下降事件相关联的第二消隐计数器718的输出BLKF<q>耦合到用于上升事件的锁存器708的LE输入。因此,相应上升及下降消隐计数器718可在先前的上升或下降事件结束之后在所需要消隐时间已期满之前“抑制或封锁”对其他上升或下降事件信号的辨识。针对零值(例如,BLK<000>),未引入消隐时间。

[0075] 事件源的边沿及电平感测

[0076] 上升及/或下降事件源可选择为电平或边沿检测敏感。锁存器708的每一Q输出可通过开关(多路分用器)710耦合到电平检测器712或直接耦合到“或”门716的输入。当开关710将锁存器708的Q输出直接耦合到“或”门716的输入时,事件的逻辑高将致使“或”门716的输出变为逻辑高。当锁存器708的Q输出耦合到电平检测器712时,接着信号电平“上升边沿”到逻辑高将致使“或”门714的输出变为逻辑高。“或”门714的输出可耦合到相位延迟块900的输入且相位延迟块的输出可耦合到“或”门716的输入。相位延迟块900可用于根据来自具有输出PH<q>(其中q为二进制值)的相位延迟寄存器(未展示)的值而引入对所选定上升及/或下降事件的延迟(相位)。当q为零(0)时,不存在施加到所选定上升及/或下降事件的相位延迟。此相位延迟可如图9中所展示而以数字方式导出,或通过如图8中所展示的模拟手段导出。

[0077] 返回参考图1到6,来自上升事件输入块104的输出耦合到RS锁存器108的设定(S)输入,且当上升事件输入块104输出变为逻辑高时,RS锁存器108将经设定且其Q输出将变为逻辑高。然而,如果来自“或”门110的逻辑高耦合到RS锁存器108的复位(R)输入,那么其Q输出将变回到逻辑低。当下降事件输入块106输出断言逻辑高(例如,已检测到下降事件)时,RS锁存器108将复位且其Q输出将变为逻辑低,反相器112的输入被拉到逻辑低,或RS锁存器108的Q输出变为逻辑高。RS锁存器108为复位主导的,且因此来自“或”门110的任何下降事件(例如,来自下降事件输入块106的下降事件信号)被强制从反相器112及/或RS锁存器114复位。

[0078] 边沿对电平感测

[0079] 一般来说,从周期源驱动的事件应经边沿检测且从目标电路(例如,切换模式电力

供应器(SMPS))处的电压阈值导出的事件应为电平敏感的。考虑以下两个实例：第一实例为周期由50%工作循环时钟确定且COG模块输出工作循环由通过比较器反馈的电压电平确定的应用。如果时钟输入为电平敏感的，那么小于50%的工作循环可展现不稳定操作。第二实例类似于第一实例，惟工作循环接近于100%除外。(例如，SMPS)的反馈比较器高到低转变使COG模块驱动断开，但几乎立即，周期源将所述驱动接通回来。如果关断周期足够短，那么比较器输入不可到达磁滞带的低侧，从而消除输出改变。所述比较器输出保持为低且无用以触发边沿感测的高到低转变，则COG模块输出的驱动将保持处于恒定驱动接通状况中。

[0080] 上升事件

[0081] 上升事件可启动输出信号作用工作循环周期。上升事件为选定上升事件源的低到高转变。当上升相位延迟为零时，输出可立即启动。在一些模式中，可在任选相位延迟之后应用上升静带时间。上升事件源可导致以下动作中的任何者或全部：

- [0082] 启动上升事件相位延迟计数器(如果经启用)
- [0083] 启动下降事件输入消隐(如果经启用)
- [0084] 在半桥模式中，在相位延迟之后，启动上升静带延迟(如果经启用)
- [0085] 在半桥模式中，在上升静带延迟之后设定OUT0输出
- [0086] 在半桥模式中，在上升相位延迟之后清除OUT1输出
- [0087] 在转向模式中，在同步化(如果经启用)之后设定OUT0输出
- [0088] 在推挽模式中，在OUT1经清除之后设定OUT0或在OUT0经清除之后设定OUT1
- [0089] 在全桥模式中，正向设定OUT3或反向设定OUT1

[0090] 下降事件

[0091] 下降事件终止输出信号作用工作循环周期。下降事件为所选定下降事件源的低到高转变。当下降相位延迟为零时，输出可立即结束。在一些模式中，可在选用相位延迟之后应用下降静带时间。下降事件源可导致以下动作中的任何者或全部：

- [0092] 启动下降事件相位延迟计数器(如果经启用)
- [0093] 启动上升事件输入消隐(如果经启用)
- [0094] 在半桥模式中，在相位延迟之后，启动下降静带延迟(如果经启用)
- [0095] 在半桥模式中，在下降静带延迟之后设定OUT1输出
- [0096] 在半桥模式中，在下降相位延迟之后清除OUT0输出
- [0097] 在转向模式中，清除OUT0输出。(针对下降不具有同步化)
- [0098] 在推挽模式中，如果设定OUT0那么清除OUT0或如果OUT1经清除那么清除OUT1
- [0099] 在全桥模式中，正向清除OUT3或反向清除OUT1
- [0100] 优选地，所有模式为下降主导的。上升源馈送设定输入且下降源馈送SR锁存器108的复位。SR锁存器108为复位主导的，且下降源将始终“获胜”，借此清除SR锁存器108的输出。

[0101] 消隐控制

[0102] 输入消隐为其中可忽略(例如，掩蔽或消隐)任何选定模拟输入的事件输入(例如，上升及/或下降事件)达短时间段的功能。此将防止由功率组件的接通/关断导致的电暂态(噪声)产生假事件。COG模块可含有上升事件消隐计时器(计数器)及下降事件消隐计时器(计数器)。所述上升及下降事件消隐计时器(计数器)可与其等可消隐的下降及上升事件交

叉耦合。举例来说,下降事件消隐事件消隐计时器(计数器)可用于消隐上升输入事件且上升事件消隐事件消隐计时器(计数器)可用于消隐下降输入事件。一旦经启动,消隐便可延续达由对应消隐寄存器(未展示)输出BLKF $\langle q \rangle$ 及BLKR $\langle q \rangle$ 指定的时间。消隐是通过对从零高达相应消隐寄存器中的值的时钟周期(图9)计数或通过由多路复用器选择的模拟时间延迟(图8)来计时。

[0103] 以下特征可用于消隐:

[0104] 独立的上升事件及下降事件消隐模式选择

[0105] 独立的上升事件及下降事件消隐计数器

[0106] 以下消隐模式可为可用的:

[0107] 消隐经停用

[0108] 立即消隐

[0109] 消隐经停用

[0110] 当消隐功能718经停用时,上升事件及/或下降事件输入可立即通过锁存器708及多路分用器710而无任何消隐干预(参见图7)。

[0111] 立即消隐

[0112] 借助立即消隐,上升事件可立即启动可消隐下降事件输入的上升事件消隐计数器。下降事件可立即启动可消隐上升事件输入的下降事件消隐计数器。可通过将非零值BLK $\langle q \rangle$ 写入到恰当消隐计数器来启用立即消隐。消隐计数器可在时钟脉冲的上升边沿上递增。由于上升事件及下降事件可来自模拟信号且因此不同步,因此在每循环实施的实际消隐中可能存在某一抖动。最大抖动可等于一个时钟周期。

[0113] 消隐事件重叠

[0114] 如果在消隐事件之间存在任何重叠,那么可发生以下事件顺序,其中BKx为作用消隐情形(上升或下降事件)且BKy为相反情形(下降或上升事件):

[0115] BKx递增计数,尚未完成

[0116] 起始BKy计数

[0117] 消隐控制现在从BKx启用切换到BKy启用

[0118] BKx复位为零

[0119] BKy继续计数直到完成其计数

[0120] BKy复位为零(正常操作)

[0121] 相位延迟

[0122] 相位延迟计数器900可用于延迟对上升事件的断言。相位延迟时间由上升相位延迟寄存器(未展示)输出PH $\langle q \rangle$ (其中q为二进制值)中所含有的值设定。从输入上升事件信号切换到对事件的实际断言的延迟可与静带及消隐延迟相同地实施。当PH $\langle q \rangle$ 值为零时,上升事件相位延迟经停用,借此允许上升事件信号直接通到“或”门716。独立上升及下降相位启用及消隐计时器(计数器)可如图8及9中所展示而提供。

[0123] 静带控制

[0124] 静带控制可提供不重叠输出信号以防止(举例来说但不限于)由信号产生器1056(图10)控制的半桥模式外部电源开关(图11)中的贯通电流。上升事件静带块122及下降事件静带块124可各自包括由经计时计数器962及比较器964(图9)构成的数字静带延迟计时

器,及/或由多个单位延迟元件830及可以可编程方式选择的多路复用器832构成的模拟静带延迟块(图8)。上升及下降静带时间可基于来自分别具有输出DBR $\langle q \rangle$ 或DLYR $\langle q \rangle$ 及DBF $\langle q \rangle$ 或DLYF $\langle q \rangle$ 的这些静带块122、124的相应静带计数或时间延迟寄存器(未展示)的值而针对静带块122、124中的每一者个别地经编程。

[0125] 上升事件静带

[0126] 上升事件静带控制可用于在次级功率装置的关断之后延迟初级功率装置的接通。

[0127] 下降事件静带

[0128] 下降事件静带控制可用于在初级功率装置的关断之后延迟次级功率装置的接通。

[0129] 静带重叠

[0130] 存在两种静带重叠的情形,上升事件到下降事件及下降事件到上升事件,且取决于系统要求而以不同方式处理每一者。

[0131] 上升事件到下降事件重叠

[0132] 在此情形中,发生下降事件同时上升事件静带计数器仍在计数。可发生以下事件顺序:上升事件静带计数器正递增计数但尚未完成其计数,起始下降事件静带计数器计数(有效下降事件信号),将输出波形控制立即交递到下降事件信号,上升事件静带计数器在下一时钟边沿上复位,下降事件静带计数器继续计数直到完成其计数为止,且接着下降事件静带计数器在下一时钟边沿上复位(正常操作)。

[0133] 下降事件到上升事件重叠

[0134] 在此情形中,发生上升事件,同时下降事件静带计数器仍在计数。可发生以下事件顺序:下降事件静带计数器正递增计数但尚未完成其计数,起始上升事件静带计数器计数(有效上升事件信号),将输出波形控制立即交递到上升事件信号,下降事件静带计数器在下一时钟边沿上复位,上升事件静带计数器继续计数直到完成其计数为止,且接着上升事件静带计数器在下一时钟边沿上复位(正常操作)。

[0135] 举例来说,下降事件静带从输出OUT0关断时起延迟输出OUT1的接通。下降事件静带时间在下降事件输出变为逻辑高时开始。下降事件输出与未经消隐下降输入事件一致地变高。下降事件静带时间由下降事件静带时间寄存器(未展示)中所含有的输出DBF $\langle q \rangle$ (其中 q 为二进制数)的值设定。当DBF $\langle q \rangle$ 的值为零时,下降事件静带时间延迟可经停用。

[0136] 经计时静带时间延迟

[0137] 经计时静带时间延迟允许可等于时钟频率或可为其倍数的静带时间。可提供独立的上升及下降事件启用及/或独立的上升及下降事件静带计数器。经计时静带时间延迟可经编程。参考图9,其描绘可根据本发明的教示使用的数字时间延迟电路的更详细示意性框图。此时间延迟电路可包括对每一时钟脉冲计数且将其计数值输出到比较器964的计数器962。比较器964将计数值与时间值(例如,可存储于相应消隐、相位延迟及/或静带时间寄存器966中的消隐、相位延迟及/或静带时间)进行比较。当计数值等于或大于时间值时,来自比较器的输出Out变为逻辑高。相应寄存器968可用于异步地存储消隐、相位延迟及/或静带时间的时间值以供随后同步传送到相应缓冲器966。

[0138] 模拟静带时间延迟

[0139] 模拟静带时间延迟允许可独立于COG模块的时钟源的小静带时间(较高粒度时间选择)。举例来说,可通过利用恰当数目个串联连接的UDE 830的选择来独立于时钟时间实

施可选择的5纳米时间延迟步骤。可提供且可以可编程方式选择独立的上升及下降模拟静带时间延迟。此给高频率且高效率功率转换装置(例如,SMPS)中的应用提供更好且更灵活控制。

[0140] 参考图8,其图解说明根据本发明的教示的模拟时间延迟电路的更详细示意性框图。此时间延迟电路可包括多个单位延迟元件(ODE)830及多路复用器832。可通过恰当数目个串联耦合的ODE 830及多路复用器832(其可依据来自延迟寄存器(未展示)的输入选择地址DLY<q>来控制)的选择来获得特定时间延迟。当来自多路复用器832的输出变为逻辑高时,断言静带模块的恰当输出。

[0141] 输出转向

[0142] COG模块可允许输出(例如,OUT0、OUT1、OUT2及/或OUT3)的任一组合为经调制信号(例如,PWM信号)。另外,相同信号可同时用于其它输出中的任何一或者者上。COG模块自动关机操作还可适用于输出转向且可仅影响可经启用的那些输出(参见图5及6)。

[0143] 输出转向事件将何时发生可为可编程的,其中立即输出转向事件可在请求输出转向事件的指令循环结束时发生,或有效转向事件更新可在下一上升事件开始时发生。立即输出转向事件可导致不完整波形,但在使用者的固件需要立即从输出移除信号时为有用的。当输出转向事件与下一上升事件实质上同时发生时,将始终产生完整波形。

[0144] 输出极性控制

[0145] 每一输出OUT_x的极性可借助“互斥或”门136独立地选择。当POL_x处于逻辑低时,不存在输入逻辑电平到“互斥或”门136的输出反相(输出OUT处于“高态有效”)。当POL_x处于逻辑高时,存在输入逻辑电平到“互斥或”门136的输出反相(输出OUT处于“低态有效”)。然而,极性并不影响越权控制值。可借助来自极性控制寄存器(未展示)的POL0到POL3位来选择输出极性。

[0146] 自动关机控制

[0147] 自动关机可用于借助允许电源电路的安全关机的特定越权控制138来立即越权控制当前输出值。在一些状况下还可使用再启动功能。可借助(举例来说但不限于)RS锁存器114、“或”门118、“与”门120、D锁存器142及/或多路复用器138及140来实施可选择关机源120、自动再启动启用及自动关机越权控制。

[0148] 关机

[0149] 存在两种产生关机事件的方式:“或”门118的输入处的手动越权控制或通过“与”门120中的一或者者的外部输入源。

[0150] 手动越权控制

[0151] 自动关机寄存器可用于手动地越权控制操作功能(视需要)。通过设定ASDE位,可产生关机事件。即使模块经停用,ASDE位也可为可设定的。此将允许ASD越权控制状态借助多路复用器138选择且通过多路复用器140耦合到输出OUT_x,即使COG模块经停用。多路复用器138及140经展示为执行此功能,但数字电路设计领域且受益于本发明的技术人员可设计其它同样有效的电路,且本文中预期那些电路。如果自动再启动经停用,那么此越权控制可持续,只要控制位经设定于自动关机控制寄存器(未展示)中。如果自动再启动经启用,那么位将自动自清除且恢复对下一上升边沿事件的操作。

[0152] 外部输入源

[0153] 可用于事件产生的给定源中的任何者可用于系统关机。上述情形使得外部电路可监视且强制关机而无需任何软件额外开销。注意：对自动关机 (ASD) 源的重要考虑是其为电平敏感的、非边沿敏感的，且只要ASD电平持续，ASD事件便处于进展中。特定ASD源可为“与”门120。

[0154] 再启动

[0155] 在已发生自动关机事件之后，存在两种使COG模块恢复操作的方式：

[0156] 手动再启动

[0157] 一旦自动关机源已变为非作用且接着来自S-R锁存器114的ASDE位已 (举例来说) 经由“或”门116在软件中被清除之后，在下一上升边沿事件时再启动。

[0158] 自动再启动

[0159] 一旦自动关机事件信号已被清除，则在下一上升边沿事件时自动再启动。注意：如果在到“或”门118的输入中的至少一者上仍存在自动关机状况，那么ASDE位无法在软件中被清除。

[0160] 输出驱动

[0161] 多路复用器140可维持来自多路复用器138的越权控制直到存在有效上升事件指示正常操作应恢复，借此清除D正反器142。上升事件可取决于其可如何配置而具有边沿或电平相依性。来自多路复用器138的输出可通过经强制输出控制FOUT来选择。这些经强制输出可为(举例来说但不限于) 逻辑高、逻辑低、高阻抗 (Hi-Z) 或正常事件驱动的逻辑电平。

[0162] 缓冲器更新

[0163] 用于静带、相位及消隐的缓冲器可在COG模块操作期间在不同时间处加载有对应寄存器值。这些时间可为COG模块经停用或经启用的时间。

[0164] COG模块经停用

[0165] 当COG模块经停用时，到静带、相位及消隐寄存器的写入还可直接加载相应缓冲器。

[0166] COG模块经启用

[0167] 当COG模块经启用时，需要确保当值改变时，所有缓冲器在实质上相同时间处更新。实例为当在快速周期发生于COG模块(例如, 500kHz)的情况下装置以低时钟速度(例如, 1MHz)运行时。在此情形下，将需要数个时钟周期来用新值更新静带、相位延迟及消隐值。跨越多个周期的此更新为不期望的且因此应使用用以同步化缓冲器更新的方式。用于加载缓冲器的步骤可如下：

[0168] 1. 更新所有寄存器值

[0169] 2. 设定加载位

[0170] 3. 在下降事件信号的下一上升边沿上，锁存下降事件信号：

[0171] a) 关闭对下降事件信号的锁存

[0172] b) 加载上升事件静带缓冲器

[0173] c) 加载下降事件消隐缓冲器

[0174] d) 加载相位延迟缓冲器

[0175] e) 打开对下降事件信号的锁存

[0176] 4. 在上升事件的下一上升边沿上，加载：

[0177] a) 关闭对下降事件信号的锁存(下降事件信号产生上升事件信号,因此锁存下降事件将防止上升事件的改变)

[0178] b) 加载静带下降事件寄存器

[0179] c) 加载静带上升事件寄存器

[0180] d) 清除加载位以指示加载完成。

[0181] e) 打开下降事件锁存。

[0182] 加载位无法在软件中被清除,其仅可在软件中设定且在硬件中被清除。此将防止加载程序期间的非既定操作。

[0183] COG模块复位

[0184] 每当在到反相器112的输入处断言复位信号时可复位COG模块。如果低态有效复位施加到反相器112,那么SR锁存器108保持于其复位状态中。反相器112的输出还将复位耦合到其的所有寄存器、计数器等。当断言复位时可发生以下动作:寄存器经复位到其默认值,消隐计数器经复位,静带计数器经复位,且任何机器或状态产生电路中的正反器及锁存器经复位到其默认值。

[0185] 参考图10,其描绘根据本发明的教示的具有互补输出产生器的混合信号集成电路装置的示意性框图。混合信号集成电路装置1002可用于控制切换模式电力供应器(SMPS)(参见图11)或者半桥式或全桥式功率装置(参见图12),例如,马达等。混合信号集成电路装置1002可包括以下各项中的一或者者:COG模块100、信号产生模块1056、具有存储器的数字处理器1058(例如,微控制器)、模/数转换器(ADC)1060、多个放大器1062、数/模转换器(DAC)1064及电压参考1066。ADC 1060可为耦合到模拟多路复用器(未展示)的输入且多个放大器1062可为多个差动输入放大器,例如,运算放大器。信号产生模块1056可包括脉冲宽度调制(PWM)模块、比较器、频率产生模块及/或可配置逻辑单元。来自信号产生模块1056的输出可通过COG模块100选择。

[0186] 参考图11,其描绘典型SMPS中所使用的功率组件的示意图。SMPS 1100的功率组件从电压源Vin经馈电,且可包括全部均耦合到图11中所展示的混合信号集成电路装置1002的高晶体管1116、低晶体管1118、电感器1112、滤波电容器1110。

[0187] 参考图12,其描绘在驱动负载的典型全桥式应用中所使用的功率组件的示意图。电源电路(通常由数字1200表示)可包括可耦合到半桥或全桥配置(全桥经展示)中的负载的驱动器1204及功率晶体管1202。输出OUT(0到3)中的任何一或者者可从上升及下降事件输入(例如,从信号源)驱动,及/或借助多路复用器138经强制为特定逻辑电平。在全桥模式中,可使用所有四个输出OUT(0到3)。在正向模式中,OUT0可驱动到作用状态,OUT3可经调制同时OUT1及OUT2可驱动到非作用状态。在反向模式中,OUT2可驱动到作用状态,OUT1可经调制同时OUT0及OUT3可驱动到非作用状态。

[0188] 尽管已参考本发明的实例性实施例来描绘、描述及定义本发明的实施例,但这些参考并不意味着对本发明的限制,且不应推断出存在此限制。所揭示的标的物能够在形式及功能上具有大量修改、变更及等效形式,如相关领域并受益于本发明的技术人员将联想到。本发明的所描绘及所描述实施例仅为实例,而并非为对本发明的范围的详尽说明。

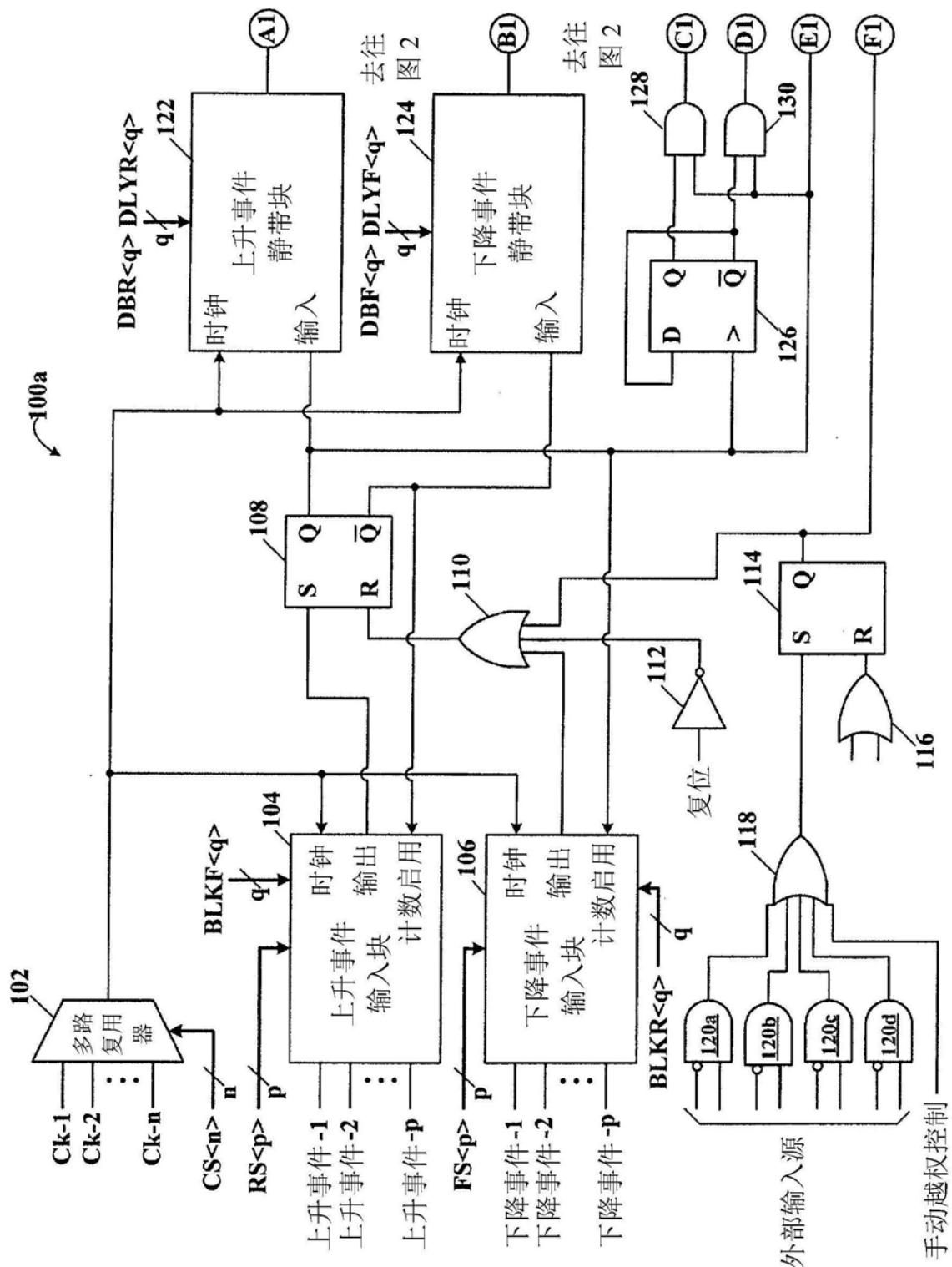


图1

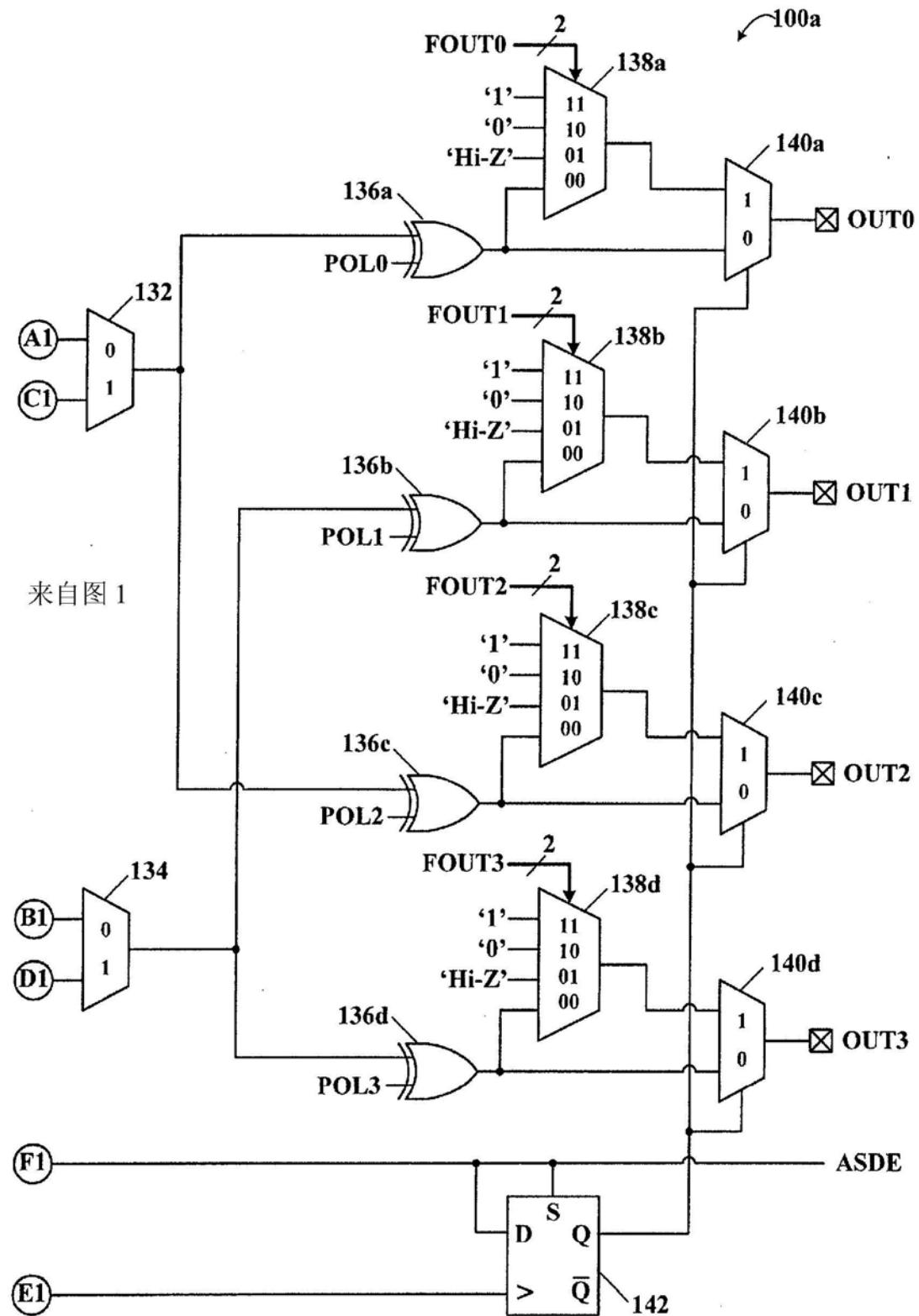


图2

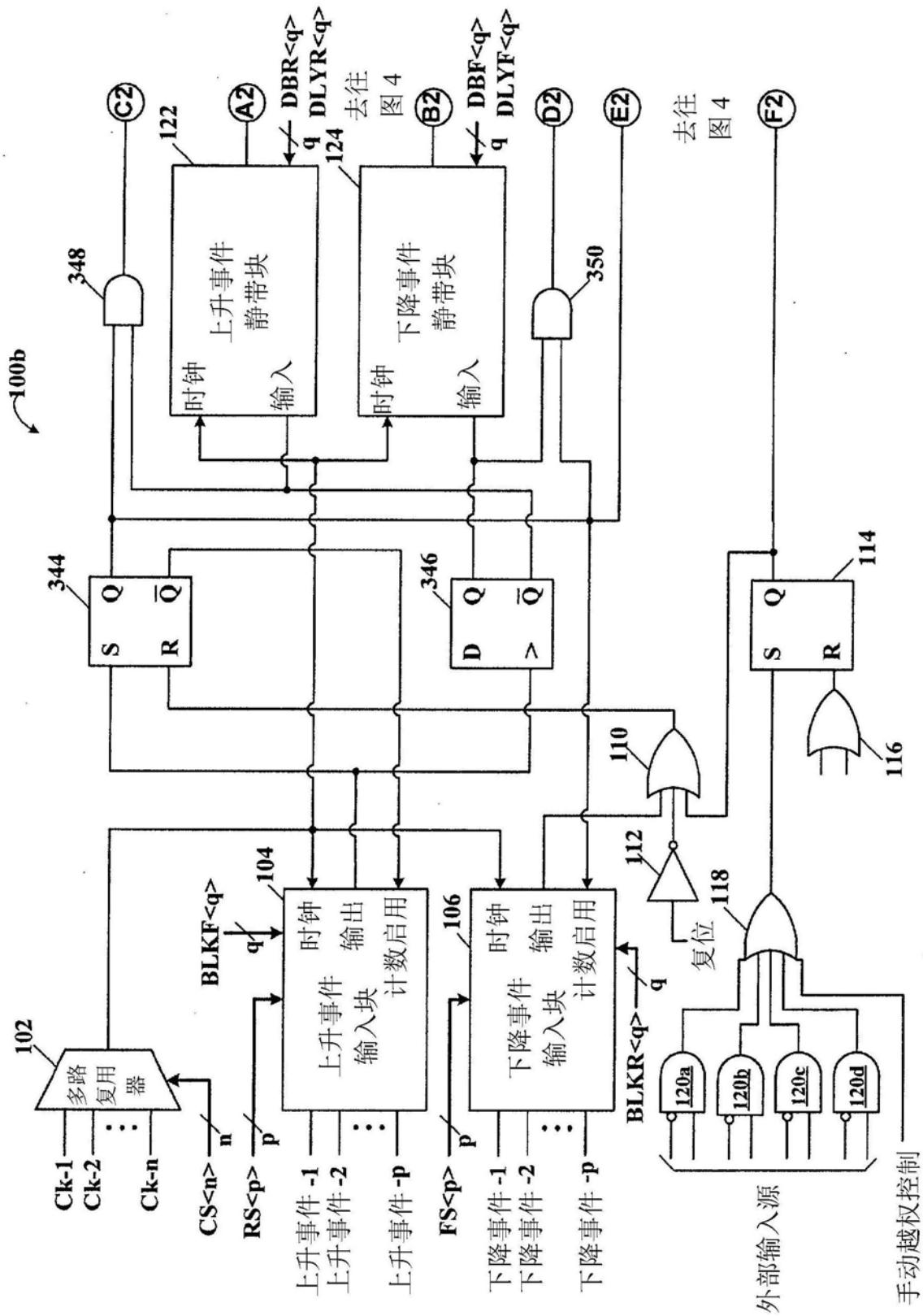


图3

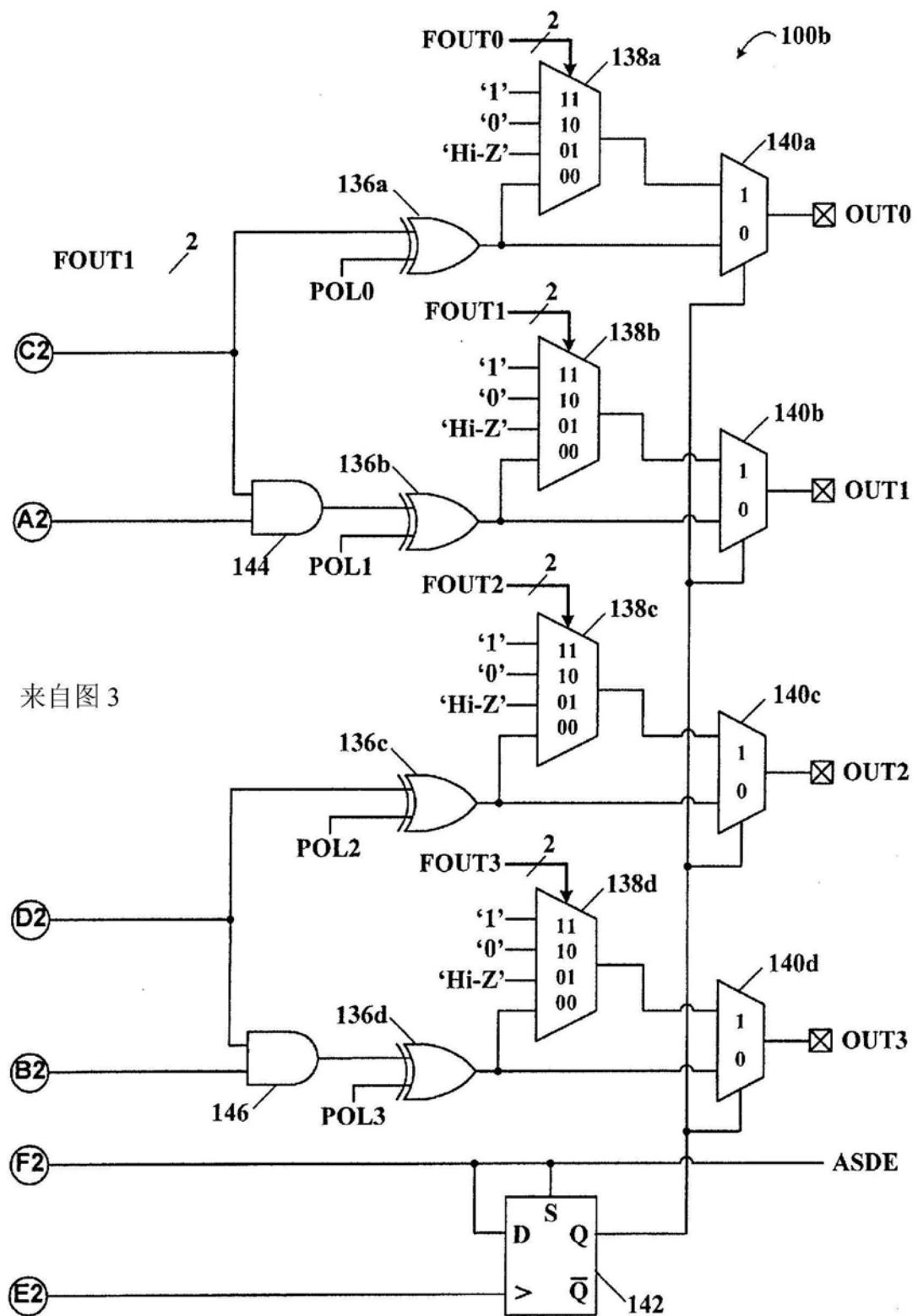


图4

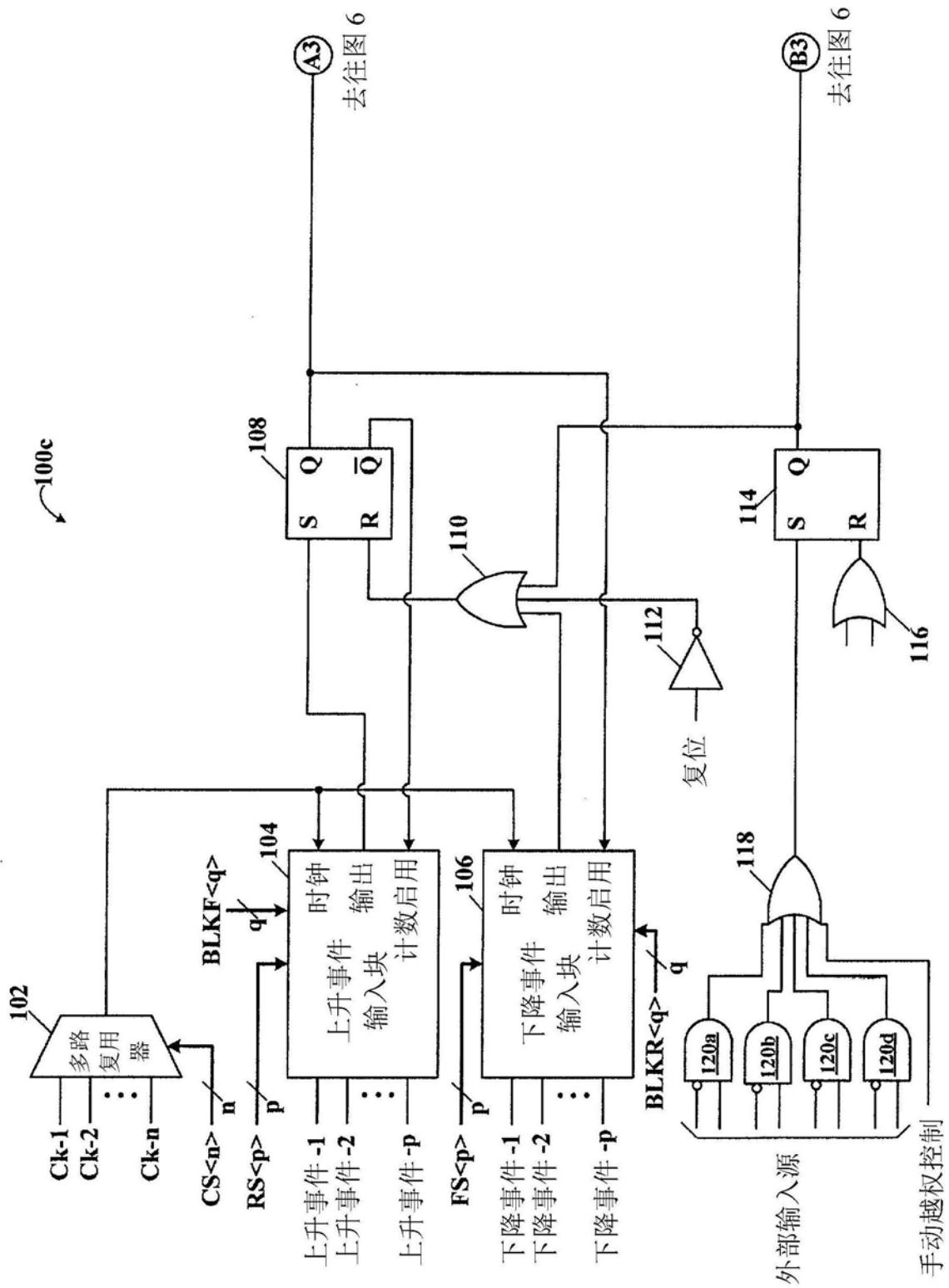


图5

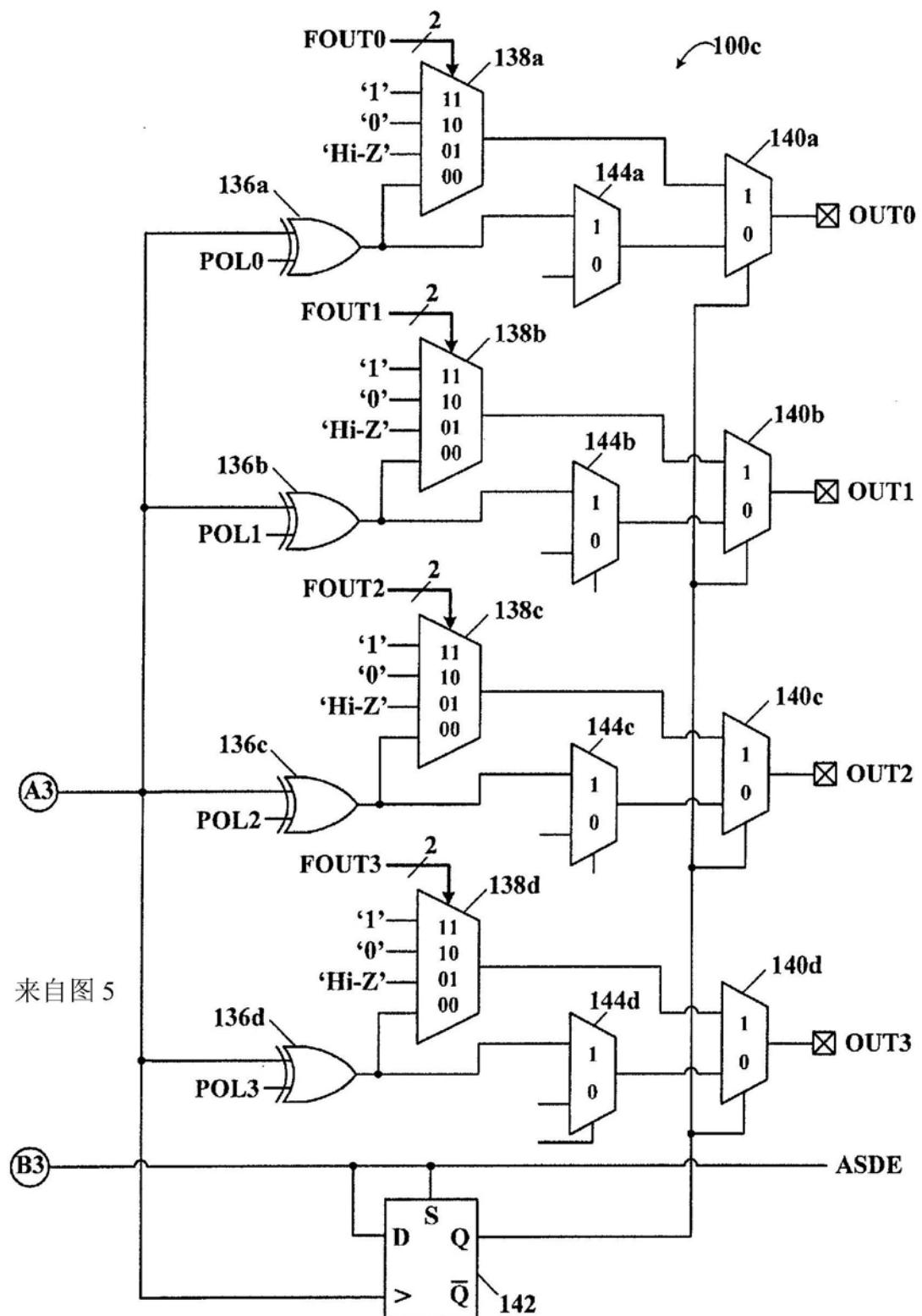


图6

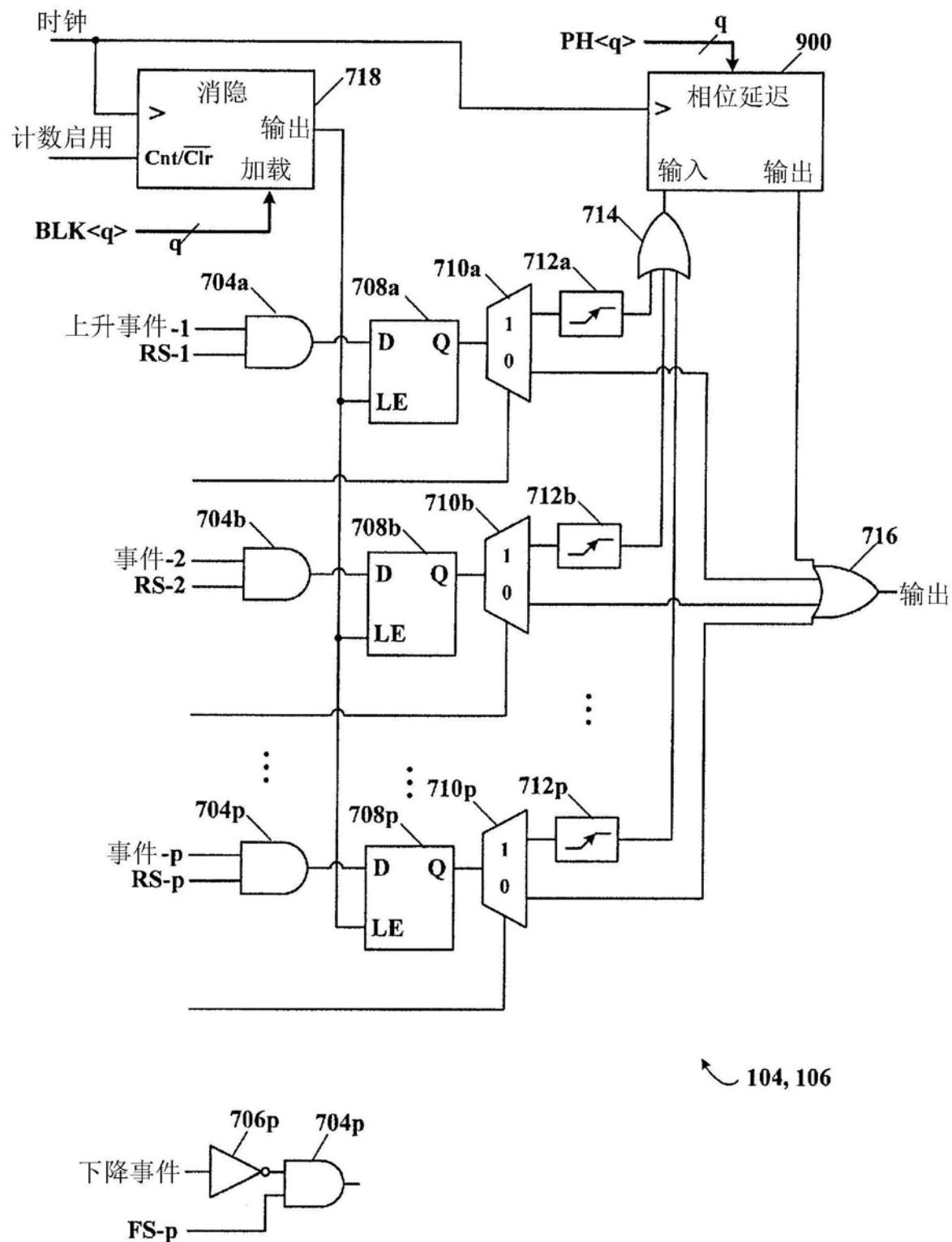


图7

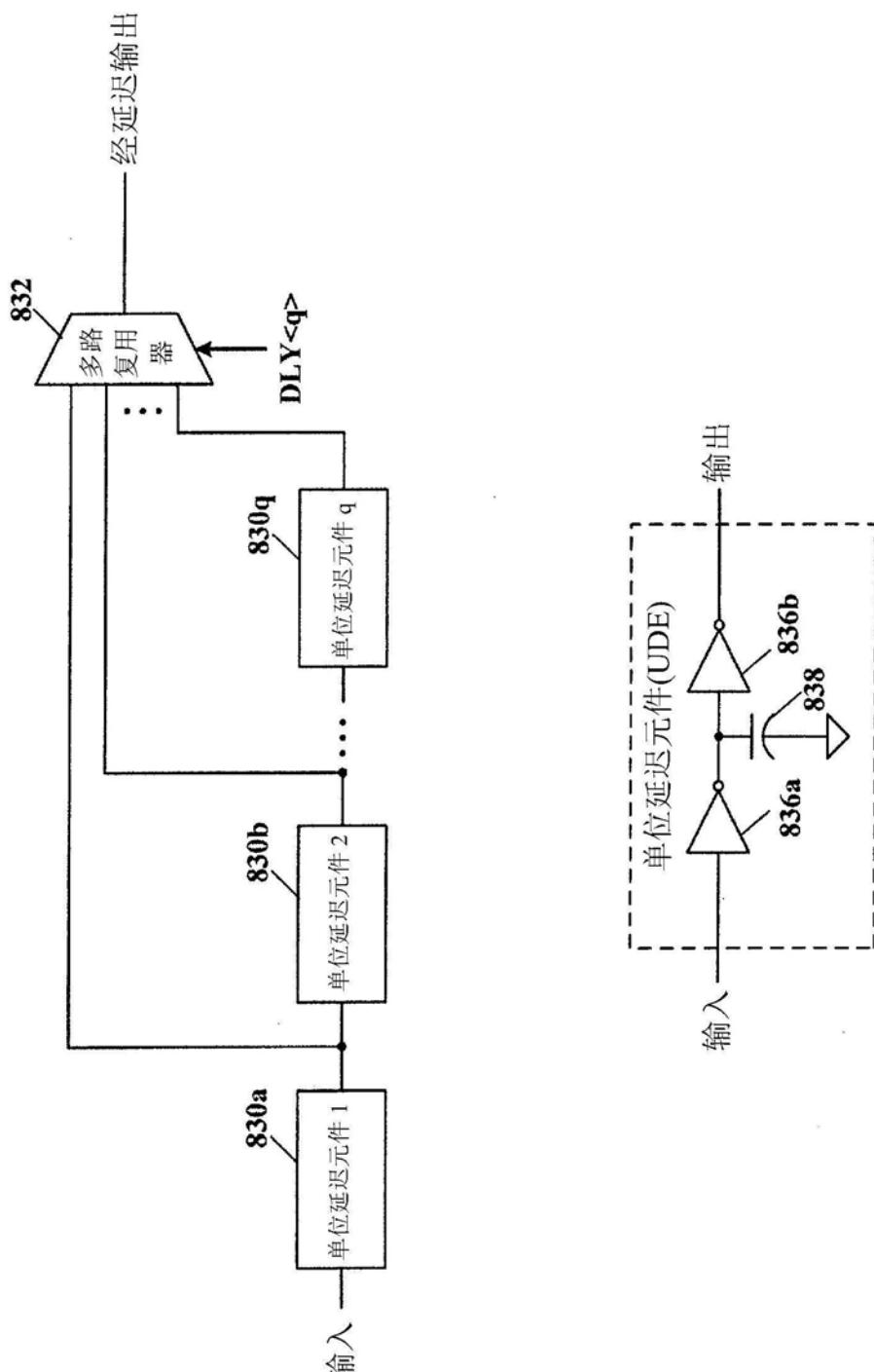


图8

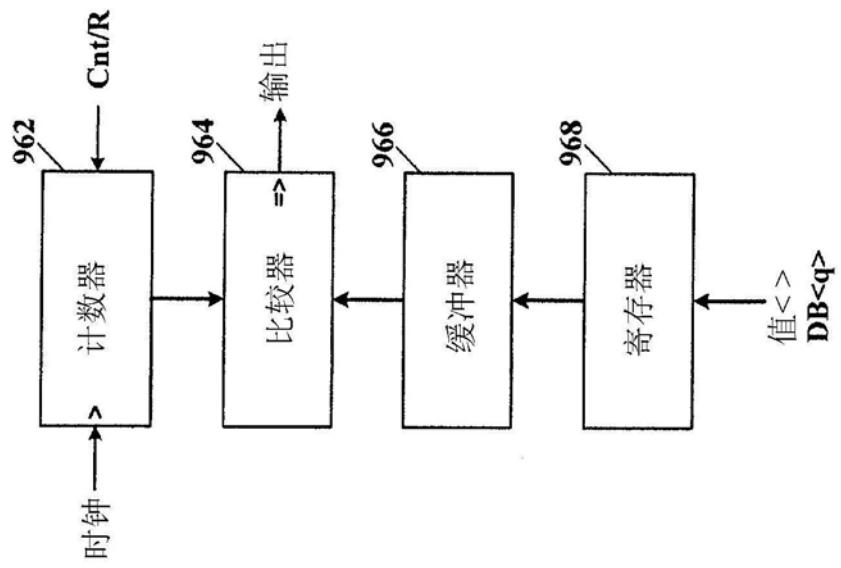


图9

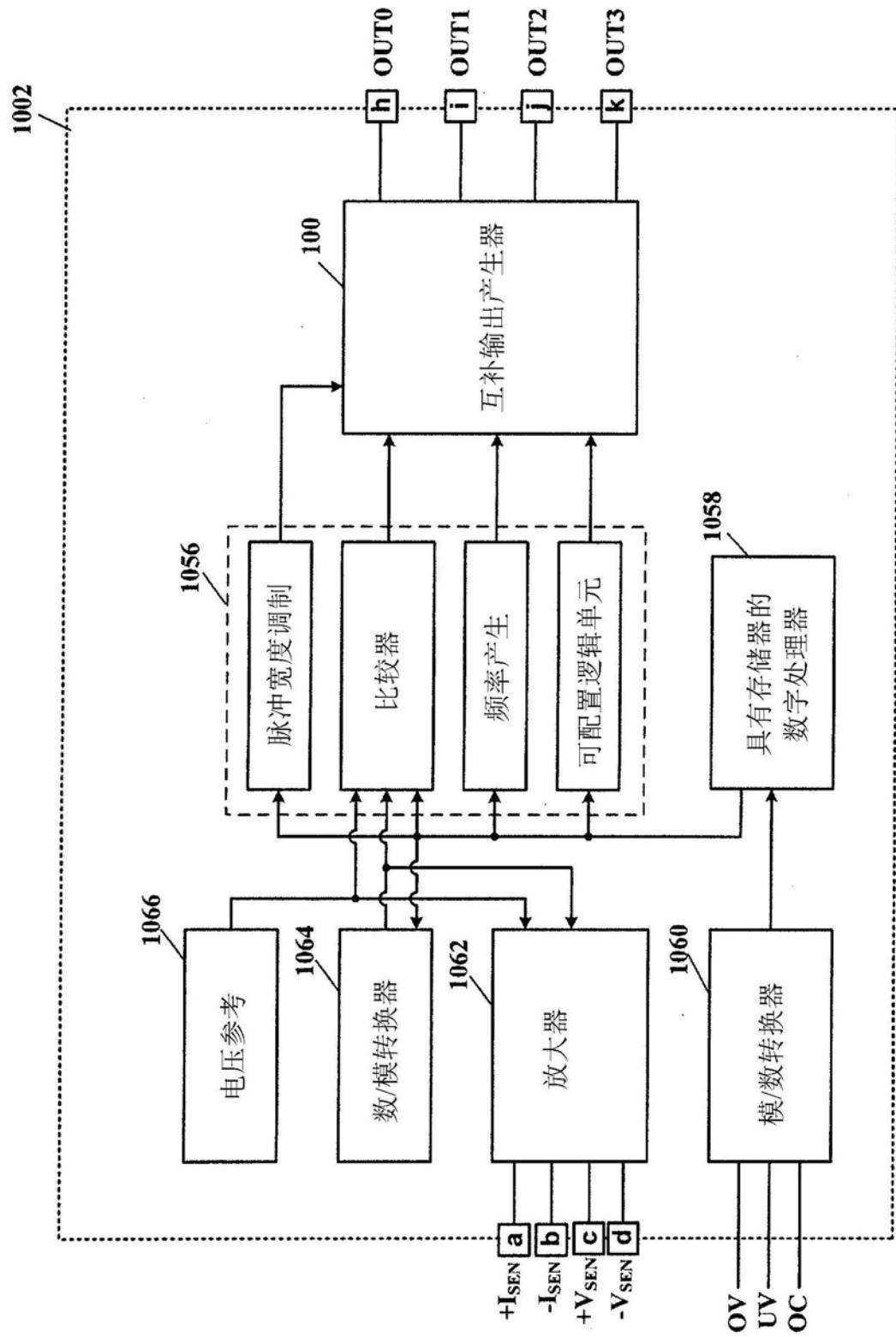


图10

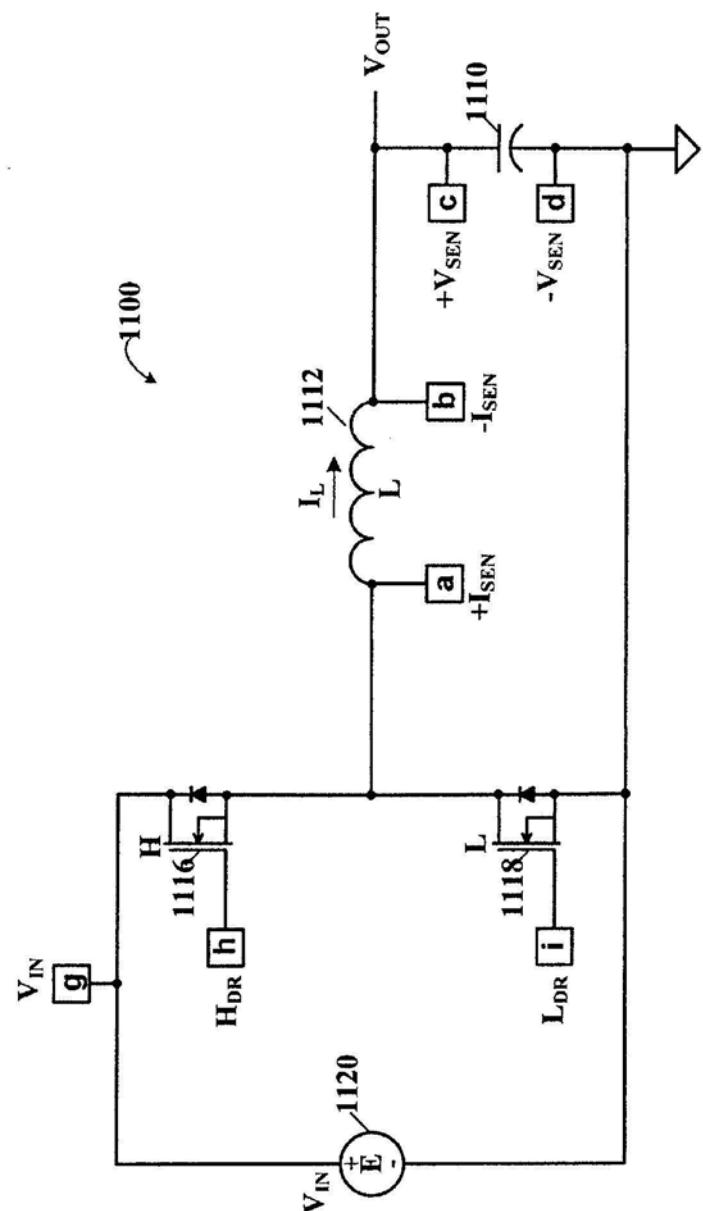


图11

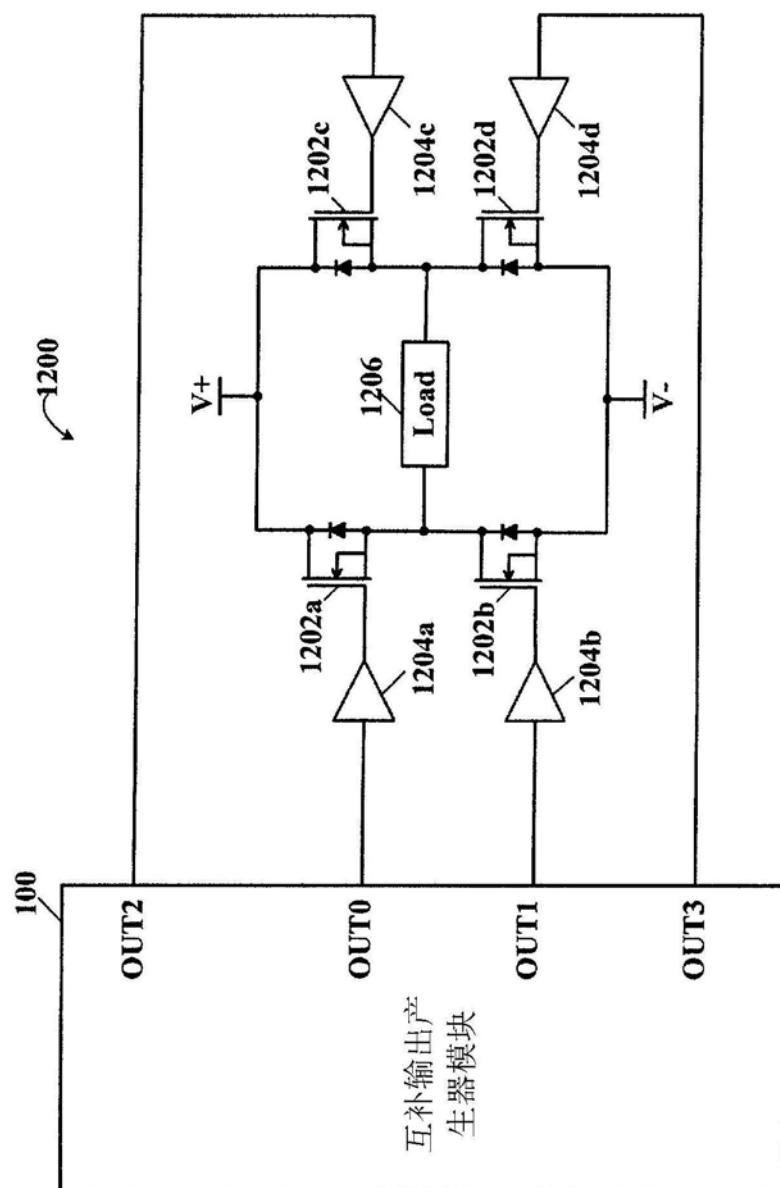


图12