

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2014年3月20日(20.03.2014)



(10) 国際公開番号  
**WO 2014/041684 A1**

- (51) 国際特許分類:  
H01L 25/065 (2006.01) H01L 25/07 (2006.01)  
H01L 21/60 (2006.01) H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2012/073666
- (22) 国際出願日: 2012年9月14日(14.09.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): ルネサスエレクトロニクス株式会社(Renesas Electronics Corporation) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部1753番地 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 紺野 順平(KONNO, Jumpei) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部1753番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP). 西田 隆文(NISHITA, Takafumi) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部1753番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP). 坂田 賢治(SAKATA, Kenji) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部1753番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP). 木下 順弘(KINOSHITA, Nobuhiro) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部1753番地 ルネサ

スエレクトロニクス株式会社内 Kanagawa (JP). 杉山 道昭(SUGIYAMA, Michiaki) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部1753番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP). 木田 剛(KIDA, Tsuyoshi) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部1753番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP). 小野 善宏(ONO, Yoshihiro) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部1753番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP).

(74) 代理人: 筒井 大和, 外(TSUTSUI, Yamato et al.); 〒1600022 東京都新宿区新宿2丁目3番10号 新宿御苑ビル3階 筒井国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

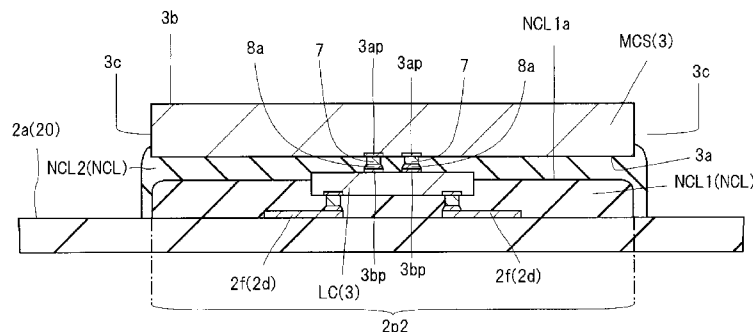
[続葉有]

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法

[図34]

図 34



(57) Abstract: A method for manufacturing a semiconductor device in which a first semiconductor chip and a second semiconductor chip having different planar sizes in planar view are stacked on a wiring board with adhesive interposed therebetween, the second semiconductor chip having a relatively larger planar size being mounted on the first semiconductor chip having a relatively smaller planar size. After the first and second semiconductor chips are mounted, the first and second semiconductor chips are sealed by a resin. The gap between the second semiconductor chip and the wiring board is blocked in advance, before the sealing by the resin is performed, by the adhesive used when the first and second semiconductor chips are mounted.

(57) 要約:

[続葉有]

WO 2014/041684 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

配線基板上に、平面視における平面サイズの異なる第 1 半導体チップと第 2 半導体チップを、接着材を介してそれぞれ積層する半導体装置の製造方法であって、相対的に平面サイズの小さい第 1 半導体チップ上に相対的に平面サイズの大きい第 2 半導体チップを搭載する。また、第 1 および第 2 半導体チップを搭載した後、第 1 および第 2 半導体チップを樹脂で封止する。ここで、第 2 半導体チップと配線基板の隙間は、樹脂で封止する前に、第 1 および第 2 半導体チップを搭載する際に使用した接着材で予め塞がれているものである。

## 明 細 書

発明の名称：半導体装置の製造方法

### 技術分野

[0001] 本発明は、半導体装置およびその製造技術に関し、例えば、平面サイズの異なる複数の半導体チップを積層する半導体装置に適用して有効な技術に関する。

### 背景技術

[0002] 特開２００５－１９１０５３号公報（特許文献１）には、フリップチップ接続方式により、パッケージ基板上に半導体チップを搭載する半導体装置の製造方法が記載される。特許文献１には、パッケージ基板上に、ＮＣＰ（Non-Conductive Paste）を介して半導体チップを配置した後、チップ裏面を押圧して半導体チップをパッケージ基板に接続することが記載されている。

[0003] また、特開２０１０－２５１４０８号公報（特許文献２）や、特開２０１１－１８７５７４号公報（特許文献３）には、積層された複数の半導体チップのそれぞれに貫通電極が形成され、この貫通電極を介して複数の半導体チップが電氣的に接続された半導体装置が記載されている。

[0004] また、特開２０００－２９９４３１号公報（特許文献４）や、特開２００２－２６２３６号公報（特許文献５）には、以下の内容が記載されている。第１半導体チップ（第１の半導体素子）を、異方性導電接着剤（アンダーフィル材）を介して回路基板（基板）に搭載する際に、異方性導電接着剤の一部を第１半導体チップの外部にはみ出させる。そして、はみ出た樹脂である支持部および第１半導体チップの上に、接着剤（ダイボンディング用接着剤）を介して第２半導体チップ（第２の半導体素子）を搭載する。

### 先行技術文献

#### 特許文献

[0005] 特許文献１：特開２００５－１９１０５３号公報

特許文献２：特開２０１０－２５１４０８号公報

特許文献3：特開2011-187574号公報

特許文献4：特開2000-299431号公報

特許文献5：特開2002-26236号公報

## 発明の概要

### 発明が解決しようとする課題

[0006] 本願発明者は、配線基板上に平面サイズ（外形寸法）が異なる複数の半導体チップを積層した半導体装置の性能を向上させる技術を検討している。この一環として、半導体チップ間の伝送速度を向上させるために、複数の半導体チップのうち、下段側に配置される半導体チップに貫通電極を形成し、この貫通電極を介して複数の半導体チップを互いに、かつ電氣的に接続する技術について検討した。その結果、下段側の半導体チップの平面サイズが上段側の半導体チップの平面サイズよりも小さい場合、半導体装置の信頼性の点で問題が生じることを本願発明者は見出した。

[0007] その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

### 課題を解決するための手段

[0008] 一実施の形態による半導体装置の製造方法は、配線基板上に第1接着材を配置した後、上記配線基板上に第1半導体チップを搭載する工程を含む。また、半導体装置の製造方法は、上記半導体チップの第1裏面上および上記第1半導体チップから露出する上記第1接着材の露出面上に、第2接着材を配置した後、上記第1半導体チップの上記第1裏面上に第2半導体チップを搭載する工程を含む。また、半導体装置の製造方法は、上記第1半導体チップおよび上記第2半導体チップを樹脂で封止する工程を含む。

[0009] ここで、上記第1半導体チップは、第1表面、上記第1表面に形成された複数の第1表面電極、上記第1表面とは反対側の第1裏面、第1裏面に形成される複数の第1裏面電極、および上記第1表面および上記第1裏面のうちの一方から他方に向かって貫通するようにそれぞれ形成された複数の貫通電極を有する。また、上記第2半導体チップの平面サイズは、上記第1半導体

チップの平面サイズよりも大きい。また、上記第2半導体チップと上記配線基板の隙間が上記第1および第2接着材で塞がれた状態で上記樹脂による封止を行うものである。

## 発明の効果

[0010] 上記一実施の形態によれば、半導体装置の信頼性を向上させることができる。

## 図面の簡単な説明

[0011] [図1]一実施の形態である半導体装置の斜視図である。

[図2]図1に示す半導体装置の下面図である。

[図3]図1に示す封止体を取り除いた状態で配線基板上の半導体装置の内部構造を示す透視平面図である。

[図4]図1のA-A線に沿った断面図である。

[図5]図4に示すA部の拡大断面図である。

[図6]図4に示すメモリチップの表面側を示す平面図である。

[図7]図6に示すメモリチップの裏面側の一例を示す平面図である。

[図8]図4に示すロジックチップの表面側を示す平面図である。

[図9]図8に示すロジックチップの裏面側の一例を示す平面図である。

[図10]図4のB部の拡大断面図である。

[図11]図1～図10を用いて説明した半導体装置の製造工程の概要を示す説明図である。

[図12]図11に示す基板準備工程で準備する配線基板の全体構造を示す平面図である。

[図13]図12に示すデバイス領域1個分の拡大平面図である。

[図14]図13のA-A線に沿った拡大断面図である。

[図15]図13の反対側の面を示す拡大平面図である。

[図16]図13に示すチップ搭載領域に接着材を配置した状態を示す拡大平面図である。

[図17]図16のA-A線に沿った拡大断面図である。

[図18]図7に示す貫通電極を備えた半導体チップの製造工程の概要を模式的に示す説明図である。

[図19]図18に続く半導体チップの製造工程の概要を模式的に示す説明図である。

[図20]図16に示す配線基板のチップ搭載領域上にロジックチップLCを搭載した状態を示す拡大平面図である。

[図21]図20のA-A線に沿った拡大断面図である。

[図22]図11に示す第1チップ搭載工程の詳細なフローを示す説明図であって、チップ搭載領域上に半導体チップを載せた状態を模式的に示す説明図である。

[図23]図11に示す第1チップ搭載工程の詳細なフローを示す説明図であって、図22に示す搬送治具を取り外し、加熱治具を半導体チップの裏面側に押し当てた状態を示す説明図である。

[図24]図11に示す第1チップ搭載工程の詳細なフローを示す説明図であって、半導体チップを加熱し、配線基板と電氣的に接続した状態を示す説明図である。

[図25]図20に示す半導体チップの裏面およびその周囲に接着材を配置した状態を示す拡大平面図である。

[図26]図25のA-A線に沿った拡大断面図である。

[図27]図4に示すメモリチップの積層体の組立工程の概要を模式的に示す説明図である。

[図28]図27に続くメモリチップの積層体の組立工程の概要を模式的に示す説明図である。

[図29]図25に示すロジックチップの裏面上にメモリチップの積層体を搭載した状態を示す拡大平面図である。

[図30]図29のA-A線に沿った拡大断面図である。

[図31]図11に示す第2チップ搭載工程の詳細なフローを示す説明図であって、ロジックチップ上にメモリチップの積層体を載せた状態を模式的に示す

説明図である。

[図32]図 1 1 に示す第 2 チップ搭載工程の詳細なフローを示す説明図であって、図 3 1 に示す搬送治具を取り外し、加熱治具を積層体の裏面側に押し当てた状態を示す説明図である。

[図33]図 1 1 に示す第 2 チップ搭載工程の詳細なフローを示す説明図であって、図 3 1 に示す保持治具を取り除いた時に、積層体が傾いた状態を示す説明図である。

[図34]図 1 1 に示す第 2 チップ搭載工程の詳細なフローを示す説明図であって、積層体を加熱し、ロジックチップと電氣的に接続した状態を示す説明図である。

[図35]図 3 0 に示す配線基板上に封止体を形成し、積層された複数の半導体チップを封止した状態を示す拡大断面図である。

[図36]図 3 5 に示す封止体の全体構造を示す平面図である。

[図37]封止体を成形する成形金型内に図 3 0 に示す配線基板を配置した状態を示す要部断面図である。

[図38]図 3 7 に示す成形金型内に樹脂を供給した状態を示す要部断面図である。

[図39]図 3 7 に示す成形金型内が樹脂で満たされた状態を示す要部断面図である。

[図40]図 3 9 に示す配線基板を成形金型から取り出した状態を示す要部断面図である。

[図41]図 3 5 に示す配線基板の複数のランド上に半田ボールを接合した状態を示す拡大断面図である。

[図42]図 4 1 に示す多数個取りの配線基板を個片化した状態を示す断面図である。

[図43]図 4 に示す半導体装置に対する変形例の概要を示す要部断面図である。

[図44]図 4 に示す半導体装置に対する他の変形例の概要を示す要部断面図で

ある。

[図45]図4 4 に示す半導体装置に対する変形例の概要を示す要部断面図である。

[図46]図4 5 のA部の拡大断面図である。

[図47]図4 に示す半導体装置に対する他の変形例の概要を示す要部断面図である。

[図48]図4 7 のA部の拡大断面図である。

[図49]図4 に示す半導体装置に対する他の変形例を示す要部断面図である。

[図50]図3 1 ～図3 4 とは別の検討例において、積層体が傾いた状態を示す説明図である。

[図51]図3 9 に対する検討例を示す要部断面図である。

### 発明を実施するための形態

[0012] (本願における記載形式・基本的用語・用法の説明)

本願において、実施の態様の記載は、必要に応じて、便宜上複数のセクション等に分けて記載するが、特にそうでない旨明示した場合を除き、これらは相互に独立別個のものではなく、記載の前後を問わず、単一の例の各部分、一方が他方の一部詳細または一部または全部の変形例等である。また、原則として、同様の部分は繰り返しの説明を省略する。また、実施の態様における各構成要素は、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、必須のものではない。

[0013] 同様に実施の態様等の記載において、材料、組成等について、「AからなるX」等といっても、特にそうでない旨明示した場合および文脈から明らかにそうでない場合を除き、A以外の要素を含むものを排除するものではない。たとえば、成分についていえば、「Aを主要な成分として含むX」等の意味である。たとえば、「シリコン部材」等といっても、純粋なシリコンに限定されるものではなく、SiGe（シリコン・ゲルマニウム）合金やその他シリコンを主要な成分とする多元合金、その他の添加物等を含む部材も含む

ものであることはいうまでもない。また、金めっき、Cu層、ニッケル・めっき等といっても、そうでない旨、特に明示した場合を除き、純粋なものだけでなく、それぞれ金、Cu、ニッケル等を主要な成分とする部材を含むものとする。

[0014] さらに、特定の数値、数量に言及したときも、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、その特定の数値を超える数値であってもよいし、その特定の数値未満の数値でもよい。

[0015] また、実施の形態の各図中において、同一または同様の部分は同一または類似の記号または参照番号で示し、説明は原則として繰り返さない。

[0016] また、添付図面においては、却って、煩雑になる場合または空隙との区別が明確である場合には、断面であってもハッチング等を省略する場合がある。これに関連して、説明等から明らかである場合等には、平面的に閉じた孔であっても、背景の輪郭線を省略する場合がある。更に、断面でなくとも、空隙でないことを明示するため、あるいは領域の境界を明示するために、ハッチングやドットパターンを付すことがある。

[0017] (実施の形態)

本実施の形態では、複数の半導体チップを積層した半導体装置の例として、演算処理回路が形成された半導体チップ上にメモリ回路が形成された複数の半導体チップを積層した実施態様を取り上げて説明する。図1は本実施の形態の半導体装置の斜視図、図2は、図1に示す半導体装置の下面図である。また、図3は、図1に示す封止体を取り除いた状態で配線基板上の半導体装置の内部構造を示す透視平面図である。また、図4は図1のA-A線に沿った断面図である。なお、図1～図4では、見易さのため、端子数を少なくして示しているが、端子（ボンディングリード2f、ランド2g、半田ボール5）の数は、図1～図4に示す態様には限定されない。また、図3では、ロジックチップLCとメモリチップMC4の平面視における位置関係や平面サイズの違いを見易くするため、ロジックチップLCの輪郭を、点線により

示している。

[0018] <半導体装置>

まず、本実施の形態の半導体装置 1 の概要構成について、図 1～図 4 を用いて説明する。本実施の形態の半導体装置 1 は、配線基板 2、配線基板 2 上に搭載された複数の半導体チップ 3（図 4 参照）および複数の半導体チップ 3 を封止する封止体（樹脂体） 4 を備える。

[0019] 図 4 に示すように、配線基板 2 は、複数の半導体チップ 3 が搭載された上面（面、主面、チップ搭載面） 2 a、上面 2 a とは反対側の下面（面、主面、実装面） 2 b、および上面 2 a と下面 2 b の間に配置された側面 2 c を有し、図 2 および図 3 に示すように平面視において四角形の外形形状を成す。図 2 および図 3 に示す例では、配線基板 2 の平面サイズ（平面視における寸法、上面 2 a および下面 2 b の寸法、外形サイズ）は、例えば一辺の長さが 14 mm 程度の正方形を成す。また、配線基板 2 の厚さ（高さ）、すなわち、図 4 に示す上面 2 a から下面 2 b までの距離は、例えば 0.3 mm～0.5 mm 程度である。

[0020] 配線基板 2 は、上面 2 a 側に搭載された半導体チップ 3 と図示しない実装基板を電氣的に接続するためのインタポーザであって、上面 2 a 側と下面 2 b 側を電氣的に接続する複数の配線層（図 4 に示す例では 4 層）を有する。各配線層には、複数の配線 2 d および複数の配線 2 d 間、および隣り合う配線層間を絶縁する絶縁層（コア層） 2 e が形成されている。また、配線 2 d には、絶縁層 2 e の上面または下面に形成される配線 2 d 1、および絶縁層 2 e を厚さ方向に貫通するように形成されている層間導電路であるビア配線 2 d 2 が含まれる。

[0021] また、配線基板 2 の上面 2 a には、半導体チップ 3 と電氣的に接続される端子である、複数のボンディングリード（端子、チップ搭載面側端子、電極） 2 f が形成されている。一方、配線基板 2 の下面 2 b には、図示しない実装基板と電氣的に接続するための端子、すなわち、半導体装置 1 の外部接続端子である複数の半田ボール 5 が接合された、複数のランド 2 g が形成され

ている。複数のボンディングリード2 fと複数のランド2 gは、複数の配線2 dを介して、それぞれ電氣的に接続されている。なお、ボンディングリード2 fやランド2 gに接続される配線2 dは、ボンディングリード2 fやランド2 gと一体に形成されるので、図4では、ボンディングリード2 fおよびランド2 gを、配線2 dの一部として示している。

[0022] また、配線基板2の上面2 aおよび下面2 bは、絶縁膜（ソルダレジスト膜）2 h、2 kにより覆われている。配線基板2の上面2 aに形成された配線2 dは絶縁膜2 hに覆われている。絶縁膜2 hには開口部が形成され、この開口部において、複数のボンディングリード2 fの少なくとも一部（半導体チップ3との接合部、ボンディング領域）が絶縁膜2 hから露出している。また、配線基板2の下面2 bに形成された配線2 dは絶縁膜2 kに覆われている。絶縁膜2 kには開口部が形成され、この開口部において、複数のランド2 gの少なくとも一部（半田ボール5との接合部）が絶縁膜2 kから露出している。

[0023] また、図4に示すように、配線基板2の下面2 bの複数のランド2 gに接合される複数の半田ボール（外部端子、電極、外部電極）5は、図2に示すように行列状（アレイ状、マトリクス状）に配置されている。また、図2では図示を省略するが、複数の半田ボール5が接合される複数のランド2 g（図4参照）も行列状（マトリクス状）に配置されている。このように、配線基板2の実装面側に、複数の外部端子（半田ボール5、ランド2 g）を行列状に配置する半導体装置を、エリアアレイ型の半導体装置と呼ぶ。エリアアレイ型の半導体装置は、配線基板2の実装面（下面2 b）側を、外部端子の配置スペースとして有効活用することができるので、外部端子数が増大しても半導体装置の実装面積の増大を抑制することが出来る点で好ましい。つまり、高機能化、高集積化に伴って、外部端子数が増大する半導体装置を省スペースで実装することができる。

[0024] また、半導体装置1は、配線基板2上に搭載される複数の半導体チップ3を備えている。複数の半導体チップ3は、配線基板2の上面2 a上に積層さ

れている。また、複数の半導体チップ3のそれぞれは、表面（主面、上面）3 a、表面3 aとは反対側の裏面（主面、下面）3 b、および、表面3 aと裏面3 bとの間に位置する側面3 cを有し、図3に示すように平面視において四角形の外形形状を成す。このように、複数の半導体チップを積層することにより、半導体装置1を高機能化させた場合であっても、実装面積を低減することができる。

[0025] 図3および図4に示す例では、最下段（配線基板2に最も近い位置）に搭載される半導体チップ3は、演算処理回路が形成されたロジックチップ（半導体チップ）LCである。一方、ロジックチップの上段に搭載される半導体チップ3は、ロジックチップLCとの間で通信するデータを記憶する主記憶回路（記憶回路）が形成された、メモリチップ（半導体チップ）MC1、MC2、MC3、MC4である。なお、ロジックチップLCには、上記した演算処理回路の他、メモリチップMC1、MC2、MC3、MC4の主記憶回路の動作を制御する制御回路が形成されている。また、ロジックチップLCには、例えばキャッシュメモリなど、上記した主記憶回路よりも容量が小さい記憶回路が形成されている。また、ロジックチップLCには、図示しない外部機器との間で信号の入出力を行う外部インタフェース回路が形成されている。また、ロジックチップLCには、内部機器（例えばメモリチップMC1、MC2、MC3、MC4）との間で信号の入出力を行う内部インタフェース回路が形成されている。

[0026] ロジックチップLCのように、ある装置やシステムの動作に必要な回路が一つの半導体チップ3に集約して形成されたものを、SoC（System on a Chip）と呼ぶ。また、半導体装置1のように、ある装置やシステムの動作に必要な回路が一つの半導体装置1に集約して形成されたものを、SIP（System In Package）と呼ぶ。

[0027] ここで、動作させる装置やシステムに応じて、必要な主記憶回路の容量は変化する。このため、図4に示す例では、SoCであるロジックチップLCとは別に、主記憶回路を備えたメモリチップMC1、MC2、MC3、MC

4を搭載し、ロジックチップLCとメモリチップMC1、MC2、MC3、MC4を電氣的に接続している。これにより、ロジックチップLCおよびメモリチップMC1、MC2、MC3、MC4の汎用性を向上させることができる。なお、図4では、一つのロジックチップLC上に、四つのメモリチップMC1、MC2、MC3、MC4を積層した例を示しているが、半導体チップ3の積層数には種々の変形例がある。図示は省略するが、例えば、最小限の構成としては、一つのロジックチップLC上に一つのメモリチップMC1を搭載する変形例に適用することができる。また、ロジックチップLCとメモリチップMC1、MC2、MC3、MC4を電氣的に接続する方法は、後で詳細に説明する。

[0028] 上記のように、ロジックチップLCおよびメモリチップMC1、MC2、MC3、MC4の汎用性を向上させる観点からは、ロジックチップLCおよびメモリチップMC1、MC2、MC3、MC4の平面サイズ（平面視における寸法、表面3aおよび裏面3bの寸法、外形サイズ）は、各半導体チップ3の機能を達成可能な範囲内で最小化することが好ましい。ロジックチップLCは、回路素子の集積度を向上させることにより平面サイズを低減することができる。一方、平面サイズに応じて、主記憶回路の容量や伝送速度（例えばデータバスの幅によるデータ転送量）が変化するので、平面サイズの小型化には限界がある。

[0029] このため、図4に示す例では、メモリチップMC4の平面サイズは、ロジックチップLCの平面サイズよりも大きい。例えば、メモリチップMC4の平面サイズは、一辺の長さが8mm～10mm程度の四角形であるのに対し、ロジックチップLCの平面サイズは、一辺の長さが5mm～6mm程度の四角形である。また、図示は省略するが、図4に示すメモリチップMC1、MC2、MC3の平面サイズは、メモリチップMC4の平面サイズと同じである。

[0030] また、上記したように、ロジックチップLCには、図示しない外部機器との間で信号の入出力を行う外部インタフェース回路が形成されるので、外部

機器との伝送距離を短縮する観点から、複数の半導体チップ3の積層順は、ロジックチップLCを最下段、すなわち、配線基板2に最も近い位置に搭載することが好ましい。つまり、半導体装置1のように平面サイズの小さい半導体チップ3（ロジックチップLC）上に、平面サイズが大きい半導体チップ3（メモリチップMC1、MC2、MC3、MC4）を積層する構成になる。このため、図4に示すように、最下段の半導体チップ3（ロジックチップLC）の周縁部の外側の領域では、上段側の半導体チップ3（メモリチップMC1）と配線基板2の上面2aの間に隙間が生じる。

[0031] 本実施の形態では、この隙間を埋めるように、上段側の半導体チップ3（メモリチップMC1）と配線基板2の上面2aの間に接着材（絶縁性接着材）NCLが配置されている。言い換えれば、上段側の半導体チップ3（メモリチップMC1）と配線基板2の上面2aの間の隙間は、接着材NCLにより塞がれている。この接着材NCLは、配線基板2上にロジックチップLCを接着固定する接着材（絶縁性接着材）NCL1と、ロジックチップLC上にメモリチップMC1を接着固定する接着材（絶縁性接着材）NCL2を含む。

[0032] 本実施の形態では、図4に示すように、接着材NCL1の周縁部、特に、側面（ロジックチップLCの側面と並ぶ面）が、接着材NCL2で覆われている。そして、接着材NCL2は、図4に示すように、メモリチップ（少なくともメモリチップMC1）の側面を覆うように、フィレットが形成されている。さらに、この接着材NCL2のフィレットの一部は、メモリチップの周縁部（側面）よりも外側（ロジックチップLCから離れる方向）に形成されている。また、接着材NCL1、NCL2は、それぞれ絶縁性（非導電性）の材料（例えば樹脂材料）から成る。そのため、互いに隣り合う接合部（ロジックチップLCと配線基板2の接合部、ロジックチップLCとメモリチップMC1の接合部）間を電氣的に絶縁することができる。接着材NCLにより、メモリチップMC1と配線基板2の上面2aの間の隙間を塞ぐ詳細な方法、およびその効果については、後述する半導体装置の製造方法を説明す

る際に詳しく説明する。

[0033] また、図4に示す例では、複数のメモリチップMC1、MC2、MC3、MC4の間には、封止体4とは異なる封止体（チップ積層体用封止体、チップ積層体用樹脂体）6が配置され、メモリチップMC1、MC2、MC3、MC4の積層体MCSは封止体6により封止されている。封止体6は、複数のメモリチップMC1、MC2、MC3、MC4の表面3aおよび裏面3bに密着するように埋め込まれ、メモリチップMC1、MC2、MC3、MC4の積層体MCSは、各半導体チップ3間の接合部および封止体6により一体化される。また、封止体6は、絶縁性（非導電性）の材料（例えば樹脂材料）から成り、メモリチップMC1、MC2、MC3、MC4の各接合部に封止体6を配置することで、各接合部に設けられている複数の電極間を電氣的に絶縁することができる。ただし、図4に示すようにメモリチップMC1、MC2、MC3、MC4の積層体MCSのうち、最下段（最もロジックチップLCに近い位置）に搭載されるメモリチップMC1の表面4aは、封止体6から露出している。また、図3および図4に示すように、メモリチップMC1、MC2、MC3、MC4の積層体MCSのうち、最上段に配置されるメモリチップMC4の裏面4bは封止体6から露出している。

[0034] また、半導体装置1は、複数の半導体チップ3を封止する封止体4を備える。封止体4は、上面（面、表面）4a、上面4aとは反対側に位置する下面（面、裏面）4b（図4参照）、および上面4aと下面4bの間に位置する側面4cを有し、平面視において四角形の外形形状を成す。図1に示す例では、封止体4の平面サイズ（上面4a側から平面視した時の寸法、上面4aの外形サイズ）は配線基板2の平面サイズと同じであって、封止体4の側面4cは配線基板2の側面2cと連なっている。また、図1に示す例では、封止体4の平面寸法（平面視における寸法）は、例えば一辺の長さが14mm程度の正方形を成す。

[0035] 封止体4は、複数の半導体チップ3を保護する樹脂体であって、複数の半導体チップ3間および半導体チップ3と配線基板2に密着させて封止体4を

形成することで、薄い半導体チップ3の損傷を抑制することができる。また、封止体4は、保護部材としての機能を向上させる観点から例えば以下のような材料で構成される。封止体4には、半導体チップ3および配線基板2に密着させ易く、かつ、封止後には、有る程度の硬さが要求されるので、例えばエポキシ系樹脂などの熱硬化性樹脂が含まれることが好ましい。また、硬化後の封止体4の機能を向上させるため、例えば、シリカ（二酸化珪素； $\text{SiO}_2$ ）粒子などのフィラー粒子が樹脂材料中に混合されていることが好ましい。例えば、封止体4を形成した後の熱変形による半導体チップ3の損傷を抑制する観点からは、フィラー粒子の混合割合を調整して、半導体チップ3と封止体4の線膨張係数を近づけることが好ましい。

[0036] <半導体チップの詳細>

次に、図3および図4に示すロジックチップLCおよびメモリチップMC1、MC2、MC3、MC4の詳細および各半導体チップ3の電氣的な接続方法について説明する。図5は図4に示すA部の拡大断面図である。また、図6は、図4に示すメモリチップの表面側を示す平面図、図7は、図6に示すメモリチップの裏面側の一例を示す平面図である。また、図8は、図4に示すロジックチップの表面側を示す平面図、図9は、図8に示すロジックチップの裏面側の一例を示す平面図である。また、図10は図4のB部の拡大断面図である。なお、図5～図9では、見易さのため、電極数を少なくして示しているが、電極（表面電極3ap、裏面電極3bp、貫通電極3tsv）の数は、図5～図9に示す態様には限定されない。また、図7では、メモリチップMC1、MC2、MC3の裏面図を示すが、裏面電極3bpが形成されないメモリチップMC4（図4参照）の裏面の構造は、図3に示されているので、図示は省略する。

[0037] 本願発明者は、SIP型の半導体装置の性能を向上させる技術を検討しているが、この一環として、SIPに搭載される複数の半導体チップ間の信号伝送速度を、例えば12Gbps（毎秒12ギガビット）以上に向上させる技術について検討した。SIPに搭載される複数の半導体チップ間の伝送速

度を向上させる方法として、内部インタフェースのデータバスの幅を大きくして1回に伝送するデータ量を増加させる方法がある（以下、バス幅拡大化と記載する）。また、別の方法として、単位時間当たりの伝送回数を増やす方法がある（以下、高クロック化と記載する）。また、上記したバス幅拡大法とクロック数増加法を組み合わせる方法がある。図1～図4を用いて説明した半導体装置1は、バス幅拡大化と高クロック化を組み合わせる適用することにより、内部インタフェースの伝送速度を12Gbps以上に向上させた半導体装置である。

[0038] 例えば図4に示すメモリチップMC1、MC2、MC3、MC4は、それぞれ512bitのデータバスの幅を持つ、所謂、ワイドI/Oメモリである。詳しくは、メモリチップMC1、MC2、MC3、MC4は、データバスの幅が128bitのチャンネルを、それぞれ4つ備えており、この4チャンネルのバス幅を合計すると、512bitとなる。また、各チャンネルの単位時間当たりの伝送回数は高クロック化され、例えばそれぞれ3Gbps以上になっている。

[0039] このように、高クロック化とバス幅拡大化を組み合わせる場合には、多数のデータ線を高速で動作させる必要があるため、ノイズの影響を低減する観点から、データの伝送距離を短縮する必要がある。そこで、図4に示すように、ロジックチップLCとメモリチップMC1は、ロジックチップLCとメモリチップMC1の間に配置される導電性部材を介して電氣的に接続されている。また、複数のメモリチップMC1、MC2、MC3、MC4は、それぞれ、複数のメモリチップMC1、MC2、MC3、MC4の間に配置される導電性部材を介して電氣的に接続される。言い換えれば、半導体装置1では、ロジックチップLCとメモリチップMC1の間の伝送経路に、配線基板2や図示しないワイヤ（ボンディングワイヤ）が含まれない。また、半導体装置1では、複数のメモリチップMC1、MC2、MC3、MC4間の伝送経路に、配線基板2や図示しないワイヤ（ボンディングワイヤ）が含まれない。

[0040] 本実施の形態では複数の半導体チップ3同士を直接的に接続する方法として、半導体チップ3を厚さ方向に貫通する貫通電極を形成し、この貫通電極を介して積層された半導体チップ3同士を接続する技術を適用している。詳しくは、ロジックチップLCは、表面3aに形成された複数の表面電極（電極、パッド）3ap、および裏面3bに形成された複数の裏面電極（電極、パッド）3bpを有している。また、ロジックチップLCは、表面3aおよび裏面3bのうちの一方から他方に向かって貫通するように形成され、かつ、複数の表面電極3apと複数の裏面電極3bpを電氣的に接続する複数の貫通電極3tsvを有している。

[0041] 半導体チップ3が備える各回路は、半導体チップ3の表面3a側に形成される。詳しくは、半導体チップ3は、例えばシリコン（Si）からなる半導体基板（図示は省略）を備え、半導体基板の主面（素子形成面）に、例えばトランジスタなどの複数の半導体素子（図示は省略）が形成される。半導体基板の主面上（表面3a側）には、複数の配線と複数の配線間を絶縁する絶縁膜を備える配線層（図示は省略）が積層される。配線層の複数の配線は複数の半導体素子とそれぞれ電氣的に接続されて、回路を構成する。半導体チップ3の表面3a（図3参照）に形成される複数の表面電極3apは、半導体基板と表面3aの間に設けられている配線層を介して半導体素子と電氣的に接続され、回路の一部を構成する。

[0042] したがって、図5に示すように、半導体チップ3を厚さ方向に貫通する貫通電極3tsvを形成し、貫通電極3tsvを介して表面電極3apと裏面電極3bpを電氣的に接続することで、裏面電極3bpと表面3a側に形成された半導体チップ3の回路を電氣的に接続することができる。つまり、図5に示すように、メモリチップMC1の表面電極3apとロジックチップLCの裏面電極3bpを、突起電極（導電性部材、バンプ電極）7などの導電性部材を介して電氣的に接続すれば、メモリチップMC1の回路とロジックチップLCの回路は貫通電極3tsvを介して電氣的に接続される。

[0043] 本実施の形態では、メモリチップMC1と配線基板2の間に搭載される口

ジックチップLCが、複数の貫通電極3tsvを有している。このため、メモリチップMC1とロジックチップLCを、貫通電極3tsvを介して電氣的に接続することで、ロジックチップLCとメモリチップMC1の間の伝送経路から、配線基板2や図示しないワイヤ（ボンディングワイヤ）を排除することができる。この結果、ロジックチップLCとメモリチップMC1の間の伝送経路中のインピーダンス成分を低減し、高クロック化させたことによるノイズの影響を低減することができる。言い換えれば、ロジックチップLCとメモリチップMC1の間の信号伝送速度を向上させた場合でも、伝送信頼性を向上させることができる。

[0044] また、図5に示す例では、ロジックチップLC上には、複数のメモリチップMC1、MC2、MC3、MC4が積層されるので、この複数のメモリチップMC1、MC2、MC3、MC4間でも、信号伝送速度を向上させることが好ましい。そこで、複数のメモリチップMC1、MC2、MC3、MC4のうち、上下にそれぞれ半導体チップ3が配置される。メモリチップMC1、MC2、MC3は、ロジックチップLCと同様に複数の貫通電極3tsvを有している。詳しくは、メモリチップMC1、MC2、MC3のそれぞれは、表面3aに形成された複数の表面電極（電極、パッド）3ap、および裏面3bに形成された複数の裏面電極（電極、パッド）3bpを有している。また、メモリチップMC1、MC2、MC3のそれぞれは、表面3aおよび裏面3bのうちの一方から他方に向かって貫通するように形成され、かつ、複数の表面電極3apと複数の裏面電極3bpを電氣的に接続する複数の貫通電極3tsvを有している。

[0045] したがって、上記したロジックチップLCの場合と同様に、メモリチップMC1、MC2、MC3、MC4のうち、上段側の半導体チップ3の表面電極3apと下段側の半導体チップ3の裏面電極3bpを、突起電極（導電性部材、バンプ電極）7などの導電性部材を介して電氣的に接続すれば、積層された複数の半導体チップ3の回路は、貫通電極3tsvを介して電氣的に接続される。

[0046] このため、メモリチップMC 1、MC 2、MC 3、MC 4の間の伝送経路から、配線基板2や図示しないワイヤ（ボンディングワイヤ）を排除することができる。この結果、積層された複数のメモリチップMC 1、MC 2、MC 3、MC 4の間の伝送経路中のインピーダンス成分を低減し、高クロック化させたことによるノイズの影響を低減することができる。言い換えれば、複数のメモリチップMC 1、MC 2、MC 3、MC 4の間の信号伝送速度を向上させた場合でも、伝送信頼性を向上させることができる。

[0047] なお、図5に示す例では、最上段に搭載されるメモリチップMC 4は、メモリチップMC 3と接続されれば良いので、複数の表面電極3 a pは形成されるが、複数の裏面電極3 b pおよび複数の貫通電極3 t s vは形成されていない。このように、最上段に搭載されるメモリチップMC 4は、複数の裏面電極3 b pおよび複数の貫通電極3 t s vを備えない構造を採用することで、メモリチップMC 4の製造工程を簡略化することができる。ただし、図示は省略するが、変形例としては、メモリチップMC 4についても、メモリチップMC 1、MC 2、MC 3と同様に、複数の裏面電極3 b pおよび複数の貫通電極3 t s vを備えた構造にすることもできる。この場合、積層される複数のメモリチップMC 1、MC 2、MC 3、MC 4を同一の構造にすることで、製造効率を向上させることができる。

[0048] また、積層された半導体チップ3の間に配置され、上段側の半導体チップ3の表面電極3 a pと下段側の半導体チップ3の3 b pを電氣的に接続する突起電極7は、図5に示す例では、例えば以下の材料を用いている。すなわち、突起電極7は、柱状（例えば円柱形）に形成した銅（Cu）を主成分とする部材の先端に、ニッケル（Ni）膜、半田（例えばSnAg）膜を積層した金属部材であって、先端の半田膜を裏面電極3 b pに接合させることで、電氣的に接続される。ただし、突起電極7を構成する材料は、電氣的特性上の要求、あるいは接合強度上の要求を満たす範囲内で種々の変形例を適用することができる。例えば、表面電極3 a pの露出面に半田材を接合し、この半田材を突起電極7とすることができる。

[0049] また、図5に示すロジックチップLCやメモリチップMC1、MC2、MC3のように、貫通電極3tsvを備える半導体チップ3は、厚さ、すなわち、表面3aと裏面3bの離間距離は薄く（小さく）することが好ましい。半導体チップ3の厚さを薄くすれば、貫通電極3tsvの伝送距離が短縮されるので、インピーダンス成分を低減できる点で好ましい。また、半導体基板の厚さ方向に開口部（貫通孔および貫通しない穴を含む）を形成する場合、孔の深さが深くなるほど加工精度が低下する。言い換えれば、半導体チップ3の厚さを薄くすれば、貫通電極3tsvを形成するための開口部の加工精度を向上させることができる。このため、複数の貫通電極3tsvの径（半導体チップ3の厚さ方向に対して直交方向の長さ、幅）を揃えることができるので、複数の伝送経路のインピーダンス成分を制御し易くなる。

[0050] 図5に示す例では、ロジックチップLCの厚さT1は、ロジックチップLC上に配置される複数のメモリチップMC1、MC2、MC3、MC4の積層体MCS（図4参照）の厚さTAよりも薄い。また、ロジックチップLCの厚さT1は、複数のメモリチップMC1、MC2、MC3、MC4のうち、最上段に搭載され、貫通電極3tsvが形成されていないメモリチップMC4の厚さT2よりも薄い。例えば、ロジックチップLCの厚さT1は50 $\mu$ mである。これに対し、メモリチップMC4の厚さは80 $\mu$ m～100 $\mu$ m程度である。また、複数のメモリチップMC1、MC2、MC3、MC4の積層体MCS（図4参照）の厚さTAは260 $\mu$ m程度である。

[0051] 上記のように、半導体チップ3を薄型化する場合、半導体チップ3を露出させた状態では、半導体チップ3が損傷する懸念がある。本実施の形態によれば、図4に示すように、複数の半導体チップ3に封止体4を密着させて封止する。このため、封止体4は半導体チップ3の保護部材として機能し、半導体チップ3の損傷を抑制することができる。つまり、本実施の形態によれば、複数の半導体チップ3を樹脂で封止することにより、半導体装置1の信頼性（耐久性）を向上させることができる。

[0052] また、貫通電極3tsvを備える半導体チップ3を積層する半導体装置1

の場合、伝送距離短縮の観点から、半導体チップ3と基板2の間隔も狭くする事が好ましい。例えば、図5に示す例では、ロジックチップLCの表面3aと配線基板2の上面2aの間隔G1は例えば10 $\mu$ m～20 $\mu$ m程度である。また、メモリチップMC1の表面3aと配線基板2の上面2aの間隔G2は例えば70 $\mu$ m～100 $\mu$ m程度である。このように、貫通電極3tsvを備える半導体チップ3を積層する半導体装置1では、半導体チップ3の厚さおよび離間距離を小さくすることで、伝送距離の短縮を図ることが好ましい。

[0053] また、本実施の形態では、表面電極3apおよび裏面電極3bpの平面視におけるレイアウトにおいて、メモリチップMC1、MC2、MC3、MC4とロジックチップLCの間の伝送距離を短縮することが可能な構成を適用している。

[0054] 図6に示すように、メモリチップMC1、MC2、MC3、MC4が備える複数の表面電極3apは、表面3aにおいて中央部に集約して配置されている。図7に示すように、メモリチップMC1、MC2、MC3が備える複数の表面電極3apは、表面3aにおいて中央部に集約して配置されている。図5に示すように、メモリチップMC1、MC2、MC3、MC4の複数の表面電極3apとメモリチップMC1、MC2、MC3の複数の裏面電極3bpは、それぞれが厚さ方向に重なる位置に配置されている。

[0055] また、図8に示すように、ロジックチップLCが備える複数の表面電極3apのうちの一部（複数の表面電極3ap1）は、表面3aにおいて中央部に集約して配置されている。また、ロジックチップLCが備える複数の表面電極3apのうちの一部（複数の表面電極3ap2）は、表面3aの周縁部に表面3aの辺（側面3c）に沿って配置されている。図8に示す複数の表面電極3apのうち、表面3aの中央部に配置される複数の表面電極3ap1は、図5に示す貫通電極3tcvを介して裏面電極3bpと電氣的に接続されている。つまり複数の表面電極3ap1は、内部インタフェース用の電極である。一方、図8に示す複数の表面電極3apのうち、表面3aの周縁

部に配置される複数の表面電極 3 a p 2 は、図 4 に示す配線基板 2 を介して図示しない外部機器と電氣的に接続されている。詳しくは、図 10 に示すように、表面電極 3 a p 2 は、突起電極 7 および半田などの接合材 8 を介してボンディングリード 2 f と電氣的に接合されている。つまり複数の表面電極 3 a p 2 は、外部インタフェース用の電極である。

[0056] 複数の半導体チップ 3 の間の伝送距離を短くする観点からは、図 5 に示すように内部インタフェース用の表面電極 3 a p と裏面電極 3 b p を厚さ方向に重なる位置に配置して突起電極 7 を介して接続する方式が特に好ましい。

[0057] また、上記したように、ロジックチップ LC の平面サイズは、メモリチップ MC 1、MC 2、MC 3、MC 4 の平面サイズよりも小さい。また、図 3 に示すように半導体装置 1 では、平面視において、ロジックチップ LC の裏面 3 b の中央部（中央領域）がメモリチップ MC 4 の中心部（中央領域）と重なるように配置されている。つまり、平面視において、メモリチップ MC 4 の四つの側面 3 c は、ロジックチップ LC の四つの側面 3 c よりも外側に配置される。言い換えれば、複数の半導体チップ 3 は、メモリチップ MC 4 の四つの側面 3 c が、ロジックチップ LC の四つの側面 3 c と配線基板 2 の四つの側面 2 c の間に位置するように、配線基板 2 上に積層して搭載される。また、図 4 に示すメモリチップ MC 1、MC 2、MC 3 は平面視において、メモリチップ MC 4 と重なる位置（同じ位置）に配置される。

[0058] このため、平面視において、メモリチップ MC 1、MC 2、MC 3、MC 4 の周縁部（表面 3 a および裏面 3 b の周縁部）は、ロジックチップ LC の外側の周辺領域と重なる位置に配置される。言い換えれば、メモリチップ MC 1、MC 2、MC 3、MC 4 の周縁部と配線基板 2 の間には、ロジックチップ LC が存在しない（例えば図 10 を参照）。

[0059] そこで、図 5 に示す各半導体チップ 3 の、内部インタフェース用の表面電極 3 a p と裏面電極 3 b p を厚さ方向に重なる位置に配置するためには、少なくとも内部インタフェース用の表面電極 3 a p と裏面電極 3 b p は、ロジックチップ LC と厚さ方向に重なる位置に配置することが好ましい。また、

ロジックチップLCの周縁部には、図8に示すように、外部インタフェース用の複数の表面電極3ap2が配置される。したがって、ロジックチップLCの表面3aにおいて、内部インタフェース用の複数の表面電極3ap1は、表面3aの中央部に集約して配置することが好ましい。

[0060] また、図6に示すように、メモリチップMC1、MC2、MC3、MC4の表面3a側（詳しくは、半導体基板の主面上）には、複数のメモリ領域（記憶回路素子配列領域）MRが形成されている。図6に示す例では、上記した4チャンネルに対応した四つのメモリ領域MRが形成されている。各メモリ領域MRには複数のメモリセル（記憶回路素子）がアレイ状に配置されている。ここで、図6に示すように、複数の表面電極3apを表面3aの中央部に集約して配置すれば、表面電極群が配置された領域を囲むように、4チャンネル分のメモリ領域MRを配置することができる。この結果、各メモリ領域MRから表面電極3apまでの距離を均等化することができる。つまり、複数のチャンネルそれぞれの伝送距離を等長化することができるので、チャンネル毎の伝送速度の誤差を低減することができる点で好ましい。

[0061] ところで、図8に示すロジックチップLCの表面3aの中央部に集約される表面電極3ap1を内部インタフェース専用の電極として利用する場合には、表面電極3ap1を図5に示す配線基板2と電氣的に接続しなくても機能させることができる。しかし、図5に示すように、表面電極3ap1の一部を配線基板2のボンディングリード2fと電氣的に接続した場合には、表面電極3ap1の一部を外部インタフェース用の電極として利用できる点で好ましい。

[0062] 例えば、メモリチップMC1、MC2、MC3、MC4には図示しないメモリ回路を駆動させるための図示しない駆動回路が形成されるが、この駆動回路に電源電位（第1基準電位）や基準電位（第1基準電位と異なる第2基準電位、例えば接地電位）を供給する端子として、表面電極3ap1の一部を利用することが考えられる。信号伝送速度を高クロック化により向上させる場合、瞬間的な電圧降下などによる動作の不安定化を抑制する観点から、

電源の供給源と電源を消費する回路間の伝送距離を短くすることが好ましい。そこで、ロジックチップLCの表面電極3 a p 1の一部に電源電位や基準電位を供給すれば、電源を消費する回路が形成されたメモリチップMC 1、MC 2、MC 3、MC 4の駆動回路までの距離を短縮できる点で好ましい。

[0063] <半導体装置の製造方法>

次に、図1～図10を用いて説明した半導体装置1の製造工程について説明する。半導体装置1は、図11に示すフローに沿って製造される。図11は、図1～図10を用いて説明した半導体装置の製造工程の概要を示す説明図である。各工程の詳細については、図12～図42を用いて、以下に説明する。

[0064] <基板準備工程>

まず、図11に示す基板準備工程では、図12～図15に示す配線基板20を準備する。図12は、図11に示す基板準備工程で準備する配線基板の全体構造を示す平面図、図13は図12に示すデバイス領域1個分の拡大平面図である。また、図14は図13のA-A線に沿った拡大断面図である。また、図15は、図13の反対側の面を示す拡大平面図である。なお、図12～図15では、見易さのため、端子数を少なくして示しているが、端子（ボンディングリード2 f、ランド2 g）の数は、図12～図15に示す態様には限定されない。

[0065] 図12に示すように、本工程で準備する配線基板20は、枠部（外枠）20 bの内側に複数のデバイス領域20 aを備えている。詳しくは、複数（図12では27個）のデバイス領域20 aが行列状に配置されている。複数のデバイス領域20 aは、それぞれが、図1～図4に示す配線基板2に相当する。配線基板20は、複数のデバイス領域20 aと、各デバイス領域20 aの間にダイシングライン（ダイシング領域）20 cを有する、所謂、多数個取り基板である。このように、複数のデバイス領域20 aを備える多数個取り基板を用いることで、製造効率を向上させることができる。

[0066] また、図13および図14に示すように各デバイス領域20 aには、図4

を用いて説明した配線基板 2 の構成部材がそれぞれ形成されている。配線基板 2 0 は、上面 2 a、上面 2 a の反対側の下面 2 b、および上面 2 a 側と下面 2 b 側を電氣的に接続する複数の配線層（図 4 に示す例では 4 層）を有する。各配線層には、複数の配線 2 d および複数の配線 2 d 間、および隣り合う配線層間を絶縁する絶縁層（コア層） 2 e が形成されている。また、配線 2 d には、絶縁層 2 e の上面または下面に形成される配線 2 d 1、および絶縁層 2 e を厚さ方向に貫通するように形成されている層間導電路であるビア配線 2 d 2 が含まれる。

[0067] また、図 1 3 に示すように、配線基板 2 0 の上面 2 a は、図 1 1 に示す第 1 チップ搭載工程において、図 8 に示すロジックチップ L C を搭載する予定領域であるチップ搭載領域（チップ搭載部） 2 p 1 を含む。チップ搭載領域 2 p 1 は上面 2 a において、デバイス領域 2 0 a の中央部に存在する。なお、図 1 3 ではチップ搭載領域 2 p 1 の位置を示すため、チップ搭載領域の輪郭を 2 点鎖線で示すが、チップ搭載領域 2 p 1 は、上記の通りロジックチップ L C を搭載する予定領域なので、実際に視認可能な境界線が存在する必要はない。

[0068] また、配線基板 2 0 の上面 2 a は、複数のボンディングリード（端子、チップ搭載面側端子、電極） 2 f が形成されている。ボンディングリード 2 f は、図 1 1 に示す第 1 チップ搭載工程において、図 8 に示すロジックチップ L C の表面 3 a に形成された複数の表面電極 3 a p と電氣的に接続される端子である。本実施の形態では、ロジックチップ L C の表面 3 a 側を配線基板 2 0 の上面 2 a と対向させる、所謂、フェイスダウン実装方式でロジックチップ L C を搭載するので、複数のボンディングリード 2 f の接合部は、チップ搭載領域 2 p 1 の内側に形成される。

[0069] また、配線基板 2 0 の上面 2 a は、絶縁膜（ソルダレジスト膜） 2 h により覆われている。絶縁膜 2 h には開口部 2 h w が形成され、この開口部 2 h w において、複数のボンディングリード 2 f の少なくとも一部（半導体チップとの接合部、ボンディング領域）が絶縁膜 2 h から露出している。

[0070] 一方、図15に示すように、配線基板20の下面2bには複数のランド2gが形成されている。配線基板20の下面2bは、絶縁膜（ソルダレジスト膜）2kにより覆われている。絶縁膜2kには開口部2kwが形成され、この開口部2kwにおいて、複数のランド2gの少なくとも一部（半田ボール5との接合部）が絶縁膜2kから露出している。

[0071] また、図14に示すように、複数のボンディングリード2fと複数のランド2gは、複数の配線2dを介して、それぞれ電氣的に接続されている。これら複数の配線2d、複数のボンディングリード2fおよび複数のランド2gなどの導体パターンは、例えば、銅（Cu）を主成分とする金属材料で形成される。また、複数の配線2d、複数のボンディングリード2fおよび複数のランド2gは例えば、電解めっき法により形成することができる。また、図14に示すように、4層以上（図14では4層）の配線層を有する配線基板20は、例えばビルドアップ工法により、形成することができる。

[0072] <第1接着材配置工程>

次に、図11に示す第1接着材配置工程では、図16および図17に示すように、配線基板20の上面2aのチップ搭載領域2p1上に接着材NCL1を配置する。図16は図13に示すチップ搭載領域に接着材を配置した状態を示す拡大平面図、図17は図16のA-A線に沿った拡大断面図である。なお、図16ではチップ搭載領域2p1およびチップ搭載領域2p2の位置を示すため、チップ搭載領域2p1、2p2の輪郭をそれぞれ2点鎖線で示すが、チップ搭載領域2p1、2p2は、それぞれ、ロジックチップLCおよび積層体MCSを搭載する予定領域なので、実際に視認可能な境界線が存在する必要はない。なお、以下、チップ搭載領域2p1、2p2を図示する場合には、同様に実際に視認可能な境界線が存在する必要はない。

[0073] 一般に、半導体チップをフェイスダウン実装方式（フリップチップ接続方式）で配線基板上に搭載する場合、半導体チップと配線基板を電氣的に接続した後で接続部分を樹脂で封止する方式（後注入方式）が行われる。この場合、半導体チップと配線基板の隙間の近傍に配置したノズルから樹脂を供給

し、毛細管現象を利用して樹脂を隙間に埋め込む。

[0074] 一方、本実施の形態では、後述する第1チップ搭載工程でロジックチップLC（図8参照）を配線基板20上に搭載する前に、接着材NCL1をチップ搭載領域2p1に配置し、接着材NCL1上からロジックチップLCを押し付けて配線基板20と電氣的に接続する方式（先塗布方式）で、ロジックチップLCを搭載する。

[0075] 上記した後注入方式の場合、毛細管現象を利用して樹脂を隙間に埋め込むので、一つのデバイス領域20aに対する処理時間（樹脂を注入する時間）が長くなる。一方、上記した先塗布方式の場合、ロジックチップLCの先端（例えば、図5や図10に示す突起電極7の先端に形成された半田材）とボンディングリード2fの接合部が接触した時点で、既に配線基板20とロジックチップLCの間には、接着材NCL1が埋め込まれている。したがって、上記した後注入方式と比較して、一つのデバイス領域20aに対する処理時間を短縮し、製造効率を向上させることができる点で好ましい。

[0076] また、先塗布方式で使用する接着材NCL1は、上記したように、絶縁性（非導電性）の材料（例えば樹脂材料）から成る。

[0077] また、接着材NCL1はエネルギーを加えることで硬さ（硬度）が硬くなる（高くなる）樹脂材料で構成され、本実施の形態では、例えば熱硬化性樹脂を含んでいる。また、硬化前の接着材NCL1は図5および図10に示す突起電極7よりも柔らかく、ロジックチップLCを押し付けることにより変形させられる。

[0078] また、硬化前の接着材NCL1は、ハンドリング方法の違いから、以下の2通りに大別される。一つは、NCP（Non-Conductive Paste）と呼ばれるペースト状の樹脂（絶縁材ペースト）から成り、図示しないノズルからチップ搭載領域2p1に塗布する方式がある。もう一つは、NCF（Non-Conductive Film）と呼ばれる、予めフィルム状に成形された樹脂（絶縁材フィルム）から成り、フィルム状態のままチップ搭載領域2p1に搬送し、貼り付ける方法がある。絶縁材ペースト（NCP）を使用する場合、絶縁材フィルム

(NCF)のように貼り付ける工程が不要なので、絶縁材フィルムを使用する場合よりも半導体チップ等に与えるストレスを小さくすることができる。一方、絶縁材フィルム(NCF)を使用する場合、絶縁材ペースト(NCP)よりも保形性が高いので、接着材NCL1を配置する範囲や厚さを制御し易い。

[0079] 詳細は後述するが、接着材NCL1は、配置範囲や厚さを制御することが好ましいので、予めフィルム状に形成された絶縁材フィルム(NCF)を用いることが好ましい。図16および図17に示す例では、絶縁材フィルム(NCF)である接着材NCL1をチップ搭載領域2p1上に配置して、配線基板20の上面2aと密着するように貼り付けた例を示している。ただし、図示は省略するが、変形例としては、絶縁材ペースト(NCP)を用いることもできる。

[0080] 接着材NCL1は、図11に示す第1チップ接着工程でロジックチップLC(図4参照)と配線基板20を接着固定する固定材機能を有する。また、接着材NCL1は、ロジックチップLCと配線基板2の接合部を封止することにより保護する封止材機能を有する。なお、上記封止機能には、ロジックチップLCと配線基板2の接合部に伝達される応力を分散させて緩和することにより接合部を保護する、応力緩和機能が含まれる。

[0081] 上記封止材機能を満たす観点では、ロジックチップLCと配線基板2の接合部の周囲を包むように接着材NCL1を配置すれば良いので、チップ搭載領域2p1と重なる領域のみに接着材NCL1を配置すれば良い。また、上記固定材機能を向上させる観点からは、図10に示すロジックチップLCの側面3cに接着材NC1の一部を密着させる方が好ましいが、図16に示すように、チップ搭載領域2p1よりも外側に大きく拡げて配置する必要はない。

[0082] しかし、図16および図17に示す例では、チップ搭載領域2p1よりも広範囲を覆うように接着材NCL1を配置する。図16に示すチップ搭載領域2p2は、図11に示す第2チップ搭載工程でメモリチップMC1、MC

2、MC 3、MC 4（図4参照）の積層体MCS（図4参照）を搭載する予定領域であって、チップ搭載領域2 p 1を内包し、かつチップ搭載領域2 p 1よりも平面サイズが大きい。図16に示す例では、接着材NCL 1の周縁部は、チップ搭載領域2 p 1の周縁部とチップ搭載領域2 p 2の周縁部の間であって、かつ、チップ搭載領域2 p 2の周縁部に近い位置に配置される。言い換えれば、接着材NCL 1は、チップ搭載領域2 p 2の周縁部近傍までを覆うように配置される。詳しくは、図16に示す例では、接着材NCL 1は、チップ搭載領域NCL 1とほぼ同じ平面サイズになっている。

[0083] 上記のように、チップ搭載領域2 p 1よりも広範囲を覆うように接着材NCL 1を配置することにより得られる効果は、後述する第2チップ搭載工程、および封止工程で詳しく説明する。

[0084] <第1チップ準備工程>

また、図11に示す第1チップ準備工程では、図8および図9に示すロジックチップLCを準備する。図18は、図7に示す貫通電極を備えた半導体チップの製造工程の概要を模式的に示す説明図である。また、図19は図18に続く半導体チップの製造工程の概要を模式的に示す説明図である。なお、図18および図19では、貫通電極3 t s vおよび貫通電極3 t s vと電気的に接続される裏面電極3 pの製造方法を中心に説明し、貫通電極3 t s v以外の各種回路の形成工程については図示および説明を省略する。また、図18および図19に示す半導体チップの製造方法は、図4に示すロジックチップLCの他、メモリチップMC 1、MC 2、MC 3の製造方法にも適用することができる。

[0085] まず、ウエハ準備工程として、図18に示すウエハ（半導体基板）WHを準備する。ウエハWHは、例えばシリコン（Si）から成る半導体基板であって、平面視において円形を成す。ウエハWHは、半導体素子形成面である表面（主面、上面）WH sおよび表面WH sの反対側の裏面（主面、下面）WH bを有する。また、ウエハWHの厚さは、図4に示すロジックチップLCやメモリチップMC 1、MC 2、MC 3の厚さよりも厚く、例えば数百μ

m程度である。

[0086] 次に、孔形成工程として、図5に示す貫通電極3 t s vを形成するための孔（穴、開口部）3 t s hを形成する。図18に示す例では、マスク25をウエハWHの表面WH s上に配置して、エッチング処理を施すことにより孔3 t s hを形成する。なお、図4に示すロジックチップLCやメモリチップMC1、MC2、MC3の半導体素子は、例えば本工程の後で、かつ、次の配線層形成工程の前に形成することができる。

[0087] 次に、孔3 t s h内に例えば銅（Cu）などの金属材料を埋め込んで貫通電極3 t s vを形成する。次に、配線層形成工程として、ウエハWHの表面WH s上に配線層（チップ配線層）3 dを形成する。本工程では、図5や図10に示す複数の表面電極3 a pを形成し、複数の貫通電極3 t s vと複数の表面電極3 a pをそれぞれ電氣的に接続する。また、本工程では、図4に示すロジックチップLCやメモリチップMC1、MC2、MC3の半導体素子と図5および図10に示す複数の表面電極3 a pを、配線層3 dを介して電氣的に接続する。これにより、ロジックチップLCやメモリチップMC1、MC2、MC3の半導体素子は配線層3 dを介して電氣的に接続される。

[0088] 次に、突起電極形成工程として、表面電極3 a p（図5、図10参照）上に突起電極7を形成する。また、突起電極7の先端に半田層8 aを形成する。この半田層8 aが、図5に示す半導体チップ3を配線基板2、または下層の半導体チップ3上に搭載する際の接合材として機能する。

[0089] 次に、図19に示す裏面研磨工程として、ウエハWHの裏面WH b（図18参照）側を研磨し、ウエハWHの厚さを薄くする。これにより、図5に示す半導体チップ3の裏面3 bが露出する。言い換えると、貫通電極3 t s vはウエハWHを厚さ方向に貫通する。また、複数の貫通電極3 t s vは、ウエハWHの裏面3 bにおいてウエハWHから露出する。図19に示す例において、裏面研磨工程では、ガラス板などの支持基材26および表面WH s側を保護する突起電極7を保護する保護層27によりウエハWHを支持した状態で、研磨治具28を用いて研磨する。

[0090] 次に、裏面電極形成工程において、裏面 3 b に複数の裏面電極 3 b p を形成し、複数の貫通電極 3 t s v と電氣的に接続する。

[0091] 次に個片化工程として、ウエハ W H をダイシングラインに沿って分割し、複数の半導体チップ 3 を取得する。その後、必要に応じて検査を行い、図 4 に示す半導体チップ 3（ロジックチップ L C やメモリチップ M C 1、M C 2、M C 3）が得られる。

[0092] <第 1 チップ搭載工程>

次に、図 1 1 に示す第 1 チップ搭載工程では、図 2 0 や図 2 1 に示すように、ロジックチップ L C を配線基板 2 上に搭載する。図 2 0 は図 1 6 に示す配線基板のチップ搭載領域上にロジックチップ L C を搭載した状態を示す拡大平面図である。また、図 2 1 は、図 2 0 の A - A 線に沿った拡大断面図である。また、図 2 2 ~ 図 2 4 は、図 1 1 に示す第 1 チップ搭載工程の詳細なフローを示す説明図である。図 2 2 は、チップ搭載領域上に半導体チップを載せた状態を模式的に示す説明図である。図 2 3 は、図 2 2 に示す搬送治具を取り外し、加熱治具を半導体チップの裏面側に押し当てた状態を示す説明図である。また、図 2 4 は、半導体チップを加熱し、配線基板と電氣的に接続した状態を示す説明図である。

[0093] 本工程では、図 2 1 に示すように、ロジックチップ L C の表面 3 a が配線基板 2 の上面 2 a と対向するように、所謂フェイスダウン実装方式（フリップチップ接続方式）によりロジックチップ L C を搭載する。また、本工程によりロジックチップ L C と配線基板 2 は電氣的に接続される。詳しくは、ロジックチップ L C の表面に形成された複数の表面電極 3 a p と配線基板 2 の上面 2 a に形成された複数のボンディングリード 2 f は、突起電極 7 および接合材 8（図 5、図 1 0 参照）を介して電氣的に接続される。以下、本工程の詳細なフローについて図 2 2 ~ 図 2 4 を用いて説明する。

[0094] 本工程では、まず、図 2 2 に示すように、配線基板 2 0 のチップ搭載領域 2 p 1 上にロジックチップ L C（半導体チップ 3）を配置する。ロジックチップ L C は、裏面 3 b 側が保持治具 3 0 に保持された状態でチップ搭載領域

2 p 1 上に搬送され、表面 3 a が配線基板 2 0 の上面 2 a と対向するように接合材 N C L 1 上に配置される。保持治具 3 0 は、ロジックチップ L C の裏面 3 b を吸着保持する保持面 3 0 a を有し、ロジックチップ L C を保持面 3 0 a で保持した状態で搬送する。

[0095] また、ロジックチップ L C の表面 3 a 側には突起電極 7 が形成されており、突起電極 7 の先端には半田層 8 a が形成されている。一方、配線基板 2 0 の上面 2 a に形成されたボンディングリード 2 f の接合部には、突起電極 7 と電氣的に接続するための接合材である半田層 8 b が形成されている。また、加熱処理を行う前であれば、接着材 N C L 1 は硬化前の柔らかい状態である。このため、保持治具 3 0 を配線基板 2 0 に近づけると、突起電極 7 は接着材 N C L 1 の内部に押し込まれる。

[0096] 次に、図 2 3 に示すように、加熱治具 3 1 をロジックチップ L C の裏面 3 b 側に押し当て、配線基板 2 0 に向かってロジックチップ L C を押し付ける。上記したように、加熱処理を行う前であれば、接着材 N C L 1 は硬化前の柔らかい状態なので、加熱治具 3 1 によりロジックチップ L C を押し込むと、ロジックチップ L C は配線基板 2 0 に近づく。ロジックチップ L C が配線基板 2 0 に近づく、ロジックチップ L C の表面 3 a に形成された複数の突起電極 7 の先端（詳しくは、半田層 8 a）は、ボンディングリード 2 f のボンディング領域（詳しくは半田層 8 b）と接触する。

[0097] また、接着材 N C L 1 の厚さ（上面 N C L 1 a と下面 N C L 1 b 間の距離）は、少なくとも突起電極 7 の高さ（突出高さ）、ボンディングリード 2 f の厚さ、および接合材（半田層 8 a、8 b）の厚さの合計よりも厚い。このため、加熱治具 3 1 に押し込まれると、ロジックチップ L C の表面 3 a 側の一部は、接着材 N C L 1 に埋め込まれる。言い換えれば、ロジックチップ L C の側面 3 c のうち、少なくとも表面 3 a 側の一部は、接着材 N C L 1 に埋め込まれる。ロジックチップ L C と配線基板 2 0 の接合部を保護する観点からは、接着材 N C L 1 がロジックチップ L C と配線基板 2 0 の間に埋め込まれれば良いが、ロジックチップ L C の表面 3 a 側の一部を接着材 N C L 1 に

埋め込むことで、後述する第2チップ搭載工程で、安定的に半導体チップを搭載できる。詳細は、第2チップ搭載工程で説明する。

[0098] また、ロジックチップLCには、裏面電極3bpが形成されているので、柔らかい接着材NCL1が裏面3b側に回り込んで裏面電極3bpが覆われることを防止する必要がある。そこで、図23に示すように、加熱治具31とロジックチップLCの間に加熱治具31およびロジックチップLCよりも柔らかい部材（低弾性部材）、例えば樹脂フィルム（フィルム）32を介在させて、樹脂フィルム32でロジックチップLCの裏面3bを覆うことが好ましい。樹脂フィルム32を介してロジックチップLCを押し付ければ、樹脂フィルム32がロジックチップLCの裏面3bに密着するので、接着材NCL1の厚さを厚くしても、接着材NCL1がロジックチップLCの裏面3bに回り込むことを抑制できる。また、樹脂フィルム32で接着材NCL1が配置された領域全体を覆うことで、接着材NCL1の上面NCL1aを平坦化することができる。なお、本実施の形態の樹脂フィルム32は、例えばフッ素樹脂から成る。

[0099] なお、樹脂フィルム32を介在させた状態で加熱治具31を押し付けると、樹脂フィルム32がロジックチップLCに食い込んだ状態になる。図23では、樹脂フィルム32がロジックチップLCに食い込んだ状態を判り易く示しているが、接着材NCL1の上面NCL1aの高さが、ロジックチップの裏面3bの高さ以下になっていれば、接着材NCL1がロジックチップLCの裏面3bに回り込むことを抑制できる。

[0100] 次に、図23に示すように加熱治具31にロジックチップLCが押し付けられた状態で、加熱治具（熱源）31によりロジックチップLCおよび接着材NCL1を加熱する。ロジックチップLCと配線基板20の接合部では、図23に示す半田層8a、8bがそれぞれ溶融し、一体化することで、図24に示す接合材（半田材）8になる。つまり、加熱治具（熱源）31によりロジックチップLCを加熱することで、突起電極7とボンディングリード2fは、接合材8を介して電氣的に接続される。

[0101] 一方、図23に示す加熱治具（熱源）31により接着材NCL1を加熱することで、接着材NCL1は硬化する。これにより、ロジックチップLCの一部が埋め込まれた状態で硬化した接着材NCL1が得られる。また、ロジックチップLCの裏面電極3bpは、樹脂フィルム32に覆われているので、硬化した接着材NCL1から露出する。なお、加熱治具（熱源）31からの熱によって接着材NCL1を完全に硬化させる必要はなく、ロジックチップLCを固定できる程度に接着材NCL1に含まれる熱硬化性樹脂の一部を硬化（仮硬化）させた後、配線基板20を図示しない加熱炉に移し、残りの熱硬化性樹脂を硬化（本硬化）させる実施態様に行うことができる。接着材NCL1に含まれる熱硬化性樹脂成分全体が硬化する本硬化処理が完了するまでには、時間を要するが、本硬化処理を加熱炉で行うことで、製造効率を向上させることができる。

[0102] <第2接着材配置工程>

次に、図11に示す第2接着材配置工程では、図25に示すように、ロジックチップLC（半導体チップ3）の裏面3b上およびロジックチップLCから露出する接着材NCL1の上面（表面）NCL1a上に、接着材NCL2を配置する。図25は図20に示す半導体チップの裏面およびその周囲に接着材を配置した状態を示す拡大平面図、図26は図25のA-A線に沿った拡大断面図である。

[0103] 上記した図5に示すように、本実施の形態の半導体装置1は、積層される複数の半導体チップ3の内、最下段（例えば第1段目）に搭載されるロジックチップLC、および下段から数えて第2段目に搭載されるメモリチップMC1は、いずれもフェイスダウン実装方式（フリップチップ接続方式）で搭載される。このため、上記した第1接着材配置工程で説明したように、一つのデバイス領域20a（図25、図26参照）に対する処理時間を短縮し、製造効率を向上させることができる点で、上記した先塗布方式を適用することが好ましい。

[0104] また、先塗布方式で使用する接着材NCL2は、上記したように、絶縁性

(非導電性)の材料(例えば樹脂材料)から成る。

[0105] また、接着材NCL2はエネルギーを加えることで硬さ(硬度)が硬くなる(高くなる)樹脂材料で構成され、本実施の形態では、例えば熱硬化性樹脂を含んでいる。また、硬化前の接着材NCL2は図5に示す突起電極7よりも柔らかく、ロジックチップLCを押し付けることにより変形させられる。

[0106] また、硬化前の接着材NCL2は、ハンドリング方法の違いから、NCPと呼ばれるペースト状の樹脂(絶縁材ペースト)と、NCFと呼ばれる、予めフィルム状に成形された樹脂(絶縁材フィルム)に大別される。本工程で使用する接着材NCL2としては、NCPおよびNCFのいずれか一方を用いることができる。図25および図26に示す例では、NCPをノズル33(図26参照)から吐出して、ロジックチップLCの裏面3b上およびロジックチップLCから露出する接着材NCL1の上面(露出面、表面)NCL1a上に、接着材NCL2を配置する。

[0107] なお、ノズル33からペースト状の接着材NCL2を吐出する点に関しては、上記第1接着材配置工程で説明した、後注入方式と共通する。しかし、本実施の形態では、図4に示すメモリチップMC1を搭載する前に、予め接着材NCL2を搭載する。したがって、毛細管現象を利用して樹脂を注入する後注入方式と比較すると、接着材NCL2の塗布速度は大幅に向上させることができる。

[0108] 絶縁材ペースト(NCP)は、絶縁材フィルム(NCF)と比較して、低荷重で塗布対象物(本工程ではロジックチップLC)と密着させることができる。また、接着材NCL2は、図3に示すようにメモリチップMC4の側面3cの周囲に向かって大きく拡げる必要はない。したがって、上記第1接着材配置工程で説明したNCPと比較して、厚さや配置範囲を制御し易い。したがって、本工程の際に既に搭載されたロジックチップLCへのストレスを低減する観点からは、絶縁材ペースト(NCP)の方が好ましい。ただし、図示は省略するが、変形例としては、接着材NCL2として絶縁材フィ

ルム（NCF）を用いることもできる。

[0109] 接着材NCL2は、図11に示す第2チップ接着工程でメモリチップMC1（図4参照）とロジックチップLC（図4参照）を接着固定する固定材機能を有する。また、接着材NCL2は、メモリチップMC1とロジックチップLCの接合部を封止することにより保護する封止材機能を有する。なお、上記封止機能には、メモリチップMC1とロジックチップLCの接合部に伝達される応力を分散させて緩和することにより接合部を保護する、応力緩和機能が含まれる。

[0110] 上記封止材機能を満たす観点では、メモリチップMC1とロジックチップLCの接合部の周囲を包むように接着材NCL2を配置すれば良いので、ロジックチップの裏面3b上のみに接着材NCL2を配置すれば良い。しかし、本実施の形態では、図25に示すように、ロジックチップの裏面3b上の他、接着材NCL1の上面NCL1a上にも、接着材NCL2を配置する。このように、接着材NCL1の上面NCL1a上にも、接着材NCL2を配置することで、図11に示す第2チップ搭載工程でメモリチップMC1、MC2、MC3、MC4（図4参照）の積層体MCS（図4参照）を搭載する際に、積層体MCSが傾き難くなる。

[0111] また、図25に示すチップ搭載領域2p2は、図11に示す第2チップ搭載工程でメモリチップMC1、MC2、MC3、MC4（図4参照）の積層体MCS（図4参照）を搭載する予定領域である。また、チップ搭載領域2p2は、図25に示す例では、平面視において四角形を成すチップ搭載領域2p2の対角線に沿って接着材NCL2を帯状に塗布する。このように、接着材NCL2の塗布領域に、互いに交差する2本の帯形状を成すペースト状の接着材NCL2を塗布する方式（クロス塗布方式と呼ぶ）は、後述する第2チップ搭載工程において、接着材NCL2を均等に拡げ易いという点で好ましい。ただし、後述する第2チップ搭載工程において、隙間が生じないように接着材NCL2を拡げることができる方法であれば、図25とは異なる塗布方法を用いることもできる。

[0112] また、接着材NCL2の端部はチップ搭載領域2p2の外側に配置される。言い換えれば、第2接着材配置工程において、接着材NCL2を配置する範囲は、チップ搭載領域2p2よりも広い。このように、チップ搭載領域2p2よりも広範囲に接着材NCL2を塗布することで、図11に示す第2チップ搭載工程において、図4に示すようにメモリチップMC1の表面3aと配線基板2の上面2aの隙間を塞ぐことができる。

[0113] <第2チップ準備工程>

また、図11に示す第2チップ準備工程では、図4に示すメモリチップMC1、MC2、MC3、MC4を準備する。本実施の形態に対する変形例としては、ロジックチップLC上にメモリチップMC1、MC2、MC3、MC4を順次積層することができる。しかし、本実施の形態では、メモリチップMC1、MC2、MC3、MC4を予め積層して、図28に示す積層体（メモリチップ積層体、半導体チップ積層体）MCSを形成する実施態様について説明する。以下で説明するように、メモリチップMC1、MC2、MC3、MC4の積層体MCSを形成する場合、例えば、図11に示す第2チップ準備工程以外の工程とは別の場所で、他の工程とは独立して行うことができる。例えば、積層体MCSは、購入部品として準備することも可能である。このため、図11に示す組立工程を簡略化し、全体として製造効率を向上させることができる点で有利である。

[0114] 図27は、図4に示すメモリチップの積層体の組立工程の概要を模式的に示す説明図である。また、図28は図27に続くメモリチップの積層体の組立工程の概要を模式的に示す説明図である。なお、図27および図28に示す複数のメモリチップMC1、MC2、MC3、MC4のそれぞれの製造方法は、図18および図19を用いて説明した半導体チップの製造方法を適用して製造することができるので、説明を省略する。

[0115] まず、組立基材準備工程として、図28に示す積層体MCSを組み立てるための基材（組立基材）34を準備する。基材34は、複数のメモリチップMC1、MC2、MC3、MC4を積層する組立面34aを有し、組立面3

4 a には、接着層 3 5 が設けられている。

[0116] 次にチップ積層工程として、メモリチップ MC 1、MC 2、MC 3、MC 4 を基材 3 4 の組立面 3 4 a 上に積層する。図 2 7 に示す例では、積層される各半導体チップの裏面 3 b が基材 3 4 の組立面 3 4 a と対向するように、メモリチップ MC 4、MC 3、MC 2、MC 1 の順で、順次積層される。各半導体チップの突起電極 7 と裏面電極 3 b p は、例えば接合材 8 により接合される。また、最上段に配置されるメモリチップ MC 1 の突起電極 7 の先端には、図 1 1 に示す第 2 チップ搭載工程で、図 2 6 に示すロジックチップ LC の裏面電極 3 b p と図 2 7 に示すメモリチップ MC 1 の突起電極 7 を電氣的に接続するための接合材 8（例えば半田層 8 a）が形成される。

[0117] 次に、図 2 8 に示す積層体封止工程では、積層された複数の半導体チップの間に、樹脂（アンダフィル樹脂）を供給し、封止体（チップ積層体用封止体、チップ積層体用樹脂体）6 を形成する。この封止体 6 は、上記第 1 接着材配置工程で説明した、後注入方式により形成される。すなわち、予め複数の半導体チップ 3 を積層した後、ノズル 3 6 からアンダフィル樹脂 6 a を供給し、積層された複数の半導体チップ 3 の間に埋め込む。アンダフィル樹脂 6 a は図 1 1 に示す封止工程で使用する封止用の樹脂よりも粘度が低く、毛細管現象を利用して複数の半導体チップ 3 の間に埋め込むことができる。その後、半導体チップ 3 の間に埋め込まれたアンダフィル樹脂 6 a を硬化させて封止体 6 を得る。

[0118] この後注入方式で封止体 6 を形成する方法は、所謂、トランスファモールド方式（詳細は後述する）と比較して隙間の埋め込み特性に優れているため、積層された半導体チップ 3 の間の隙間が狭い場合に適用して有効である。また、図 2 8 に示すようにアンダフィル樹脂 6 a を埋め込む隙間が複数段に形成されている場合、複数の隙間に対して一括してアンダフィル樹脂 6 a を埋め込むことができる。このため、全体としては処理時間を短縮できる。

[0119] 次に、組立基材除去工程では、基材 3 4 および接着層 3 5 を、メモリチップ MC 4 の裏面 3 b から剥離させて取り除く。基材 3 4 と接着層 3 5 を取り

除く方法としては、例えば接着層 3 5 に含まれる樹脂成分（例えば紫外線硬化樹脂）を硬化させる方法を適用することができる。以上の工程により、複数のメモリチップ MC 1、MC 2、MC 3、MC 4 が積層され、各メモリチップ MC 1、MC 2、MC 3、MC 4 の接続部が封止体 6 により封止された積層体 MC S が得られる。この積層体 MC S は、複数の表面電極 3 a p が形成された表面 3 a（メモリチップ MC 1 の表面 3 a）および表面 3 a の反対側に位置する裏面 3 b（メモリチップ MC 4 の裏面 3 b）を有する一つのメモリチップと見做すことができる。

[0120] <第 2 チップ搭載工程>

次に、図 1 1 に示す第 2 チップ搭載工程では、図 2 9 や図 3 0 に示すように、ロジックチップ LC 上に、複数のメモリチップ MC 1、MC 2、MC 3、MC 4 の積層体 MC S を搭載する。図 2 9 は図 2 5 に示すロジックチップの裏面上にメモリチップの積層体を搭載した状態を示す拡大平面図である。また、図 3 0 は、図 2 9 の A-A 線に沿った拡大断面図である。

[0121] 本工程では、図 3 0 に示すように、積層体 MC S の表面 3 a がロジックチップ LC の裏面 3 b（言い換えれば、配線基板 2 0 の上面 2 a）と対向するように、所謂フェイスダウン実装方式（フリップチップ接続方式）により積層体 MC S を搭載する。また、本工程により複数のメモリチップ MC 1、MC 2、MC 3、MC 4 とロジックチップ LC は電氣的に接続される。詳しくは、図 5 に示すように、メモリチップ MC 1（または、積層体 MC S）の表面 3 a に形成された複数の表面電極 3 a p とロジックチップ LC の裏面 3 b に形成された複数の裏面電極 3 b p は、突起電極 7（および図示しない接合材）を介して電氣的に接続される。なお、図 5 では、見易さのため、図 2 7 に示す最上段の突起電極 7 の先端に形成された接合材 8 は図示を省略している。以下、本工程の詳細なフローについて図 3 1～図 3 3 を用いて説明する。

[0122] 図 3 1～図 3 4 は、図 1 1 に示す第 2 チップ搭載工程の詳細なフローを示す説明図である。図 3 1 は、ロジックチップ上にメモリチップの積層体を載

せた状態を模式的に示す説明図である。図 3 2 は、図 3 1 に示す搬送治具を取り外し、加熱治具を積層体の裏面側に押し当てた状態を示す説明図である。また、図 3 3 は、図 3 1 に示す保持治具を取り除いた時に、積層体が傾いた状態を示す説明図である。また、図 3 4 は、積層体を加熱し、ロジックチップと電氣的に接続した状態を示す説明図である。また、図 5 0 は、図 3 1 ～図 3 4 とは別の検討例において、積層体が傾いた状態を示す説明図である。図 3 1 ～図 3 4 および図 5 0 では、見易さのため、積層体 M C S を一つの半導体チップ 3 と見做して示している。

[0123] 本工程では、まず、図 3 1 に示すように、配線基板 2 0 に搭載されたロジックチップ L C の裏面 3 b 上に積層体 M C S（半導体チップ 3）を配置する。積層体 M C S は、裏面 3 b 側が保持治具 3 0 に保持された状態でチップ搭載領域 2 p 2 上に搬送され、積層体 M C S の表面 3 a がロジックチップ L C の裏面 3 b と対向するように接合材 N C L 2 上に配置される。保持治具 3 0 は、図 2 2 を用いて説明した第 1 チップ搭載工程と同じものを用いることができる。つまり、保持治具 3 0 は、積層体 M C S の裏面 3 b を吸着保持する保持面 3 0 a を有し、積層体 M C S を保持面 3 0 a で保持した状態で搬送する。

[0124] また、積層体 M C S の表面 3 a 側には突起電極 7 が形成されており、突起電極 7 の先端には、図 2 7 を用いて説明したように半田層 8 a（接合材 8）が形成されている。なお、図 3 1 では、裏面電極 3 b p の露出面には接合材を配置しない実施態様を例示的に示しているが、変形例として、図示しない接合材（例えば半田層）を裏面電極 3 b p の露出面に形成しておいても良い。

[0125] また、この段階での接着材 N C L 2 は加熱処理を行う前であるため、柔らかい状態である。このため、ロジックチップ L C 上に配置された積層体 M C S の突起電極 7 は、図 3 1 に示すように、接着材 N C L 2 内に埋まる（押し込まれる）。

[0126] 次に、図 3 2 に示すように、加熱治具 3 1 を積層体 M C S の裏面 3 b 側に

押し当て、ロジックチップLCおよび接着材NCL1に向かって積層体MCSを押し付ける。接着材NCL1と同様に、加熱処理を行う前では、接着材NCL2は硬化前の柔らかい状態なので、加熱治具31により積層体MCSを押し込むと、積層体MCSはロジックチップLCに近づく。積層体MCSがロジックチップLCに近づく、積層体MCSの表面3aに形成された複数の突起電極7の先端（詳しくは、半田層8a）は、ロジックチップLCの裏面3bに形成された複数の裏面電極3bp（または裏面電極3bp上の図示しない接合材）と接触する。また、積層体MCSとロジックチップLCの間に塗布された接着材NCL2は、ロジックチップLCの裏面3bおよび接着材NCL1の上面NCL1aに沿って広がり、積層体MCSと配線基板2の隙間は、接着材NCL1、および接着材NCL2によって塞がれる。

[0127] ここで、本願発明者の検討によれば、平面サイズの小さいロジックチップLC上に、平面サイズの大きい積層体MCS（半導体チップ3）を搭載する場合、以下の課題が存在することが判った。すなわち、図31に示す搬送治具から図32に示す加熱治具31に交換する時に、平面サイズの大きい積層体MCSが突起電極7を基点として傾く場合があることが判った。

[0128] 例えば、図50に示す変形例のように、接着材NCL1がロジックチップLCと配線基板20の間のみに配置され、チップ搭載領域2p2の周縁部まで広がっていない場合、積層体MCSが突起電極7の位置を基点として傾く場合がある。このように半導体チップ3が傾く程度は、複数の突起電極7が、表面3aにおいて中央部に集約して配置されている場合に大きくなり易い。突起電極7が表面3aの中央部に集約して配置されていると、表面3aの周縁部に配置されている場合と比較して、積層体MCS（半導体チップ3）のバランスが不安定になり易いからである。

[0129] また、積層体MCSが傾き始めると、他の部材と接触するまで傾きの程度が増大し易い。例えば図50に示す例では、積層体MCSの表面3aの周縁部が配線基板20の上面2aと接触した状態になっている。図50のように積層体MCSが傾いてしまった場合、この傾いた状態で、図32に示す加熱

治具 3 1 で積層体 M C S を押さえても、突起電極 7 と裏面電極 3 b p の位置がずれてしまう場合がある。

[0130] そこで、本実施の形態では、図 3 3 に示すように、接着材 N C L 1 を、チップ搭載領域 2 p 1 よりも広範囲を覆うように、接着材 N C L 1 を配置する。図 3 3 に示す例では、接着材 N C L 1 は、チップ搭載領域 2 p 2 の周縁部近傍までを覆うように配置される。また、接着材 N C L 1 は、第 2 チップ搭載工程の前に既に硬化処理が施されているので、接着材 N C L 2 よりも硬い。このため、図 3 3 に示すように、積層体 M C S の表面 3 a の周縁部が接着材 N C L 1 と接触した時点で、傾きの程度の増加を停止させることができる。言い換えれば、本実施の形態では、チップ搭載領域 2 p 2 の周縁部近傍までを覆うように接着材 N C L 1 を配置することで、積層体 M C S が傾いた場合でも、その傾きの程度を低減することができる。

[0131] この結果、図 3 2 に示すように、積層体 M C S に加熱治具 3 1（および樹脂フィルム 3 2）を押し付ければ、積層体 M C S の傾きを修復することができる。この時、傾きの程度が小さければ、突起電極 7 と裏面電極 3 b p の位置がずれてしまう事を抑制できる。このように、積層体 M C S を搭載する予定領域であるチップ搭載領域 2 p 2 の大部分を覆うことにより、積層体 M C S が傾くことに起因する突起電極 7 と裏面電極 3 b p の位置ずれを抑制する。

[0132] 上記のように、突起電極 7 と裏面電極 3 b p の位置がずれることを抑制する観点からは、突起電極 7 を基点として積層体 M C S（半導体チップ 3）が傾斜した時に、積層体 M C S と、接着材 N C L 1 が最初に接触する程度の平面サイズおよび厚さで、接着材 N C L 1 を形成することが好ましい。詳しくは、接着材 N C L 1 の周縁部が、チップ搭載領域 2 p 1 の周縁部よりもチップ搭載領域 2 p 2 の周縁部に近い位置に配置されることが好ましい。また、チップ搭載領域 2 p 2 全体を覆うように接着材 N C L 1 が配置されることが特に好ましい。一方、接着材 N C L 1 の配置範囲（接着材 N C L 1 の平面サイズ）がチップ搭載領域 2 p 1 よりも大幅に大きくなると、接着材 N C L 1

の使用量が増加する。また、接着材NCL2が広がる範囲を制御することが却って難しくなる。したがって、接着材NCL1の配置範囲（接着材NCL1の平面サイズ）が、チップ搭載領域2p2とほぼ同じ大きさであることが特に好ましい。

[0133] また、接着材NCL1の厚さは、ロジックチップLCの側面3cのうち、ロジックチップLCの表面3a側の半分以上が接着材NCL1により覆われる程度の厚さにすることが好ましい。換言すれば、断面視において、接着材NCL1の上面NCL1aがロジックチップLCの側面3cの中央部（半分の高さ）よりもロジックチップLCの裏面3b側に位置するように、接着材NCL1を形成することが好ましい。ただし、ロジックチップLCの裏面3b側が接着材NCL1に覆われると、裏面電極3bpと突起電極7を電氣的に接続する際に障害となる場合がある。したがって、接着材NCL1の上面NCL1aの高さは、ロジックチップLCの裏面3b以下の範囲内において、出来る限り高くすることが好ましい。

[0134] このような観点から上記したように接着材NCL1には、配置範囲や厚さを制御し易い点で有利な、絶縁材フィルム（NCF）を用いることが好ましい。

[0135] また、図32に示すように、加熱治具31を積層体MCSに押し付けて、接着材NCL2を拡げる場合、ロジックチップLCに加わるストレスを低減することが好ましい。硬化した接着材NCL1の配置範囲を広くすることにより、ロジックチップLCに加わる荷重を接着材NCL1側に分散させることができる。したがって、第2チップ搭載工程におけるロジックチップLCのストレスを低減する観点から、硬化した接着材NCL1の配置範囲を広くすることが好ましい。

[0136] なお、図32に示す例では、積層体MCSには、裏面電極3bpが形成されないので、図32に示す加熱治具31と積層体MCSの間に樹脂フィルム32を介在させない実施態様が変形例として適用できる。しかし、図11に示す第1チップ搭載工程と第2チップ搭載工程で、同じ搭載装置（保持治具

30、加熱治具31、および樹脂フィルム32)を用いることにより、製造装置が煩雑になることを抑制できる。したがって、第1チップ搭載工程と同様に、樹脂フィルム32を介して加熱治具31で積層体MCSを押し付けることが好ましい。

[0137] また、図50に示すように、接着材NCL1の配置範囲が小さい場合であっても、積層体MCSと配線基板20の隙間は埋めることができる。つまり、上記のように、突起電極7と裏面電極3bpの位置がずれない場合であれば、図50に示す実施態様を変形例として適用することができる。この場合であっても、接着材NCL2の塗布量（配置量）を増やせば、接着材NCL1が配置された領域の外側では、接着材NCL2によって積層体MCSと配線基板20の隙間を塞ぐことができる。ただし、特に、接着材NCL2に絶縁材ペースト（NCP）を用いた場合には、塗布量が増加すると、広がる範囲の制御が難しくなる。したがって、接着材NCL2の配置範囲を制御して、積層体MCSと配線基板20の隙間を確実に塞ぐ観点からは、図33に示すように、接着材NCL1の周縁部が、チップ搭載領域2p1の周縁部よりもチップ搭載領域2p2の周縁部に近い位置に配置されることが好ましい。

[0138] 次に、図33に示すように加熱治具31に積層体MCSが押し付けられた状態で、加熱治具（熱源）31によりロジックチップLCおよび接着材NCL2を加熱する。積層体MCSとロジックチップLCの接合部では、図33に示す半田層8aが溶融し、裏面電極3bpに対して濡れることで、図34に示す接合材（半田材）8になる。つまり、加熱治具（熱源）31により積層体MCSを加熱することで、積層体MCSの突起電極7とロジックチップLCの裏面電極3bpは、接合材8を介して電氣的に接続される。

[0139] 一方、図32に示す加熱治具（熱源）31により接着材NCL1を加熱することで、接着材NCL1は硬化（仮硬化）する。これにより、図34に示すように、積層体MCSと配線基板20の隙間は、硬化した接着材NCL1および接着材NCL2により塞がれる。積層体MCSの側面3cの表面3a側の一部は、接着材NCL2に覆われる。このため、積層体MCSとロジッ

クチップLCの接着強度を向上させることができる。なお、図32に示す加熱治具（熱源）31からの熱によって接着材NCL2を完全に硬化させる必要はなく、ロジックチップLCを固定できる程度に接着材NCL2に含まれる熱硬化性樹脂の一部を硬化（仮硬化）させた後、配線基板20を図示しない加熱炉に移し、残りの熱硬化性樹脂を硬化（本硬化）させる実施態様に行うことができる。接着材NCL2に含まれる熱硬化性樹脂成分全体が硬化する本硬化処理が完了するまでには、時間を要するが、本硬化処理を加熱炉で行うことで、製造効率を向上させることができる。

[0140] <封止工程>

次に、図11に示す封止工程では、図35に示すように、配線基板20の上面2a、ロジックチップLCおよび複数のメモリチップMC1、MC2、MC3、MC4の積層体MCSを樹脂で封止して、封止体4を形成する。図35は図30に示す配線基板上に封止体を形成し、積層された複数の半導体チップを封止した状態を示す拡大断面図である。また、図36は、図35に示す封止体の全体構造を示す平面図である。

[0141] 本実施の形態では、図36に示すように、複数のデバイス領域20aを一括して封止する封止体4を形成する。このような封止体4の形成方法は、一括封止（Block Molding）方式と呼ばれ、この一括封止方式により製造された半導体パッケージをMAP（Multi Array Package）型の半導体装置と呼ぶ。一括封止方式では、各デバイス領域20aの間隔を小さくすることができるので、1枚の配線基板20における有効面積が大きくなる。つまり、1枚の配線基板20から取得できる製品個数が増加する。このように、1枚の配線基板20における有効面積を大きくすることで、製造工程を効率化することができる。

[0142] また、本実施の形態では、成形金型内に加熱軟化させた樹脂を圧入して成形した後、樹脂を熱硬化させる、所謂、トランスファモールド方式により形成する。トランスファモールド方式により形成された封止体4は、例えば、図35に示す積層体MCSを封止する封止体6のように、液状の樹脂を硬化

させたものと比較して、耐久性が高いので、保護部材として好適である。また、例えば、シリカ（二酸化珪素； $\text{SiO}_2$ ）粒子などのフィラー粒子を熱硬化性樹脂に混合することで、封止体4の機能（例えば、反り変形に対する耐性）を向上させることができる。以下、本工程の詳細なフローについて図37～図40を用いて説明する。

[0143] 図37～図40は、図11に示す封止工程の詳細なフローを示す説明図である。図37は、封止体を成形する成形金型内に図30に示す配線基板を配置した状態を示す要部断面図である。また、図38は、図37に示す成形金型内に樹脂を供給した状態を示す要部断面図、図39は図37に示す成形金型内が樹脂で満たされた状態を示す要部断面図である。また、図40は、図39に示す配線基板を成形金型から取り出した状態を示す要部断面図である。また、図51は、図39に対する検討例を示す要部断面図である。図37～図40、および図51では、見易さのため、積層体MCSを一つの半導体チップ3と見做して示している。

[0144] 本工程では、まず、図37に示す成形金型40を準備する（金型準備工程）。成形金型40は、図35に示す封止体4を成形するための金型であって、下面（金型面）41a、および下面41aに形成されたキャビティ（凹部、窪み部）41zを有する上金型（金型）41を備える。また、成形金型40は、上金型41の下面（金型面）41aと対向する上面（金型面）42aを有する下金型（金型）42を備える。

[0145] キャビティ41zは、平面視において四角錐台形の溝（窪み部）であって、底面および4つの側面を備える。また、上金型41には、キャビティ41zへの樹脂4p（図38参照）の供給口であるゲート部41g、およびゲート部41gとは異なる位置（例えば対向する位置）に配置されるベント部41vが、それぞれ形成されている。ゲート部41gは、例えば、キャビティ41zの一つの側面に形成されている。また、ベント部41vはゲート部41gとは異なるキャビティ41zの側面に形成されている。このように、ゲート部をキャビティ41zの側面に配置する方式はサイドゲート方式と呼ば

れる。

[0146] 次に、成形金型40の下金型42上に配線基板20を配置する（基材配置工程）。ここで、下金型42と組み合わせる上金型41に形成されたキャビティ41zは、配線基板20の各デバイス領域20aよりも面積が大きく、複数のデバイス領域20aを覆うように一つのキャビティ41zが配置される。言い換えれば、キャビティ41zの周縁部は配線基板20の枠部20b上に配置される。

[0147] 次に、上金型41と下金型42の距離を近づけて、配線基板20を上金型41と下金型42でクランプする（クランプ工程）。これにより、キャビティ41z内、ゲート部41g、およびベント41v部以外の領域では、上金型41（上金型41の下面41a）と、配線基板20の上面2aが密着する。また、下金型42（下金型42の上面42a）と、配線基板20の下面2bが密着する。

[0148] 次に、図38に示すようにキャビティ41z内に樹脂4pを供給し、これを硬化させることにより封止体4を形成する（封止体形成工程）。本工程では、図示しないポット部に配置された樹脂タブレットを加熱軟化させて、ゲート部41gからキャビティ41z内に樹脂4pを供給する。樹脂タブレットは、例えば熱硬化性樹脂であるエポキシ系の樹脂を主成分としており、硬化温度よりも低い温度では、加熱することにより軟化して、流動性が向上する特性を有している。したがって、例えば図示しないプランジャで軟化した樹脂タブレットを押しこむと、図38に二点鎖線の矢印を付して示すように、軟化した樹脂4pが成形金型40に形成されたゲート部41gからキャビティ41z内（詳しくは、配線基板20の上面2a上）に圧入される。キャビティ41z内の気体は、樹脂4pが流入する圧力によりベント部41bから排出され、キャビティ41z内は、樹脂4pで満たされる。この結果、配線基板20の上面2a側に搭載された複数の半導体チップ3（ロジックチップLCおよび積層体MCS）は、図39に示すように、樹脂4pで一括して封止される。その後、キャビティ41z内を加熱することにより、樹脂4p

の少なくとも一部を加熱硬化（仮硬化）させる。

[0149] ここで、本願発明者の検討によれば、図51に示すように、積層体MCSと配線基板20の間に接着材NCL1、NCL2で塞がれていない隙間が存在する場合、半導体装置の信頼性の点で以下の課題があることを見出した。すなわち、図51に示すように、積層体MCSと配線基板20の隙間に樹脂4pが充填されない気泡（空間）VDが生じ易くなることが判った。完成品の半導体装置において、積層体MCSと配線基板20の間に気泡VDが残留していると、半導体装置に熱が加わった際、封止体が破損し易い。つまり、信頼性低下の原因になる。

[0150] 本願発明者が、上記のような気泡VDが生じ易くなる理由についてさらに検討した所、図51に示すロジックチップLCを、図5に示すような貫通電極3tsvを有していない半導体チップに置き換えた場合、信頼性低下の原因となるような気泡VDの発生は認められなかった。つまり、上記した気泡VDが発生し易くなる現象は、貫通電極3tsvが形成されたロジックチップLCを下段側に搭載した場合に、特に顕在化する課題であることが判った。

[0151] 気泡VDが発生し易くなる原因は、上段側に搭載する積層体MCSと配線基板20の離間距離が関係すると考えられる。貫通電極3tsvを形成しない半導体チップの場合、半導体チップの厚さと電気的特性の関連性は低いので、薄い物でも100 $\mu$ m程度の厚さがある。一方、図5に示すように貫通電極3tsvを形成するロジックチップLCの場合、ロジックチップLCの厚さを薄くすれば、貫通電極3tsvの高さ（ロジックチップLCの厚さ方向の長さ）が小さくなるので、表面電極3apと裏面電極3bpを接続する導回路のインピーダンスを低減できる。貫通電極3tsvの高さを小さくすることで、加工精度が向上するので、回路の集積化を図ることができる。このため、ロジックチップLCは、貫通電極3tsvが存在しない半導体チップと比較して厚さが薄くなる。また、ロジックチップLC上に搭載される積層体MCSと配線基板2（図51に示す配線基板20）の離間距離である間

隔G 2はロジックチップLCの厚さT 1に対応して小さくなるので、間隔G 2も小さくなる。例えば、本願発明者が検討したロジックチップLCの厚さT 1は50  $\mu\text{m}$ 、間隔G 2は70  $\mu\text{m}$ ～100  $\mu\text{m}$ 程度である。

[0152] また、積層体MCSと配線基板20の隙間に樹脂4 pを埋め込むためには、下段側のロジックチップLCおよびその周囲の接着剤NCL 1、NCL 2を包むように樹脂4 pを回り込ませる必要があるが、積層体MCSと配線基板20の隙間が狭いと静圧抵抗（コンダクタンス）が大きくなる。特に、トランスファモールド方式で用いる樹脂4 p（図38参照）は、図28を用いて説明した液状のアンダフィル樹脂6 aと比較して粘性が高いため、狭い空間に供給することが難しい。また、樹脂4 pの供給圧力を上昇させると、半導体チップ3が損傷する原因になる。

[0153] また、図51に示すように、積層体MCSと配線基板20の間に接着材NCL 1、NCL 2で塞がれていない隙間が存在する場合、樹脂4 pに混合された複数のフィラー粒子FLのうち、粒径の大きいものが隙間に挟まる場合がある。フィラー粒子FLが積層体MCSと配線基板20の間に挟まると、樹脂4 pの通路を塞いで気泡VDが発生する原因になる。また、フィラー粒子FLが積層体MCSの表面3 a（図5参照）に押し付けられて、積層体MCSが損傷する原因になる場合がある。

[0154] 複数のフィラー粒子FLを樹脂4 p中に分散させることで封止体4（図35参照）の機能を向上させることができる。しかし、フィラー粒子FLの粒径は様々であり、粒径の大きいものでは、例えば100  $\mu\text{m}$ 程度の粒径を備えるフィラー粒子FLも存在する。このため、配線基板20と積層体MCSの間隔G 2（図5参照）が70  $\mu\text{m}$ ～100  $\mu\text{m}$ 程度まで小さくなると、フィラー粒子FLが配線基板20と積層体MCSの隙間に挟まる場合がある。フィラー粒子FLが挟まる現象を防止する方法としては、樹脂4 pに混合させるフィラー粒子FLを予め分級し、粒径が大きいフィラー粒子FLを除外する方法が考えられる。しかし、この場合、フィラー粒子FLの分級作業に時間を要する。また、粒径が大きいフィラー粒子FLを樹脂4 pに含めるこ

とができなくなると、材料選択の自由度が低下する。したがって、例えば粒径が $80\mu\text{m}$ を越えるフィラー粒子FLが樹脂4pに含まれる場合であっても、配線基板20と積層体MCSの間にフィラー粒子FLが挟まらないようにすることが好ましい。

[0155] そこで、本実施の形態では、封止工程の前に、積層体MCSのうちのロジックチップLCと重ならない部分と配線基板20の上面2aの間を、接着材NCL1および接着材NCL2で予め塞いでおく構成としている。つまり、図51に示す気泡VDが発生する領域（隙間）、あるいはフィラー粒子FLが挟まり易い領域（隙間）を封止工程の前に予め無くしておくものである。この結果、図39に示すように、気泡VD（図51参照）の発生を防止または抑制できる。また、例えば粒径が $80\mu\text{m}$ を越えるフィラー粒子FLが樹脂4pに含まれる場合であっても、配線基板20と積層体MCSの間にフィラー粒子FLが挟まらないようにすることができる。

[0156] なお、図51に示す気泡VDの発生や、フィラー粒子FLによる積層体MCSの損傷を抑制する観点からは、配線基板20と積層体MCSの間の部材は、接着材NCL1、NCL2のうち、いずれか一方であっても良い。ただし、上記したように、接着材NCL1、NCL2の配置位置を制御して、配線基板20と積層体MCSの隙間を確実に塞ぐ観点からは、接着材NCL1、NCL2の両方により塞ぐことが特に好ましい。つまり、図16および図17を用いて説明したように、第1接着材配置工程では、接着材NCL1の周縁部が、チップ搭載領域2p1の周縁部よりもチップ搭載領域2p2の周縁部に近い位置に配置されることが好ましい。また、第2接着材配置工程において、接着材NCL2の塗布量を低減し、接着材NCL2の配置範囲を制御し易くする観点からは、接着材NCL1の厚さは、ロジックチップLCの側面3cのうち、ロジックチップLCの表面3a側の半分以上が接着材NCL1により覆われる程度の厚さにすることが好ましい。

[0157] 次に、図40に示すように、上記した封止体形成工程で用いた成形金型40から封止体4が形成された配線基板20を取り出す（基板取り出し工程）

。本工程では、図 3 9 に示す上金型 4 1 と下金型 4 2 を引き離して、配線基板 2 0 を取り出す。

[0158] 次に、成形金型 4 0 から取り出した配線基板 2 0 を図示しない加熱炉（ベーク炉）に搬送し、再び配線基板 2 0 を熱処理する（ベーク工程、本硬化工程）。成形金型 4 0 内で加熱された樹脂 4 p は、樹脂中の硬化成分の半分以上（例えば約 7 0 % 程度）が硬化する、所謂、仮硬化と呼ばれる状態となる。この仮硬化の状態では、樹脂 4 p 中の全ての硬化成分が硬化している訳ではないが、半分以上の硬化成分が硬化しており、この時点で半導体チップ 3 は封止されている。しかし、封止体 4 の強度の安定性などの観点からは全ての硬化成分を完全に硬化させることが好ましいので、ベーク工程で、仮硬化した封止体 4 を再度加熱する、所謂、本硬化を行う。このように、樹脂 4 p を硬化させる工程を 2 回に分けることにより、成形金型 4 0 に搬送される次の配線基板 2 0 に対して、いち早く封止工程を施すことができる。このため、製造効率を向上させることができる。

[0159] また、図 4 0 に示すように、封止体 4 の周縁部（枠部 2 0 b 上）に、ゲート部樹脂 4 g およびベント部樹脂 4 v が残留する。必要に応じ、ゲート部樹脂 4 g およびベント部樹脂 4 v を除去すれば、図 3 6 に示すように、複数のデバイス領域 2 0 a にそれぞれ搭載される複数の半導体チップ 3（図 3 5 参照）を一括して封止する封止体（樹脂体）4 が形成される。ただし、ゲート部樹脂 4 g およびベント部樹脂 4 v は、後述する個片化工程で、取り除かれる枠部 2 0 b に形成されているので、これらを除去する工程は省略することができる。

[0160] ＜ボールマウント工程＞

次に、図 1 1 に示すボールマウント工程では、図 4 1 に示すように、配線基板 2 0 の下面 2 b に形成された複数のランド 2 g に、外部端子になる複数の半田ボール 5 を接合する。図 4 1 は、図 3 5 に示す配線基板の複数のランド上に半田ボールを接合した状態を示す拡大断面図である。

[0161] 本工程では、図 4 1 に示すように配線基板 2 0 の上下を反転させた後、配

線基板 20 の下面 2 b において露出する複数のランド 2 g のそれぞれの上に半田ボール 5 を配置した後、加熱することで複数の半田ボール 5 とランド 2 g を接合する。本工程により、複数の半田ボール 5 は、配線基板 20 を介して複数の半導体チップ 3（ロジックチップ LC およびメモリチップ MC 1、MC 2、MC 3、MC 4）と電氣的に接続される。ただし、本実施の形態で説明する技術は、アレイ状に半田ボール 5 を接合した、所謂 BGA（Ball Grid Array）型の半導体装置に限って適用させるものではない。例えば、本実施の形態に対する変形例としては、半田ボール 5 を形成せず、ランド 2 g を露出させた状態、あるいはランド 2 g に半田ボール 5 よりも薄く半田ペーストを塗布した状態で出荷する、所謂 LGA（Land Grid Array）型の半導体装置に適用することができる。LGA 型の半導体装置の場合には、ボールマウント工程は省略することができる。

[0162] <個片化工程>

次に、図 11 に示す個片化工程では、図 42 に示すように、配線基板 20 をデバイス領域 20 a 毎に分割する。図 42 は図 41 に示す多数個取りの配線基板を個片化した状態を示す断面図である。本工程では、図 31 に示すように、ダイシングライン（ダイシング領域）20 c に沿って配線基板 20 および封止体 4 を切断し、個片化された複数の半導体装置 1（図 4 参照）を取得する。切断方法は特に限定されないが、図 42 に示す例では、ダイシングブレード（回転刃）45 を用いてテープ材（ダイシングテープ）46 に接着固定された配線基板 20 および封止体 4 を、配線基板 20 の下面 2 b 側から切削加工して切断する実施態様を示している。ただし、本実施の形態で説明する技術は、複数のデバイス領域 20 a を備えた、多数個取り基板である配線基板 20 を用いる場合に限って適用させるものではない。例えば、半導体装置 1 個分に相当する配線基板 2（図 4 参照）の上に複数の半導体チップ 3 を積層した半導体装置に適用することができる。この場合、個片化工程は省略することができる。

[0163] 以上の各工程により、図 1 ～図 10 を用いて説明した半導体装置 1 が得ら

れる。その後、外観検査や電氣的試験など、必要な検査、試験を行い、出荷、あるいは、図示しない実装基板に実装する。

[0164] (変形例)

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

[0165] <変形例 1>

例えば、上記実施の形態では、半導体装置の信頼性の観点からの課題として、第 2 チップ搭載工程では、平面サイズの大きい積層体 M C S が突起電極 7 を基点として傾くことにより、突起電極 7 と裏面電極 3 b p の位置がずれる懸念があることを説明した。また、封止工程では、積層体 M C S と配線基板 2 0 の隙間に気泡 V D が形成される懸念があることを説明した。また、封止工程では、積層体 M C S と配線基板 2 0 の隙間に、粒径が大きい（例えば積層体 M C S と配線基板 2 0 の離間距離よりも大きい）フィラー粒子 F L が挟まると、積層体 M C S が損傷する懸念があることを説明した。上記課題は、半導体装置の信頼性に関連するという点で共通し、ロジックチップ L C 用のチップ搭載領域 2 p 1 よりも広い範囲に、接着材 N C L を配置するという点で対策の主要部は共通するが、各課題を解決するための最小限の構成は、厳密には相違する。図 4 3 および図 4 4 は、上記実施の形態で説明した半導体装置 1 に対する変形例の概要を示す要部断面図である。

[0166] まず、第 2 チップ搭載工程で説明した、積層体 M C S が突起電極 7 を基点として傾くことにより、突起電極 7 と裏面電極 3 b p の位置がずれる懸念を解消する構造としては図 4 3 に示す半導体装置 5 0 が考えられる。半導体装置 5 0 は、積層体 M C S と配線基板 2 0 の間に隙間がある点で、図 4 に示す半導体装置 1 とは異なる。また、半導体装置 5 0 は、図 4 に示す封止体 4 が形成されていない点で図 4 に示す半導体装置 1 と相違する。言い換えれば、半導体装置 5 0 の製造方法では、上記実施の形態で説明した封止工程が省略される。

[0167] つまり、半導体装置 50 の製造方法の場合、封止工程を省略するので、封止工程で説明した課題が生じない。このため、少なくとも、積層体 M C S が突起電極 7（図 3 3 参照）を基点として傾く程度を抑制する対策を施せば良いことになる。このため、突起電極 7 を基点として積層体 M C S（半導体チップ 3）が傾斜した時に、積層体 M C S と、接着材 N C L 1 が最初に接触する程度の平面サイズおよび厚さで、接着材 N C L 1 を形成すれば、良い。詳しくは、接着材 N C L 1 の周縁部が、チップ搭載領域 2 p 1 の周縁部よりもチップ搭載領域 2 p 2 の周縁部に近い位置に配置される。また、接着材 N C L 1 の厚さは、図 4 3 に示すように、ロジックチップ L C の側面 3 c のうち、ロジックチップ L C の表面 3 a 側の半分以上が接着材 N C L 1 により覆われる程度の厚さにすることが好ましい。換言すれば、断面視において、接着材 N C L 1 の上面 N C L 1 a がロジックチップ L C の側面 3 c の中央部（半分の高さ）よりもロジックチップ L C の裏面 3 b 側に位置するように、接着材 N C L 1 を形成することが好ましい。あるいは、接着材 N C L 1 の上面 N C L 1 a がロジックチップ L C の裏面 3 b と同じ高さに位置するように接着材 N C L 1 を形成することが好ましい。ただし、より確実に積層体 M C S が突起電極 7（図 3 3 参照）を基点として傾く程度を抑制する観点からは、接着材 N C L 1 が、チップ搭載領域 2 p 2 の全体を覆うように配置することが好ましい。また、上記した第 2 チップ搭載工程において、半導体チップ 2 が傾斜することを、より確実に抑制する観点からは、図 3 3 を用いて説明したように、チップ搭載領域 2 p 2 の大部分を覆うように接着材 N C L 1 を配置することが好ましい。

[0168] 一方、接着材 N C L 2 の配置範囲は、接着材 N C L 1 の配置範囲よりも積層体 M C S の傾きに対する影響が小さいので、図 4 3 に示すように、例えばロジックチップ L C の裏面 3 b に配置することができる。ただし、接着材 N C L 2 による接着強度を向上させる観点からは、上記実施の形態で説明した図 3 2 に示すように、ロジックチップ L C の裏面 3 b および接着材 N C L 1 の露出面（ロジックチップ L C から露出した部分の露出表面）にも、接着材

NCL 2を配置することが好ましい。

[0169] <変形例 2>

次に、封止工程で説明した、積層体MCSと配線基板20の隙間に気泡VDが形成される懸念、あるいは、積層体MCSと配線基板20の隙間に、粒径が大きいフィラー粒子FLが挟まる懸念を解消する構造としては、図44に示す半導体装置51が考えられる。半導体装置51は、接着材NCL1の配置範囲がチップ搭載領域2p1とほぼ同じ平面サイズになっている点で図4に示す半導体装置1とは異なる。

[0170] 上記実施の形態で説明した第2チップ搭載工程での積層体MCSの傾きを考慮しない場合、封止工程の前に積層体MCSと配線基板20の隙間が埋まっていれば良いので、接着材NCL1の平面サイズを小さくできる。例えば図44に示す例では、接着材NCL1の周縁部が、チップ搭載領域2p2の周縁部よりもチップ搭載領域2p1の周縁部に近い位置に配置される。また、ロジックチップLCの側面3cの裏面3b側の半分以上の領域は、接着材NCL1から露出している。半導体装置51のような構成であっても、封止工程の前に、接着材NCL2により積層体MCSと配線基板20の隙間が塞がれていれば、積層体MCSと配線基板20の隙間に気泡VDが形成される懸念、あるいは、積層体MCSと配線基板20の隙間に、粒径が大きいフィラー粒子FLが挟まる懸念を解消することができる。

[0171] ただし、上記実施の形態で述べたように、接着材NCL2に絶縁性ペースト(NCP)を用いる場合は特に、接着材NCL2は接着材NCL1に倣って広がる。このため、接着材NCL2の配置範囲を制御して、積層体MCSと配線基板20の隙間を確実に塞ぐ観点からは、図4に示すように、接着材NCL1の周縁部が、チップ搭載領域2p1の周縁部よりもチップ搭載領域2p2の周縁部に近い位置に配置されることが好ましい。

[0172] また、接着材ペーストNCL1により、粒径が大きいフィラー粒子FLが挟まる懸念を解消する構造としては、図45および図46に示す半導体装置52のように、接着材ペーストNCL1が、チップ搭載領域2p2の大部分

を覆うように配置されることが好ましい。図45は、図44に示す半導体装置に対する変形例の概要を示す要部断面図である。また、図46は、図45のA部の拡大断面図である。

[0173] 図45および図46に示す半導体装置52では、チップ搭載領域2p2の大部分は、接着材NCL1により覆われている。詳しくは、図46に示すように、チップ搭載領域2p2のうち、接着材NCL1に覆われていない部分の幅（図46に示す間隔G3）は、複数のフィラー粒子FLのうち、最も体積が大きいフィラー粒子FL（例えば、配線基板20と積層体MCSの間隔G2よりも直径が大きいフィラー粒子）の半径R1よりも小さい。言い換えれば、積層体MCSの側面3cと、接着材NCL1の周縁部NCL1cの間隔G3（平面視における離間距離、または隙間）は、複数のフィラー粒子FLのうち、最も体積が大きいフィラー粒子FLの半径R1よりも小さい。

[0174] 半導体装置52の場合、上記した第2チップ搭載工程で、仮に、接着材NCL1の周縁部NCL1cが、接着材NCL2に覆われなかった場合でも、接着材NCL1により、フィラー粒子FLが挟まることを防止または抑制できる点で好ましい。また、上記した第2チップ搭載工程で、接着材NCL1の周縁部NCL1cが、接着材NCL2に覆われた場合には、積層体MCSと配線基板20の隙間を確実に塞ぐことができる。

[0175] また半導体装置52の場合、チップ搭載領域2p2の一部が接着材NCL1に覆われていないので、接着材NCL2の広がり制御し易い点で好ましい。

[0176] <変形例3>

また、上記した第2チップ搭載工程において、積層体MCSが傾くことで接着材NCL1の周縁部と積層体MCSの表面3aが接触して、積層体MCSに形成されたメモリ回路にストレスが印加されることを抑制する観点からは、図47および図48に示す半導体装置53のような構成が好ましい。図47は、図4に示す半導体装置に対する他の変形例の概要を示す要部断面図である。また、図48は、図47のA部の拡大断面図である。

[0177] 図47および図48に示す半導体装置53では、積層体MCSに設けられたメモリ領域MRの周縁部（側面3cに最も近い辺）MRcと、積層体MCSの側面3cの間に接着材NCL1の側面NCL1cが、配置されている。

[0178] 積層体MCSは、例えば図4に示すように複数のメモリチップMC1、MC2、MC3、MC4を有し、各メモリチップMC1、MC2、MC3、MC4のそれぞれに、メモリ領域MRが形成されている。なお、メモリ領域MRの平面レイアウトは、図6を用いて説明した通りなので、重複する説明は省略する。

[0179] 図47および図48に示す半導体装置53の場合、平面視において、積層体MCSに設けられたメモリ領域MRの周縁部MRcが、接着材NCL1の周縁部NCL1cよりも内側に配置されている。このため、上記した第2チップ搭載工程において、積層体MCSが傾いた場合であっても、メモリ領域MRと接着材NCL1は接触し難くなる。したがって、第2チップ搭載工程において、メモリ領域MRにストレスが印加されることを防止または抑制できる点で好ましい。

[0180] <変形例4>

また、半導体装置50、51、52、および半導体装置53は、図4に示す半田ボール5が接合されず、複数のランド2gが外部端子として露出する、所謂LGA型の半導体装置になっている。この場合、上記実施の形態で説明したボールボンディング工程を省略できる。

[0181] <変形例5>

また、半導体装置50、51、52、および半導体装置53は、例えば、半導体装置1個分に相当する配線基板2の上に複数の半導体チップ3を積層して製造することができる。この場合、上記実施の形態で説明した個片化工程を省略することができる。

[0182] <変形例6>

また例えば、上記実施の形態では、複数のメモリチップMC1、MC2、MC3、MC4が積層された積層体MCSをロジックチップLCの裏面3b

上に搭載する実施態様について説明したが、上段に積層される半導体チップ 3 の数は限定されず、例えば 1 枚でも良い。また、ロジックチップ LC の裏面 3 b 上に複数の半導体チップ 3 を積層する場合でも、図 1 1 に示す第 2 接着材配置工程～第 2 チップ搭載工程までの手順を繰り返し行うことで、例えば図 5 9 に示す半導体装置 5 5 のように、接着材 NCL 1、NCL 2、NCL 3、NCL 4、NCL 5 を介して複数の半導体チップ 3 を順次積層することができる。半導体装置 5 5 の場合、各半導体チップ 3 を順次積層するので、組立工程に要する時間は長くなるが、図 4 に示す封止体 6 を用いずに、複数の半導体チップ 3 をフリップチップ接続方式で積層することができる。

[0183] <変形例 7>

また例えば、上記実施の形態および変形例では、チップ搭載領域 2 p 2 と同じ範囲、あるいは、チップ搭載領域 2 p 2 よりも狭い範囲に接着材 NCL 1 を配置する実施態様について説明した。しかし、変形例として、チップ搭載領域 2 p 2 よりも広い範囲に接着材 NCL 1 を配置することもできる。換言すれば、接着材 NCL 1 の平面サイズを、積層体 MCS の平面サイズよりも大きくすることができる。この場合、第 2 チップ搭載工程において、接着材 NCL 2 を積層体 MCS の側面 3 c に接着させることができるので、フィレットが形成され易い。この結果、積層体 MCS と接着材 NCL 2 の接着強度を向上させることができる。

[0184] <変形例 8>

さらに、上記実施の形態で説明した技術思想の要旨を逸脱しない範囲内において、変形例同士を組み合わせ適用することができる。

[0185] その他、実施の形態に記載された内容の一部を以下に記載する。

[0186] (1) 第 1 面、上記第 1 面に形成された複数のボンディングリード、上記第 1 面とは反対側の第 2 面、および上記第 2 面に形成され、かつ、上記複数のボンディングリードとそれぞれ電氣的に接続された複数のランドを有する配線基板と、

第 1 表面、上記第 1 表面に形成された複数の第 1 表面電極、上記第 1 表面

とは反対側の第1裏面、第1裏面に形成された複数の第1裏面電極、および上記第1表面および上記第1裏面のうち的一方から他方に向かって貫通するようにそれぞれ形成され、かつ、上記複数の第1表面電極と上記複数の第1裏面電極をそれぞれ電氣的に接続する複数の貫通電極、を有し、上記第1表面が上記配線基板の上記第1面と対向するように、第1接着材を介して上記配線基板の上記第1面に搭載される第1半導体チップと、

第2表面、上記第2表面に形成された複数の第2表面電極、上記複数の第2表面電極とそれぞれ電氣的に接続された複数の突起電極、および上記第2表面とは反対側の第2裏面を有し、上記第2半導体チップの上記第2表面が上記第1半導体チップの上記第1裏面と対向するように、第2接着材を介して上記第1半導体チップ上に搭載される第2半導体チップと、

を有し、

上記複数の第1表面電極と上記複数のボンディングリードは電氣的に接続され、

上記複数の第2表面電極と上記複数の第1裏面電極は、上記複数の突起電極を介して電氣的に接続され、

上記第2半導体チップの平面サイズは、上記第1半導体チップの平面サイズよりも大きく、

上記第2半導体チップは、上記第1チップ搭載部を含み、かつ、上記第1チップ搭載部よりも平面サイズが大きい第2チップ搭載部上に搭載され、

上記第1接着材の周縁部は、上記第1チップ搭載部の周縁部よりも上記第2チップ搭載部の周縁部に近い位置に配置される半導体装置。

## 請求の範囲

### [請求項1]

以下の工程を含む半導体装置の製造方法：

(a) 第1面、前記第1面に形成された複数のボンディングリード、前記第1面とは反対側の第2面、および前記第2面に形成され、かつ、前記複数のボンディングリードとそれぞれ電氣的に接続された複数のランドを有する配線基板を準備する工程；

(b) 前記配線基板の前記第1面に第1接着材を配置する工程；

(c) 前記(b)工程の後、第1表面、前記第1表面に形成された複数の第1表面電極、前記第1表面とは反対側の第1裏面、第1裏面に形成された複数の第1裏面電極、および前記第1表面および前記第1裏面のうちの一方から他方に向かって貫通するようにそれぞれ形成され、かつ、前記複数の第1表面電極と前記複数の第1裏面電極をそれぞれ電氣的に接続する複数の貫通電極、を有する第1半導体チップを、前記第1半導体チップの前記第1表面が前記配線基板の前記第1面と対向するように、前記第1接着材を介して前記配線基板の前記第1面に搭載し、前記複数のボンディングリードと前記複数の第1表面電極を電氣的に接続する工程；

(d) 前記(c)工程の後、前記第1半導体チップの前記第1裏面上および前記第1半導体チップから露出する前記第1接着材の表面上に、第2接着材を配置する工程；

(e) 前記(d)工程の後、第2表面、前記第2表面に形成された複数の第2表面電極、および前記第2表面とは反対側の第2裏面を有する第2半導体チップを、前記第2半導体チップの前記第2表面が前記第1半導体チップの前記第1裏面と対向するように、前記第2接着材を介して前記第1半導体チップ上に搭載し、前記複数の第1裏面電極と前記複数の第2表面電極を電氣的に接続する工程；

(f) 前記(e)工程の後、前記配線基板の前記第1面、前記第1半導体チップおよび前記第2半導体チップを樹脂で封止する工程；

ここで、

前記第2半導体チップの平面サイズは、前記第1半導体チップの平面サイズよりも大きく、

前記(e)工程の後、かつ、前記(f)工程の前では、前記第2半導体チップのうちの前記第1半導体チップと重ならない部分と前記配線基板の前記第1面の間は、前記第1および第2接着材で塞がれている。

[請求項2] 請求項1において、

前記(f)工程では、前記配線基板を成形金型内に配置して、前記成形金型内に樹脂を供給することで、前記配線基板の前記第1面、前記第1半導体チップおよび前記第2半導体チップを封止し、前記成形金型により前記樹脂を成形する半導体装置の製造方法。

[請求項3] 請求項2において、

前記(c)工程で搭載される前記第1半導体チップの厚さは、前記(e)工程で搭載される前記第2半導体チップの厚さよりも薄い半導体装置の製造方法。

[請求項4] 請求項1において、

前記(e)工程では、前記第1半導体チップが搭載される第1チップ搭載部よりも平面サイズが大きい第2チップ搭載部上に前記第2半導体チップが搭載され、

前記(b)工程では、前記第1接着材の周縁部が、前記第1チップ搭載部の周縁部よりも前記第2チップ搭載部の周縁部に近い位置に配置される半導体装置の製造方法。

[請求項5] 請求項1において、

前記(f)工程で、前記配線基板の前記第1面、前記第1半導体チップおよび前記第2半導体チップを封止する前記樹脂には、複数のフィラー粒子が含まれる半導体装置の製造方法。

[請求項6] 請求項5において、

前記複数のフィラー粒子には、前記第2半導体チップと前記配線基板の前記第1面の離間距離よりも大きい粒径のフィラー粒子が含まれる半導体装置の製造方法。

[請求項7]

請求項1において、

前記(e)工程では、前記第2半導体チップが、前記第1半導体チップ上に複数積層され、

複数の前記第2半導体チップ間は、前記封止体とは異なる封止体により封止されている半導体装置の製造方法。

[請求項8]

請求項7において、

前記(f)工程で、前記配線基板の前記第1面、前記第1半導体チップを封止する前記樹脂は、複数の前記第2半導体チップの間を封止する前記封止体よりも粘度が高い半導体装置の製造方法。

[請求項9]

請求項1において、

前記配線基板の前記第1面の第1チップ搭載部に配置される前記第1接着材は、フィルム状の接着材である半導体装置の製造方法。

[請求項10]

請求項1において、

前記(d)工程では、ペースト状の前記第2接着材を前記第1半導体チップの前記第1裏面上および前記第1半導体チップから露出する前記第1接着材の表面上に向かって塗布することにより前記第2接着材を配置する半導体装置の製造方法。

[請求項11]

請求項1において、

前記(c)工程では、前記第1半導体チップの側面のうち、前記第1半導体チップの前記表面側の半分以上が前記第1接着材により覆われる半導体装置の製造方法。

[請求項12]

以下の工程を含む半導体装置の製造方法：

(a) 第1面、前記第1面に形成された複数のボンディングリード、前記第1面とは反対側の第2面、および前記第2面に形成され、かつ、前記複数のボンディングリードとそれぞれ電氣的に接続された複

数のランドを有する配線基板を準備する工程；

(b) 前記配線基板の前記第1面に第1接着材を配置する工程；

(c) 前記(b)工程の後、第1表面、前記第1表面に形成された複数の第1表面電極、前記第1表面側に形成され、かつ前記複数の第1表面電極のそれぞれと電氣的に接続された複数の第1回路、前記第1表面とは反対側の第1裏面、第1裏面に形成された複数の第1裏面電極、および前記第1表面および前記第1裏面のうちの一方から他方に向かって貫通するようにそれぞれ形成され、かつ、前記複数の第1表面電極と前記複数の第1裏面電極をそれぞれ電氣的に接続する複数の貫通電極、を有する第1半導体チップを、前記第1半導体チップの前記第1表面が前記配線基板の前記第1面と対向するように、前記第1接着材を介して前記配線基板の前記第1面に搭載し、前記複数のボンディングリードと前記複数の第1表面電極を電氣的に接続する工程；

(d) 前記(c)工程の後、前記第1半導体チップの前記第1裏面上および前記第1半導体チップから露出する前記第1接着材の表面上に、第2接着材を配置する工程；

(e) 前記(d)工程の後、第2表面、前記第2表面に形成された複数の第2表面電極、前記第2表面側に形成され、かつ前記複数の第2表面電極のそれぞれと電氣的に接続された複数の第2回路、および前記第2表面とは反対側の第2裏面を有する第2半導体チップを、前記第2半導体チップの前記第2表面が前記第1半導体チップの前記第1裏面と対向するように、前記第2接着材を介して前記第1半導体チップ上に搭載し、前記複数の第1裏面電極と前記複数の第2表面電極を電氣的に接続する工程；

(f) 前記(e)工程の後、前記配線基板の前記第1面、前記第1半導体チップおよび前記第2半導体チップを樹脂で封止する工程；

ここで、

前記複数の第2回路には、前記第1半導体チップとの間で、前記第1半導体チップと前記第2チップの間に設けられた複数の第1突起電極を介して通信するデータを記憶する記憶回路が含まれ、

前記複数の第1回路には、前記第1半導体チップと前記第2チップの間に設けられた複数の第2突起電極を介して前記第2半導体チップの前記記憶回路の動作を制御する制御回路が含まれ、

前記第2半導体チップの平面サイズは、前記第1半導体チップの平面サイズよりも大きく、

前記(e)工程の後、かつ、前記(f)工程の前では、前記第2半導体チップのうちの前記第1半導体チップと重ならない部分と前記配線基板の前記第1面の間は、前記第1および第2接着材で塞がれている。

[請求項13]

以下の工程を含む半導体装置の製造方法：

(a) 第1面、前記第1面に形成された複数のボンディングリード、前記第1面とは反対側の第2面、および前記第2面に形成され、かつ、前記複数のボンディングリードとそれぞれ電氣的に接続された複数のランドを有する配線基板を準備する工程；

(b) 前記配線基板の前記第1面の第1チップ搭載部に第1接着材を配置する工程；

(c) 前記(b)工程の後、第1表面、前記第1表面に形成された複数の第1表面電極、前記第1表面とは反対側の第1裏面、第1裏面に形成された複数の第1裏面電極、および前記第1表面および前記第1裏面のうちの一方から他方に向かって貫通するようにそれぞれ形成され、かつ、前記複数の第1表面電極と前記複数の第1裏面電極をそれぞれ電氣的に接続する複数の貫通電極、を有する第1半導体チップを、前記第1半導体チップの前記第1表面が前記配線基板の前記第1面と対向するように、前記配線基板の前記第1チップ搭載部に搭載し、前記複数のボンディングリードと前記複数の第1表面電極を電氣的

に接続する工程；

(d) 前記(c)工程の後、前記第1半導体チップの前記第1裏面上に、第2接着材を配置する工程；

(e) 前記(d)工程の後、第2表面、前記第2表面に形成された複数の第2表面電極、前記複数の第2表面電極とそれぞれ電氣的に接続された複数の突起電極、および前記第2表面とは反対側の第2裏面を有する第2半導体チップを、前記第2半導体チップの前記第2表面が前記第1半導体チップの前記第1裏面と対向するように、前記第2接着材を介して前記第1半導体チップ上に搭載し、前記複数の第1裏面電極と前記複数の第2表面電極を電氣的に接続する工程；

ここで、

前記第2半導体チップの平面サイズは、前記第1半導体チップの平面サイズよりも大きく、

前記(e)工程では、前記第1チップ搭載部を含み、かつ、前記第1チップ搭載部よりも平面サイズが大きい第2チップ搭載部上に前記第2半導体チップが搭載され、

前記(b)工程では、前記第1接着材の周縁部が、前記第1チップ搭載部の周縁部よりも前記第2チップ搭載部の周縁部に近い位置に配置される半導体装置の製造方法。

[請求項14] 請求項13において、

前記(c)工程では、前記第1半導体チップの側面のうち、前記第1半導体チップの前記表面側の半分以上が前記第1接着材により覆われる半導体装置の製造方法。

[請求項15] 請求項13において、

前記(b)工程では、前記第1接着材の周縁部は、前記第1チップ搭載部の周縁部と前記第2チップ搭載部の周縁部の間に配置される半導体装置の製造方法。

[請求項16] 請求項13において、

前記（c）工程の後、かつ、前記（d）工程の前に、前記第1接着材を硬化させる工程が含まれる半導体装置の製造方法。

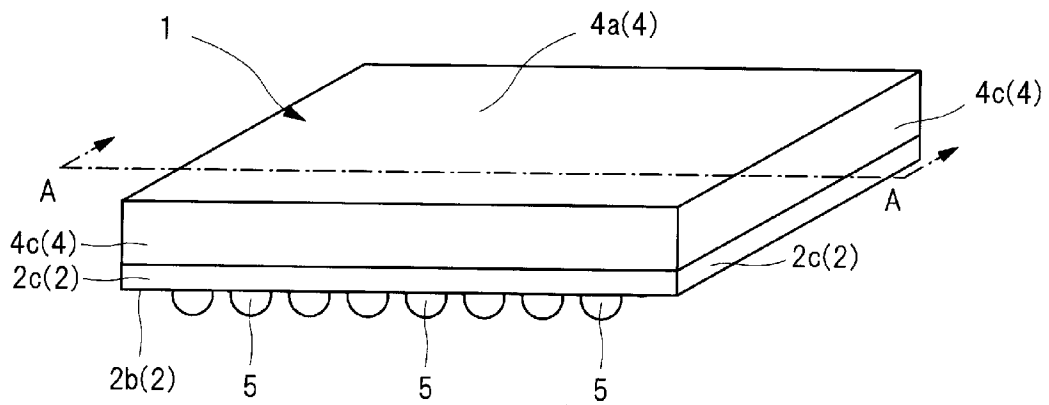
[請求項17]

請求項13において、

前記（b）工程では、前記第1接着材は、前記第2チップ搭載部全体を覆うように配置される半導体装置の製造方法。

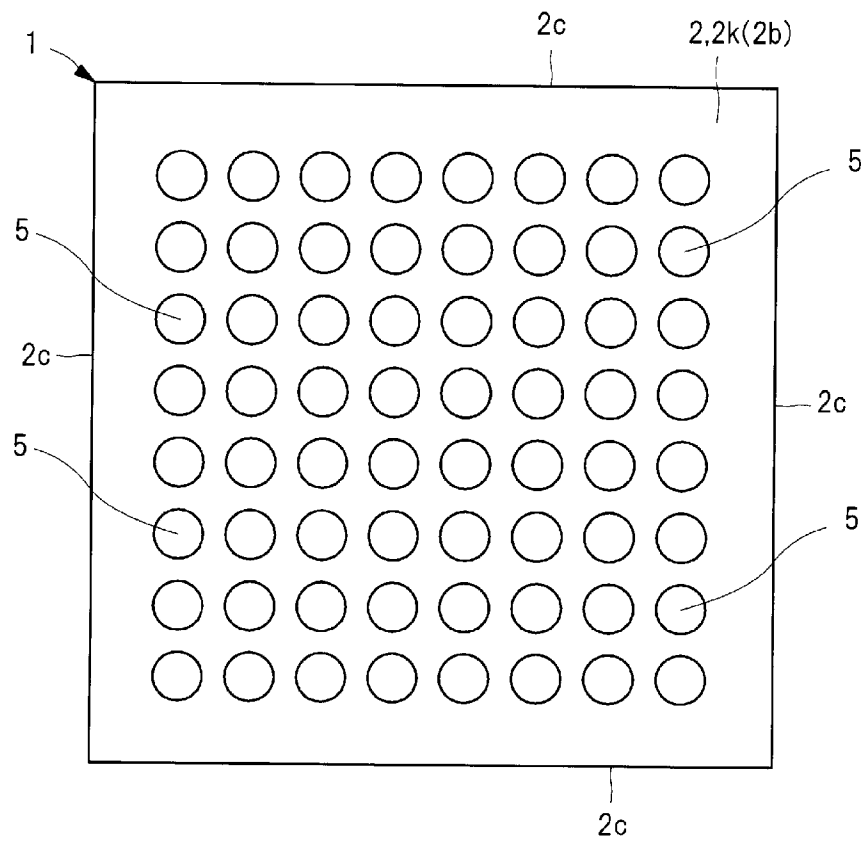
[図1]

図 1



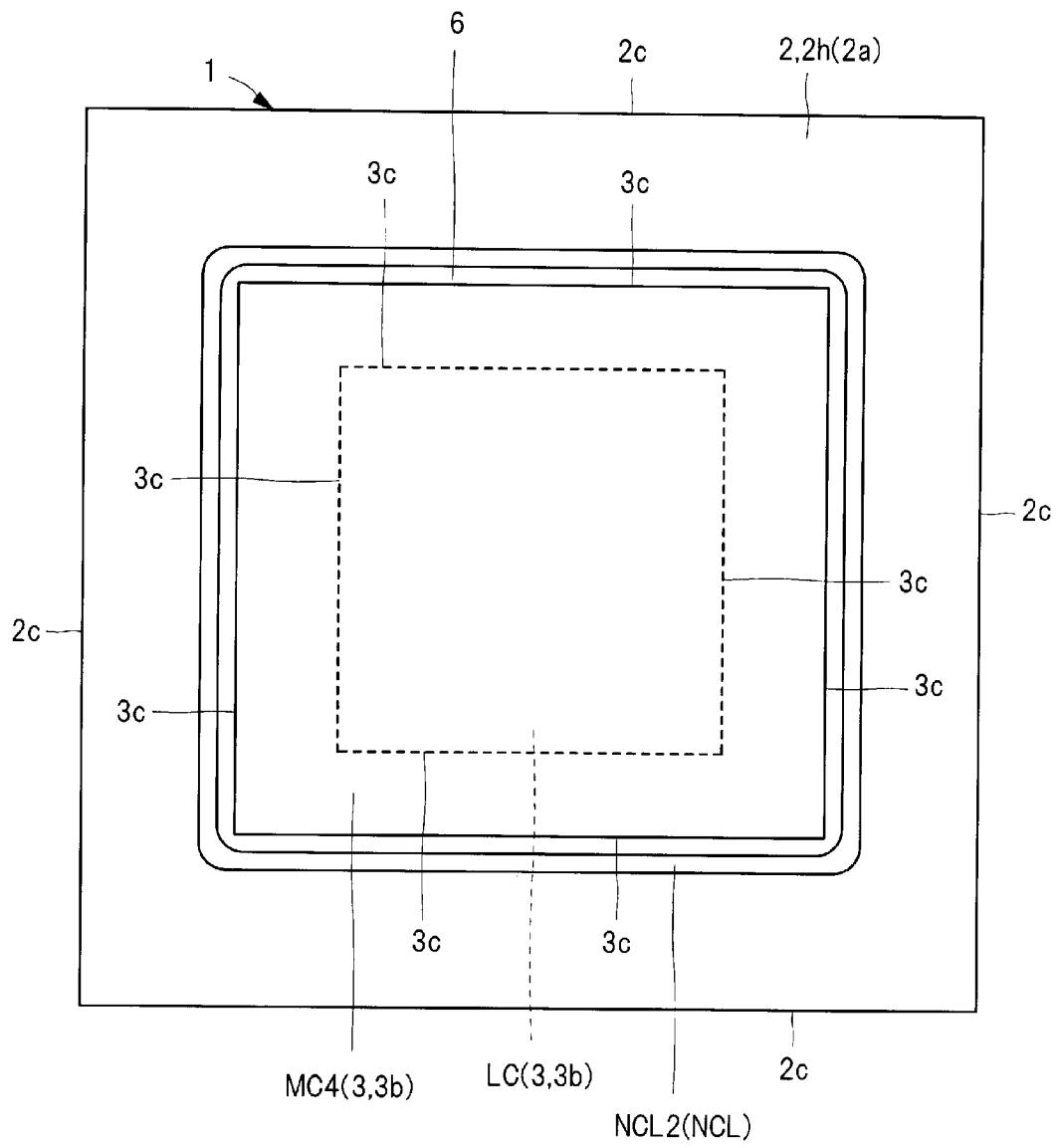
[図2]

図 2



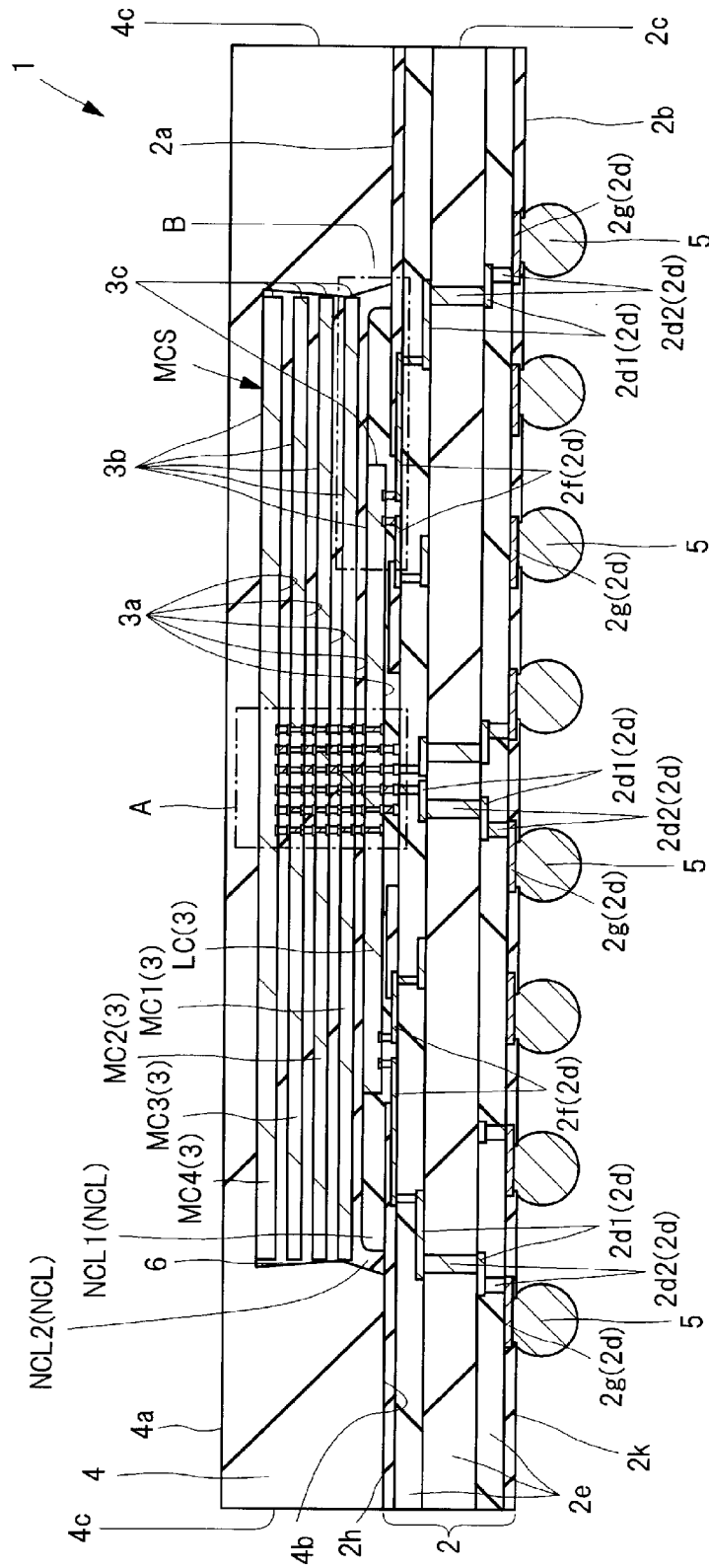
[図3]

3



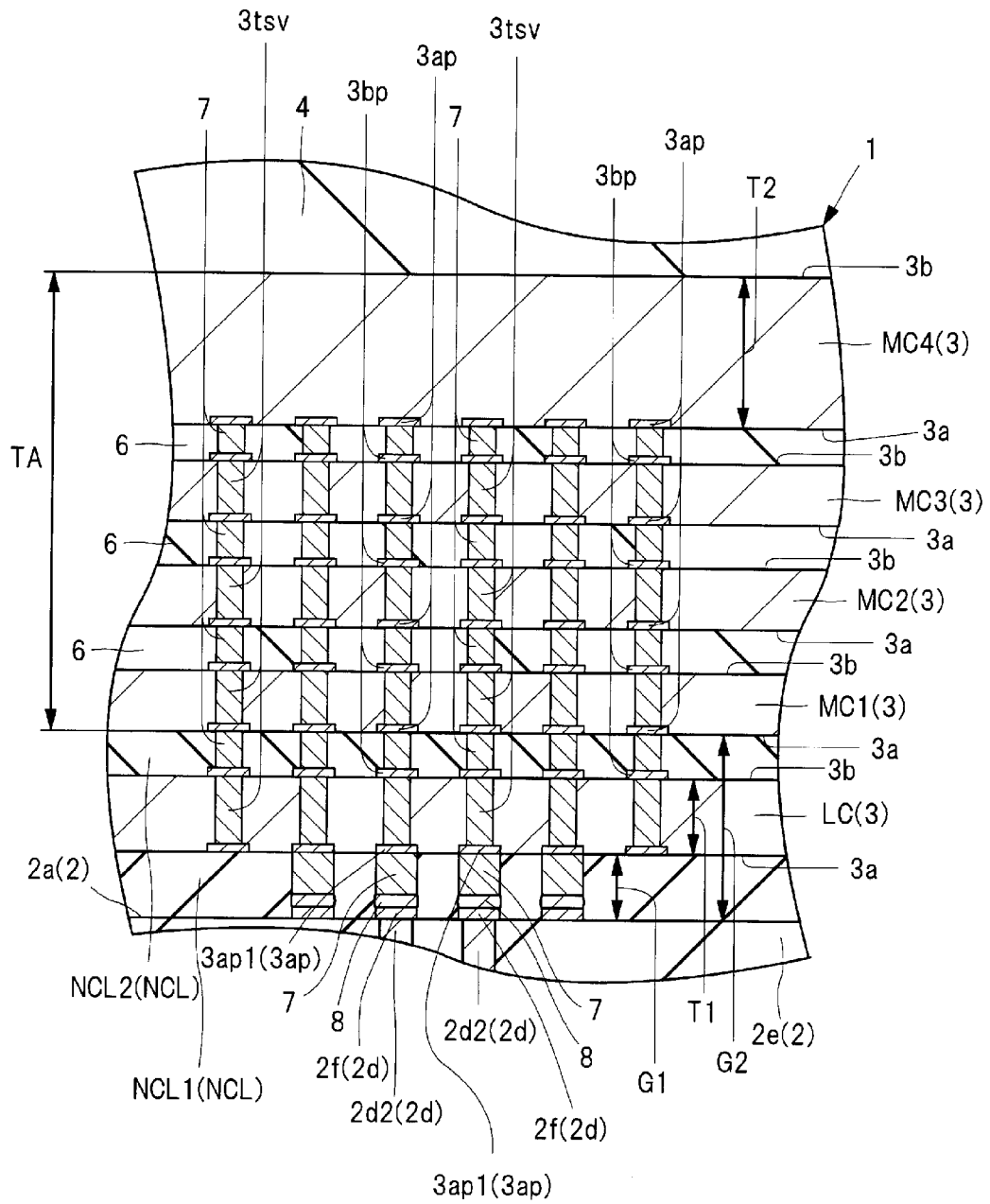
[図4]

図 4



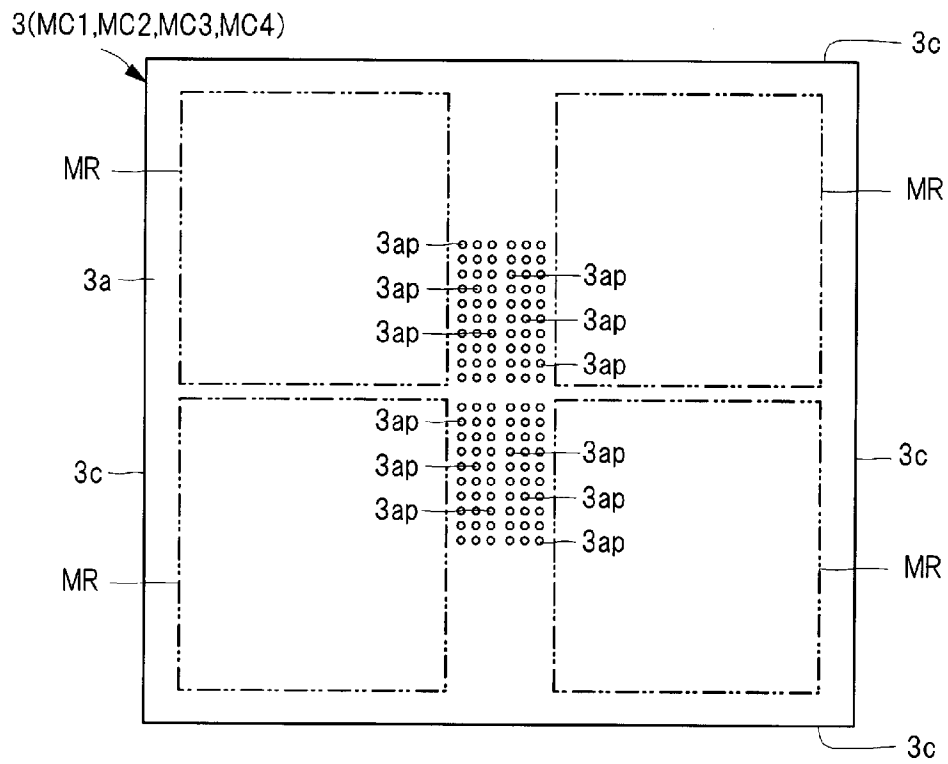
[図5]

図 5



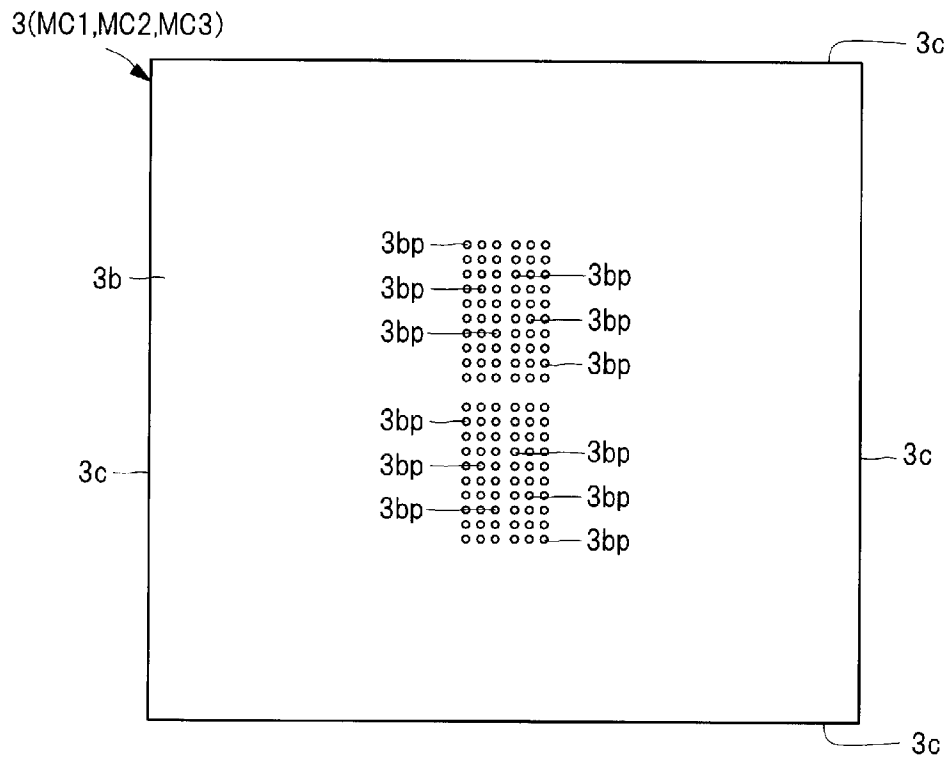
[図6]

図 6



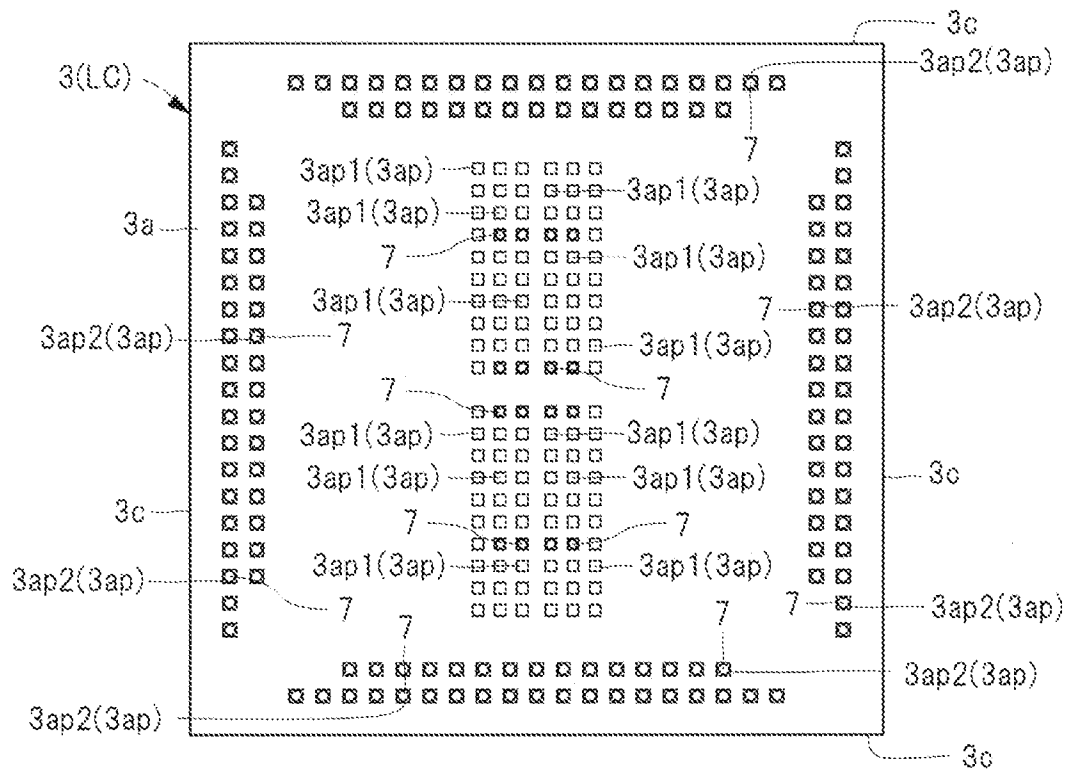
[図7]

図 7



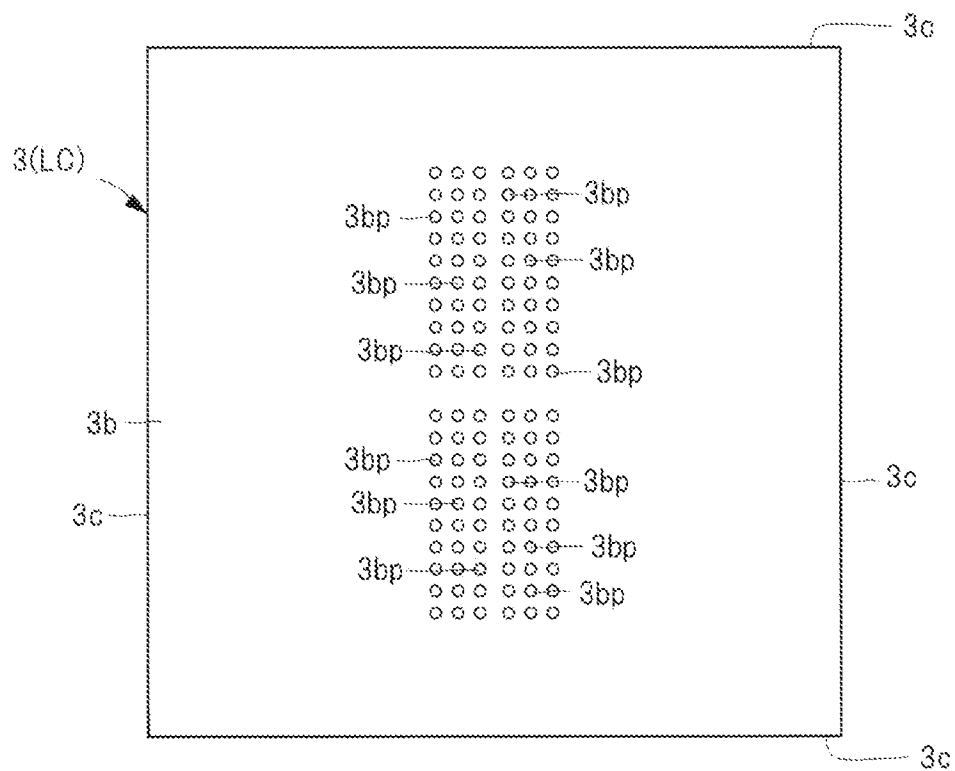
[図8]

図 8

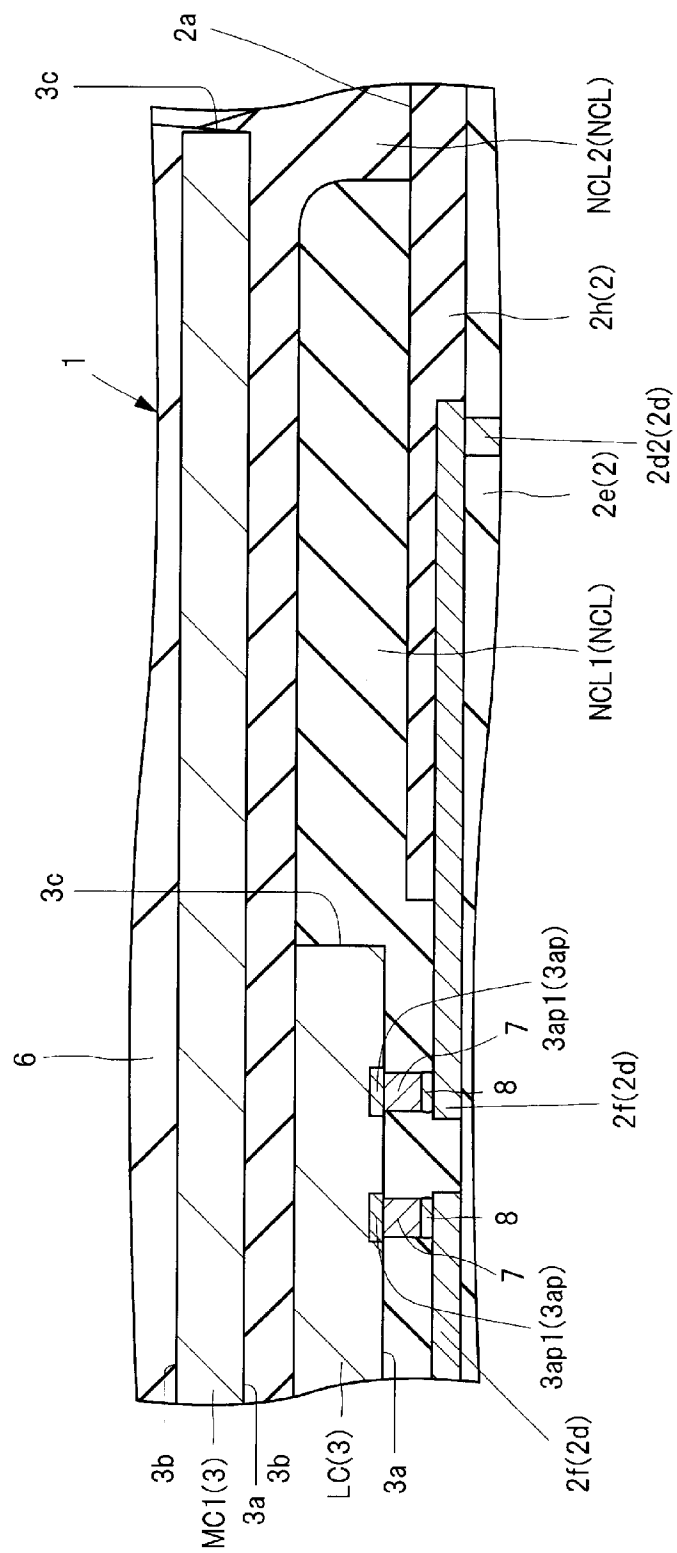


[図9]

図 9

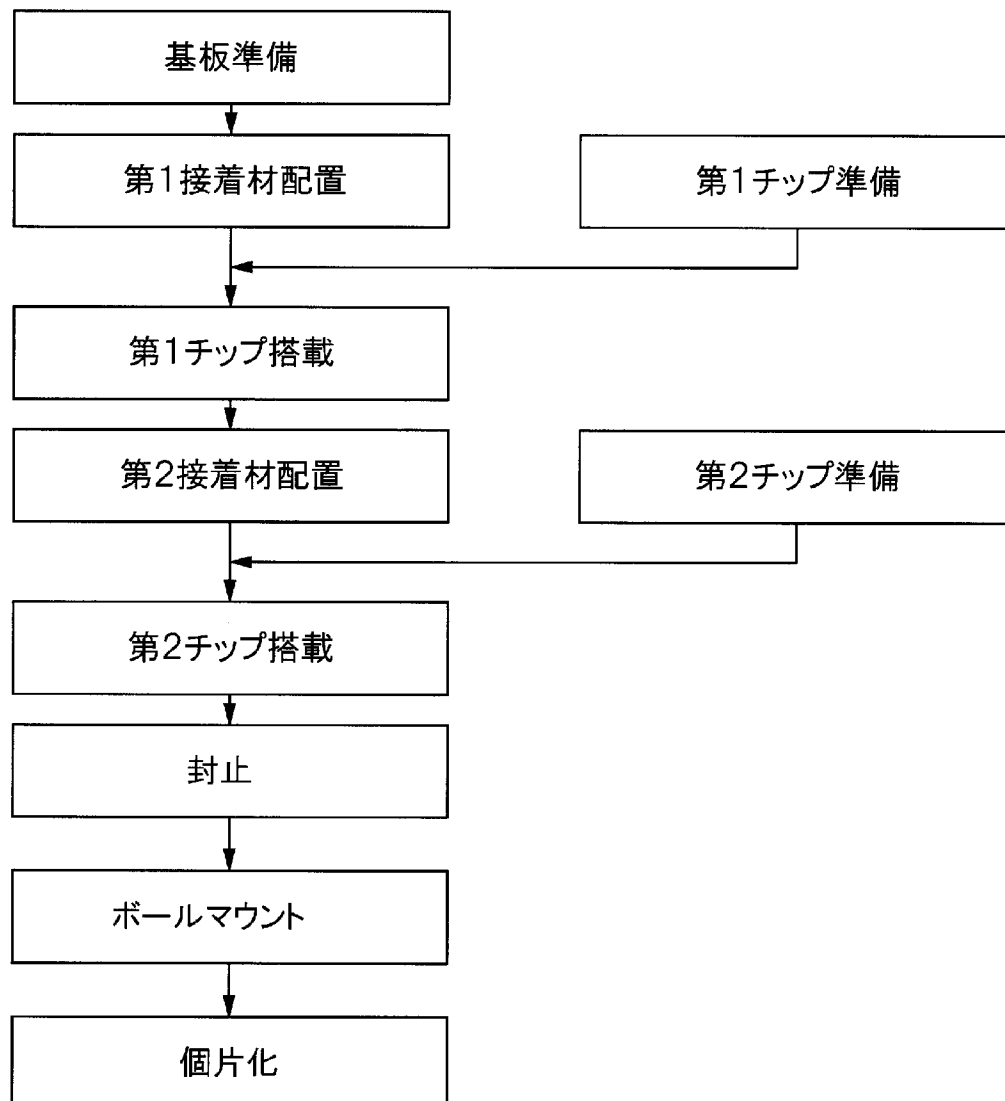


10



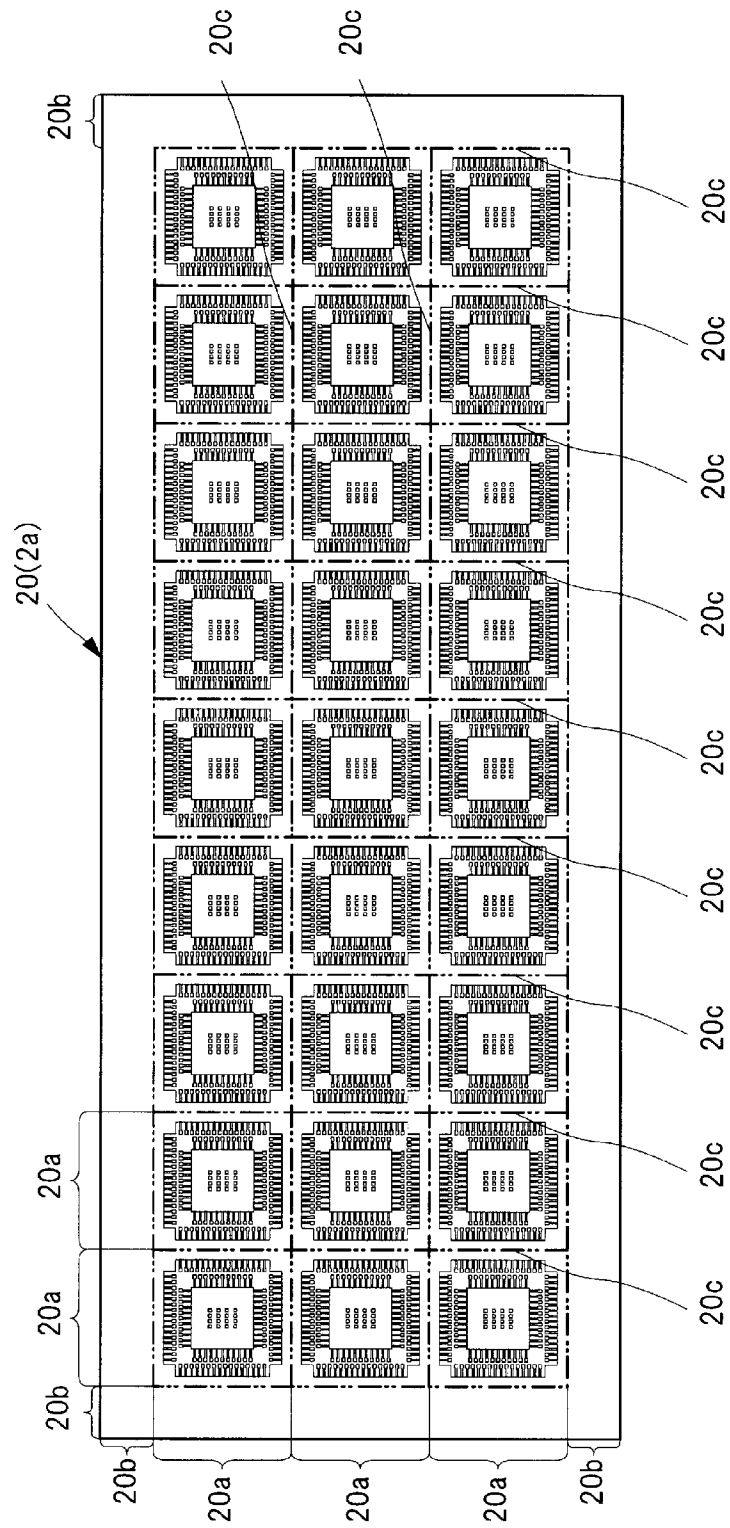
[図11]

図 11



[図12]

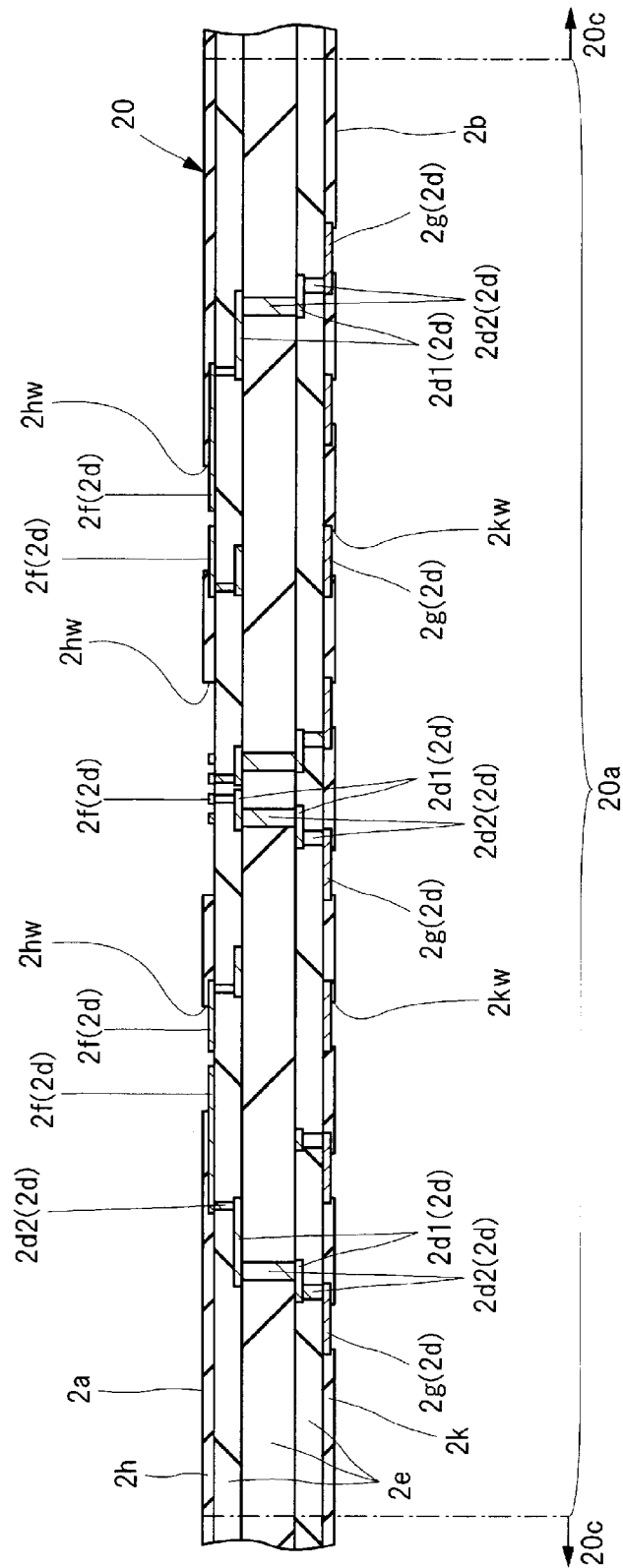
図 12





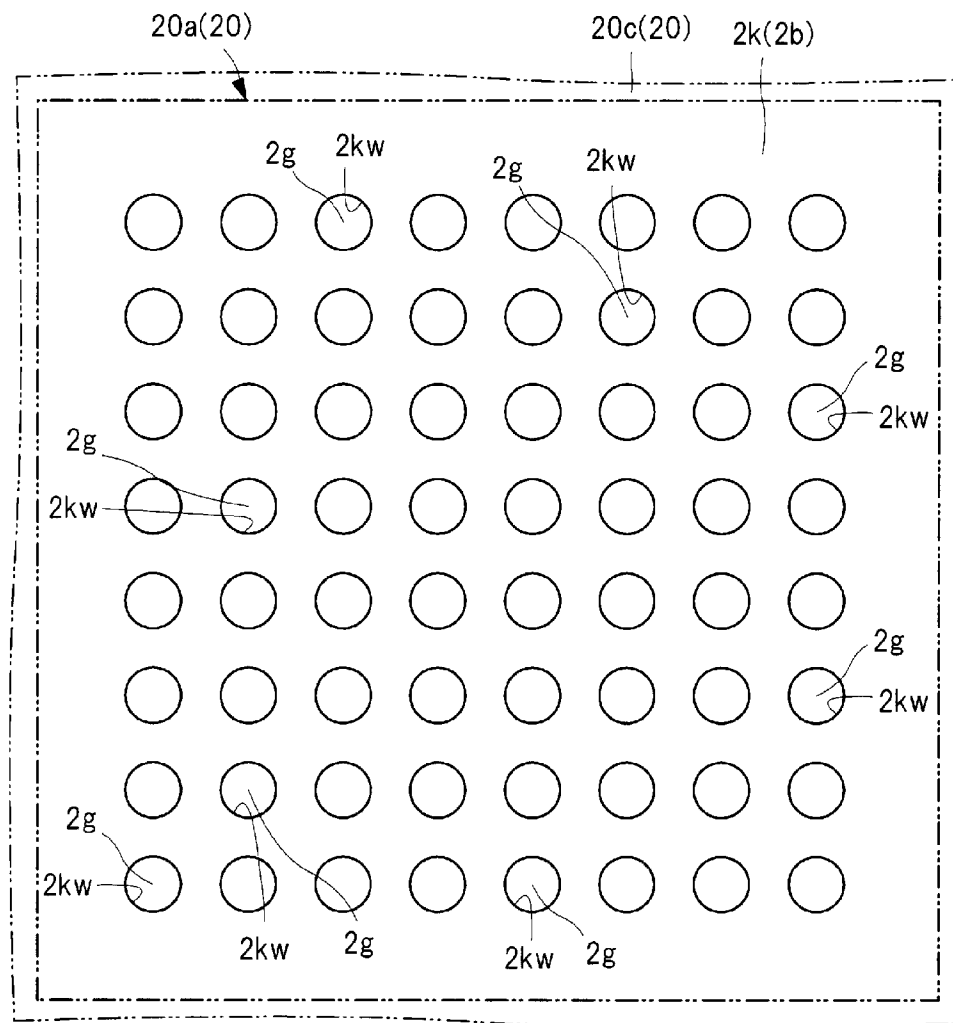
[図14]

図 14



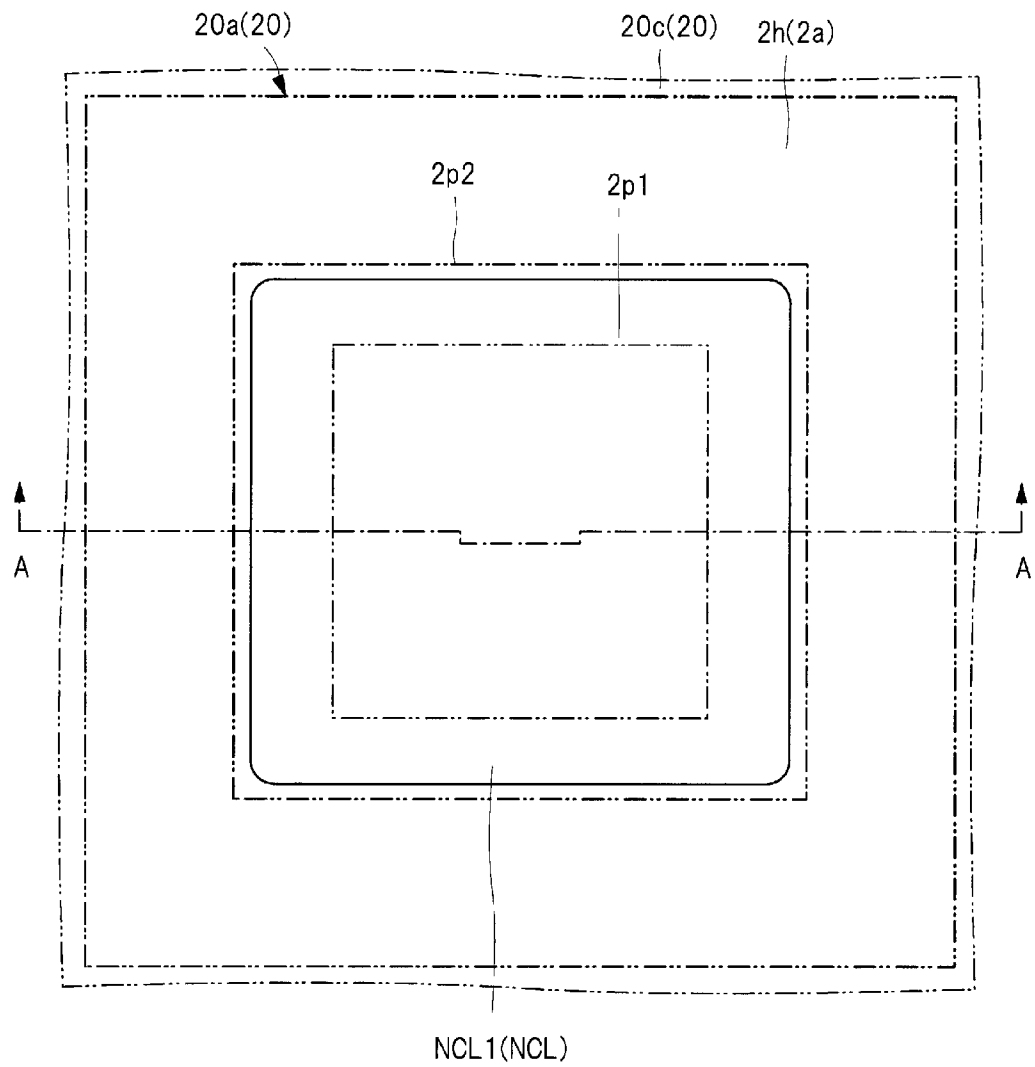
[図15]

図 15

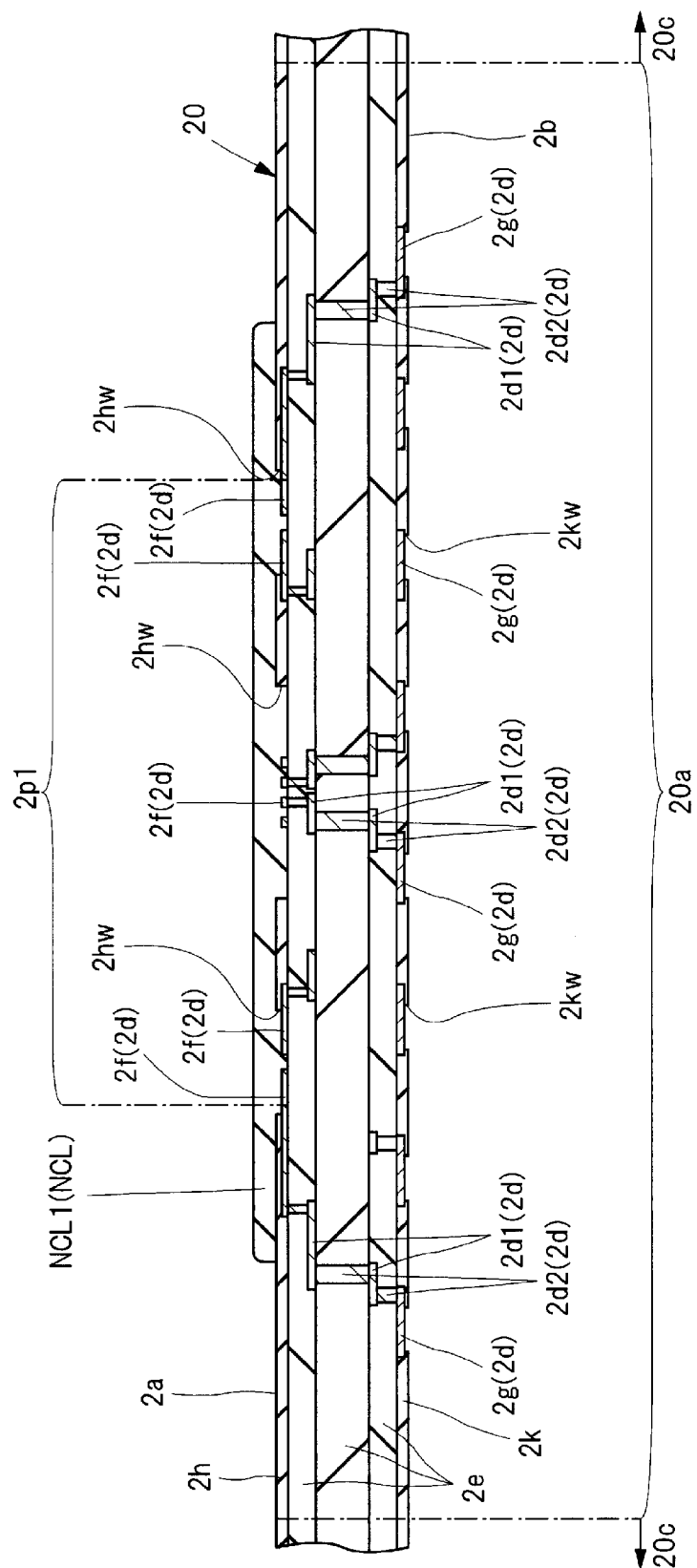


[図16]

図 16

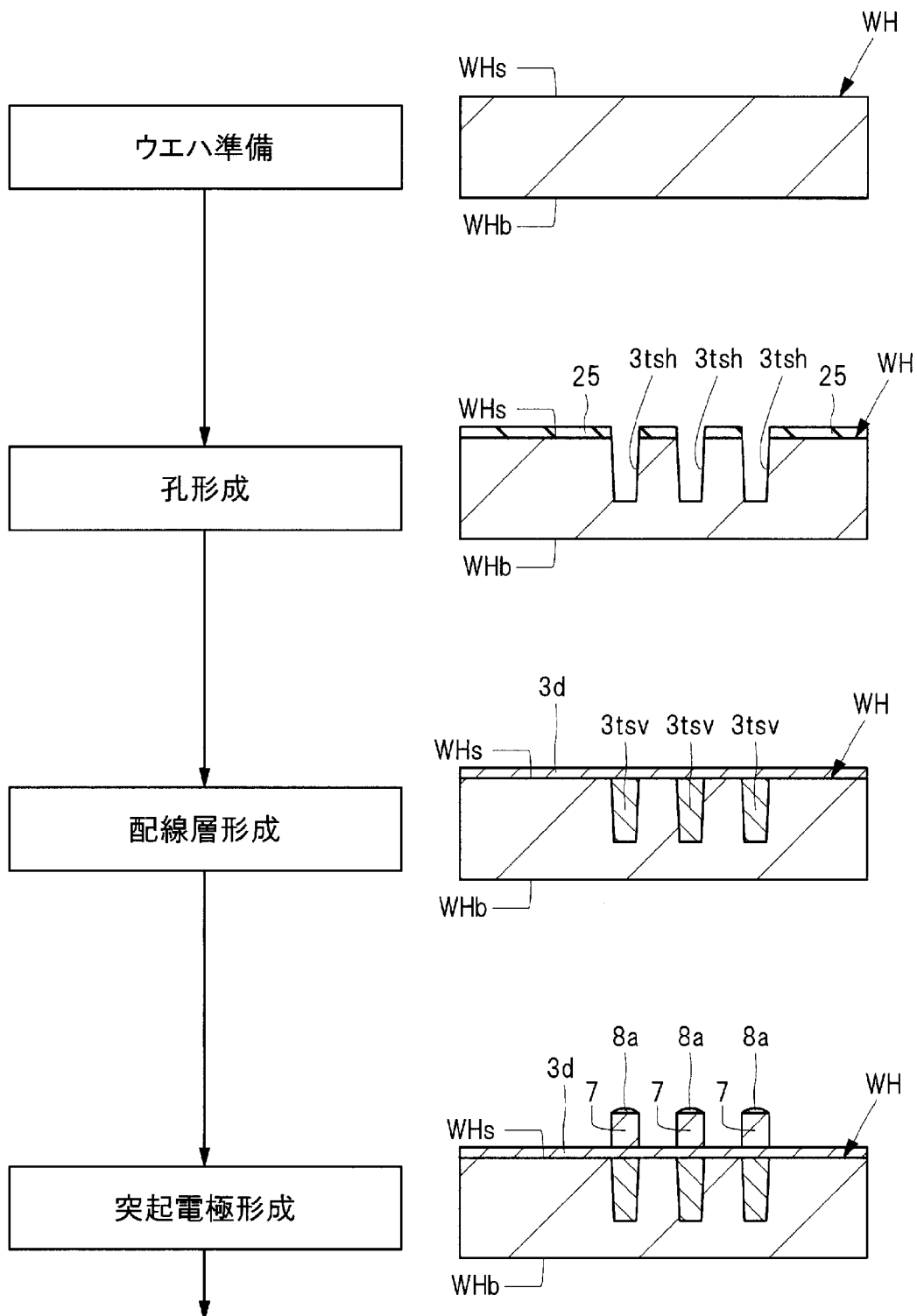


17



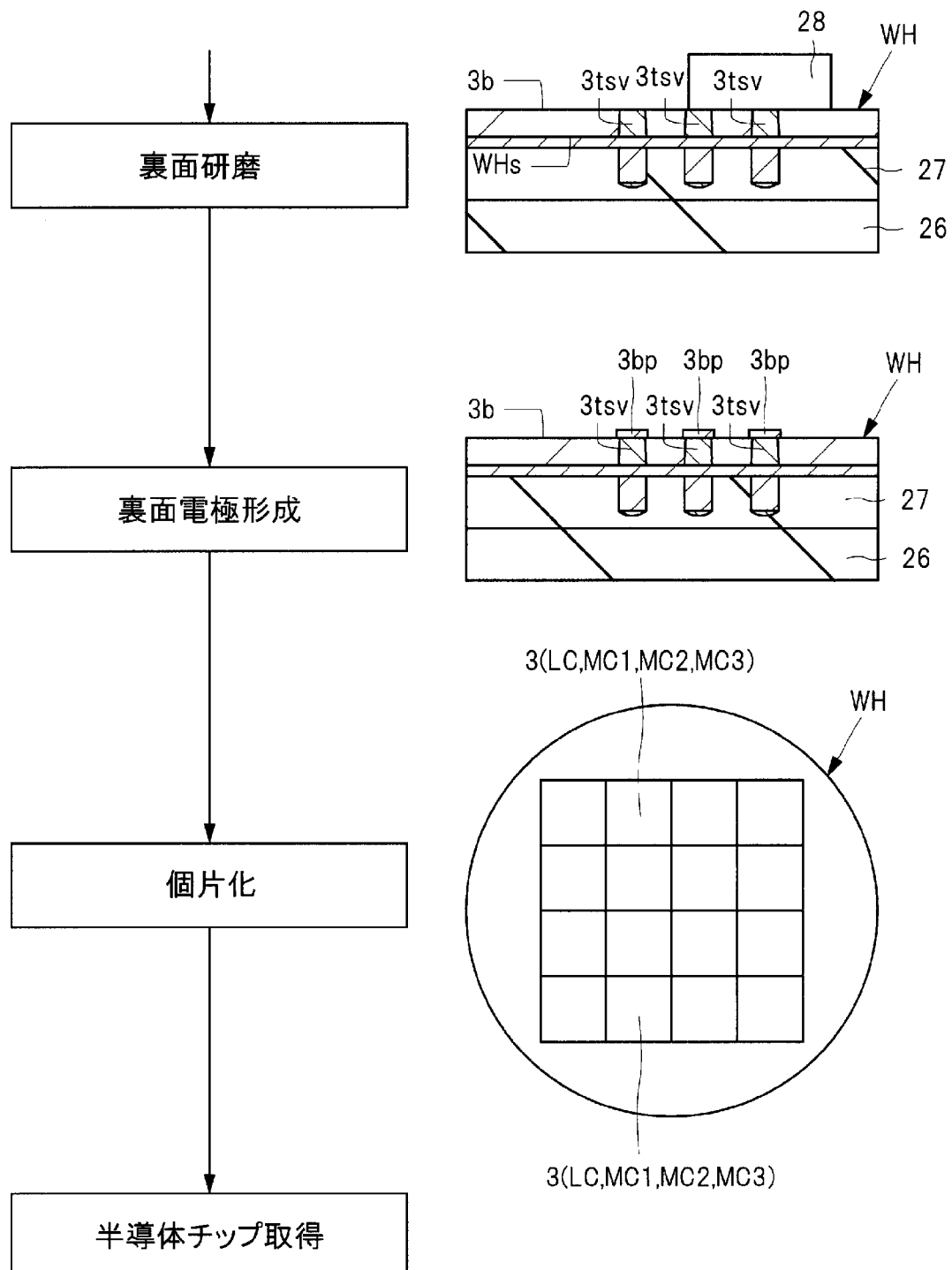
[図18]

図 18



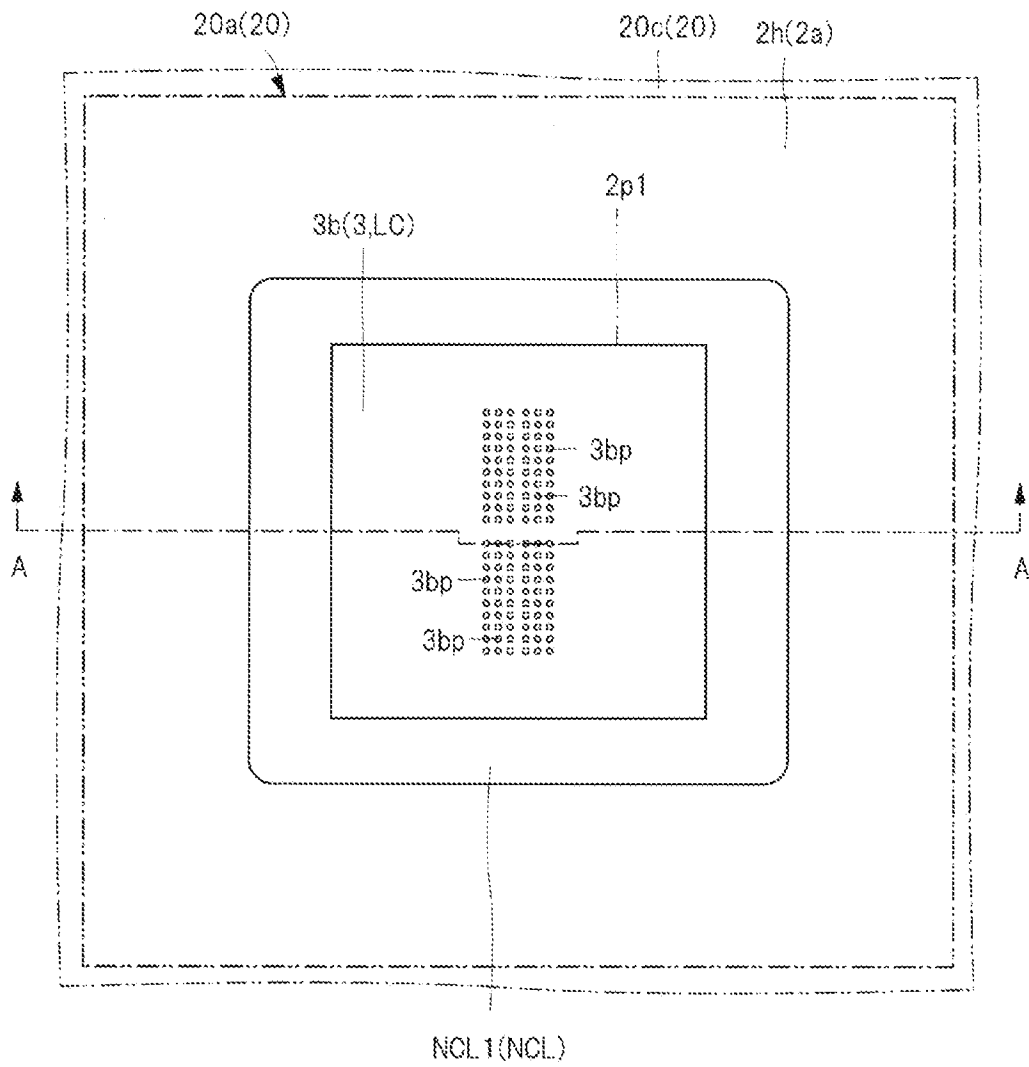
[図19]

図 19

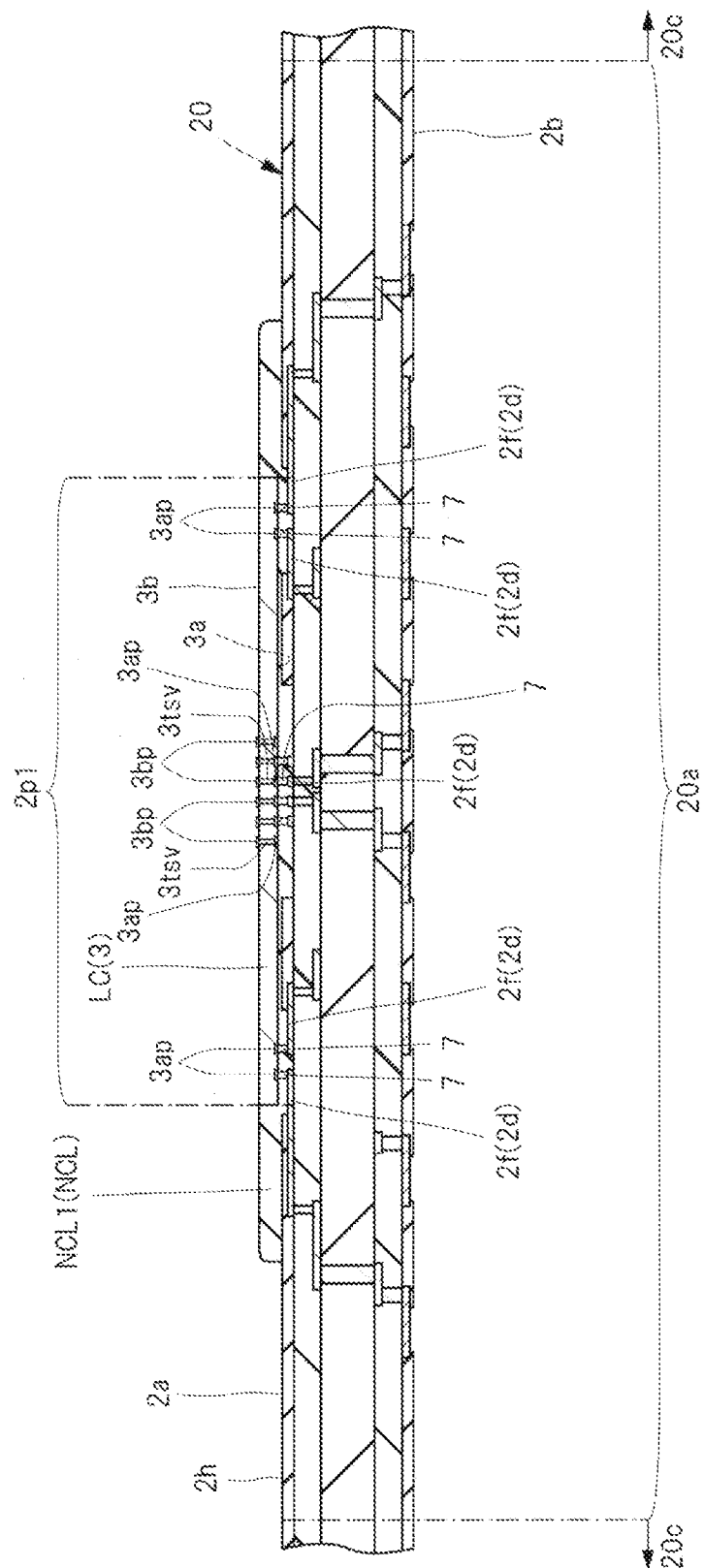


[図20]

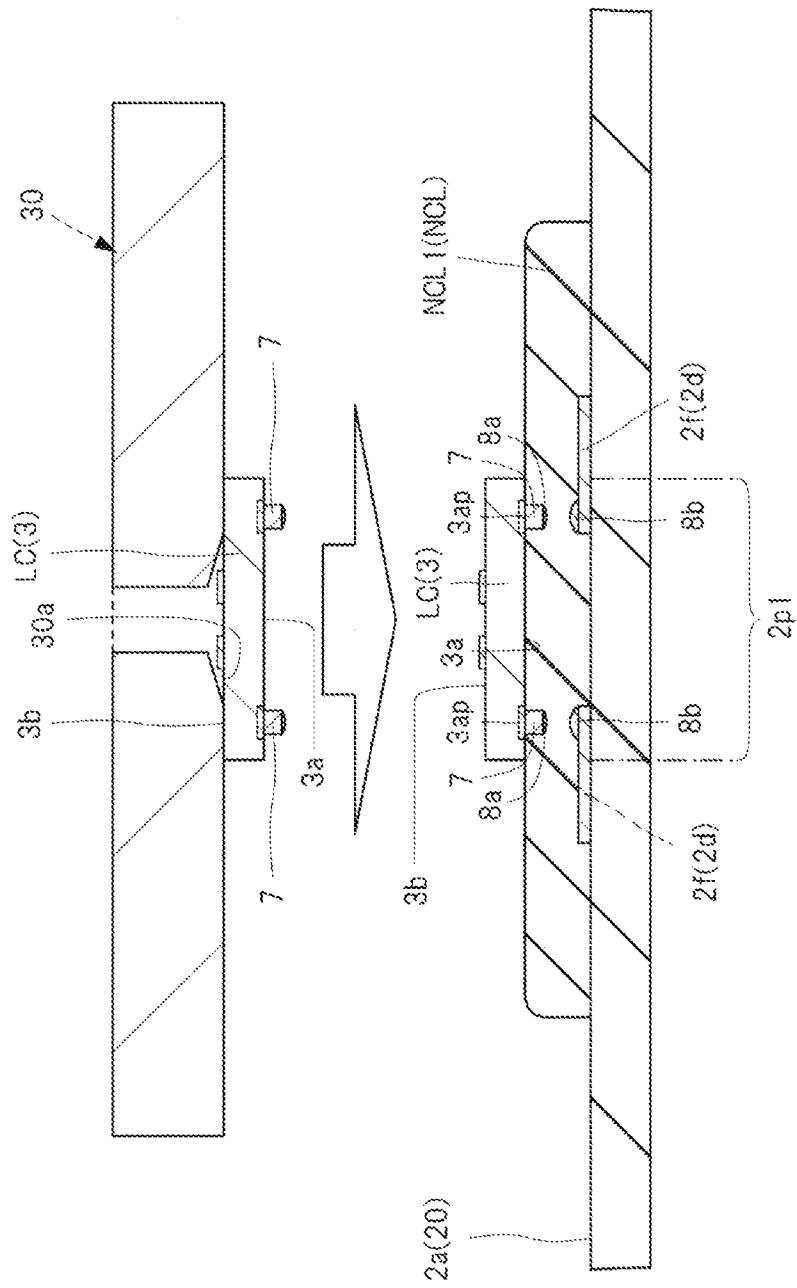
20



2

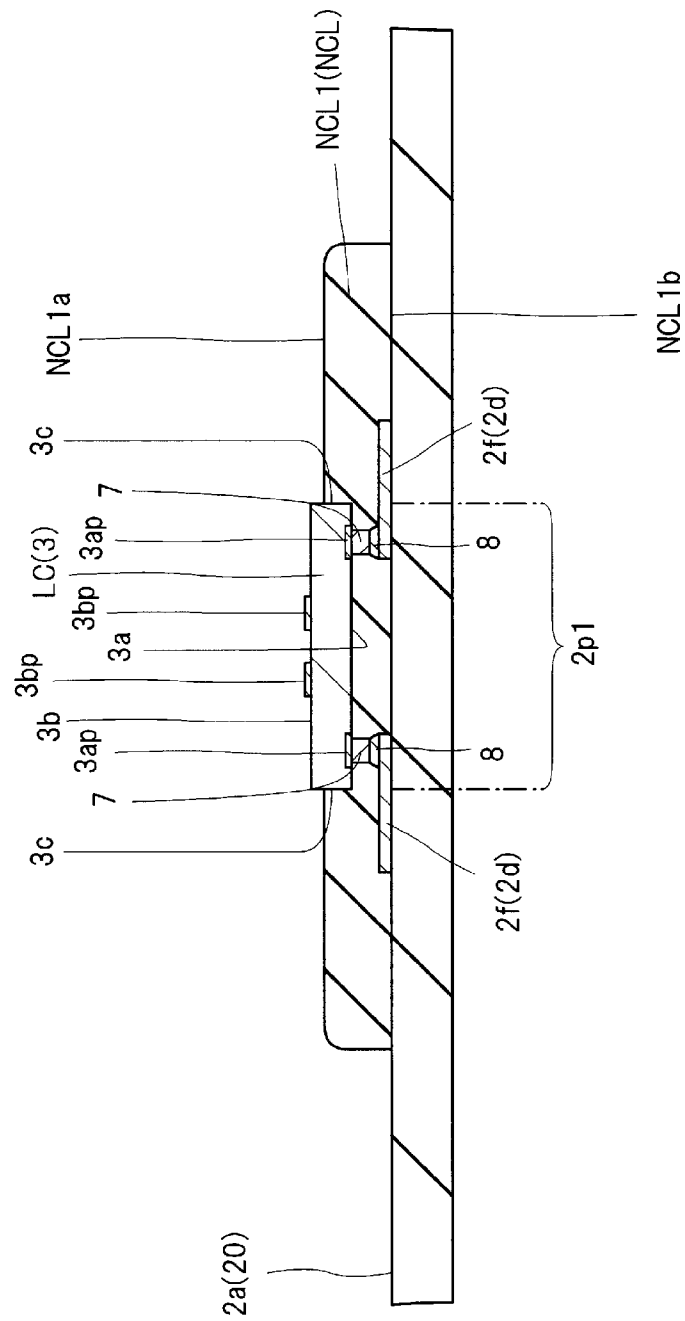


22



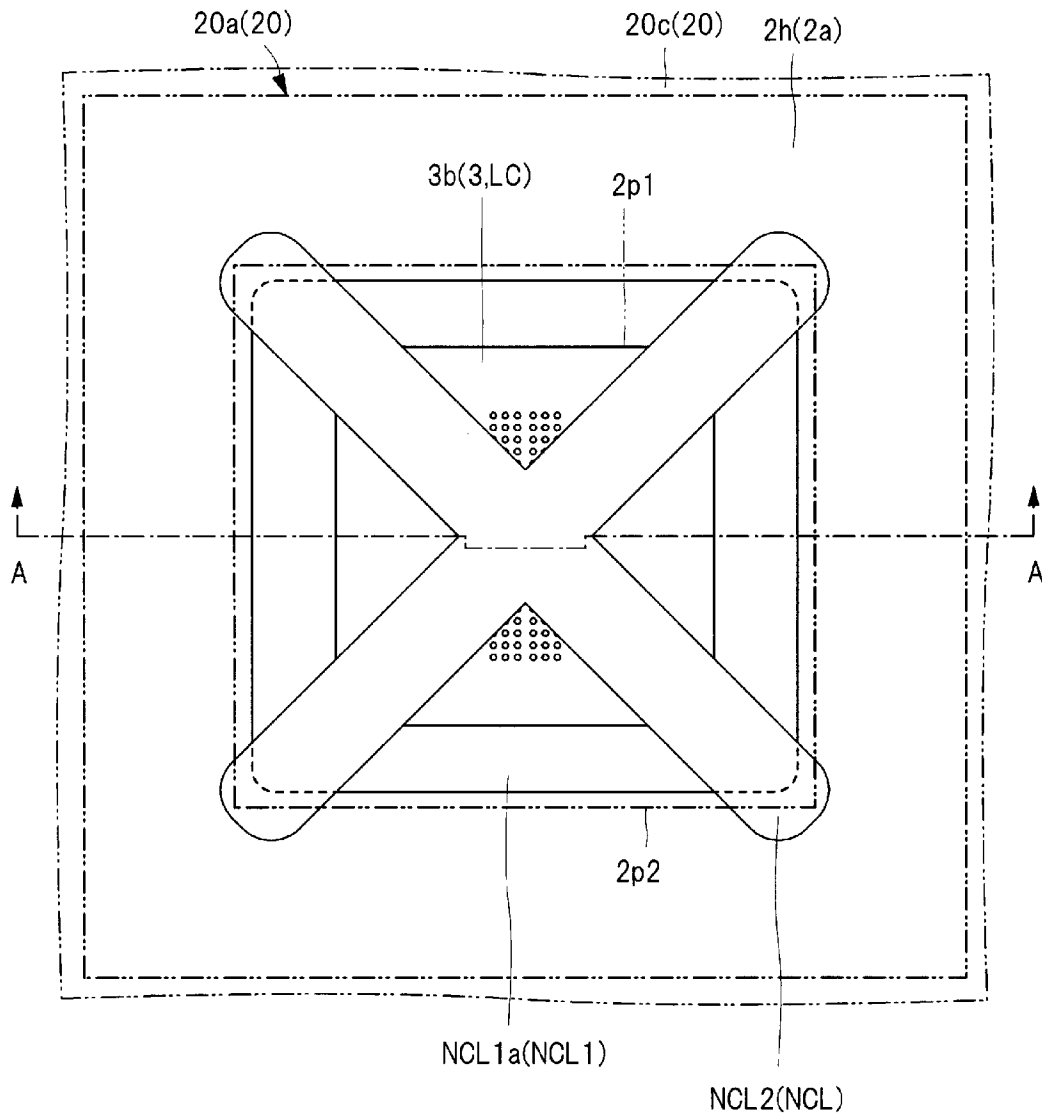


24



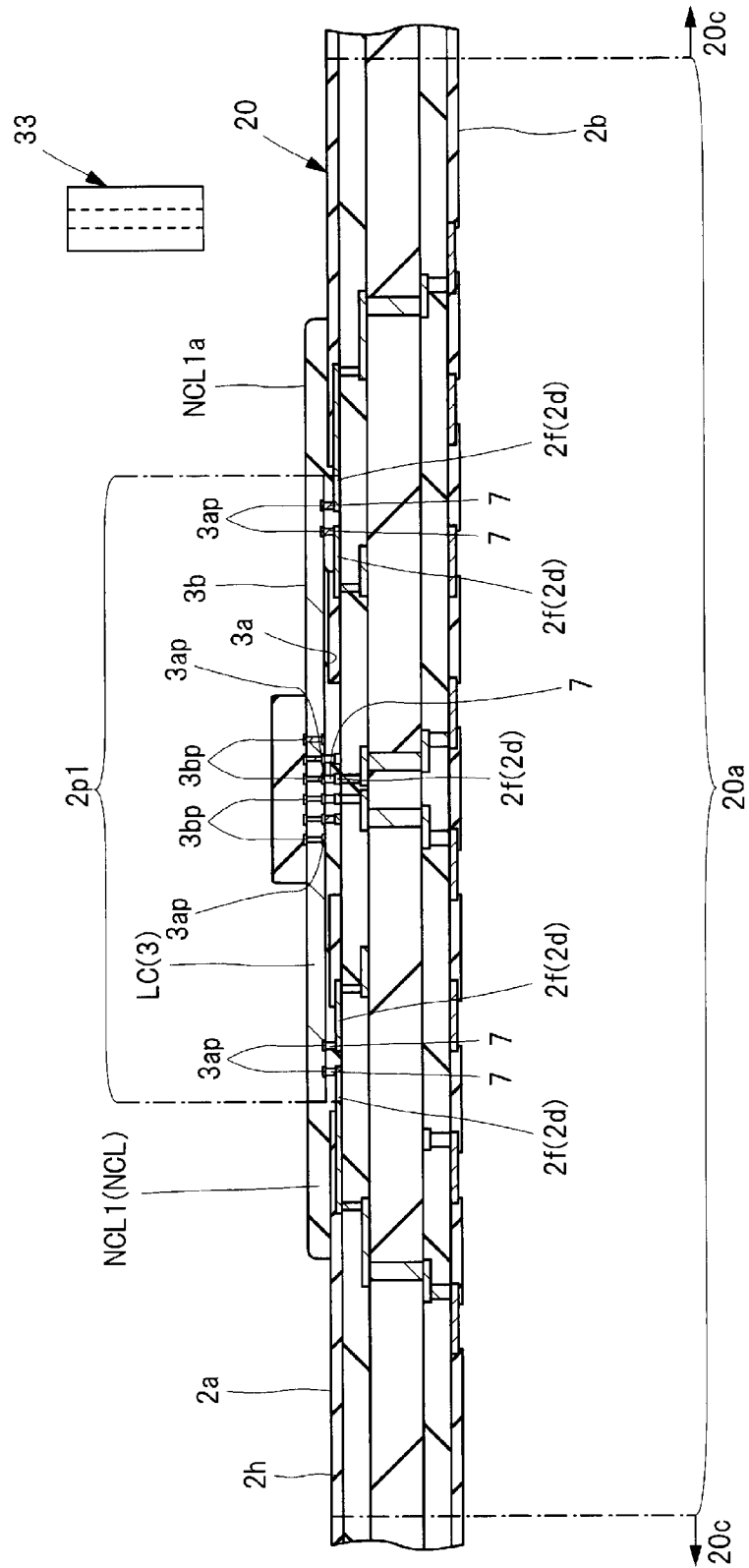
[図25]

図 25



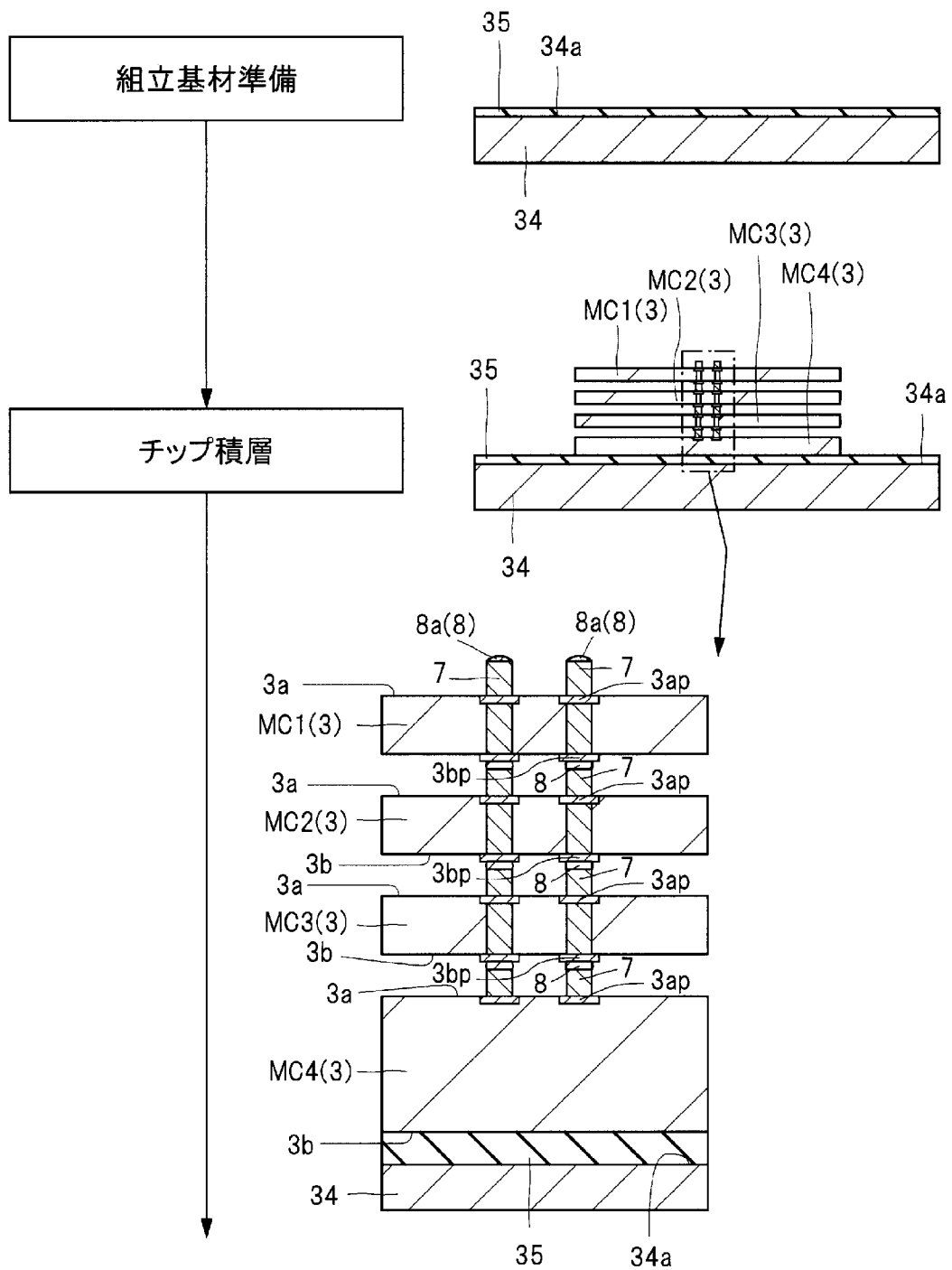
[図26]

図 26



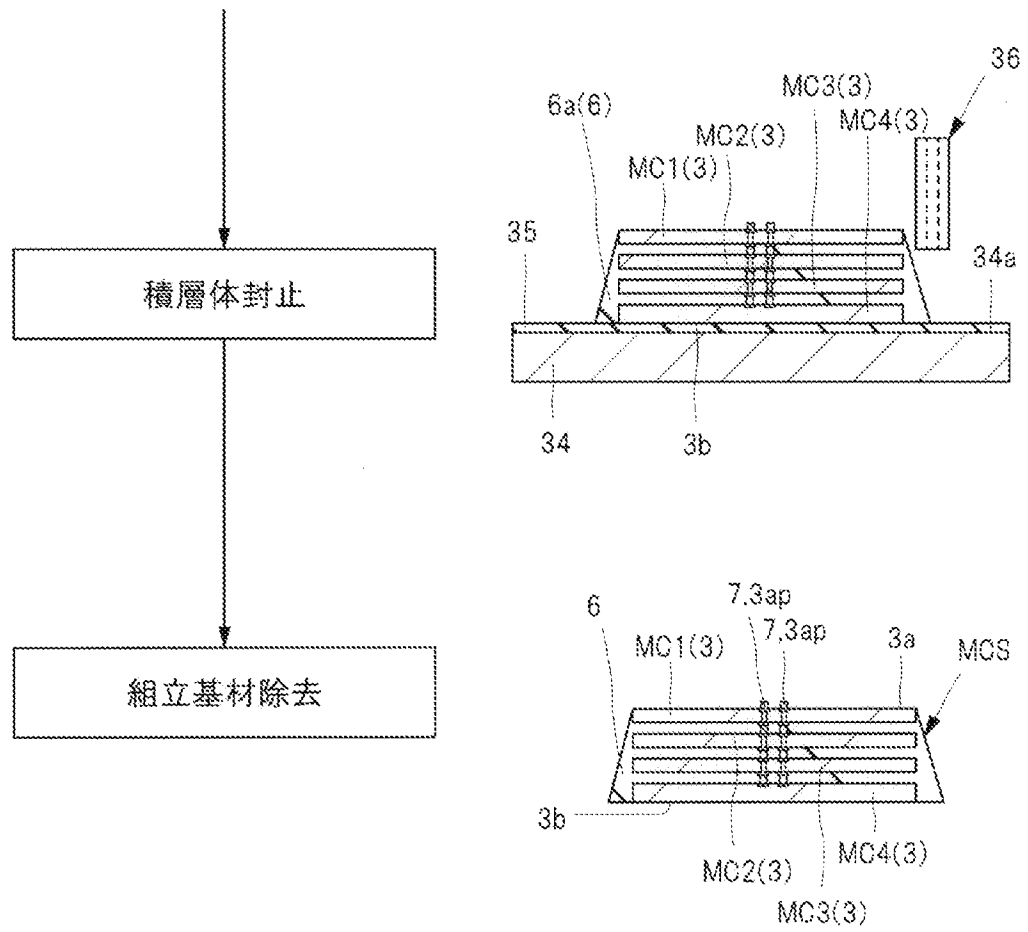
[図27]

図 27



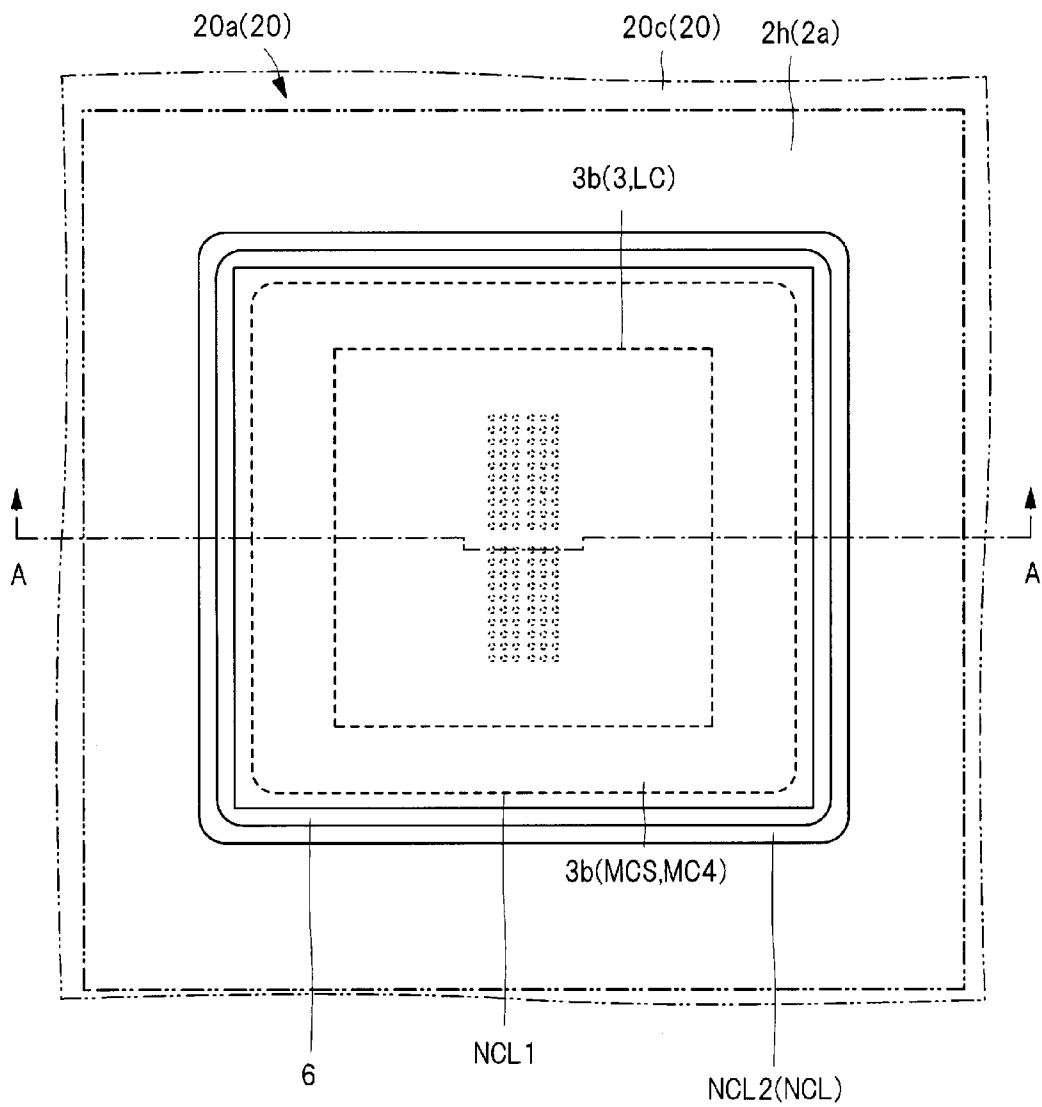
[図28]

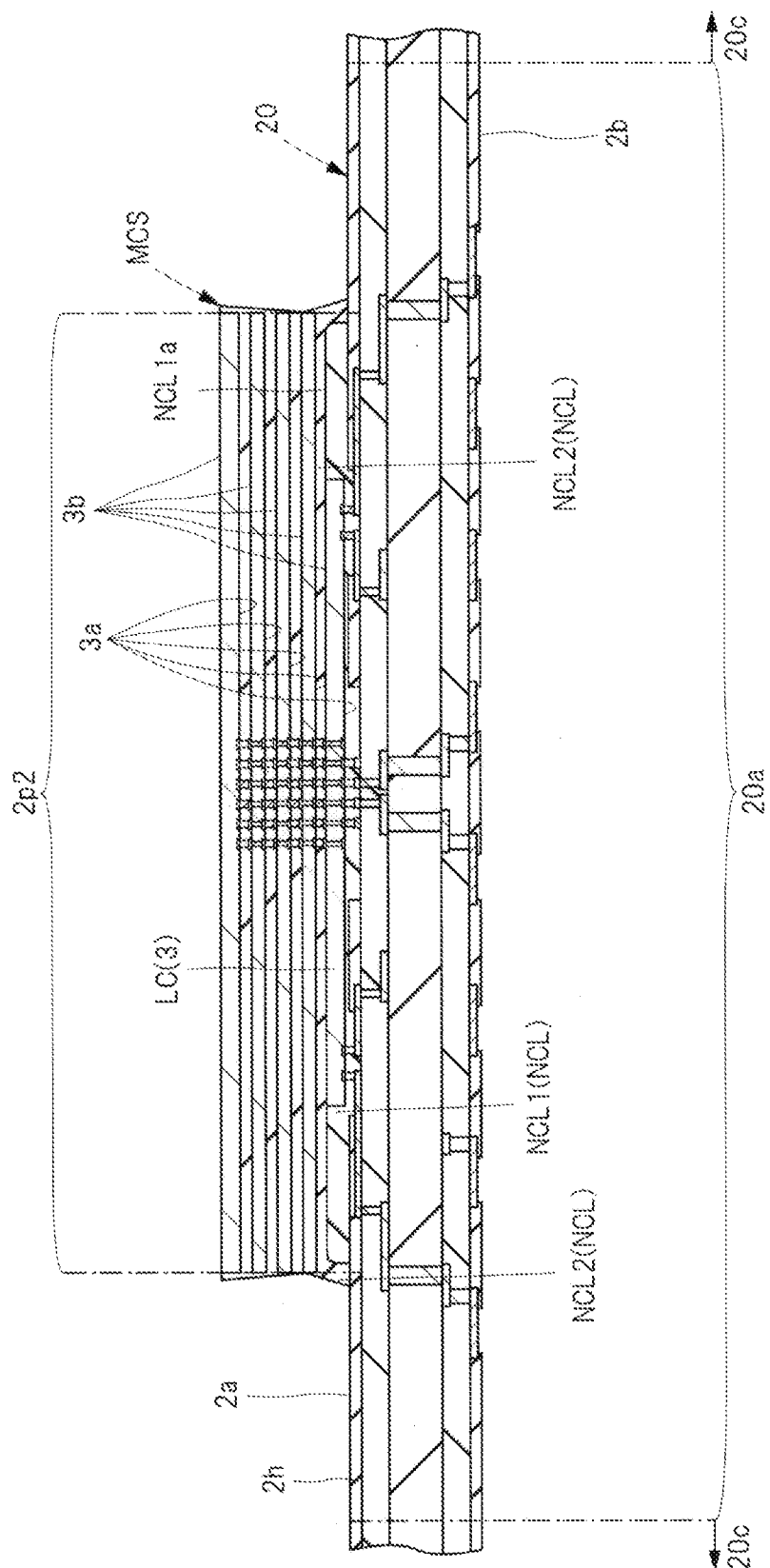
28



[図29]

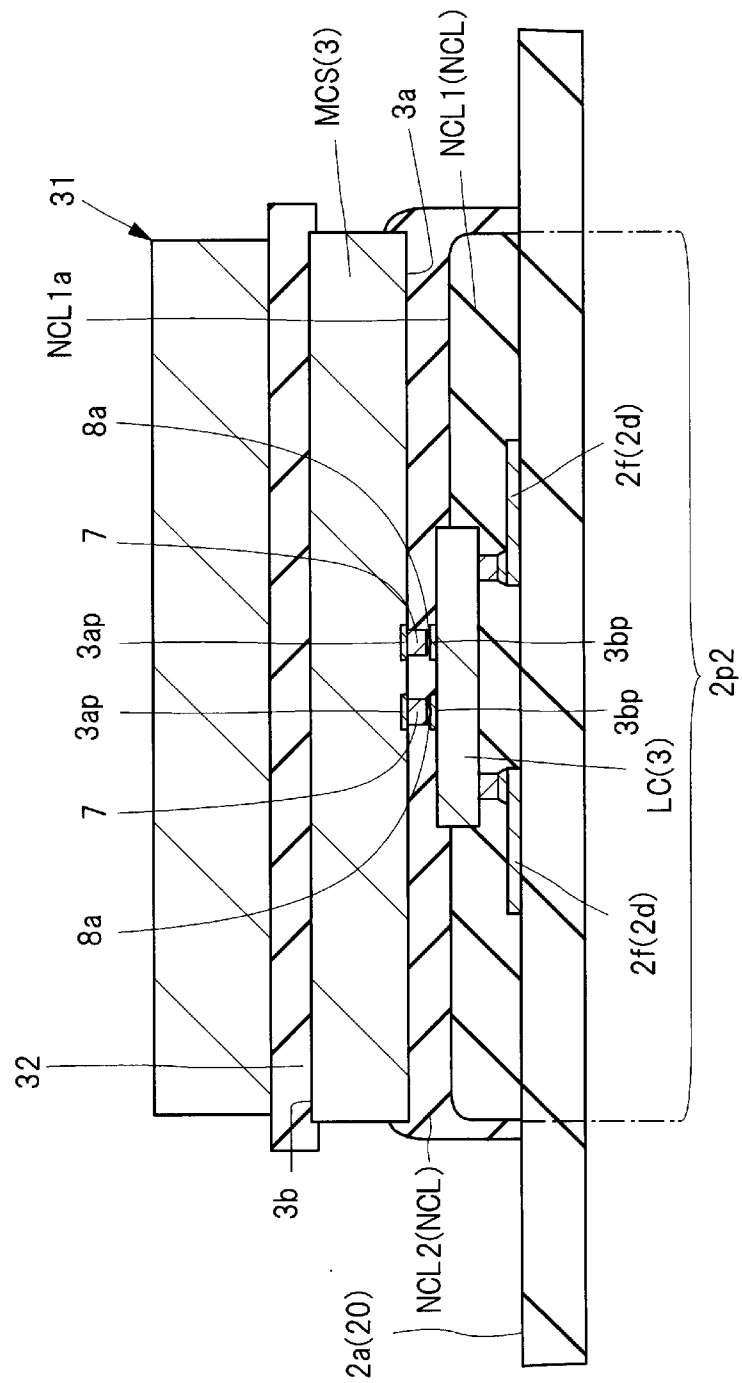
図 29





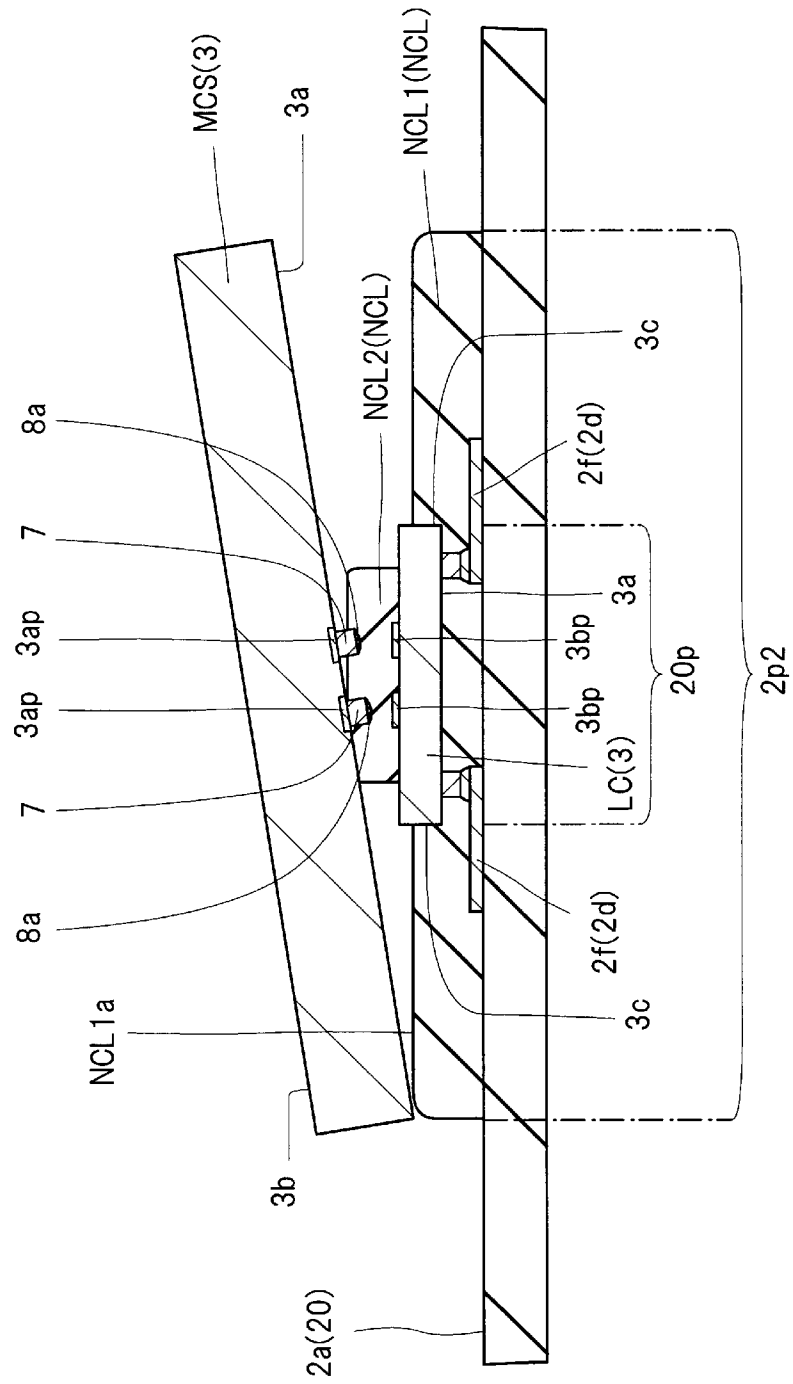


32

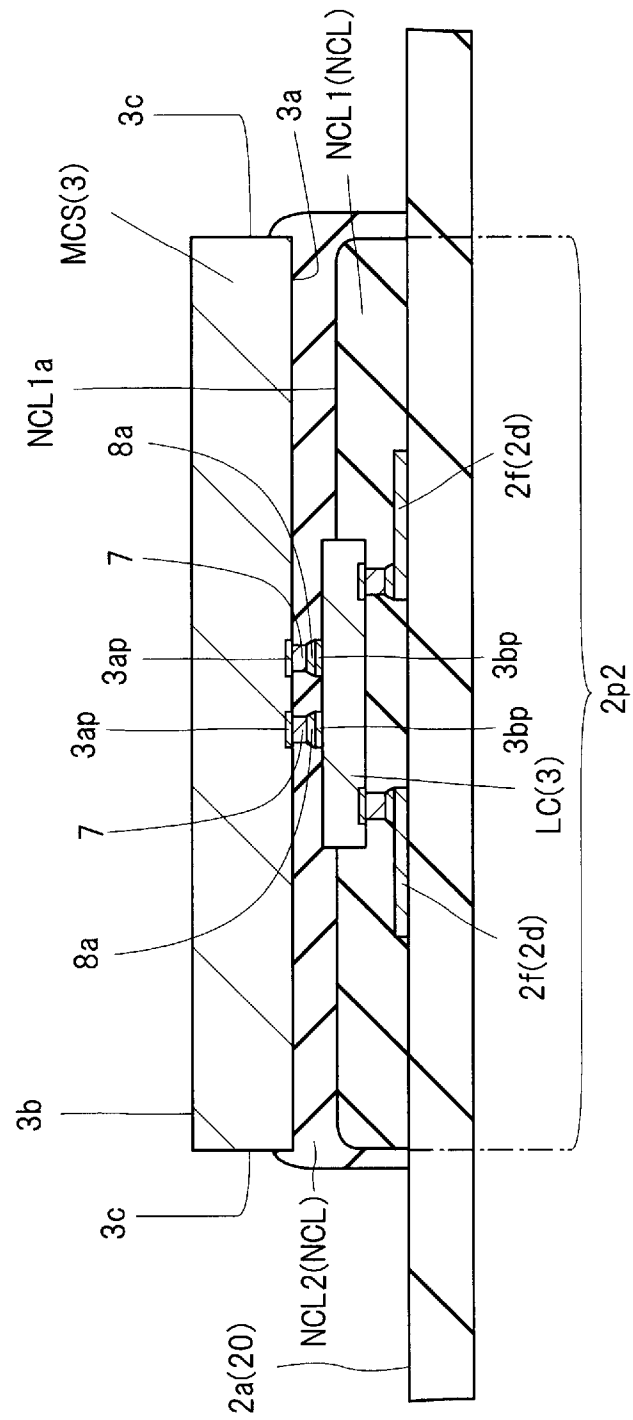


[図33]

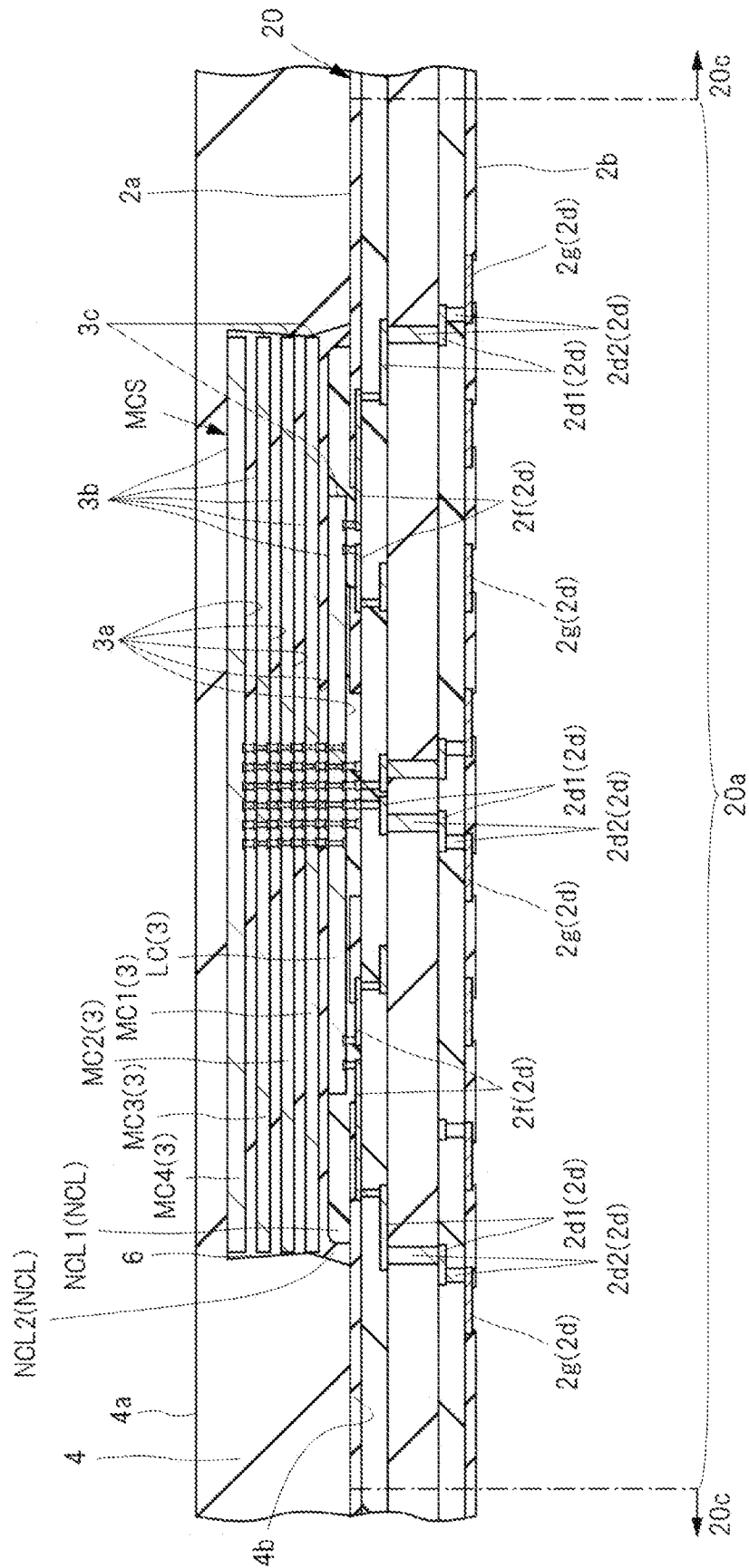
[図] 33



34

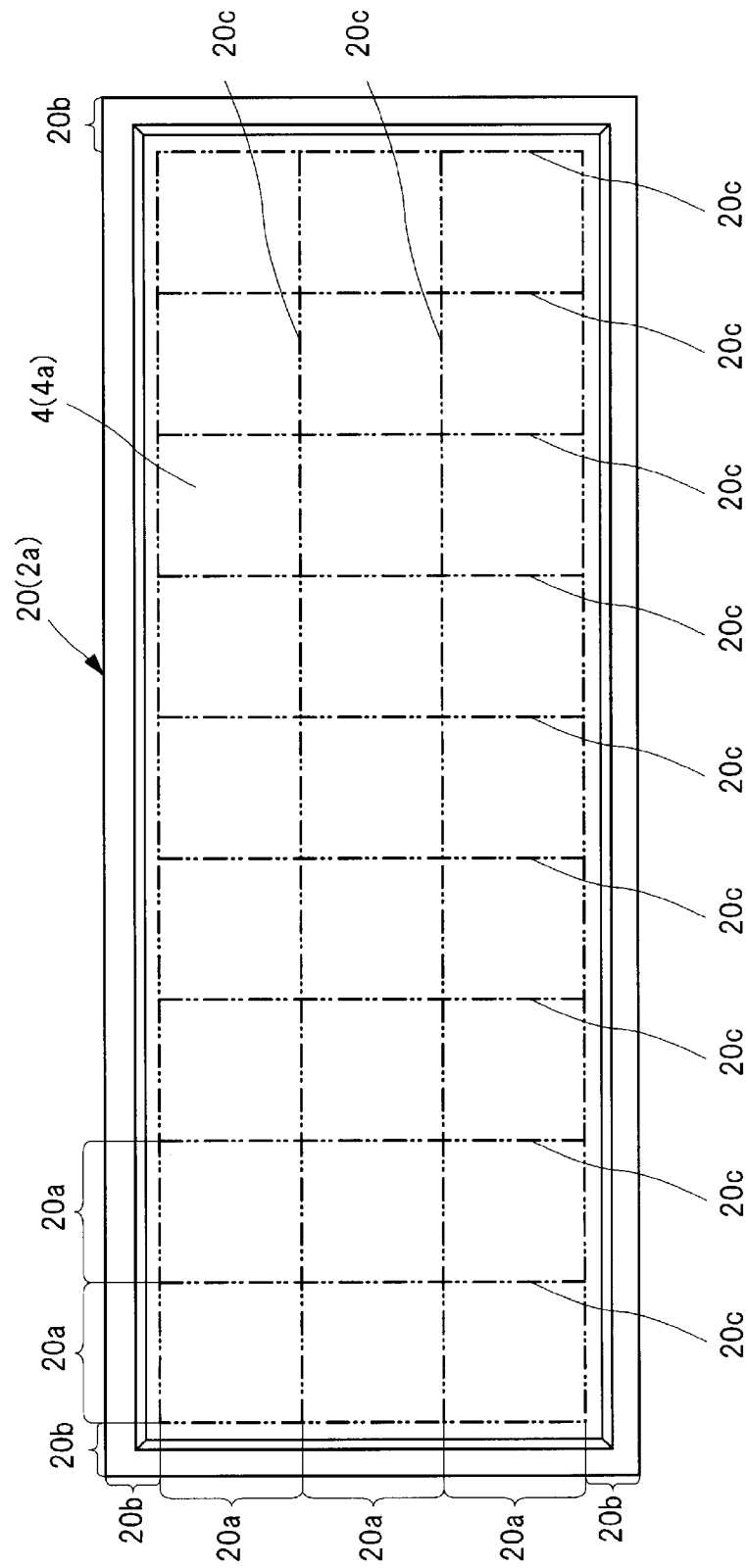


35



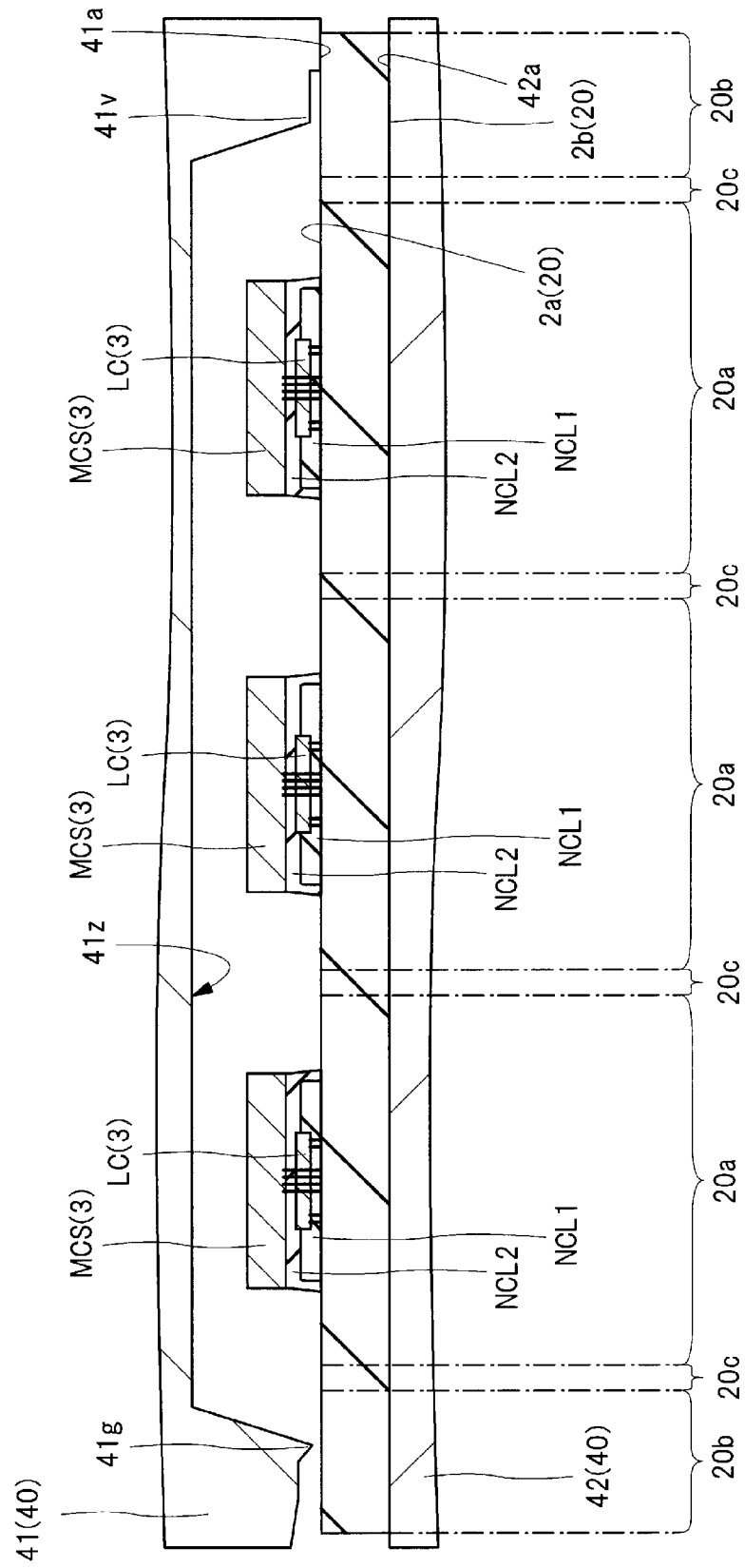
[図36]

36



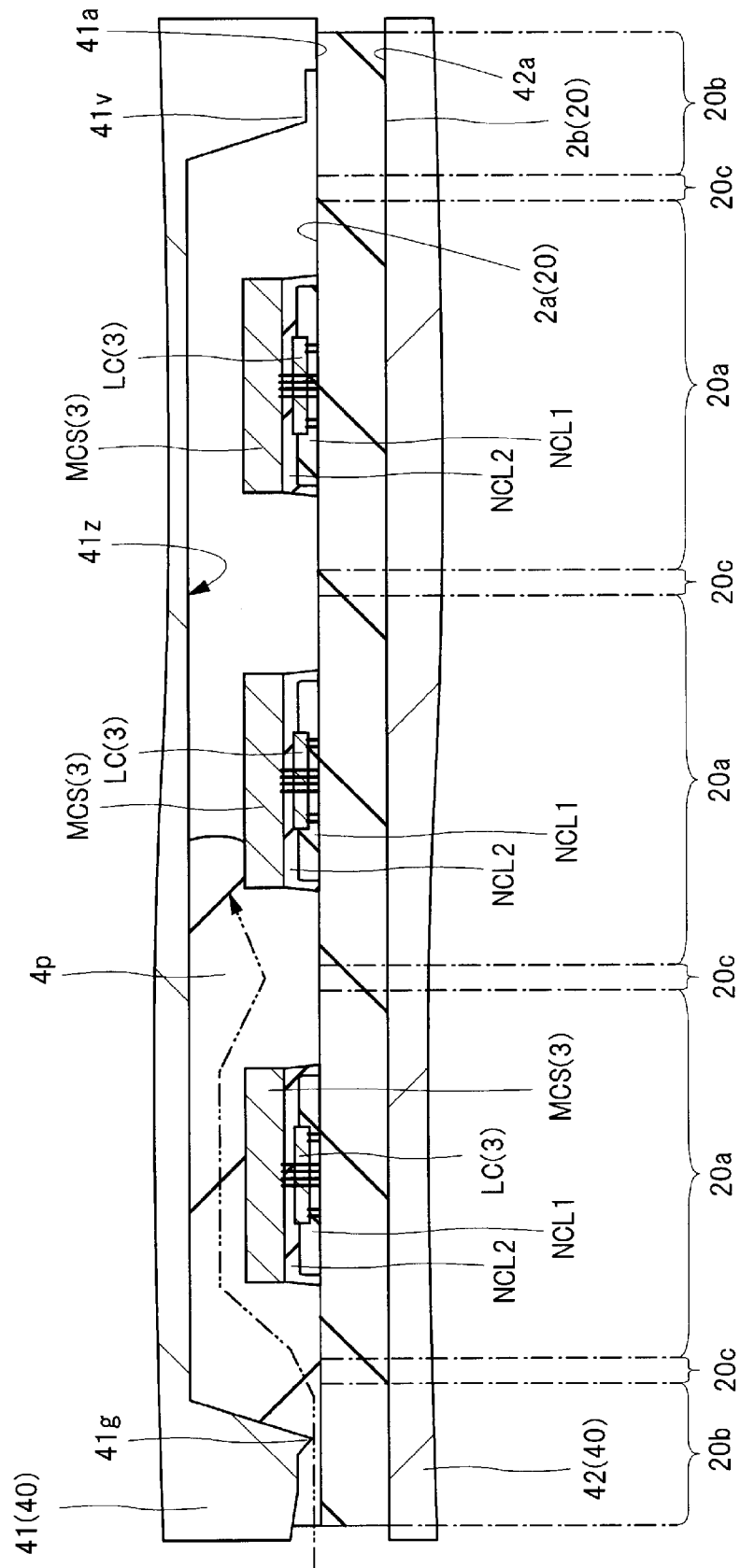
[図37]

図 37



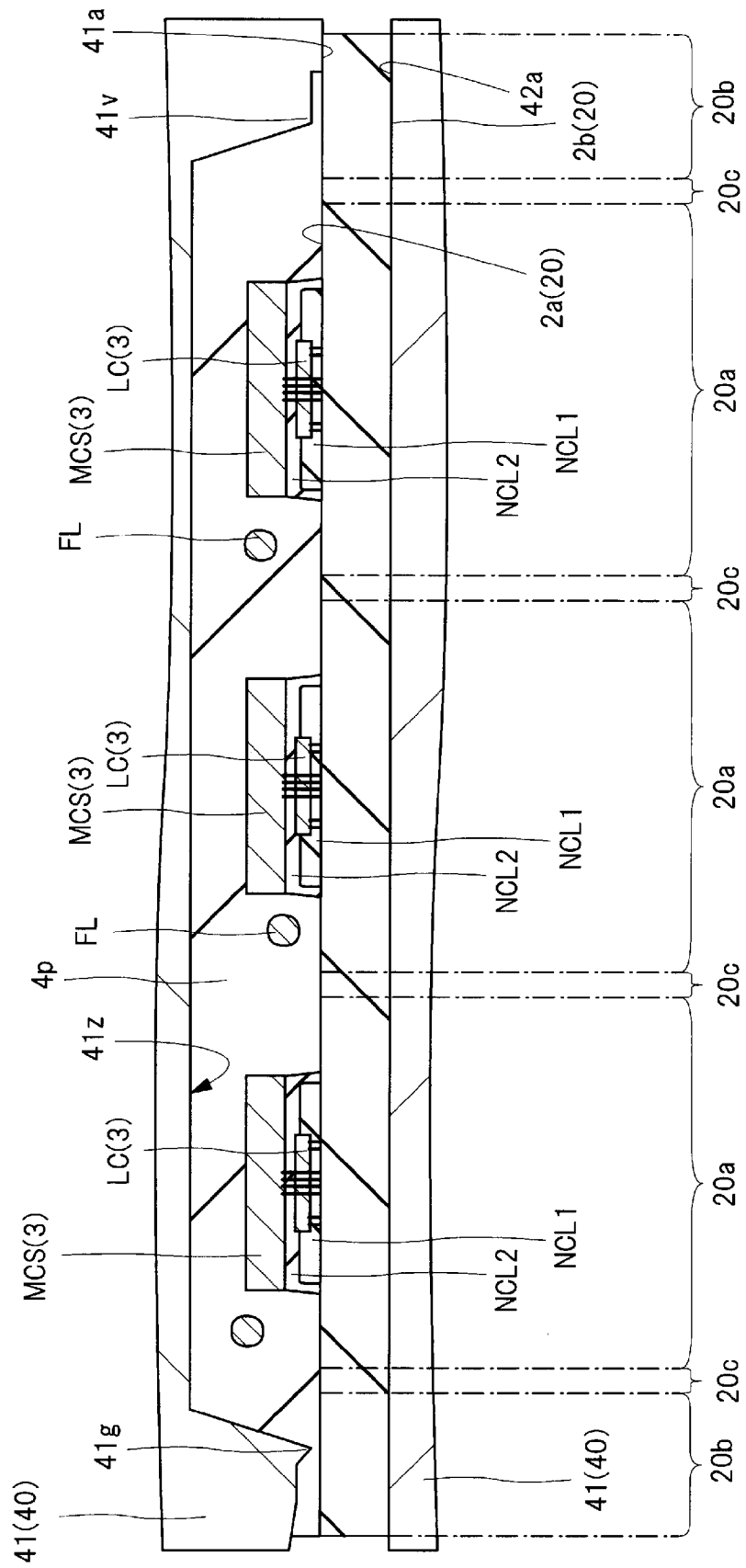
[図38]

図 38



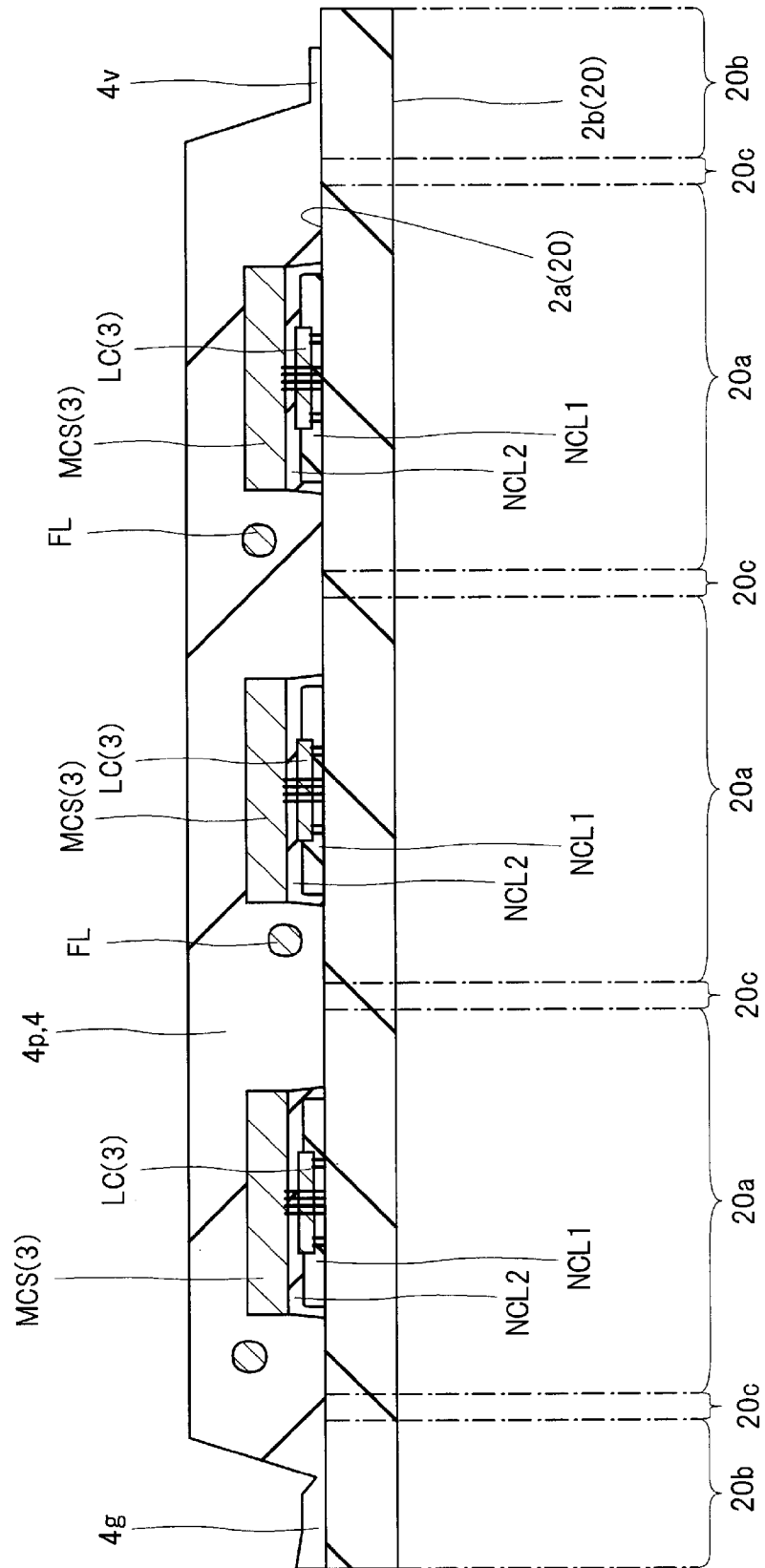
[図39]

図 39

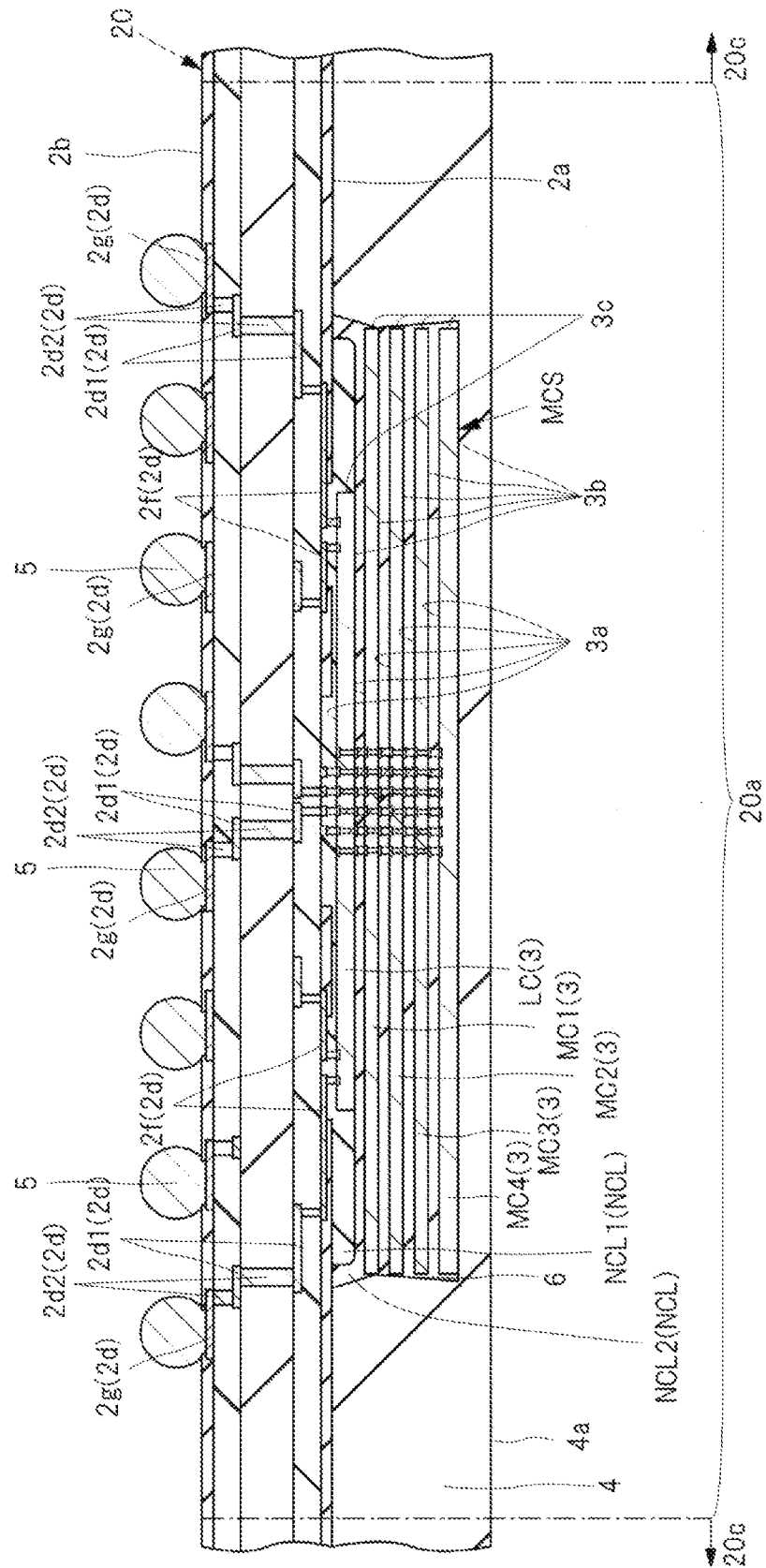


[図40]

40

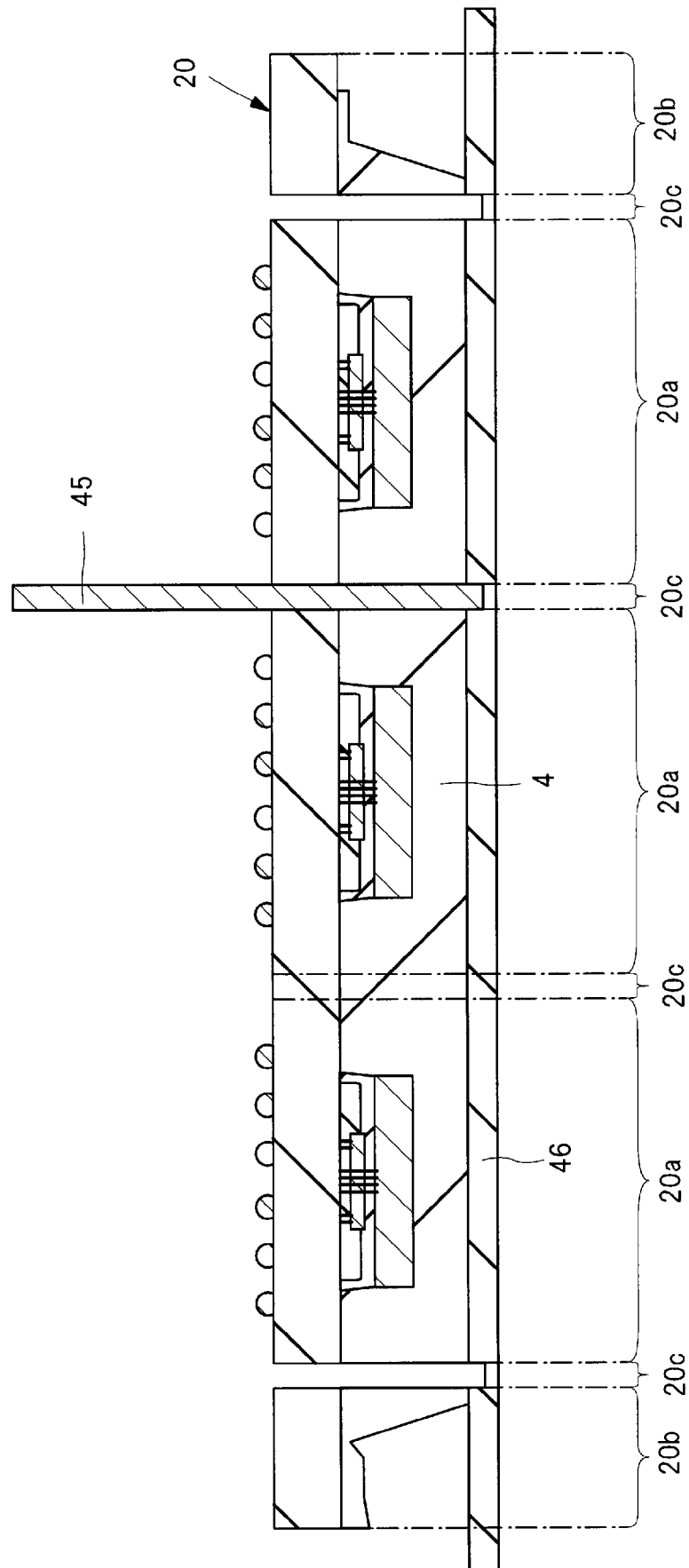


14



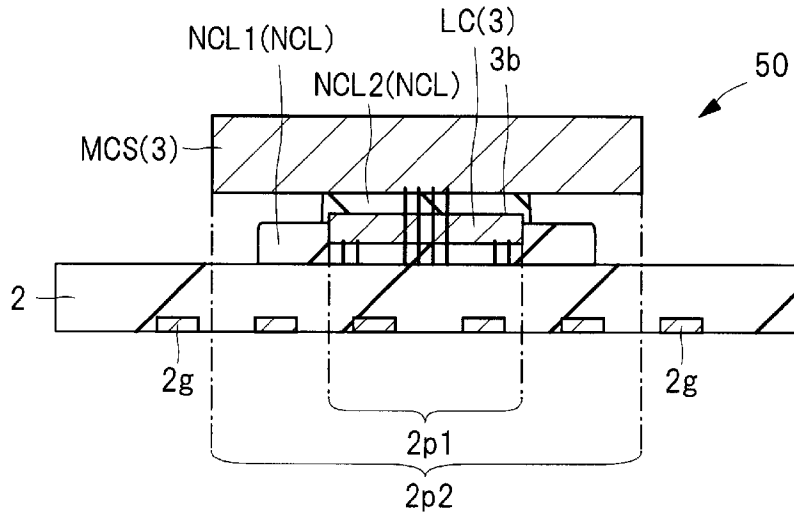
[図42]

42



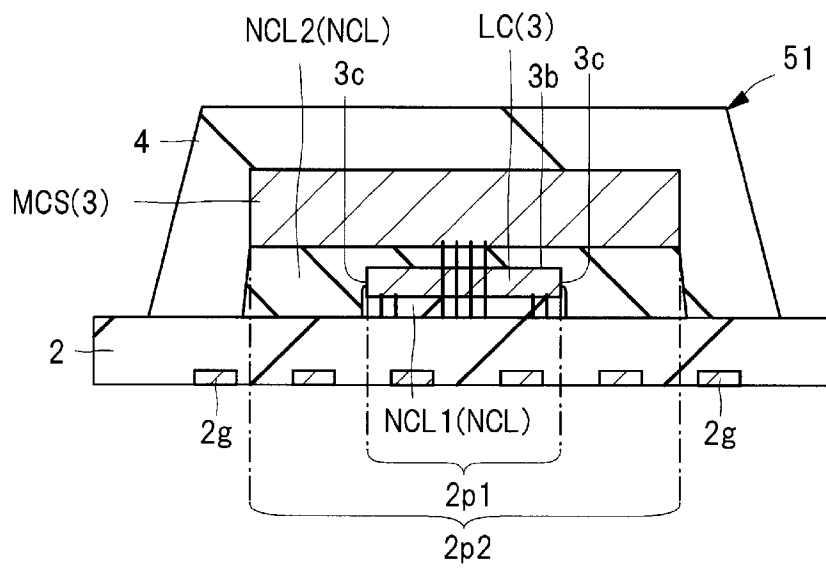
[図43]

図 43



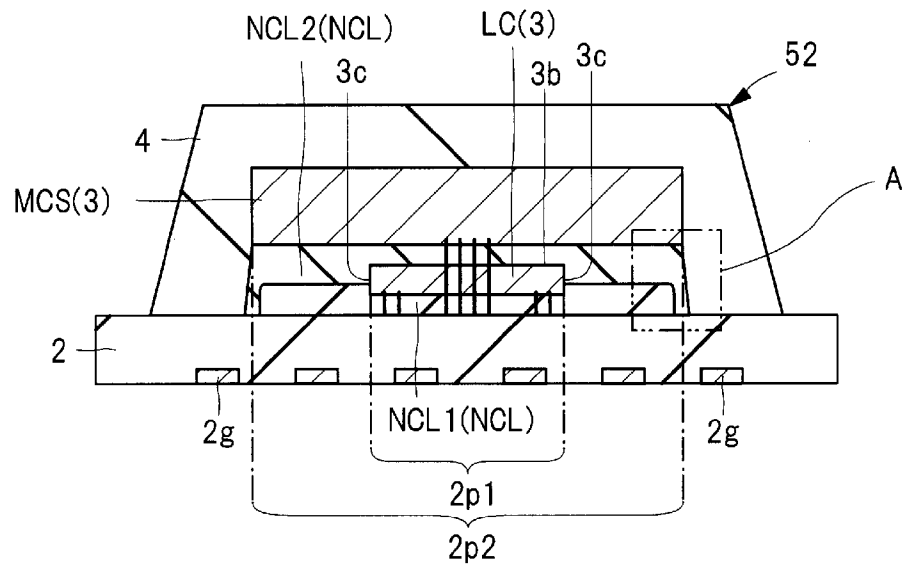
[図44]

図 44



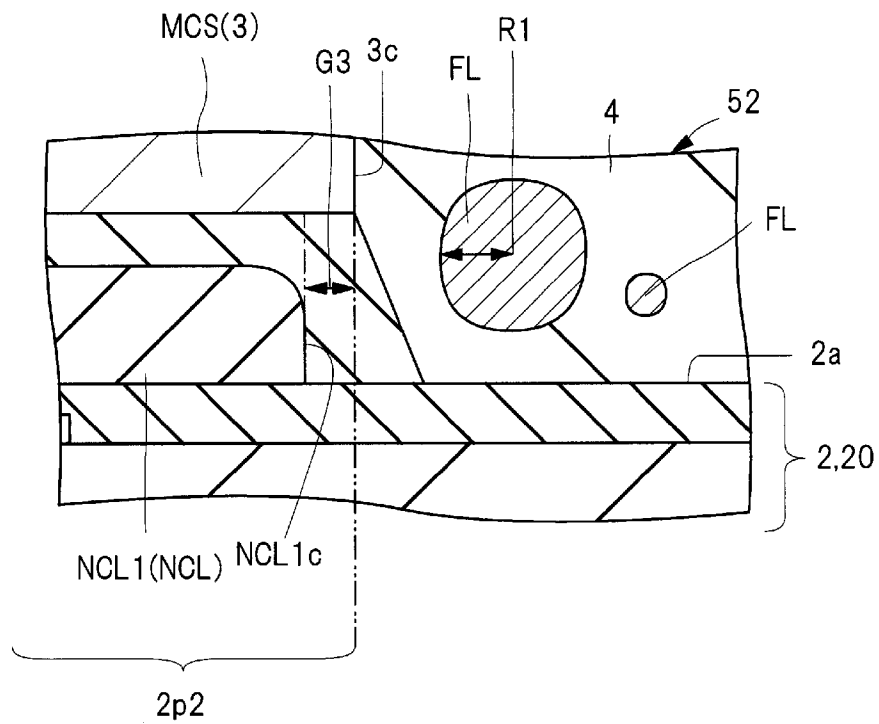
[図45]

図 45



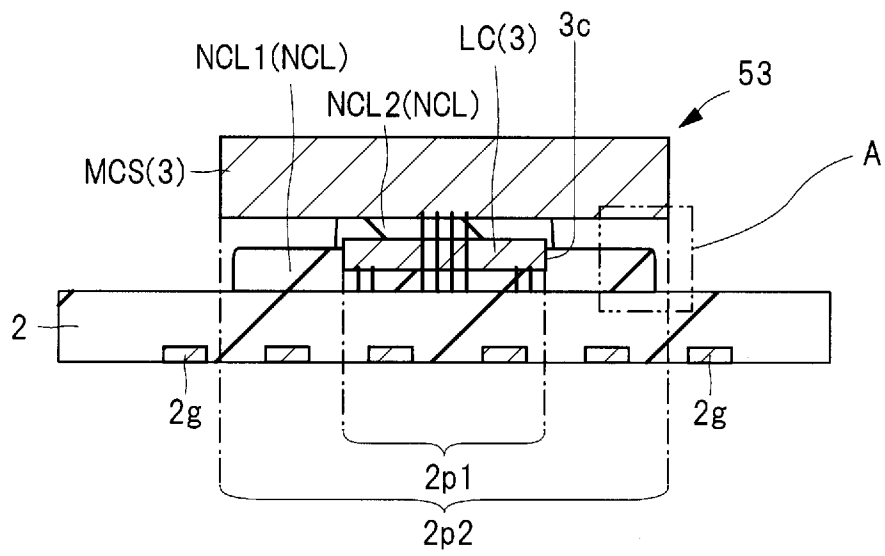
[図46]

図 46



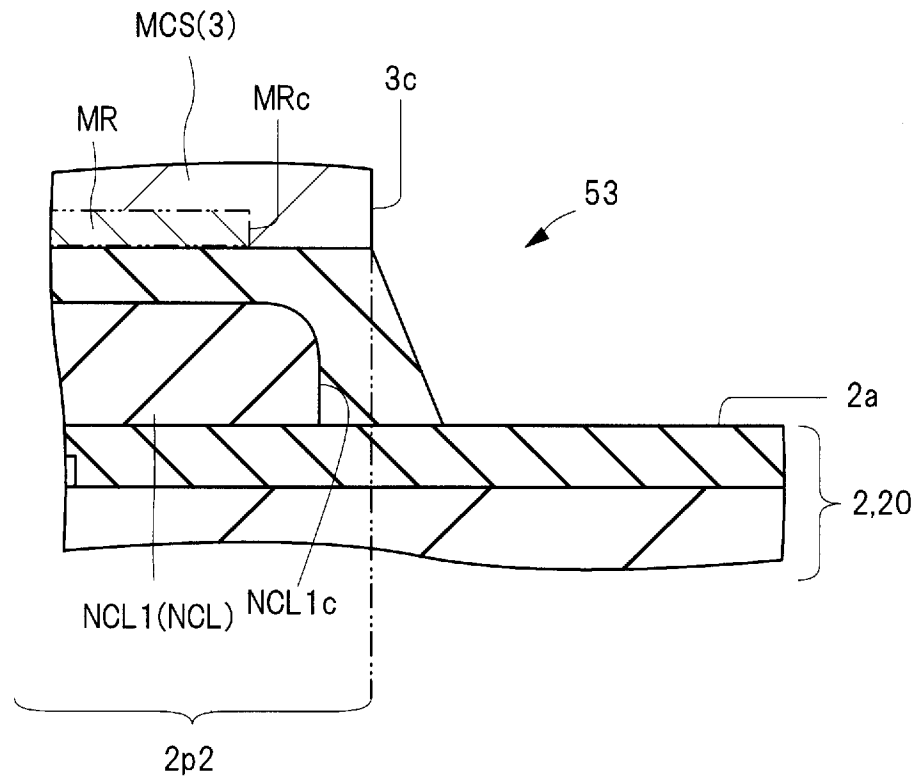
[図47]

図 47



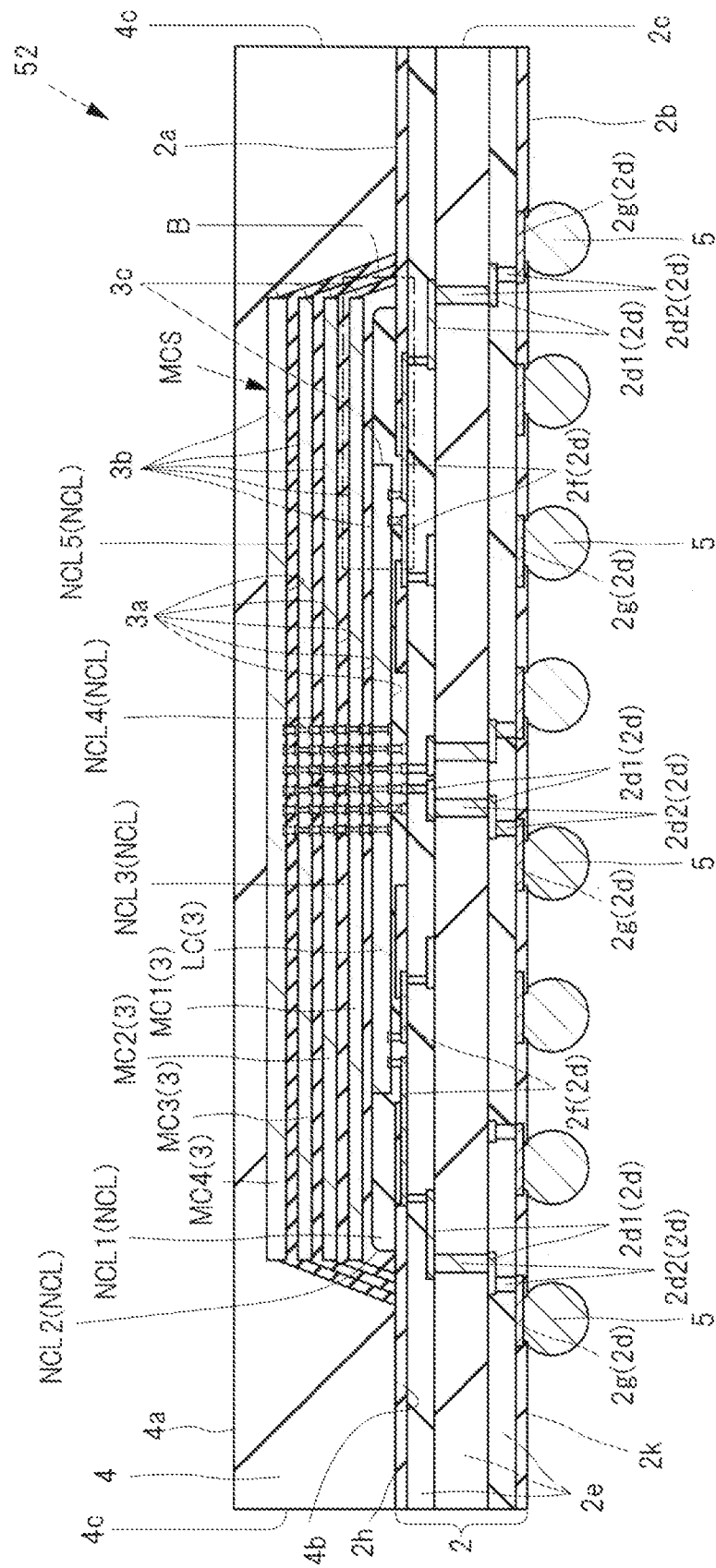
[図48]

図 48

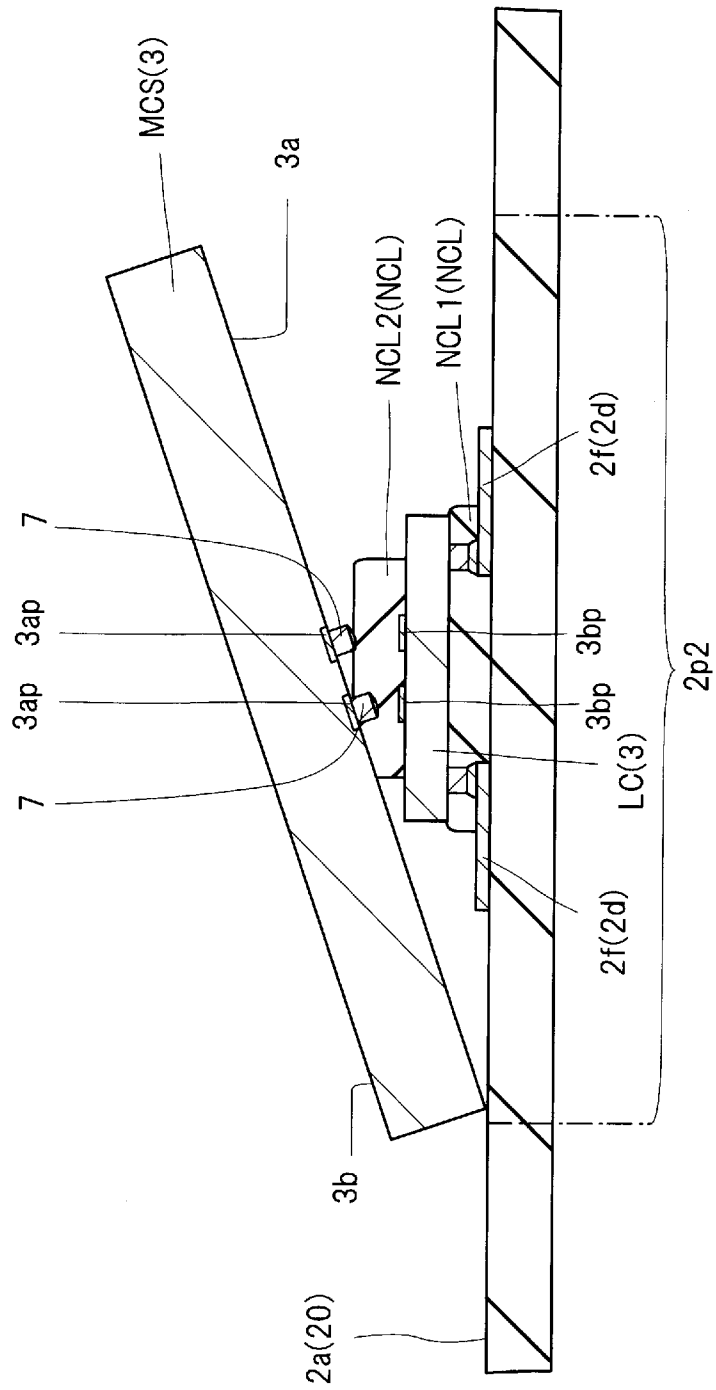


[図49]

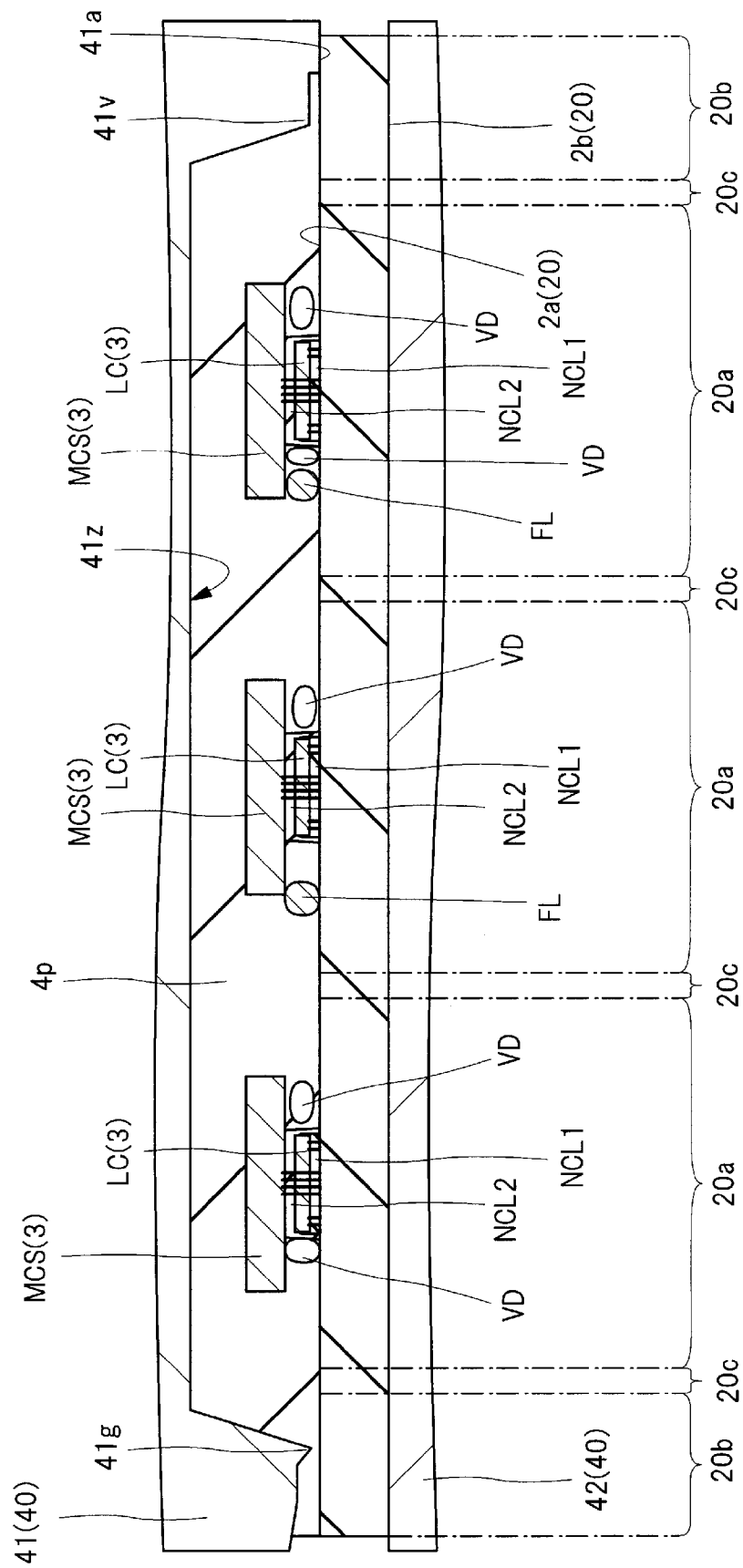
図 49



50



51



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/073666

## A. CLASSIFICATION OF SUBJECT MATTER

H01L25/065(2006.01)i, H01L21/60(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/065, H01L21/60, H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                             | Relevant to claim No. |
|-----------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2010-161102 A (Elpida Memory, Inc.),<br>22 July 2010 (22.07.2010),<br>paragraphs [0012] to [0021]; fig. 1 to 4<br>& US 2010/0171208 A1                                                      | 1-17                  |
| A         | JP 2004-235310 A (Matsushita Electric<br>Industrial Co., Ltd.),<br>19 August 2004 (19.08.2004),<br>paragraphs [0039] to [0042]; fig. 8<br>& US 2004/0145040 A1 & CN 1519928 A<br>& TW 277187 B | 1-17                  |
| A         | JP 2011-061004 A (Elpida Memory, Inc.),<br>24 March 2011 (24.03.2011),<br>paragraphs [0010] to [0040]; fig. 1 to 6<br>& US 2011/0057327 A1                                                     | 1-17                  |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;"

document member of the same patent family

Date of the actual completion of the international search

07 November, 2012 (07.11.12)

Date of mailing of the international search report

20 November, 2012 (20.11.12)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2012/073666

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                             | Relevant to claim No. |
|-----------|--------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2004-055770 A (Fujitsu Ltd.),<br>19 February 2004 (19.02.2004),<br>paragraphs [0034] to [0041]; fig. 5, 6<br>(Family: none) | 1-17                  |

## A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L25/065 (2006.01)i, H01L21/60 (2006.01)i, H01L25/07 (2006.01)i, H01L25/18 (2006.01)i

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L25/065, H01L21/60, H01L25/07, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 2 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 2 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 2 年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                    | 関連する<br>請求項の番号 |
|-----------------|----------------------------------------------------------------------------------------------------------------------|----------------|
| A               | JP 2010-161102 A (エルピーダメモリ株式会社) 2010.07.22, 段落【0012】 - 【0021】, 第 1-4 図 & US 2010/0171208 A1                          | 1-17           |
| A               | JP 2004-235310 A (松下電器産業株式会社) 2004.08.19, 段落【0039】 - 【0042】, 第 8 図 & US 2004/0145040 A1 & CN 1519928 A & TW 277187 B | 1-17           |
| A               | JP 2011-061004 A (エルピーダメモリ株式会社) 2011.03.24, 段落【0010】 - 【0040】, 第 1-6 図 & US 2011/0057327 A1                          | 1-17           |

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

0 7 . 1 1 . 2 0 1 2

国際調査報告の発送日

2 0 . 1 1 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

関根 崇

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 7 1

4 R

3 8 3 8

| C (続き) . 関連すると認められる文献 |                                                                            |                |
|-----------------------|----------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                          | 関連する<br>請求項の番号 |
| A                     | JP 2004-055770 A (富士通株式会社) 2004.02.19, 段落【0034】－<br>【0041】，第5,6図 (ファミリーなし) | 1-17           |