



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I474203 B

(45) 公告日：中華民國 104 (2015) 年 02 月 21 日

(21) 申請案號：098107705 (22) 申請日：中華民國 98 (2009) 年 03 月 10 日  
 (51) Int. Cl. : **G06F17/50 (2006.01)** **G06F9/455 (2006.01)**  
 (30) 優先權：2008/04/02 美國 12/060,984  
 (71) 申請人：希諾皮斯股份有限公司 (美國) SYNOPSYS, INC. (US)  
 美國  
 (72) 發明人：拉比諾維奇 亞歷山大 RABINOVITCH, ALEXANDER (IL) ; 雪洛夫 瑪尼西  
 SHROFF, MANISH (IN)  
 (74) 代理人：林志剛  
 (56) 參考文獻：  
 TW 464828 TW I261160  
 US 5378934 US 6493659B1  
 US 2003/0204828A1 US 2006/0004557A1  
 審查人員：林明宗  
 申請專利範圍項數：21 項 圖式數：5 共 33 頁

## (54) 名稱

模擬電路的方法、積體電路、電腦系統及電腦程式產品

METHOD AND INTEGRATED CIRCUIT FOR SIMULATING A CIRCUIT, A COMPUTER SYSTEM AND COMPUTER-PROGRAM PRODUCT

## (57) 摘要

描述一種模擬電路之電腦系統的實施例。在該模擬作業的第一模式期間，該電腦系統會將與該電路之一部份相關的主要信號及主要信號與次要信號間之電路關係儲存於一檔案內，其中該等主要信號係與該電路的該部份內的閘輸出無關，而該等次要信號則是由該電路的該部份內的閘加以驅動。再者，在該模擬作業的第二模式期間，該電腦系統會將該等信號間的額外關係上的動態變化儲存於該檔案內，其中該等信號可包括主要信號、次要信號、或二者。

Embodiments of a computer system for simulating a circuit are described. During a first mode of the simulation, the computer system stores primary signals and circuit relationships between primary signals and secondary signals associated with a portion of the circuit in a file, where the primary signals are independent of gate outputs in the portion of the circuit, and the secondary signals are driven by gates in the portion of the circuit. Moreover, during a second mode of the simulation, the computer system stores dynamic changes in additional relationships between signals to the file, where the signals can include primary signals, secondary signals, or both.

## 第3圖

300 . . . 方法

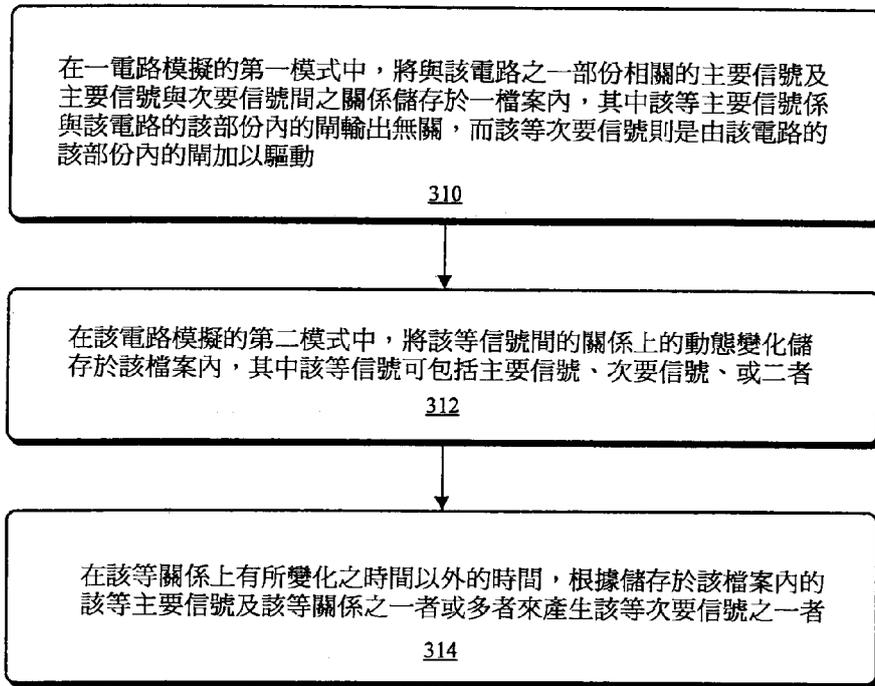
310 . . . 第一模式

312 . . . 第二模式

314 . . . 產生次要信

號

300



在一電路模擬的第一模式中，將與該電路之一部份相關的主要信號及主要信號與次要信號間之關係儲存於一檔案內，其中該等主要信號係與該電路的該部份內的閘輸出無關，而該等次要信號則是由該電路的該部份內的閘加以驅動

310

在該電路模擬的第二模式中，將該等信號間的關係上的動態變化儲存於該檔案內，其中該等信號可包括主要信號、次要信號、或二者

312

在該等關係上有所變化之時間以外的時間，根據儲存於該檔案內的該等主要信號及該等關係之一者或多者來產生該等次要信號之一者

314

# 發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：098107705

※申請日：98 年 03 月 10 日

※IPC 分類：G06F 17/50 (2006.01)  
G06F 9/455 (2006.01)

## 一、發明名稱：(中文／英文)

模擬電路的方法、積體電路、電腦系統及電腦程式產品

Method and integrated circuit for simulating a circuit, a computer system and computer-program product

## 二、中文發明摘要：

描述一種模擬電路之電腦系統的實施例。在該模擬作業的第一模式期間，該電腦系統會將與該電路之一部份相關的主要信號及主要信號與次要信號間之電路關係儲存於一檔案內，其中該等主要信號係與該電路的該部份內的閘輸出無關，而該等次要信號則是由該電路的該部份內的閘加以驅動。再者，在該模擬作業的第二模式期間，該電腦系統會將該等信號間的額外關係上的動態變化儲存於該檔案內，其中該等信號可包括主要信號、次要信號、或二者。

**三、英文發明摘要：****METHOD AND INTEGRATED CIRCUIT FOR SIMULATING A CIRCUIT, A COMPUTER SYSTEM AND COMPUTER-PROGRAM PRODUCT**

Embodiments of a computer system for simulating a circuit are described. During a first mode of the simulation, the computer system stores primary signals and circuit relationships between primary signals and secondary signals associated with a portion of the circuit in a file, where the primary signals are independent of gate outputs in the portion of the circuit, and the secondary signals are driven by gates in the portion of the circuit. Moreover, during a second mode of the simulation, the computer system stores dynamic changes in additional relationships between signals to the file, where the signals can include primary signals, secondary signals, or both.

四、指定代表圖：

(一) 本案指定代表圖為：第(3)圖。

(二) 本代表圖之元件符號簡單說明：

300：方法

310：第一模式

312：第二模式

314：產生次要信號

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

## 六、發明說明

### 【發明所屬之技術領域】

本發明的實施例是有關於電路模擬器。更詳細地說，本發明的實施例是有關於一種縮減電路模擬輸出檔案之大小的方法及裝置。

### 【先前技術】

在電路的設計過程中固定地都要做模擬。為有助於電路設計上的偵測作業，電路模擬器經常需要輸出設計參數的模擬數值或波形至一外部檔案內，可供後續由後處理工具及／或偵錯工具來加以使用。

現有之電路模擬器的一項問題在於他們通常會將所有的模擬數值或波形輸出至該外部檔案內。因此，該外部檔案的大小會相當的大，這對於性能（例如電路模擬時間）會有不利的影響，並會增加與模擬作業有關的費用。

因此之故，有需要能有一種裝置及技術，以供縮減該外部檔案之大小，同時並能有助於模擬結果的後處理作業及／或電路的偵錯作業，而不會有前述的困擾。

### 【發明內容】

本發明的一實施例提供一種用以模擬電路的電腦系統。在該模擬的第一模式期間，該電腦系統會將與該電路之一部份相關的主要信號及主要信號與次要信號間之電路關係儲存於一檔案內，其中該等主要信號係與該電路的該部

份內的閘輸出無關，而該等次要信號則是由該電路的該部份內的閘加以驅動。再者，在該模擬的第二模式期間，該電腦系統會將該等信號間的額外關係上的動態變化儲存於該檔案內，其中該等信號可包括主要信號、次要信號、或二者。

在某些實施例中，該等動態變化包含有指示出該等額外關係內之一暫時過渡轉變的事件。這些事件可以是與偵錯應用相關者。例如說，該等事件可包含有：強迫該等信號中至少一者成為具有一預定的波形（例如一固定值），及／或中止強迫該等信號中至少一者成為具有該預定值。另外，該等事件可包含有：設定該等信號成為彼此相同，及／或中止設定該等信號成為彼此相同。

在某些實施例中，該電腦系統可在該等額外關係上有所變化之時間以外的時間時，根據儲存於該檔案內的該等主要信號及該等電路關係之一者或多者來產生該等次要信號之一者。例如說，該次要信號的產生可包括有使用優先佇列來評估該等電路關係。應注意，該次要信號可以是在該模擬完成後產生。再者，應注意，該次要信號可以是使用不同於用來進行該模擬的應用軟體來加以產生。

在某些實施例中，該等電路關係包含有該電路的該部份內的閘－電路拓撲。再者，該電路的該部份內的至少一閘可具有一相關延遲。

在某些實施例中，該第一模式有助於將該檔案的大小相對於在該檔案包括有該等主要信號及該等次要信號之時

加以縮減。再者，該第一模式有助於以較該等主要信號及該等次要信號均儲存於該檔案內時更為快速地進行模擬。

在某些實施例中，該模擬包含有 Verilog 模擬。再者，該模擬可包含有超高速積體電路硬體描述語言（VHDL）中所指定的電路模擬。

在某些實施例中，該電路的該部份包含有整個電路。

另一實施例提供一種用以模擬該電路的方法，其可由該電腦系統加以實施。此方法可包含有前述作業中的至少一部份。

另一實施例提供一種可供配合該電腦系統使用的電腦程式產品。此電腦程式產品可包含有對應於前述作業中之至少一部份的指令。

另一種實施例提供一種積體電路，係規劃來模擬該電路。在該模擬的第一模式期間，該積體電路係規劃成能將與該電路之該部份相關的主要信號及主要信號與次要信號間之電路關係儲存於該檔案內，其中該等主要信號係與該電路的該部份內的閘輸出無關，且該等次要信號則是由該電路的該部份內的閘加以驅動。再者，在該模擬的第二模式期間，該積體電路係規劃成能將該等信號間的額外關係上的動態變化儲存於該檔案內，其中該等信號可包括主要信號、次要信號、或二者。

#### 【實施方式】

下面的說明係供用來讓熟知此技藝者能夠製做並使用

本發明，並係針對一特定的應用及其需求來加以說明。熟知此技藝者當可輕易地知悉該等所揭露之實施例的多種變化，而本文內所界定的一般原則亦可應用於其他的實施例及應用中，而不會脫離本發明的精神及範疇。因此，本發明並不意欲受限於在此所示的實施例而已，而是要配合於本文中所揭露之原則及特點的最寬廣範圍。

下面將說明有關於電腦系統、方法、積體電路、以及可用於該電腦系統內的電腦程式產品（亦即軟體）的實施例。這些系統、積體電路、軟體、以及程序可用來模擬電路，並可有助於該電路的偵錯。詳細地說，在模擬的過程中，與該電路之一部份相關的主要信號，以及該等主要信號與相關於該電路之該部份的次要信號間的電路關係，會輸出至一檔案內（詳細地說，在一時段內的數個時間的該等主要信號的值將會被儲存起來）。這些化及改良。這些主要信號可以是與該電路的該部份內的閘極輸出無關者，而該等次要信號可以是由該電路的該部份內的閘極加以驅動。再者，該等電路關係可以包括該電路的該部份內的閘一電路拓撲。

另外，在模擬的過程中，當信號（例如主要信號及／或次要信號）間的額外關係上有動態變化時，此資訊可以輸出至該檔案內。這些動態變化可以包括有指示出該等額外關係內之暫時過渡轉變的事件（例如與偵錯應用相關者）。例如說，這些事件可以包括有：強迫該等信號中至少一者成為具有預定的波形（例如固定值）；中止強迫該等

信號中至少一者成爲具有該預定值；設定該等信號成爲互相相同；及／或中止設定該等信號成爲彼此相同。

在模擬作業完成後，儲存於該檔案內的該等主要信號及電路關係之一者或多者即可在該等額外關係上有所變化之時間以外的時間時產生該等次要信號之一者。例如說，產生該次要信號包括有使用優先佇列（Priority Queuing）來評估該等電路關係。應注意，該次要信號可以利用不同於用來進行模擬作業的應用軟體來加以產生。此不同的應用軟體可以包括：後處理應用軟體、波形觀測器（Waveform Viewer）、及／或偵錯工具。

藉由將這些主要信號及電路表徵（Circuit Representation）儲存於該檔案內（但不將次要信號儲存於該檔案內），相對於該等主要信號及次要信號均被儲存時的大小，此技術可有助於縮減該檔案的大小。而後，該檔案之大小的此一縮減將可僅使用較少的系統資源（例如記憶體），並可有助於更快速的模擬作業，此二者均可減低與模擬作業有關的費用。

在接下的討論中，模擬作業包括 Verilog 模擬。再者，此模擬作業可包括超高速積體電路硬體描述語言（VHDL）中所指定的電路模擬。再者，在某些實施例中，此模擬作業可由一積體電路來加以施行，例如說規劃來進行此模擬的現場可程式邏輯閘陣列（FPGA）。

應注意，這些模擬技術可以施行成個別的軟體應用程式，或是諸如電路模擬器之類的其他應用軟體中的程式模

組或副程式。再者，此軟體應用程式可以規劃成能在電腦上執行，例如：個人電腦、膝上型電腦、伺服器、工作站、主機電腦、或其他能夠處理電腦可讀取資料的裝置。應注意，此電腦可設於單一處所，或是分散於多個處所，例如經由網路（例如網際網路或內部網路）進行通訊的電腦系統。因此，與模擬作業相關的資訊可在當地儲存（例如存於一電腦內），或是做遠距儲存（例如存放至可經由網路存取的另一台電腦或伺服器）。

我們接下來要說明設計與製造積體電路或晶片的實施例。第 1 圖是一流程圖 100，顯示出積體電路之設計與製造上的各種作業。此程序開始於產品概念（110）的產生，其係在使用電子設計自動化（EDA）軟體（112）的設計過程中完成的。當該設計最終完成時，即定案（Tape Out）（134）。在定案後，即可製做（136）出半導體晶粒，並進行封裝及組裝程序（138），這最終即可得到完成的晶片（140）。

此一使用 EDA 軟體（112）的設計程序包括作業 114-132，其等將說明如下。應注意，此設計流程的說明係僅供解釋說明之用而已。此說明並非是要用來限制本發明。例如說，實際的積體電路設計可能會需要設計者以不同於本文中所述之次序來進行各項設計作業。

在系統設計（114）的階段中，設計者要定出要實施的功能。他們亦可進行若則（What-If）規劃，以精製功能設定及查證成本。應注意，硬體－軟體架構作區隔可在此

階段中進行。來自美國加州 Mountain View 地區 Synopsys 公司可供應用於此一階段內的範例 EDA 軟體產品包括有：Model Architect®、Saber®、System Studio®、以及 Designware®等產品。

接下來，在邏輯設計及功能驗證（116）的階段中，將針對電路中的模組撰寫 VHDL 或是 Verilog 碼，且會針對該設計來查驗功能正確性。更詳細地說，會對該設計來加以查驗，以確保其可生成正確的輸出。來自美國加州 Mountain View 地區 Synopsys 公司可供應用於此一階段內的範例 EDA 軟體產品包括有：VCS®、Vera®、Designware®、Magellan®、Formality®、ESP®、以及 Leda®等產品。

接下來，在組合及測試設計（118）的階段中，VHDL/Verilog 會轉換成一網路表（netlist）。此網路表可針對靶技術（Target Technology）加以最佳化。另外，可設計並實施測試來查驗最終晶片。來自美國加州 Mountain View 地區 Synopsys 公司可供應用於此一階段內的範例 EDA 軟體產品包括有：Design Compiler®、Physical Compiler®、Test Compiler®、Power Compiler®、FPGA Compiler®、Tetramax®、以及 Designware®等產品。

再者，在網路表驗證（120）的階段中，會針對該網路表加以查驗，以符合時序限制及對應於 VHDL/Verilog 原始碼。來自美國加州 Mountain View 地區 Synopsys 公司可供應用於此一階段內的範例 EDA 軟體產品包括有：

Formality®、Primetime®、以及 VCS®等產品。

再者，在設計規劃（122）的階段中，會針對時序及頂層路線安排來建構並分析晶片的整體平面配置。來自美國加州 Mountain View 地區 Synopsys 公司可供應用於此一階段內的範例 EDA 軟體產品包括有：Astro®及 IC Compiler®等產品。

另外，在實體實施（124）的階段中，會進行元件布局（電路元件的定位）及路線安排（其等的連接）。來自美國加州 Mountain View 地區 Synopsys 公司可供應用於此一階段內的範例 EDA 軟體產品包括有：Astro®及 IC Compiler®等產品。

接下來，在分析及抽取（126）階段中，會針對電路功能在電晶體層級加以驗證，這可供進行精製作業。來自美國加州 Mountain View 地區 Synopsys 公司可供應用於此一階段內的範例 EDA 軟體產品包括有：Astorail®、Primerail®、Primetime®、以及 Star RC/XT®等產品。

接下來，在實體驗證（128）的階段中，該設計會被加以查驗，以確保在以下各方面的正確性：製造、電氣事項、微影事項、以及電路。來自美國加州 Mountain View 地區 Synopsys 公司可供應用於此一階段內的範例 EDA 軟體產品包括有 Hercules®產品。

再者，在解析度增強（130）階段中，會進行佈線的幾何處理，以改善該設計的製造加工性。來自美國加州 Mountain View 地區 Synopsys 公司可供應用於此一階段內

的範例 EDA 軟體產品包括有：Proteus®、Proteus®AF、以及 PSMGED®等產品。

另外，在光罩資料製備（132）階段中，將會提供可用來製做供產製最終晶片之光罩的‘定案’資料。來自美國加州 Mountain View 地區 Synopsys 公司可供應用於此一階段內的範例 EDA 軟體產品包括有 Cats®系列產品。

本發明的實施例可以在前述各階段中的單一或多個階段中使用。詳細地說，在某些實施例中，本發明可在系統設計（114）階段及／或邏輯設計及功能驗證（116）階段中加以使用。

我們接下來要說明用以模擬電路的系統、裝置及程序的實施例。第 2 圖是一方塊圖，顯示出一電路 200。此電路包含有邏輯閘 210，其等包括有一個或多個電晶體，例如及閘。更廣泛地說，通常有數種相當的方式可用來定義一閘的型式。例如說，在 Verilog 中，及閘可定義成 ‘and g1(o,i1,i2)’、‘assign o=i1&i2’、以及 ‘always\_comb o=i1&i2’。在下面的討論中，所有會由合成工具加以映射至一閘的 Verilog 構造均視為閘。

應注意，邏輯閘 210-1 及 210-2 的輸入信號是主要信號 212，而邏輯閘 210-3 的輸入信號及邏輯閘 210-3 的輸出信號則是次要信號 214，亦即這些信號是由一個或多個邏輯閘加以驅動，因此可根據主要信號 212 及主要信號 212 與次要信號 214 間在電路 200 內的電路關係來加以產生。在某些實施例中，這些電路關係包括有該電路 200 中

至少一部份的閘－電路拓撲。再者，該等電路關係可以包括有與該等邏輯閘 210 之一者相關的延遲。

再者，應注意到，邏輯閘 210 係配置成二個層級 216，其中邏輯閘 210-1 及 210-2 是位在層級 216-1，而邏輯閘 210-3 則是位在層級 216-2。如下面將會進一步說明的，這些層級 216 定義出可用以評估邏輯閘 210 來決定出由主要信號 212 而來的次要信號 214 的次序。

在以電路模擬器對電路 200（或電路 200 的一部份）做模擬的過程中，次要信號 214 對於主要信號 212 的依賴性可加以強化，以改善模擬的效能及／或減少電腦系統資源的使用。詳細地說，該等主要信號 212 及該等電路關係可以儲存於一檔案內，例如一外部檔案。例如說，該等主要信號 212 在一時段內的多個時間點的模擬數值可以儲存於該檔案內。由於此檔案比較小（因為未儲存該等次要信號 214），因此僅會使用較少的記憶體，且只需有較少量的記憶體作業。這可縮減模擬的時間，該時間對於與開發具有該電路之積體電路有關的成本而言會有所影響。

在一範例性實施例中，該檔案大小可縮減 3 倍（相對於含有主要信號 212 及次要信號 214 在內的檔案而言），且模擬時間可縮減 2.5 倍（相對於主要信號 212 及次要信號 214 均輸出至該檔案的模擬作業而言）。

許多電路模擬器均包括有諸如整合式偵錯工具之類的特點。例如說，一編譯過的電路模擬器可包含有一偵錯工具或核心內的應用軟體。此偵錯工具可在另一時段內迫使

一 給定信號，例如主要信號 212 中之一者及 / 或次要信號 214 中之一者，等於一預定值或波形。一般而言，此時段的特徵是在於其中之與電路 200 有關之信號的額外關係上具有動態變化的暫時事件。例如說，一第一事件代表迫使諸如主要信號 212-1 成爲具有一預定值（例如一固定值）的過渡轉變，而一第二事件則代表中止該迫使的動作。其他的事件可包括：將二個或多個信號（其等可以是主要信號 212 及 / 或次要信號 214）成爲互相相同及 / 或中止該一將信號設定成爲互相相同的設定動作。因此，在該另一段時段內，其係由該等暫時事件中之二者所界定者，會有對於一個或多個信號的連續設定。

爲能支撐此項功能，電路模擬器會將該等暫時事件之一者或多者的發生儲存於該檔案內。另外，該電路模擬器也會儲存信號（其等可以是主要信號 212 及 / 或次要信號 214）在該另一段時段內的一個或多個預定值或波形。

爲能支撐使用者之請求電路 200 內的任意信號（例如說，在波形檢視、偵錯、及 / 或生成統計資料的過程中），在模擬作業之後，該電路模擬器及 / 或其他的應用軟體（其等可以是個別的應用軟體或程式模組或另外的應用軟體中的副程式）可用以在該等額外關係中有所變化之時間（亦即該段時段）以外的時間點，根據儲存於該檔案內的該等主要信號 212 及該等電路關係中之一者或多者來產生該等次要信號 214 之一者或多者。另外，對於一被強迫的給定信號（亦即在該另外之時段內的時間），可以使用該

預定值或波形。

因此，在某些實施例中，在該另一段時段中，該檔案內所儲存的主要信號 212 將不會被直接使用（如果該給定信號是該等主要信號 212 中之一者）或間接使用（例如用來決定該等次要信號 214 中之一者）。但是，在某些該另一時段內會對該給定信號做連續設定的實施例中，例如當該給定信號等於另一信號時，該等儲存起來的主要信號 212 中之一者將會被使用（如果該給定信號是等於該等儲存起來之主要信號 212 中之一者）。

在某些實施例中，產生該等次要信號 214 中之一者或多者的作業包括有使用優先佇列來評估該等電路關係。再者，該產生作業可藉由使用該電路 200 的閘網路層級化表徵（例如扁平閘電路），如層級 216 所標示者，而更有效率地進行。

應注意，由於該產生作業係依暫時事件而定（詳細地說，對於該給定信號而言，在該另一段時段內沒有產生作業），因此在該電路模擬器被編譯時及／或在模擬中，次要信號 214 通常是無法計算的。

在某些實施例中，電路 200 包含有較少量或額外的組件。再者，二個或多個組件可合併成一單一組件，及／或一個或多個組件的位置可以改變。

我們接下來要說明用來模擬該電路之方法的實施例。第 3 圖是一流程圖，顯示出一種用以模擬電路的方法 300，其可由一電腦系統加以執行。在該模擬作業的第一模式

期間，該電腦系統儲存主要信號及主要信號與次要信號間與該電路之一部份相關的電路關係於一檔案內（310），其中該等主要信號係與該電路的該部份的閘輸出無關，而該等次要信號則是由該電路的該部份內的閘來加以驅動。再者，在該模擬作業的第二模式期間，該電腦系統儲存該信號間的額外關係內的動態變化於該檔案內（312），其中該等信號可包括有主要信號、次要信號、或者二者。

在某些實施例中，該電腦系統可選擇性地在該等額外關係內有所變化時以外的時間點根據儲存於該檔案內的該等主要信號之一者或多者及該等電路關係而產生該等次要信號中之一者（314）。

應注意，在該方法 300 的某些實施例中，可能會有另外的或是較少量的作業。再者，該等作業的次序也可以變動，及／或二個或多個作業可以合併成單一作業。

我們接下來要說明用來模擬該電路的電腦系統。第 4 圖是一方塊圖，顯示出一電腦系統 400。電腦系統 400 包含有：一個或多個處理器 410、一通訊界面 412、一使用者界面 414、以及一個或多個將這些組件連接在一起的信號線 422。應注意，該等一個或多個處理器 410：可以支撐平行處理作業及／或多緒作業，該通訊界面 412 可以具有一持續性的通訊聯結，而該等一個或多個信號線 422 則能構成一通訊匯流排。再者，該使用者界面 414 可包括有：一顯示器 416、一鍵盤 418、及／或一指示器 420，例如一滑鼠。

電腦系統 400 內的記憶體 424 可包含有揮發性記憶體及／或非揮發性記憶體。更詳細地說，記憶體 424 可包括有：ROM、RAM、EPROM、EEPROM、快閃記憶體、一個或多個智慧卡、一個或多個磁碟儲存裝置、一個或多個光學儲存裝置。記憶體 424 可儲存一作業系統 426，其包含有處理多種用以進行硬體依賴性工作的基本系統服務的程序（或一組指令）。記憶體 424 亦可將程序（或一組指令）儲存於一通信模組 428 內。這些通信程序可用來與一個或多個電腦及／或伺服器進行通信，包括相對於電腦系統 400 而言是位於遠方處所的電腦及／或伺服器。

記憶體 424 亦可包含有多個程式模組（或一組指令），包括：重建模組 430（或一組指令）、電路模擬模組 432（或一組指令）、選擇性後處理模組 446（或一組指令）、選擇性波形檢視器模組 448（或一組指令）、及／或選擇性偵錯模組 450（或一組指令）。再者，電路模擬模組 432 可包含有：模擬器模組 434（或一組指令）及／或強迫模組 436（或一組指令）。

模擬器模組 434 能進行一個或多個電路 438（或這些電路的部份）的模擬，例如電路 A 440-1 或電路 B 440-2。在這些模擬的過程中，模擬器模組 434 會將主要信號及與該等電路 438 之一者或多者相關的電路表徵輸出至一個或多個輸出檔案 442。再者，如果在與該等電路 438 之一者或多者相關的主要信號及／或次要信號之間的一個或多個額外關係內有一個或多個動態變化時，例如藉由強迫模

組 436 來強迫一信號，則此資訊亦可被儲存於該等一個或多個輸出檔案 442 內。

在一給定的模擬作業後，重建模組 430 會根據該等輸出檔案 442 之一者或多者內的資訊來產生與該等電路 438 之一者或多者相關的選擇性次要信號 444。再者，該等輸出檔案 442 之一者或多者內的主要信號及／或該等選擇性次要信號 444 可由其他的應用軟體加以使用，例如：選擇性後處理模組 446（用以收集與信號相關的統計資料）、選擇性波形檢視器模組 448（用以檢視信號）、及／或選擇性偵錯模組 450（用以對該等電路 438 之一者進行偵錯）。

該記憶體 424 內的各模組的指令可實施為：高階程序語言、物件導向程式語言、及／或組合或機器語言。應注意，該程式語言可以編譯或判讀，例如可規劃或規劃成能由一個或多個處理單元 410 加以執行。

雖然電腦系統 400 是顯示成具有多個個別物件，但第 4 圖僅係供對各種存在於電腦系統 400 內的特點做功能性的說明，而不是本文中所描述之實施例的結構性架構。實際上，而且是熟知此技藝者所可知曉的，電腦系統 400 的功能可分散於許多的伺服器或電腦內，而這些伺服器或電腦的各種群組則可執行這些功能中的特定子集。在某些實施例中，電腦系統 400 的這些功能的一部份或全部能以特殊應用積體電路（ASIC）、FPGA、及／或一個或多個數位信號處理器（DSP）來加以實施。

電腦系統 400 可包含有較少數量的組件，或是額外的組件。再者，二個或多個組件可合併成單一個組件，及／或一個或多個組件的位置是可以改變。在某些實施例中，電腦系統 400 的功能能較多地以硬體來實施而較少地以軟體加以實施，或是較少地以硬體來實施而較多地以軟體加以實施，如此技藝中所知悉的。

我們接下來要討論可應用於電腦系統 400 內的資料結構的實施例。第 5 圖是一方塊圖，顯示出一資料結構 500。此資料結構可包含有輸出檔案 510。一給定的輸出檔案，例如輸出檔案 510-1，可包括有：一對應於輸出檔案 510-1 之入口的模擬 512-1、一個或多個電路 514-1（或是電路的部份）、做為一個或多個時段內之時間的函數的一個或多個主要信號 516-1 的數值、與該等額外關係內之動態變化相關並與一個或多個另外時段相關的選擇性事件 518-1、在該等一個或多個時段內發生的一個或多個被強迫信號 520-1、及／或可用以自該等一個或多個主要信號 516-1 中產生一個或多個次要信號的電路關係 522-1（例如該等電路 514-1 之一者或多者的一部份內的閘－電路拓撲）。

應注意，在資料結構 500 的某些實施例中，可能會有較少數量，或是額外的組件。再者，二個或多個組件可合併成單一個組件，及／或一個或多個組件的位置是可以改變。

本發明的前述實施例的說明是僅供解釋及說明之目的

而已。他們並非是本發明的全部或是要將本發明限制於本文所揭露的形式。因此，對於熟知此技藝的實施者而言，仍有許多的顯而易知變化及改變。另外，前述的說明內容並非要用以限制本發明。本發明的範圍應由下附的申請專利範圍來加以界定。

### 【圖式簡單說明】

第 1 圖是一流程圖，顯示出根據本發明一實施例的一積體電路之設計與製造上的各種作業。

第 2 圖是一方塊圖，顯示出根據本發明一實施例的電路。

第 3 圖是一流程圖，顯示出一種根據本發明一實施例的用以模擬電路的方法。

第 4 圖是一方塊圖，顯示出根據本發明一實施例的一電腦系統。

第 5 圖是一方塊圖，顯示出根據本發明一實施例的一資料結構。

應注意，在所有的圖式中，相同的參考編號是代表相對應的零件。

### 【主要元件符號說明】

100：流程圖

110：產品概念

112：電子設計自動化軟體

- 114 : 系統設計
- 116 : 邏輯設計及功能驗證
- 118 : 組合及測試設計
- 120 : 網路表驗證
- 122 : 設計規劃
- 124 : 實體實施
- 126 : 分析及抽取
- 128 : 實體驗證
- 130 : 解析度增強
- 132 : 光罩資料製備
- 134 : 定案
- 136 : 製做
- 138 : 封裝及組裝程序
- 140 : 晶片
- 200 : 電路
- 210-1 : 邏輯閘
- 210-2 : 邏輯閘
- 210-3 : 邏輯閘
- 212-1 : 主要信號
- 212-2 : 主要信號
- 212-3 : 主要信號
- 212-4 : 主要信號
- 214-1 : 次要信號
- 214-2 : 次要信號

214-3 : 次要信號

216-1 : 層級

216-2 : 層級

300 : 方法

310 : 第一模式

312 : 第二模式

314 : 產生次要信號

400 : 電腦系統

410 : 處理器

412 : 通訊界面

414 : 使用者界面

416 : 顯示器

418 : 鍵盤

420 : 指示器

422 : 信號線

424 : 記憶體

426 : 作業系統

428 : 通信模組

430 : 重建模組

432 : 電路模擬模組

434 : 模擬器模組

436 : 強迫模組

438 : 電路

440-1 : 電路 A

- 440-2 : 電路 B
- 442 : 輸出檔案
- 444 : 次要信號
- 446 : 後處理模組
- 448 : 波形檢視器模組
- 450 : 偵錯模組
- 500 : 資料結構
- 510-1 : 輸出檔案
- 510-2 : 輸出檔案
- 512-1 : 模擬
- 514-1 : 電路
- 516-1 : 主要信號
- 518-1 : 事件
- 520-1 : 被強迫信號
- 522-1 : 電路關係

## 七、申請專利範圍

1. 一種模擬電路的方法，包含有：

在該模擬的第一模式期間，將與該電路之一部份相關聯的一組主要信號及該組主要信號與一組次要信號間之電路關儲存，其中該組主要信號係與該電路的該部份內的閘輸出無關，其中該組次要信號是由該電路的該部份內的閘加以驅動，且其中該儲存步驟不儲存該組次要信號；

在該模擬的第二模式期間，將信號間的額外關係上的動態變化儲存於該檔案內，其中該等信號可包括主要信號、次要信號、或二者，且其中當要施加額外關係到一信號時，所儲存的動態變化指定一持續時間；以及

以下列步驟決定在一時間例的次要信號值：

根據所儲存之該等額外關係上的動態變化來決定是否要在該時間例施加額外關係到該次要信號，

回應於決定在該時間例不施加額外關係到該次要信號，藉由根據所儲存之該組主要信號評估該儲存的電路關係來決定該次要信號值，以及

回應於決定在該時間例施加額外關係到該次要信號，藉由評估該額外關係來決定該次要信號值。

2. 如申請專利範圍第 1 項所述之方法，其中該等動態變化包含有指示出該等額外關係內之一暫時過渡轉變的事件。

3. 如申請專利範圍第 2 項所述之方法，其中該等事件是與偵錯應用相關聯者。

4. 如申請專利範圍第 2 項所述之方法，其中該等事件包含有強迫該等信號中至少一者具有一預定的波形。

5. 如申請專利範圍第 4 項所述之方法，其中該預定的波形包含有一固定值。

6. 如申請專利範圍第 4 項所述之方法，其中該等事件包含有中止強迫該等信號中至少一者具有一預定值。

7. 如申請專利範圍第 6 項所述之方法，其中該預定的波形包含有一固定值。

8. 如申請專利範圍第 2 項所述之方法，其中該等事件包含有設定該等信號成爲彼此相同。

9. 如申請專利範圍第 8 項所述之方法，其中該等事件包含有中止設定該等信號成爲彼此相同。

10. 如申請專利範圍第 1 項所述之方法，其中該次要信號是使用不同於用來進行該模擬的應用軟體來加以產生。

11. 如申請專利範圍第 1 項所述之方法，其中該次要信號的產生包括有使用優先佇列來評估該等電路關係。

12. 如申請專利範圍第 1 項所述之方法，其中該等電路關係包含有該電路的該部份內的閘－電路拓撲。

13. 如申請專利範圍第 12 項所述之方法，其中該電路的該部份內的至少一閘具有一相關聯延遲。

14. 如申請專利範圍第 1 項所述之方法，其中該第一模式有助於將該檔案的大小相對於包括有該組主要信號及該組次要信號之第二檔案的大小加以縮減。

15. 如申請專利範圍第 1 項所述之方法，其中該模擬的該第一模式有助於以較該組主要信號及該組次要信號均儲存於該檔案內的模擬模式更為快速地進行模擬。

16. 如申請專利範圍第 1 項所述之方法，其中該模擬包含有 Verilog 模擬。

17. 如申請專利範圍第 1 項所述之方法，其中該模擬包含有超高速積體電路硬體描述語言（VHDL）中所指定的電路模擬。

18. 如申請專利範圍第 1 項所述之方法，其中該電路的該部份包含有整個電路。

19. 一種配合電腦系統使用的電腦程式產品，該電腦程式產品包含有一電腦可讀取儲存媒介及一內嵌的電腦程式機制，用以規劃該電腦系統來模擬一電路，該電腦程式機制包含有：

指令，用以將與該電路之一部份相關聯的一組主要信號及該組主要信號與一組次要信號間之電路關係儲存，其中該主要信號係與該電路的該部份內的閘輸出無關，其中組等次要信號是由該電路的該部份內的閘加以驅動，且其中該儲存步驟不儲存該組次要信號；以及

指令，用以在該模擬的第二模式期間，將信號間的額外關係上的動態變化儲存於該檔案內，其中該等信號可包括主要信號、次要信號、或二者，且其中當要施加額外關係到一信號時，所儲存的動態變化指定一持續時間；以及指令，用以以下列步驟決定在一時間例的次要信號值：

根據所儲存之該等額外關係上的動態變化來決定是否要在該時間例施加額外關係到該次要信號，

回應於決定在該時間例不施加額外關係到該次要信號，藉由根據所儲存之該組主要信號評估該儲存的電路關係來決定該次要信號值，以及

回應於決定在該時間例施加額外關係到該次要信號，藉由評估該額外關係來決定該次要信號值。

20. 一種積體電路，係規劃來模擬一電路，包含有：

在該模擬的第一模式期間，該積體電路係規劃成將與該電路之一部份相關聯的一組主要信號及該組主要信號與一組次要信號間之電路關係儲存，其中該組主要信號係與該電路的該部份內的閘輸出無關，其中該組次要信號則是由該電路的該部份內的閘加以驅動，且其中該儲存步驟不儲存該組次要信號；以及

在該模擬的第二模式期間，該積體電路係規劃成將信號間的額外關係上的動態變化儲存於該檔案內，其中該等信號可包括主要信號、次要信號、或二者，且其中當要施加額外關係到一信號時，所儲存的動態變化指定一持續時間；以及

其中該積體電路係進一步規劃成以下列步驟決定在一時間例的次要信號值：

根據所儲存之該等額外關係上的動態變化來決定是否要在該時間例施加額外關係到該次要信號，

回應於決定在該時間例不施加額外關係到該次要信

號，藉由根據所儲存之該組主要信號評估該儲存的電路關係來決定該次要信號值，以及

回應於決定在該時間例施加額外關係到該次要信號，藉由評估該額外關係來決定該次要信號值。

21. 一種電腦系統，包含有：

一處理器；

記憶體；以及

一程式模組，其中該程式模組係儲存於該記憶體內，且係規劃成能由該處理器加以執行，以模擬一電路，該程式模組包含有：

指令，用以將與該電路之一部份相關聯的一組主要信號及該組主要信號與一組次要信號間之電路關係儲存，其中該組主要信號係與該電路的該部份內的閘輸出無關，其中該組次要信號是由該電路的該部份內的閘加以驅動，且其中該儲存步驟不儲存該組次要信號；以及

指令，用以在該模擬的第二模式期間，將信號間的額外關係上的動態變化儲存於該檔案內，其中該等信號可包括主要信號、次要信號、或二者，且其中當要施加額外關係到一信號時，所儲存的動態變化指定一持續時間；以及

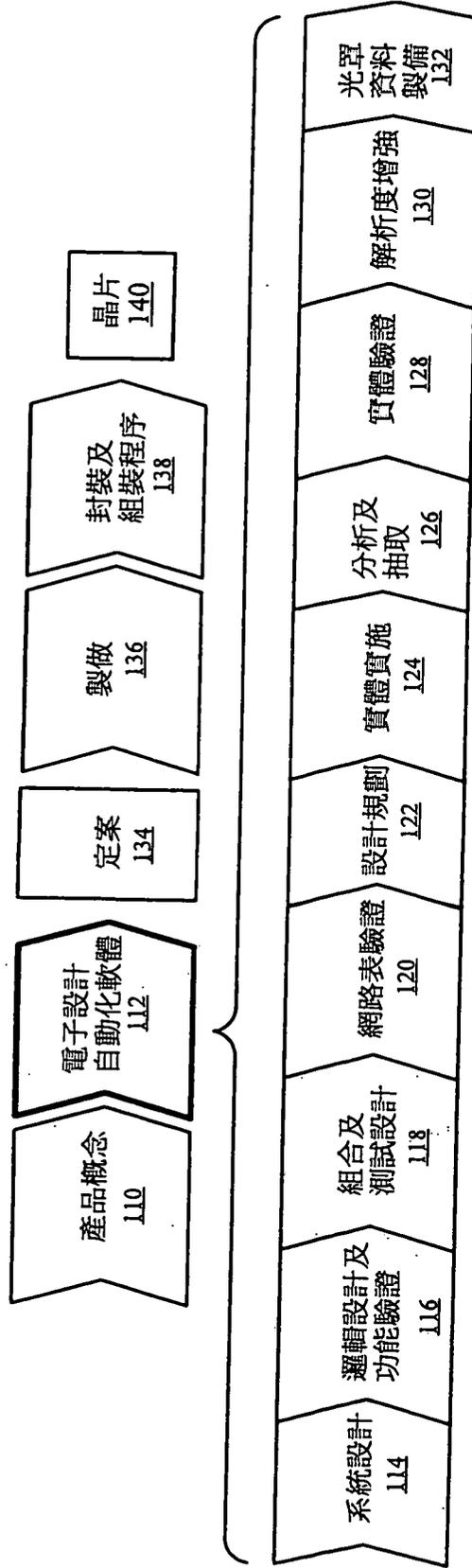
指令，用以以下列步驟決定在一時間例的次要信號值：

根據所儲存之該等額外關係上的動態變化來決定

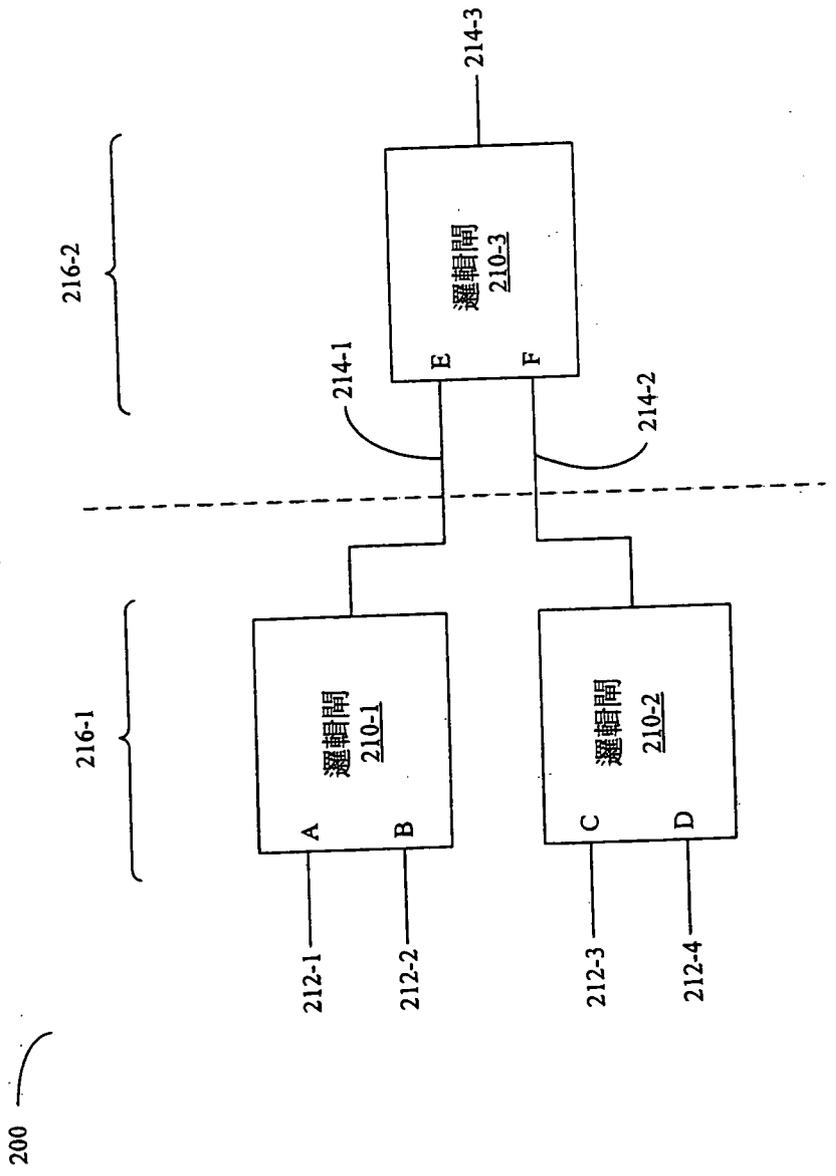
是否要在該時間例施加額外關係到該次要信號，  
回應於決定在該時間例不施加額外關係到該次要  
信號，藉由根據所儲存之該組主要信號評估該儲  
存的電路關係來決定該次要信號值，以及  
回應於決定在該時間例施加額外關係到該次要信  
號，藉由評估該額外關係來決定該次要信號值。

第1圖

100

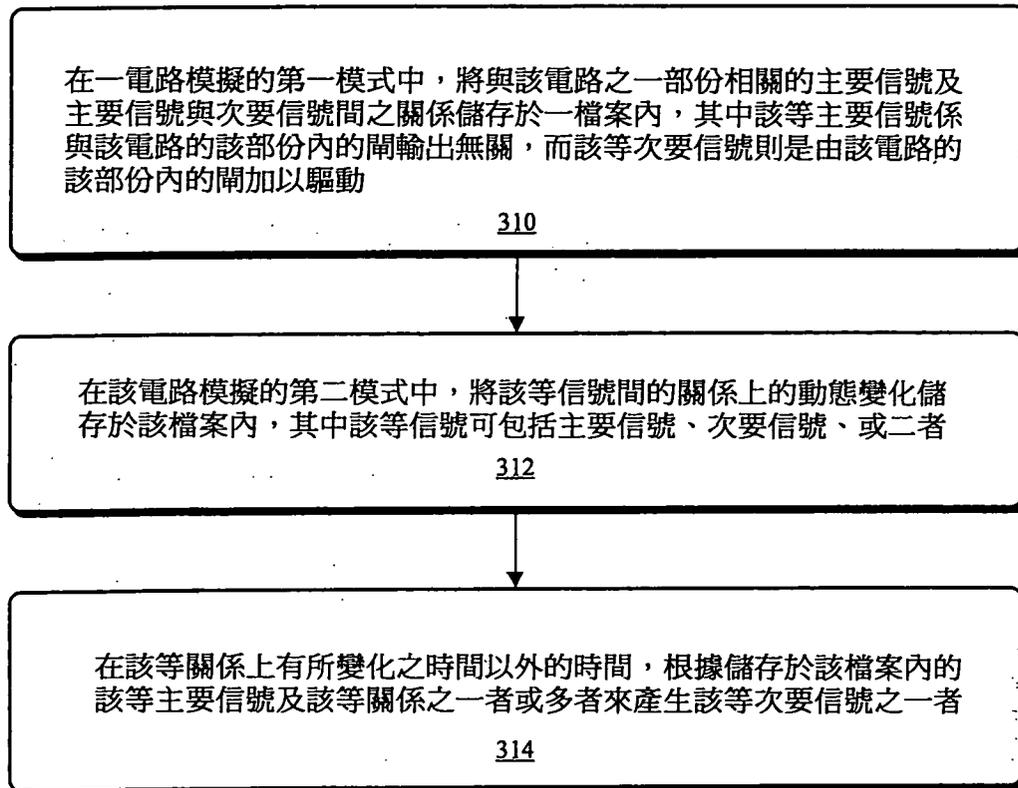


第2圖

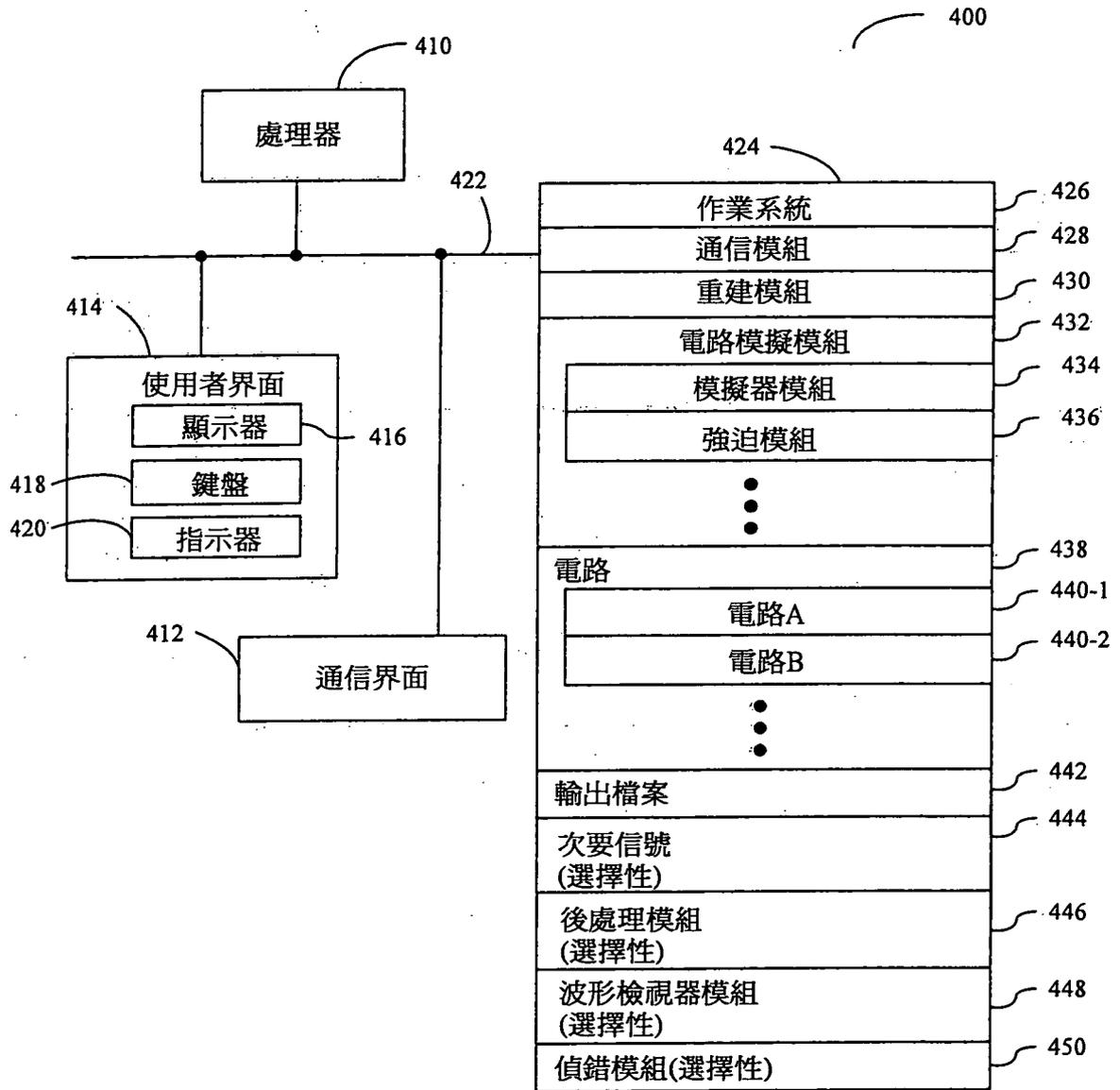


## 第3圖

300



# 第4圖



# 第5圖

