

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2024年12月19日(19.12.2024)



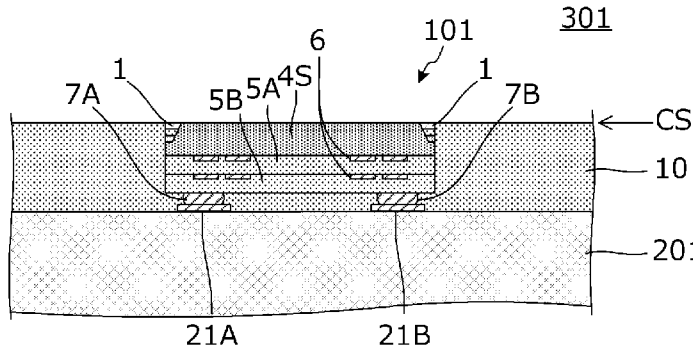
(10) 国際公開番号

WO 2024/257574 A1

- (51) 国際特許分類:  
H01L 25/00 (2006.01) H01F 41/04 (2006.01)  
H01F 17/00 (2006.01) H01L 23/12 (2006.01)  
H01F 27/06 (2006.01)
- (21) 国際出願番号: PCT/JP2024/018969
- (22) 国際出願日: 2024年5月23日(23.05.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2023-096990 2023年6月13日(13.06.2023) JP
- (71) 出願人: 株式会社村田製作所  
(MURATA MANUFACTURING CO., LTD.) [JP/  
JP]; 〒6178555 京都府長岡京市東神足 1  
丁目 10 番 1 号 Kyoto (JP).
- (72) 発明者: 中磯 俊幸 (NAKAISO Toshiyuki);  
〒6178555 京都府長岡京市東神足 1 丁目 10 番  
1 号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 弁理士法人 楓国際特許事務所  
(KAEDE PATENT ATTORNEYS' OFFICE);  
〒5400011 大阪府大阪市中央区農人橋 1  
丁目 4 番 3 4 号 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,  
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,  
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,  
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,  
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,  
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,  
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,  
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: ELECTRONIC CIRCUIT DEVICE AND MANUFACTURING METHOD FOR SAME

(54) 発明の名称: 電子回路装置及びその製造方法



(57) Abstract: An electronic circuit device (301) comprises a chip component (101), a circuit board (201), and a coating resin (10). The chip component (101) is mounted on the circuit board (201), and the coating resin (10) is applied to coat a mounting surface of the circuit board (201). The surface of an element substrate (1), the surface of an insulator layer, and the surface of the coating resin (10) constitute a continuous surface in which, as viewed in the lamination direction of the element substrate (1) and the insulator layer, there is an insulator exposed part (4S) where no element substrate (1) is present due to the exposure of the insulator layer. At least a portion of a coil opening formed by a coil conductor (6) is situated within the area of the insulator exposed part (4S).

(57) 要約: 電子回路装置 (301) は、チップ部品 (101) と、回路基板 (201) と、被覆樹脂 (10) と、を備える。回路基板 (201) にはチップ部品 (101) が実装され、被覆樹脂 (10) が回路基板 (201) の実装面に被覆される。素子基板 (1) の表面と絶縁体層の表面と被覆樹脂 (10) の表面とは、連続面を成し、素子基板 (1) 及び絶縁体層の積層方向に視て、絶縁体層の露出による素子基板 (1) の無い絶縁体露出部 (4S) を有する。コイル導体 (6) によるコイル開口部の少なくとも一部は絶縁体露出部 (4S) の領域内にある。

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,  
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保  
護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS,  
MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG,  
ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU,  
TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,  
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS,  
IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT,  
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,  
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE,  
SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

## 明 細 書

発明の名称：電子回路装置及びその製造方法

### 技術分野

[0001] 本発明は、チップ部品が搭載された回路基板を備える電子回路装置及びその製造方法に関する。

### 背景技術

[0002] 複数のパッシブコンポーネントを単一基板に集積して構成するIPD (Integrated Passive Device) 素子は広く知られている。この基板としては、半導体素子の基板で一般的なSi基板が用いられる。又はSi基板にインダクタを形成した場合に、Si基板に渦電流が流れることによる損失を懸念して、ガラス基板やGaAs基板が用いられる。

[0003] 一方、GaAs基板やガラス基板などの絶縁体基板を用いるとダイオードやMOSキャパシタなどの回路構成要素が構成できない。

[0004] 上記ガラス基板やGaAs基板を用いることなく、インダクタと平面視で重なる部分を絶縁性材料に置き換えることで、渦電流による損失を抑制することが特許文献1、特許文献2に開示されている。

### 先行技術文献

#### 特許文献

[0005] 特許文献1：特開2001-77315号公報

特許文献2：特開2007-49115号公報

### 発明の概要

#### 発明が解決しようとする課題

[0006] 特許文献1、特許文献2に記載の集積回路装置では、Si基板に生じる渦電流による損失を抑制するために、平面視でインダクタに重なる部分のSi基板の一部を絶縁材料部材に置き換えている。

[0007] ところが、Si基板の一部を他の絶縁材料部材に置換すると、素子そのものが薄くなったり、Si基板のうち絶縁材料部材に置き換える部分が増加す

ることで機械的な強度が低下したりする。これらのことにより、回路基板に対する上記集積回路装置の搭載時の応力や、リフローなどによる実装時の熱衝撃・応力により集積回路装置が破損するおそれがある。

[0008] そこで、本発明の目的は、チップ部品にインダクタを設けることによる渦電流の発生、及び回路基板へのチップ部品の搭載時の応力や実装時の破損を抑制した電子回路装置及びその製造方法を提供することにある。

### 課題を解決するための手段

[0009] (A) 本開示の一例としての電子回路装置は、  
チップ部品と、回路基板と、被覆樹脂と、を備え、  
前記チップ部品は、  
互いに反対面関係にある第1主面と第2主面とを有する素子基板と、  
前記素子基板の前記第1主面の側に形成された絶縁体層と、  
前記絶縁体層の内部に形成され、前記素子基板の前記第1主面の垂直方向成分を有する磁束を発生又は受けるコイル導体と、  
前記第1主面の側に形成され前記回路基板に前記コイル導体又は当該コイル導体を含む回路を接続するチップ部品側実装電極と、  
を有し、  
前記回路基板は前記チップ部品側実装電極が接続される回路基板側電極を有し、  
前記回路基板側電極に前記チップ部品側実装電極が接続され、  
前記被覆樹脂は、前記チップ部品が実装される前記回路基板の実装面に被覆形成され、  
前記素子基板に囲まれた前記絶縁体層が露出する絶縁体露出部を有し、  
前記素子基板の前記第2主面、前記絶縁体露出部及び前記被覆樹脂を含む面は連続面を成し、  
前記コイル導体によるコイル開口部の少なくとも一部は、前記素子基板の前記第2主面に垂直方向に視て前記絶縁体露出部の形成領域内にある、  
ことを特徴とする。

[0010] (B) 本開示の一例としての電子回路装置の製造方法は、

互いに反対面関係にある第1主面と第2主面とを有する素子基板の前記第1主面の側に凹部又は開口部を形成し、前記凹部又は前記開口部の内部に絶縁体を形成し、前記素子基板の前記第1主面の側に絶縁体層を形成し、前記絶縁体層に前記絶縁体層に対する垂直方向成分を有する磁束を発生又は受けるコイル導体を形成し、回路基板に前記コイル導体又は当該コイル導体を含む回路を接続するチップ部品側実装電極を形成する、ことでチップ部品を構成し、

前記チップ部品側実装電極が接続される回路基板側電極を前記回路基板に形成し、

前記回路基板側電極に前記チップ部品側実装電極を接続し、

前記回路基板への前記チップ部品の実装面に被覆樹脂を被覆し、

前記凹部又は前記開口部の内部の前記絶縁体が前記素子基板から露出するまで、前記素子基板及び前記絶縁体層を前記第2主面側から研削することで、前記素子基板の前記第2主面、前記凹部又は前記開口部の内部の前記絶縁体、及び前記被覆樹脂を含む面に連続面を形成する、

ことを特徴とする。

### 発明の効果

[0011] 本発明によれば、チップ部品にインダクタを設けることによる渦電流の発生、及び回路基板へのチップ部品の搭載時の応力や実装時の破損を抑制した電子回路装置及びその製造方法が得られる。

### 図面の簡単な説明

[0012] [図1]図1は第1の実施形態に係る電子回路装置301の断面図である。

[図2]図2は第1の実施形態に係る電子回路装置301の製造方法について示す断面図である。

[図3]図3は第1の実施形態に係る電子回路装置301の製造方法について示す断面図である。

[図4]図4は、絶縁体層4, 5A, 5Bに対する垂直方向成分を有する磁束 $\phi$

を発生又は受けるコイル導体 6 を示す図である。

[図5]図 5 は、素子基板 1 の表面、絶縁体露出部 4 S の表面及び被覆樹脂 1 0 の表面の位置関係や形状を示す図である。

[図6]図 6 の上部は、第 2 の実施形態に係る電子回路装置 3 0 2 の平面図であり、図 6 の下部は上記平面図における一点鎖線での縦断面図である。

[図7]図 7 は回路基板 2 0 1 に実装される前の状態でのチップ部品 1 0 2 の断面図である。

[図8]図 8 は第 2 の実施形態に係る電子回路装置 3 0 2 の製造方法について示す断面図である。

[図9]図 9 は図 6 に示した例とは異なる溝内絶縁体 3 2 の形状を示す平面図である。

[図10]図 1 0 は第 3 の実施形態に係る電子回路装置 3 0 3 の断面図である。

[図11]図 1 1 は第 4 の実施形態に係る電子回路装置 3 0 4 の製造方法について示す図である。

[図12]図 1 2 は第 5 の実施形態に係る電子回路装置の製造方法について示す断面図である。

[図13]図 1 3 は第 5 の実施形態に係る電子回路装置の製造方法について示す断面図である。

[図14]図 1 4 は第 5 の実施形態に係る電子回路装置の製造方法について示す断面図である。

[図15]図 1 5 は第 5 の実施形態に係る電子回路装置の製造方法について示す断面図である。

[図16]図 1 6 は、図 1 5 中の ( 1 0 ) で示す状態での平面図である。

[図17]図 1 7 は、回路基板の所定位置に構成した、電子回路装置 3 0 5 による回路の回路図である。

### 発明を実施するための形態

[0013] 以降、図を参照して幾つかの具体的な例を挙げて、本発明を実施するための複数の形態を示す。各図中には同一箇所同一符号を付している。要点の

説明又は理解の容易性を考慮して、実施形態を説明の便宜上、複数の実施形態に分けて示すが、異なる実施形態で示した構成の部分的な置換又は組み合わせは可能である。第2の実施形態以降では第1の実施形態と共通の事柄についての記述を省略し、異なる点についてのみ説明する。特に、同様の構成による同様の作用効果については実施形態毎には逐次言及しない。

[0014] 《第1の実施形態》

図1は第1の実施形態に係る電子回路装置301の断面図である。この電子回路装置301はチップ部品101と、回路基板201と、被覆樹脂10と、を備えている。

[0015] チップ部品101は、素子基板（後に詳細に示す。）1と、絶縁体露出部4Sと、絶縁体層5A、5Bとを有する。絶縁体露出部4Sは素子基板1に埋め込まれた絶縁体と定義できる。絶縁体露出部4Sについては後に詳細に示す。素子基板1は互いに反対面関係にある第1主面と第2主面とを有する。絶縁体露出部4Sは素子基板1の第2主面（図1における上面）に連続する面で露出する。また、絶縁体層5A、5Bには、素子基板1の第1主面の垂直方向（図1における上下方向）成分の磁束を発生又はその方向の磁束成分を受けるコイル導体6が形成されている。コイル導体6は、絶縁体露出部4S及び絶縁体層5A、5Bの積層方向に形成されて、スパイラル状、ヘリカル状又はスパイラル状ヘリカル状混在のコイルを形成する。

[0016] また、チップ部品101には、回路基板201に回路を接続するチップ部品側実装電極7A、7Bが形成されている。

[0017] 回路基板201には、チップ部品101のチップ部品側実装電極7A、7Bが接続される回路基板側電極21A、21Bが形成されている。

[0018] 回路基板201の回路基板側電極21A、21Bにはチップ部品側実装電極7A、7Bがそれぞれ接続されている。

[0019] チップ部品101が実装される回路基板201の実装面にはチップ部品101を取り囲むように被覆樹脂10が被覆されている。

[0020] 図2及び図3は第1の実施形態に係る電子回路装置301の製造方法につ

いて示す断面図である。図2及び図3に示す(1)から(7)は概略的な工程の手順を示す番号である。但し、(1)から(4)までは説明の都合上、単一のチップ部品の状態で図示しているが、実際は複数のチップ部品が並んだウエハー状態で製造する。また、(5)から(7)は単一のチップ部品に分離した後の状態で、電子回路装置の部分について図示している。以降、工程の番号順にその内容を説明する。

- [0021] (1) 例えばSi基板等の素子基板1の表面にSiO<sub>2</sub>等の酸化膜2を形成、その表面に窒化膜(Si<sub>2</sub>N<sub>4</sub>)等のパッシベーション膜をCVD等で形成する。
- [0022] (2) パッシベーション膜表面から素子基板1まで所定深さの凹部を形成し、その凹部の底面からパッシベーション膜より所定高さの位置まで絶縁体層4を例えばドライエッチングやサンドブラストで形成する。この絶縁体層4はその表面を平坦化するレベリング用の有機絶縁膜であって、例えば、エポキシ樹脂、ポリイミド・ポリベンゾオキサゾール(PBO)、ポリイミド(PI)等の有機膜である。
- [0023] (3) 絶縁体層4の表面に絶縁体層5A, 5Bを形成するとともにCuやAl等の導体部材でコイル導体6を形成する。これらコイル導体6の上下の表面に例えばTi, TiNを10nmから100nm形成する。このTi, TiN膜の成膜により、樹脂層との密着力が向上する。
- [0024] (4) 表面の絶縁体層5Bの表面に、はんだ等によるチップ部品側実装電極7A, 7Bを形成する。この(4)までの工程によりチップ部品101の主要部を構成する。なお、図2中の(4)及びそれ以降の図4まではチップ部品側実装電極7A, 7Bとコイル導体6との接続部のパターンは図示を省略している。コイル導体6の平面形状や層間接続及びチップ部品側実装電極7A, 7Bとの接続構造については後に具体例を示す。
- [0025] (5) 回路基板201に形成した回路基板側電極21A, 21Bにチップ部品101のチップ部品側実装電極7A, 7Bをそれぞれ接続する。すなわち、回路基板201の実装面MSにチップ部品101を実装する。例えば、回路基板側電極21A, 21Bにチップ部品側実装電極7A, 7Bが対向す

る位置にチップ部品101を搭載し、加熱することによりはんだ付けする。なお、チップ部品101のチップ部品側実装電極は単なる電極とし、回路基板201に形成した回路基板側電極21A, 21Bにはんだペーストを塗布し、チップ部品側実装電極7A, 7Bを搭載し、加熱することではんだ付けしてもよい。

[0026] (6) 回路基板201へのチップ部品101の実装面MSに被覆樹脂10を被覆する。この被覆樹脂10の被覆高さはチップ部品101の上面より高い。

[0027] (7) 図3中で(6)に図示したように、後にチップ表面CSとなる深さまで被覆樹脂10、素子基板1及び絶縁体層4を研削する。このことにより、チップ部品101の素子基板1及び絶縁体層4の一部を削除する。このように絶縁体露出部4Sは素子基板1に埋め込まれた絶縁体層4の露出部と定義できる。

[0028] この研削工程により、後に詳細に示すように、絶縁体層4、素子基板1及び被覆樹脂10の表面に角張った段差部の無い連続面(研削面)を形成する。この「連続面」とは「平坦状の面」、「ほぼ平坦な面」、「平坦状に連続する面」などといった意味である。また、鋭角突起部や鈍角突起部等の種々の角度の突起部がある場合、上記「連続面」は、鋭角突起部の割合が鈍角突起部の割合より小さい面といった意味である。上記段差部については後に詳述する。この研削により絶縁体層4を露出させて絶縁体露出部4Sを形成する。このことにより、コイル導体6によるコイル開口部の少なくとも一部を絶縁体露出部4S内に配置する。

[0029] 上述のとおり、チップ表面CSとなる深さまで被覆樹脂10、素子基板1及び絶縁体層4を研削すれば、絶縁体層4を露出させて絶縁体露出部4Sを形成できるが、素子基板の無い絶縁体露出部4Sがコイル導体6から素子基板1の方向へ先細り形状であることを利用してもよい。つまり、図2中の(3)から図3中の(7)等を示したように、絶縁体露出部4Sは素子基板1の第1主面における面積より、素子基板1の第2主面における面積の方が小

さいため、すなわち先細り形状であるため、図3中で(6)(7)に示したように、チップ部品101の研削量に応じて絶縁体層4の露出面積が変化する。そのため、この露出面積が適正になるように被覆樹脂10及びチップ部品101の研削量を容易に定めることができる。

[0030] 図4は、絶縁体露出部4S、絶縁体層5A、5Bに対する垂直方向に磁束 $\phi$ 成分を発生又は受けるコイル導体6を示す図である。チップ部品101の素子基板1の面積は小さく、素子基板1はコイル開口部の外側にあるので、磁束 $\phi$ はチップ部品101の素子基板1でほとんど遮られない。また、被覆樹脂10は磁性体ではない。回路基板201も磁性体ではない、又は磁性体部を殆ど含まない。そのため、渦電流による損失を抑制できる。

[0031] 図5は、素子基板1の表面、絶縁体露出部4Sの表面及び被覆樹脂10の表面の位置関係や形状を示す図である。この図5に表れているように、素子基板1はSi基板等であり、絶縁体樹脂に比べて硬質であるので、図3中に(6)(7)で示したように、チップ表面CSとなる深さまで被覆樹脂10、素子基板1及び絶縁体層4を同時に研削すると、素子基板1は被覆樹脂10及び絶縁体露出部4Sより突出した状態となる。但し、素子基板1と絶縁体露出部4Sと被覆樹脂10とは一体化されたものであるため、素子基板1の表面と絶縁体露出部4Sの表面と被覆樹脂10の表面とは尖りや凹みといった角張った段差部の無い連続面を成している。この「連続面」とは、既に記述したとおり、例えば「平坦状の面」、「ほぼ平坦な面」、「平坦状に連続する面」などといった意味である。つまり、素子基板1が突出していても、「素子基板1の表面、絶縁体露出部4Sの表面及び被覆樹脂10の表面が連続面を成している」ことに相当する。また、研削は面で行っていくため、素子基板1が大きく突出している場合は、素子基板1のみを研削していくため、電子回路装置全体として見た時はほぼ平坦な連続面となっている。

[0032] 本実施形態によれば、素子基板1が十分な厚みを持った状態で回路基板に実装し、被覆樹脂でチップ部品と回路基板を固定したのち、不要なSi基板部を除去することにより、チップ部品の実装と、被覆樹脂の被覆時の機械的

強度の確保と渦電流の抑制による電気的特性の向上とを両立でき、さらには回路装置全体での薄型化も実現できる。

[0033] 《第2の実施形態》

第2の実施形態では、素子基板の内部に絶縁体形成部が形成されて、素子基板の内部から絶縁体形成部の露出された絶縁体露出部を有するチップ部品及び電子回路装置について例示する。

[0034] 図6の上部は、第2の実施形態に係る電子回路装置302の平面図であり、図6の下部は上記平面図における一点鎖線での縦断面図である。

[0035] 電子回路装置302は、チップ部品102と、回路基板201と、被覆樹脂10と、を備える。

[0036] チップ部品102は、素子基板1、パッシベーション膜3、絶縁体層4、5A、5B、コイル導体6及びチップ部品側実装電極7A、7B等を備える。

[0037] 素子基板1の表面には溝内絶縁体32が露出している。コイル導体6は絶縁体層4及び絶縁体層5Aに形成されていて、絶縁体層4に対する垂直方向（図1における上下方向）に磁束成分を発生又はその方向の磁束成分を受ける。コイル導体6は、絶縁体層4、5A、5Bの積層方向に形成されて、スパイラル状又はヘリカル状のコイル回路を形成する。

[0038] 回路基板201には、チップ部品102のチップ部品側実装電極7A、7Bが接続される回路基板側電極21A、21Bが形成されている。

[0039] 回路基板201の回路基板側電極21A、21Bにはチップ部品側実装電極7A、7Bが接続されている。

[0040] チップ部品102が実装される回路基板201の実装面には被覆樹脂10が被覆されている。

[0041] このように、素子基板1に溝内絶縁体32が分布していて、また素子基板1に溝内絶縁体32が拡がっている。このため、チップ部品102の素子基板1の面積は小さい。また、素子基板1に流れようとする渦電流の電流ループは小さなものとなる。そのため、渦電流による損失を抑制できる。

- [0042] 図7は、図6に示した回路基板201に実装される前の状態でのチップ部品102の断面図である。Si基板等の素子基板1の内部には素子基板1の表面から溝(トレンチ)30が形成されていて、この溝の内面にSiO<sub>2</sub>等の無機酸化膜による溝内絶縁体31が形成されていて、溝の内部にポリシリコン等の溝内絶縁体32が形成されている。
- [0043] 素子基板1の上にはパッシベーション膜3が形成されていて、その状部に絶縁体層4, 5A, 5Bが形成されている。絶縁体層4の上面及び絶縁体層5Aの上面にコイル導体6が形成されている。絶縁体層5Bの上面にはチップ部品側実装電極7A, 7Bが形成されている。
- [0044] 図8は第2の実施形態に係る電子回路装置302の製造方法について示す断面図である。まず、回路基板201に形成した回路基板側電極21A, 21Bに、チップ部品102のチップ部品側実装電極7A, 7Bを接続する。すなわち、回路基板201の実装面MSにチップ部品102を実装する。例えば、回路基板側電極21A, 21Bにチップ部品側実装電極7A, 7Bが対向する位置にチップ部品102を搭載し、加熱することによりはんだ付けする。なお、チップ部品102のチップ部品側実装電極は単なる電極とし、回路基板201に形成した回路基板側電極21A, 21Bにはんだペーストを塗布し、チップ部品側実装電極7A, 7Bを搭載し、加熱することではんだ付けしてもよい。
- [0045] 次に、回路基板201へのチップ部品の実装面MSに被覆樹脂10を被覆する。この被覆樹脂10の被覆高さはチップ部品102の上面より高い。
- [0046] 図8に図示したように、後にチップ表面CSとなる深さまで被覆樹脂10、素子基板1及び溝30を研削する。このことにより、チップ部品102の素子基板1及び溝内絶縁体31, 32の一部を削除する。このことにより、溝内絶縁体31, 32、素子基板1及び被覆樹脂10の表面に、角張った段差部の無い連続面(研削面)を形成する。被覆樹脂10の研削により溝内絶縁体31, 32を露出させて溝内絶縁体31, 32の露出部を形成する。このことにより、コイル導体6によるコイル開口部の少なくとも一部が、素子

基板 1 及び絶縁体層 4, 5 A, 5 B の積層方向に視て、絶縁体露出部の形成領域内にある。

[0047] なお、図 6 から図 8 まではチップ部品側実装電極 7 A, 7 B とコイル導体 6 との接続部のパターンは図示を省略している。

[0048] 図 9 は図 6 に示した例とは異なる溝内絶縁体 3 2 の形状を示す平面図である。図 9 において、(a) で示すチップ部品では、素子基板 1 にそれぞれ横長に延伸した複数の溝内絶縁体 3 2 が形成されている。(b) で示すチップ部品では、素子基板 1 にそれぞれ縦長に延伸した複数の溝内絶縁体 3 2 が形成されている。これらのような溝内絶縁体 3 2 のパターンであっても、素子基板 1 の面積は小さく、素子基板 1 に流れようとする渦電流の電流ループは小さなものとなる。(c) で示す部品では、素子基板 1 に縦格子状の溝内絶縁体 3 2 が形成されている。このように、素子基板 1 に流れる渦電流路を溝内絶縁体 3 2 で閉じることにより、素子基板 1 に流れようとする渦電流の電流ループは効果的に小さなものとなる。(d) で示す部品では、素子基板 1 にそれぞれ縦方向に延伸する複数の部分とそれらを横方向に連続させる部分を有する溝内絶縁体 3 2 が形成されている。このような形状であっても、素子基板 1 に流れようとする渦電流の電流ループは効果的に小さなものとなる。

[0049] 本実施形態によれば、Si に比べて SiO<sub>2</sub> の研削速度は遅いので、研削の開始からトレンチに至るまで高速で処理しても、トレンチに達したところで研削速度が遅くなる。そのため、高速処理で製造に必要な時間を短縮しつつも、トレンチに達した以降は研削量を高精度に制御できる。

[0050] 《第 3 の実施形態》

第 3 の実施形態ではチップ部品を密封した電子回路装置について例示する。

[0051] 図 10 は第 3 の実施形態に係る電子回路装置 303 の断面図である。この電子回路装置 303 は、回路基板 201 にチップ部品 101 が実装されていて、チップ部品 101 が実装されている回路基板 201 の実装面に被覆樹脂

10が被覆されていて、チップ部品101及び被覆樹脂10の上面に外被保護樹脂11が被覆されている。

[0052] この電子回路装置303は図1に示した電子回路装置301の上面に外被保護樹脂11をさらに被覆した構造を成している。

[0053] 本実施形態で示すように、回路基板201に実装したチップ部品101を被覆樹脂10及び外被保護樹脂11で被覆してもよい。これにより、電子回路装置303の薄型化や平坦性を保ちつつチップ部品101の外的環境が向上する。

[0054] 《第4の実施形態》

第4の実施形態では、これまでに示した実施形態とは異なる被覆樹脂の形状及びその形成方法について例示する。

[0055] 図11に示す(1)から(4)は概略的な工程の手順を示す番号である。以降、工程の番号順にその内容を説明する。

[0056] (1) 回路基板201に形成した回路基板側電極21A, 21Bにチップ部品101のチップ部品側実装電極7A, 7Bを接続する。すなわち、回路基板201の実装面MSにチップ部品101を実装する。

[0057] (2) 回路基板201へのチップ部品101の実装面MSに被覆樹脂10を被覆する。この被覆樹脂10の被覆平面範囲はチップ部品101を覆う広さである。被覆樹脂10の高さはチップ部品101の上面より高い。

[0058] (3) 図11中で(2)に図示したように、後にチップ表面CSとなる深さまで被覆樹脂10、素子基板1及び絶縁体層4を研削する。このことにより、チップ部品101の素子基板1及び絶縁体層4の一部を削除する。

[0059] (4) チップ部品101が実装されている回路基板201の実装面に外被保護樹脂11を被覆する。

[0060] 《第5の実施形態》

第5の実施形態では、素子基板及び絶縁体層の積層方向に視て素子基板の存在する位置にコイル導体以外の回路素子が形成されている電子回路装置について例示する。

- [0061] 図12は第5の実施形態に係る電子回路装置の製造方法について示す断面図である。図12から図15に示す(1)から(12)は概略的な工程の手順を示す番号である。以降、工程の番号順にその内容を説明する。
- [0062] (1) 例えばSi基板等の素子基板1を製造装置に投入する。
- [0063] (2) 素子基板1の表面にSiO<sub>2</sub>等の酸化膜2を形成する。
- [0064] (3) 酸化膜2の表面にキャパシタ電極41を形成し、それを所定パターンに形成する。キャパシタ電極41の上面に誘電体層40を形成し、それを所定パターンに形成する。誘電体層40の上面にキャパシタ電極42を形成し、それを所定パターンに形成する。誘電体層40及びキャパシタ電極41, 42によってキャパシタを構成する。
- [0065] (4) 上記キャパシタを含む全域にパッシベーション膜3をCVD等で形成する。
- [0066] (5) パッシベーション膜3の表面から素子基板1まで所定深さの凹部Rを例えばドライエッチングやサンドブラストで形成する。
- [0067] (6) キャパシタ電極41, 42に達する孔部(ビア)Vを例えばドライエッチング等で形成する。なお、これら孔部Vを形成してから(5)に示した凹部を形成してもよい。
- [0068] (7) 上記凹部Rの底面からパッシベーション膜3より所定高さの位置まで絶縁体層4を形成する。この絶縁体層4はその表面を平坦化するレベリング用の有機絶縁膜であり、例えば、エポキシ樹脂、ポリイミド・ポリベンゾオキサゾール(PBO)、ポリイミド(PI)等の感光性有機膜である。
- [0069] (8) キャパシタ電極41, 42に達する孔部(ビア)Vに繋がる導体やコイル導体6の第1層を形成する。例えばCu膜を1μm以上形成し、その表面に例えばTi, TiNを10nmから100nm形成する。また、Cu膜やAl膜と絶縁体層4との間に密着層を形成してもよい。コイル導体6はSAP(Semi Additive Plating)、リフトオフ、Wet etching等で上記導体やコイル導体6を形成する。
- [0070] (9) キャパシタ電極41, 42に導通する導体やコイル導体6の第1層の上部全域に有機絶縁膜等の絶縁体層5Aを形成し、キャパシタ電極41に

導通する孔部（ビア）Vを形成する。

- [0071] (10) キャパシタ電極41, 42に導通する導体やコイル導体6の第2層を第1層と同様の方法で形成する。図16はこの状態での平面図である。
- [0072] (11) キャパシタ電極41, 42に導通する導体やコイル導体6の第2層の上部全域に有機絶縁膜等の絶縁体層5Bを形成し、チップ部品側実装電極を導通させるための孔部（ビア）Vを形成する。
- [0073] (12) 上記孔部（ビア）に、はんだ等のチップ部品側実装電極7A, 7Bを形成し、ウエハーから各チップを分離する。
- [0074] その後は、このチップ部品105を回路基板に実装し、例えば図3に示した工程と同様にして、絶縁体層4を素子基板1の無い開放状態にする。
- [0075] 図17は、回路基板の所定位置に構成した、本実施形態の電子回路装置305による回路の回路図である。この例では、インダクタLとキャパシタCの端部同士が接続された回路である。このチップ部品105はインダクタLとキャパシタCとが直列接続された素子として、又は並列接続された素子として用いることができる。
- [0076] 最後に、本発明は上述した各実施形態に限られるものではない。当業者によって適宜変形及び変更が可能である。本発明の範囲は、上述の実施形態ではなく、特許請求の範囲によって示される。さらに、本発明の範囲には、特許請求の範囲内と均等の範囲内での実施形態からの変形及び変更が含まれる。
- [0077] 例えば、各実施形態において、回路基板201に対する被覆樹脂10の被覆高さはチップ部品の高さより高い例を示したが、回路基板201に対する被覆樹脂10の被覆高さはチップ部品の上面と略同一高さであってもよい。その場合でも、回路基板201にチップ部品を実装した状態でチップ部品の素子基板1を研削して絶縁体層を露出させる際に、チップ部品に対する応力を抑制できる。
- [0078] また、以上の説明ではコイル導体6が磁束を発生し、その磁束による渦電流の発生について述べたが、絶縁体層に対する垂直方向の磁束成分をコイル

導体によるコイルが受ける場合、その磁束による渦電流の発生を同様に抑制できる。

[0079] また、第1の実施形態では、素子基板1及び絶縁体層5A、5Bの積層方向に視て、コイル開口の全体が、絶縁体露出部4Sで形成される領域内に存在する例を示したが、コイル導体によるコイル開口部の少なくとも一部が、上記積層方向に視て絶縁体露出領域内にあるだけでも、Si基板による渦電流の抑制効果は生じる。

[0080] また、第2の実施形態では素子基板1及び絶縁体層5A、5Bの積層方向に視て、コイル開口の全体が絶縁体露出部の形成領域内にある例を示したが、コイル導体によるコイル開口部の少なくとも一部が、上記積層方向に視て、絶縁体露出部の形成領域内にあるだけでも、Si基板による渦電流の抑制効果は生じる。

[0081] また、図3、図6、図8、図11等では単一のチップ部品の近傍について図示したが、回路基板に複数のチップ部品を実装し、それらチップ部品について同時に研削加工することもできる。

[0082] また、第5の実施形態では、素子基板1及び絶縁体層の積層方向に視て、素子基板1の存在する位置にコイル導体以外の回路素子の例としてキャパシタを示したが、それ以外の素子を形成してもよい。

[0083] また、素子基板1の一部を用いるダイオードやトランジスタやMOSキャパシタをコイル導体以外の回路素子として形成してもよい。

[0084] 本発明の電子回路装置及びその製造方法は次に記載の各態様で提供されてもよい。

[0085] <1>

チップ部品と、回路基板と、被覆樹脂と、を備え、

前記チップ部品は、

互いに反対面関係にある第1主面と第2主面とを有する素子基板と、

前記素子基板の前記第1主面の側に形成された絶縁体層と、

前記絶縁体層の内部に形成され、前記素子基板の前記第1主面の垂直方

向成分を有する磁束を発生又は受けるコイル導体と、

前記第 1 主面の側に形成され前記回路基板に前記コイル導体又は当該コイル導体を含む回路を接続するチップ部品側実装電極と、

を有し、

前記回路基板は前記チップ部品側実装電極が接続される回路基板側電極を有し、

前記回路基板側電極に前記チップ部品側実装電極が接続され、

前記被覆樹脂は、前記チップ部品が実装される前記回路基板の実装面に被覆形成され、

前記素子基板に囲まれた前記絶縁体層が露出する絶縁体露出部を有し、

前記素子基板の前記第 2 主面、前記絶縁体露出部及び前記被覆樹脂を含む面は連続面を成し、

前記コイル導体によるコイル開口部の少なくとも一部は、前記素子基板の前記第 2 主面に垂直方向に視て前記絶縁体露出部の形成領域内にある、

電子回路装置。

[0086] < 2 >

前記絶縁体露出部は、前記素子基板の前記第 1 主面の面積に比べて前記第 2 主面の面積が小さい、

< 1 >に記載の電子回路装置。

[0087] < 3 >

前記第 2 主面に垂直方向に視て前記素子基板の存在する位置に前記コイル導体以外の回路素子が形成されている、

< 1 >又は< 2 >に記載の電子回路装置。

[0088] < 4 >

前記素子基板は半導体基板である、

< 1 >から< 3 >のいずれかに記載の電子回路装置。

[0089] < 5 >

前記チップ部品が実装された前記回路基板の面に外被保護樹脂が被覆され

た、

<1>から<4>のいずれかに記載の電子回路装置。

[0090] <6>

互いに反対面関係にある第1主面と第2主面とを有する素子基板の前記第1主面の側に凹部又は開口部を形成し、前記凹部又は前記開口部の内部に絶縁体を形成し、前記素子基板の前記第1主面の側に絶縁体層を形成し、前記絶縁体層に前記絶縁体層に対する垂直方向成分を有する磁束を発生又は受けるコイル導体を形成し、回路基板に前記コイル導体又は当該コイル導体を含む回路を接続するチップ部品側実装電極を形成する、ことでチップ部品を構成し、

前記チップ部品側実装電極が接続される回路基板側電極を前記回路基板に形成し、

前記回路基板側電極に前記チップ部品側実装電極を接続し、

前記回路基板への前記チップ部品の実装面に被覆樹脂を被覆し、

前記凹部又は前記開口部の内部の前記絶縁体が前記素子基板から露出するまで、前記素子基板及び前記絶縁体層を前記第2主面側から研削することで、前記素子基板の前記第2主面、前記凹部又は前記開口部の内部の前記絶縁体、及び前記被覆樹脂を含む面に連続面を形成する、

電子回路装置の製造方法。

## 符号の説明

[0091] C…キャパシタ

CS…チップ表面

L…インダクタ

MS…実装面

R…凹部

V…孔部

1…素子基板

2…酸化膜

- 3…パッシベーション膜
- 4, 5 A, 5 B…絶縁体層
- 4 S…絶縁体露出部
- 5 A, 5 B…絶縁体層
- 6…コイル導体
- 7 A, 7 B…チップ部品側実装電極
- 10…被覆樹脂
- 11…外被保護樹脂
- 21 A, 21 B…回路基板側電極
- 30…溝
- 31, 32…溝内絶縁体
- 40…誘電体層
- 41, 42…キャパシタ電極
- 101, 102…チップ部品
- 201…回路基板
- 301, 302, 303, 304, 305…電子回路装置

## 請求の範囲

- [請求項1] チップ部品と、回路基板と、被覆樹脂と、を備え、  
前記チップ部品は、  
互いに反対面関係にある第1主面と第2主面とを有する素子基板と、  
前記素子基板の前記第1主面の側に形成された絶縁体層と、  
前記絶縁体層の内部に形成され、前記素子基板の前記第1主面の垂直方向成分を有する磁束を発生又は受けるコイル導体と、  
前記第1主面の側に形成され前記回路基板に前記コイル導体又は当該コイル導体を含む回路を接続するチップ部品側実装電極と、  
を有し、  
前記回路基板は前記チップ部品側実装電極が接続される回路基板側電極を有し、  
前記回路基板側電極に前記チップ部品側実装電極が接続され、  
前記被覆樹脂は、前記チップ部品が実装される前記回路基板の実装面に被覆形成され、  
前記素子基板に囲まれた前記絶縁体層が露出する絶縁体露出部を有し、  
前記素子基板の前記第2主面、前記絶縁体露出部及び前記被覆樹脂を含む面は連続面を成し、  
前記コイル導体によるコイル開口部の少なくとも一部は、前記素子基板の前記第2主面に垂直方向に視て前記絶縁体露出部の形成領域内にある、  
電子回路装置。
- [請求項2] 前記絶縁体露出部は、前記素子基板の前記第1主面の面積に比べて前記第2主面の面積が小さい、  
請求項1に記載の電子回路装置。
- [請求項3] 前記第2主面に垂直方向に視て前記素子基板の存在する位置に前記

コイル導体以外の回路素子が形成されている、

請求項 1 又は 2 に記載の電子回路装置。

[請求項4]

前記素子基板は半導体基板である、

請求項 1 から 3 のいずれかに記載の電子回路装置。

[請求項5]

前記チップ部品が実装された前記回路基板の面に外被保護樹脂が被覆された、

請求項 1 から 4 のいずれかに記載の電子回路装置。

[請求項6]

互いに反対面関係にある第 1 主面と第 2 主面とを有する素子基板の前記第 1 主面の側に凹部又は開口部を形成し、前記凹部又は前記開口部の内部に絶縁体を形成し、前記素子基板の前記第 1 主面の側に絶縁体層を形成し、前記絶縁体層に前記絶縁体層に対する垂直方向成分を有する磁束を発生又は受けるコイル導体を形成し、回路基板に前記コイル導体又は当該コイル導体を含む回路を接続するチップ部品側実装電極を形成する、ことでチップ部品を構成し、

前記チップ部品側実装電極が接続される回路基板側電極を前記回路基板に形成し、

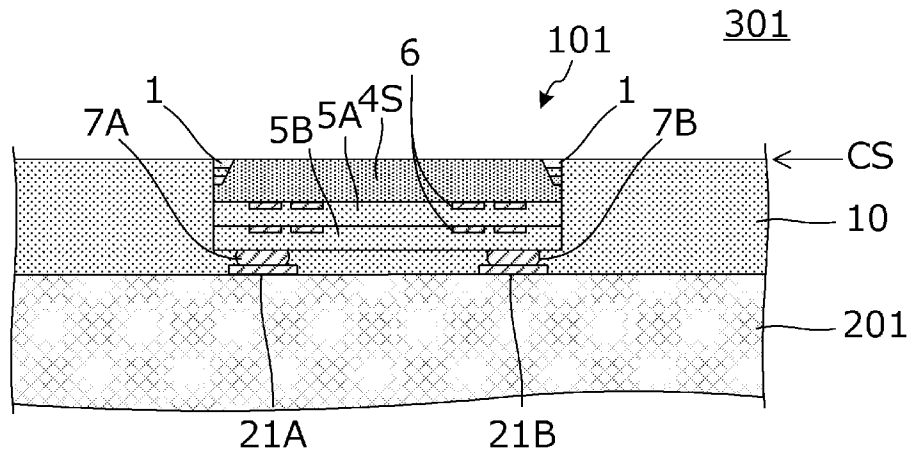
前記回路基板側電極に前記チップ部品側実装電極を接続し、

前記回路基板への前記チップ部品の実装面に被覆樹脂を被覆し、

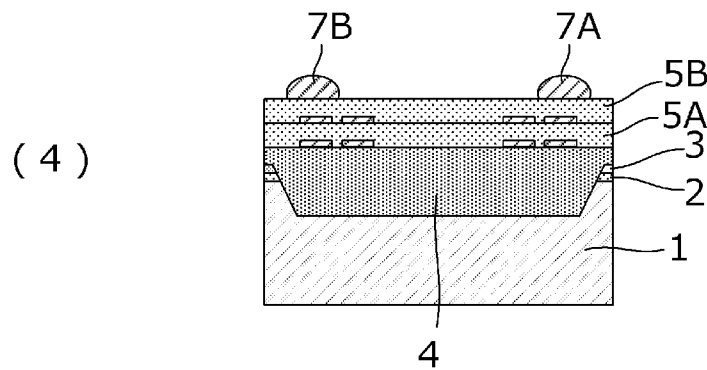
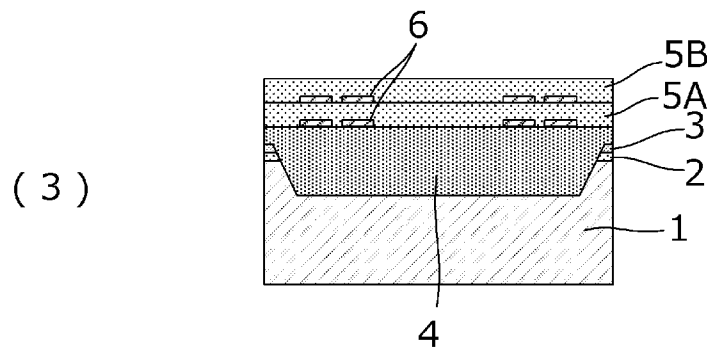
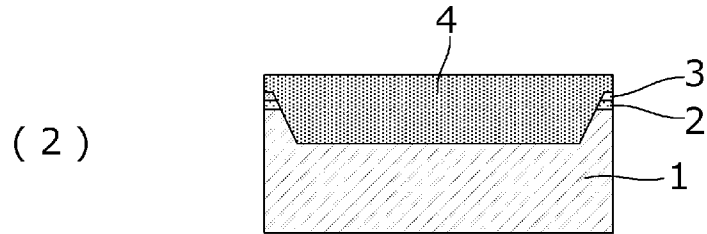
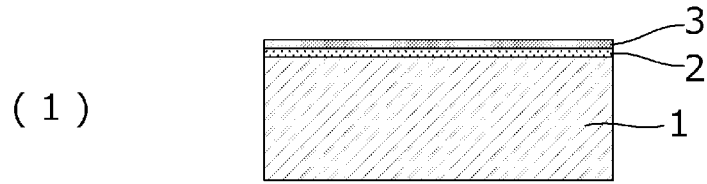
前記凹部又は前記開口部の内部の前記絶縁体が前記素子基板から露出するまで、前記素子基板及び前記絶縁体層を前記第 2 主面側から研削することで、前記素子基板の前記第 2 主面、前記凹部又は前記開口部の内部の前記絶縁体、及び前記被覆樹脂を含む面に連続面を形成する、

電子回路装置の製造方法。

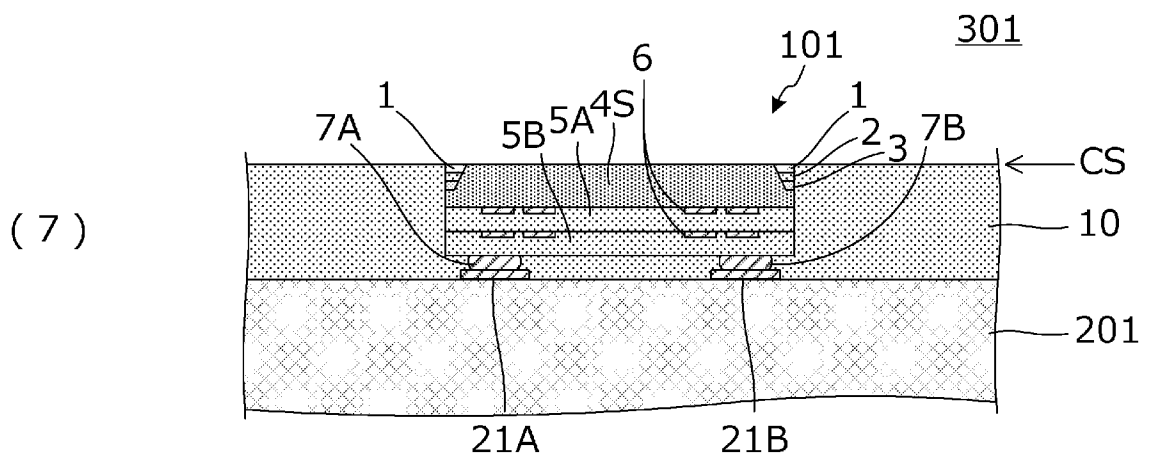
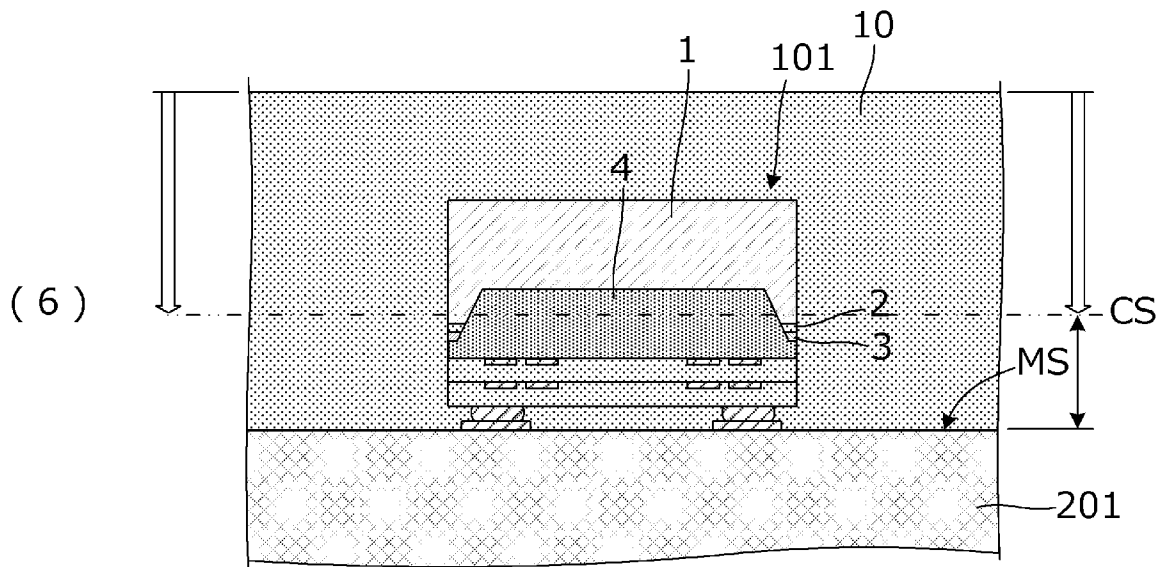
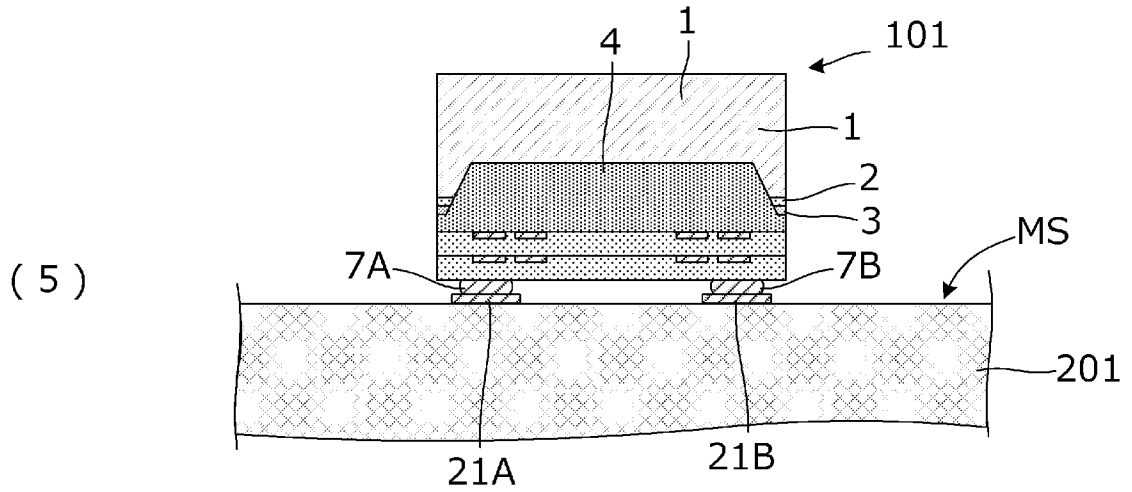
[図1]



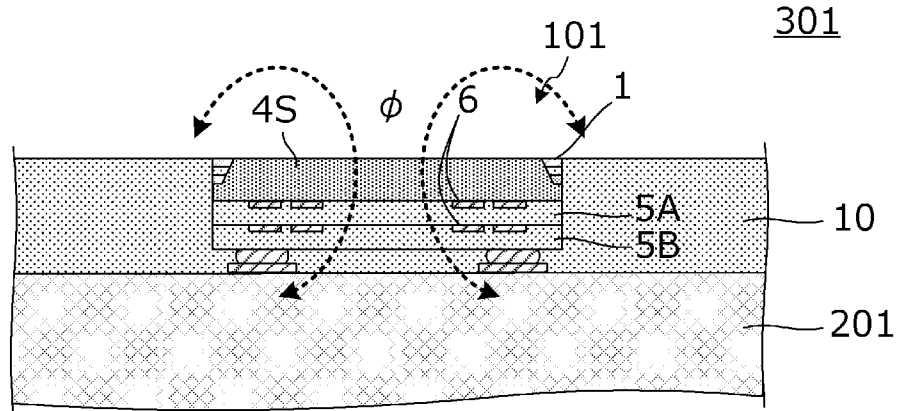
[図2]

101

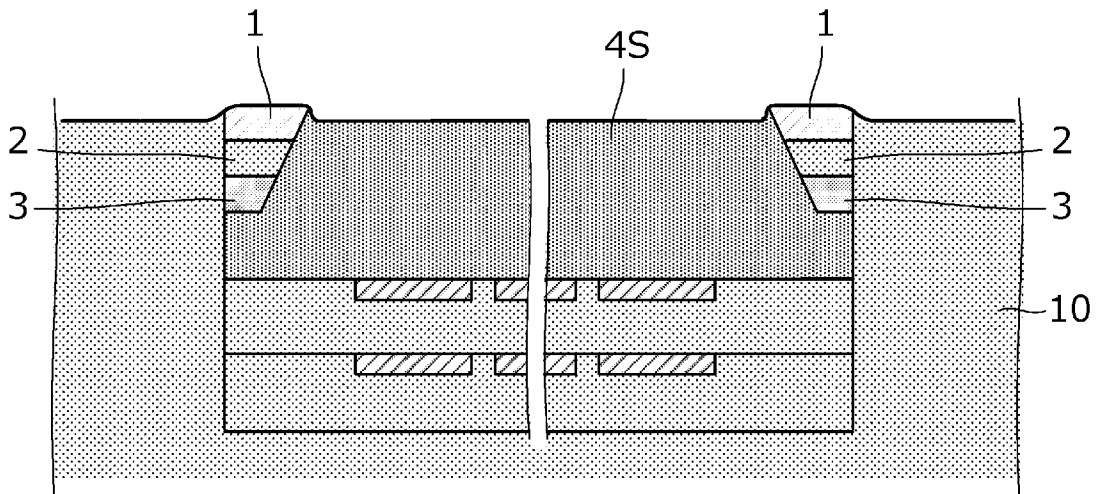
[図3]



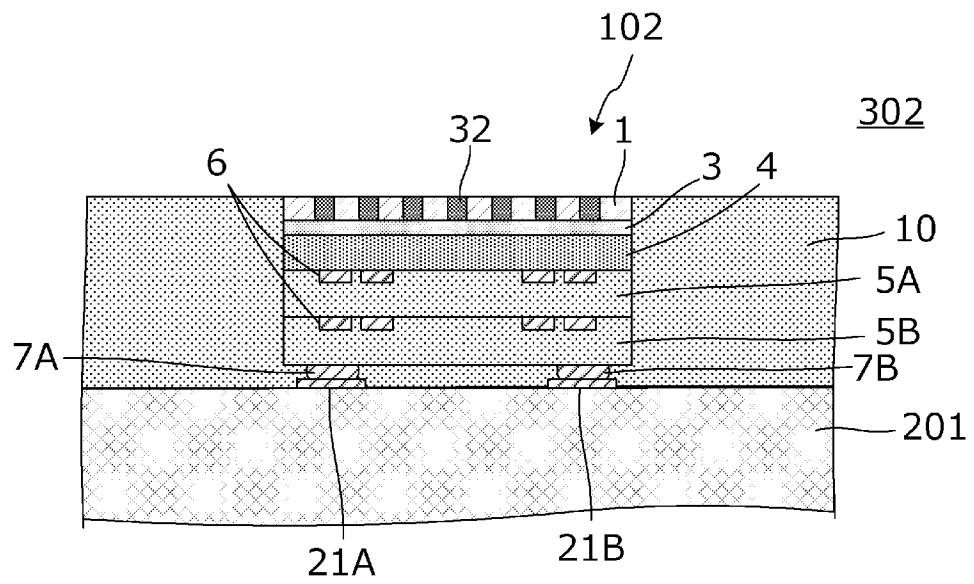
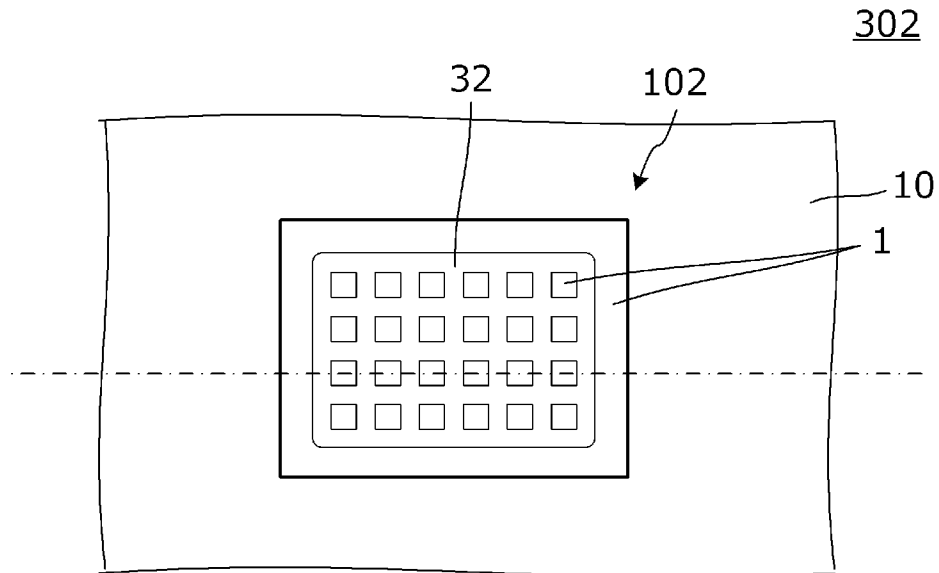
[図4]



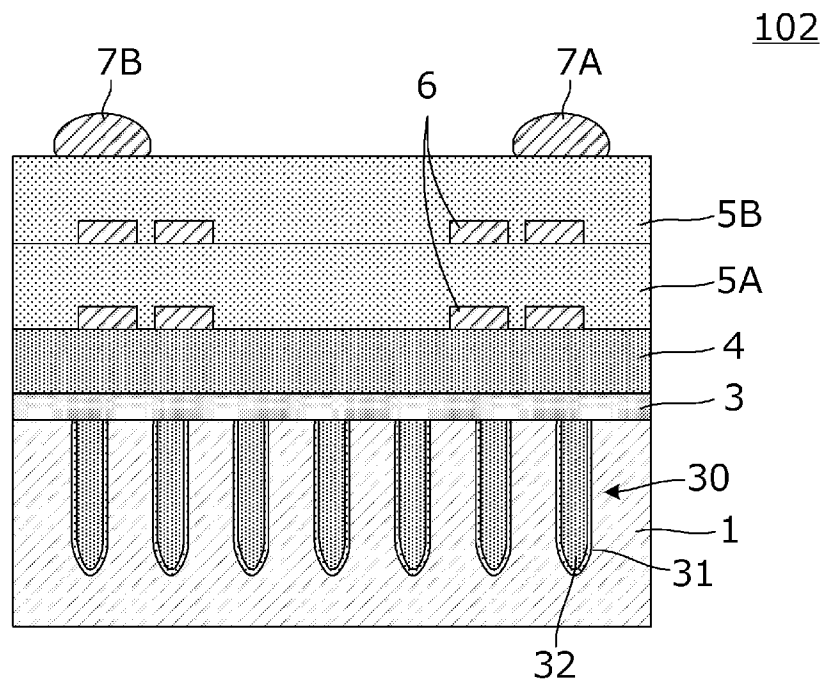
[図5]



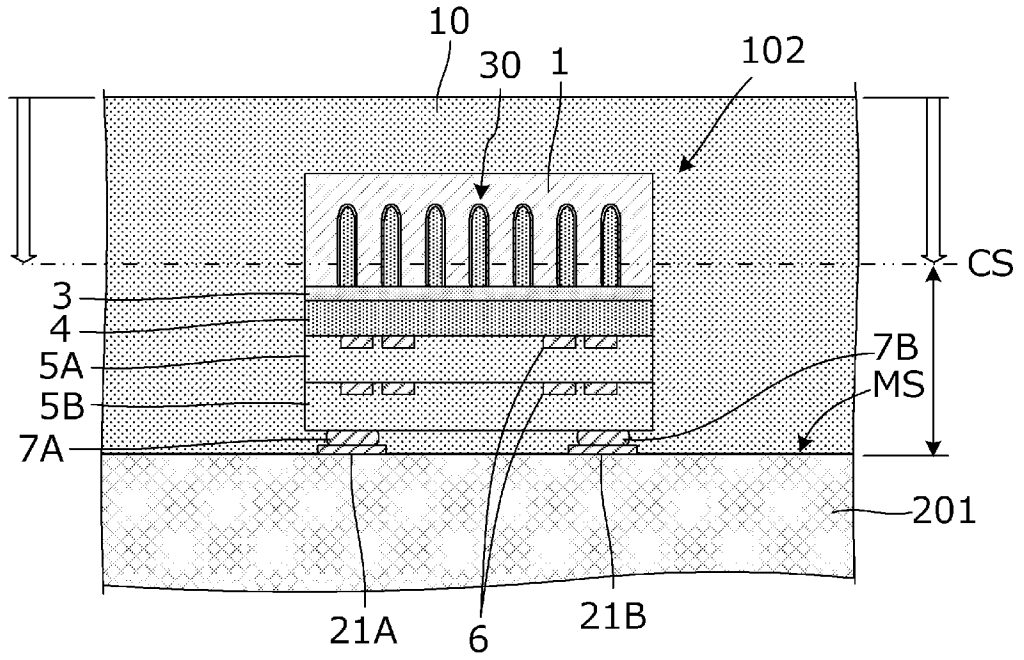
[図6]



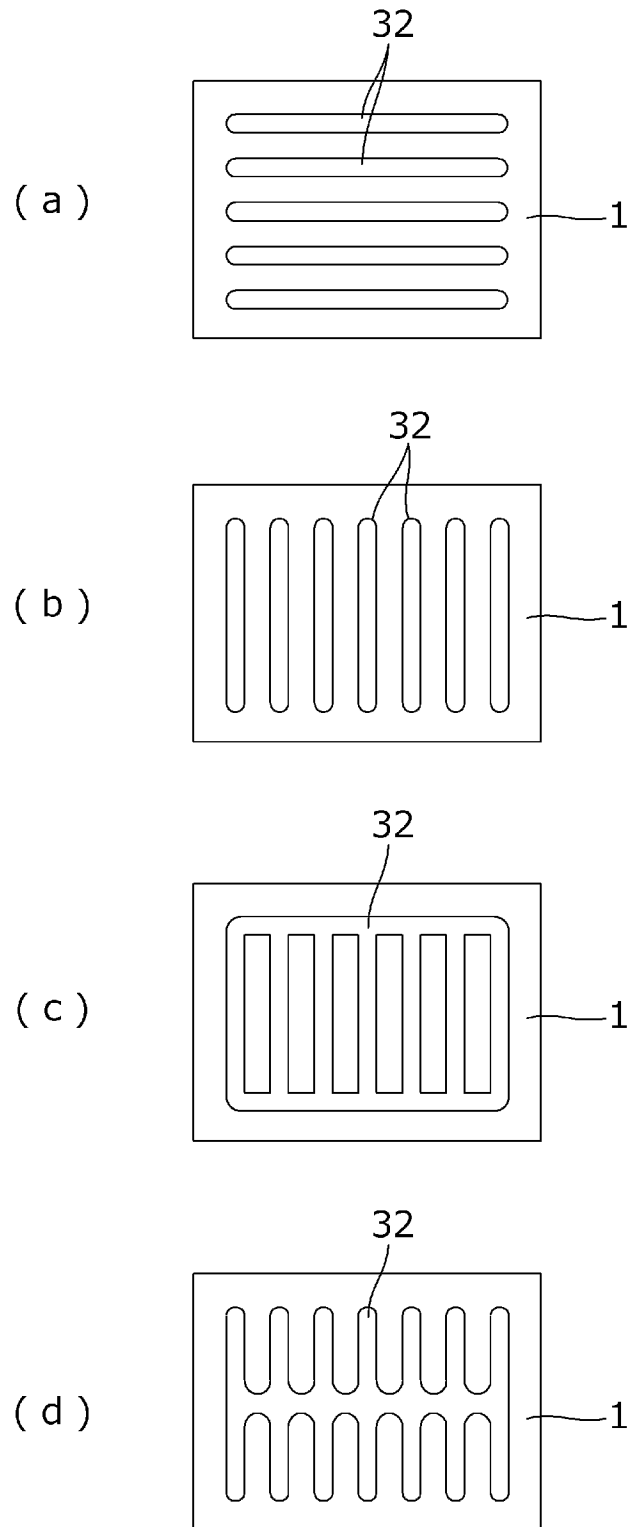
[図7]



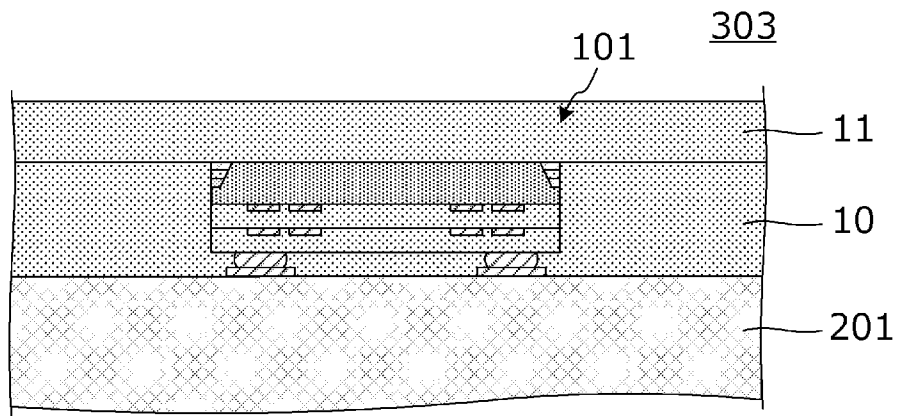
[図8]



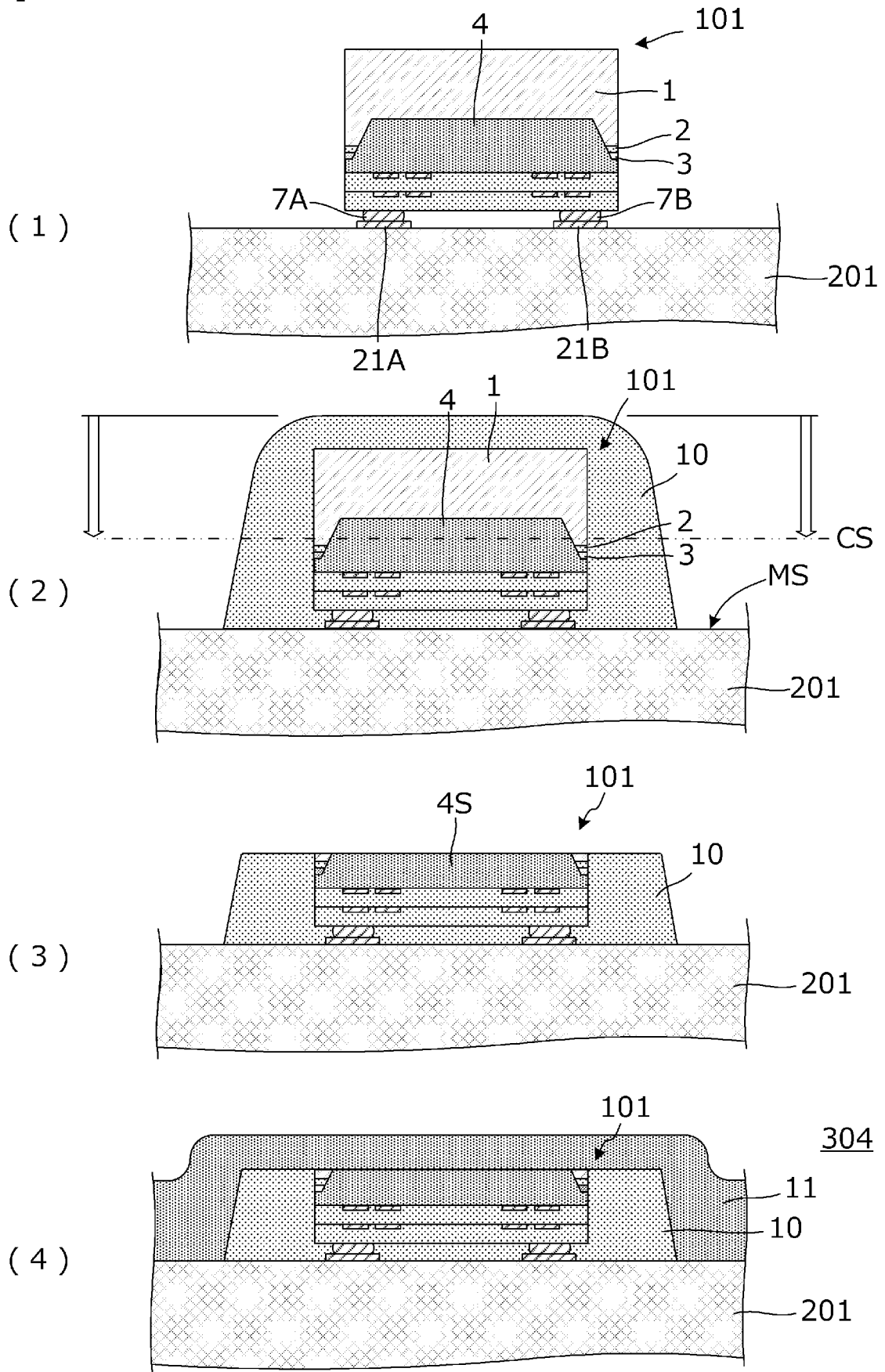
[図9]



[図10]



[図11]

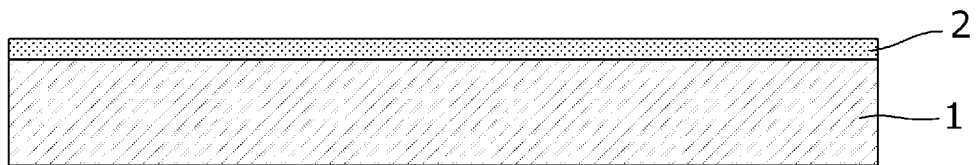


[図12]

(1)



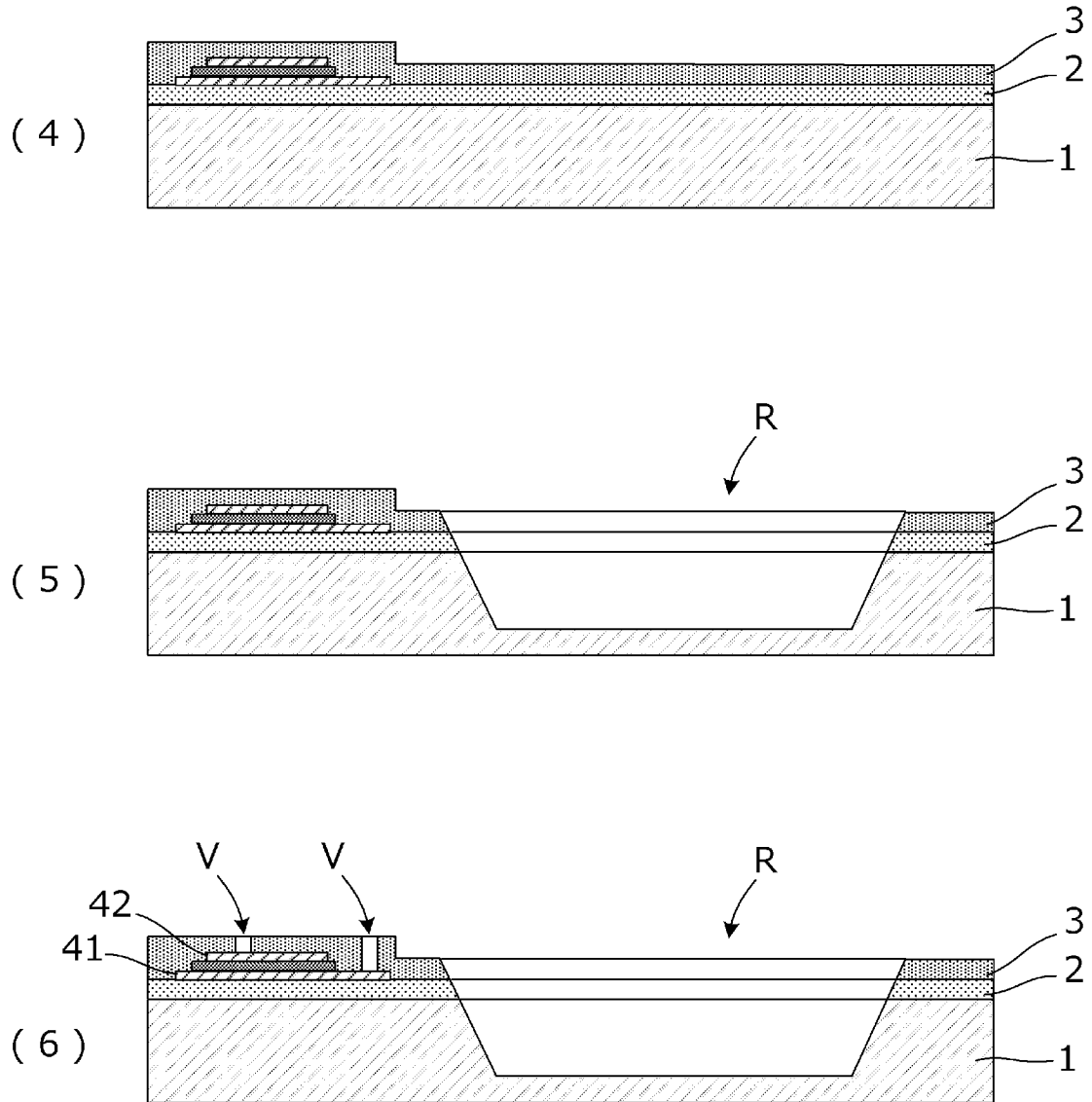
(2)



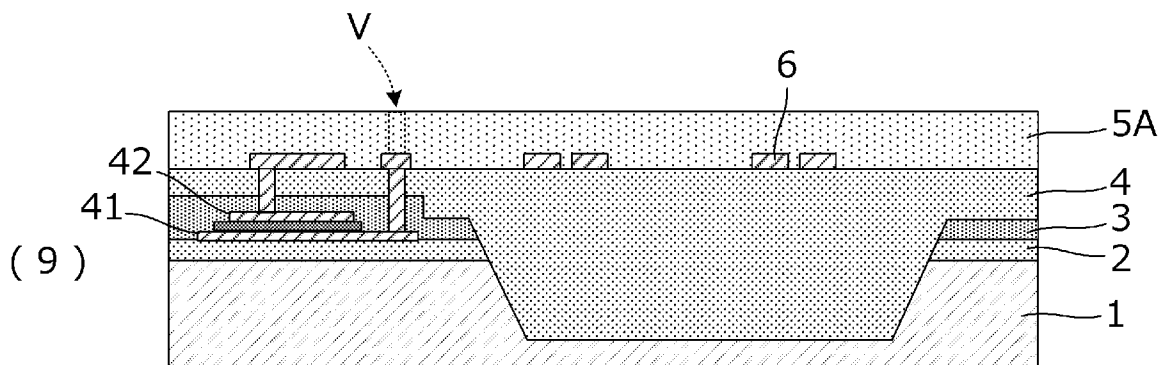
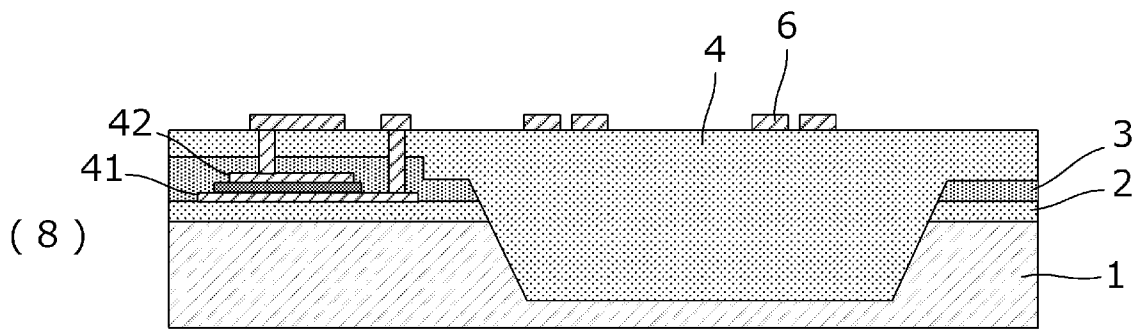
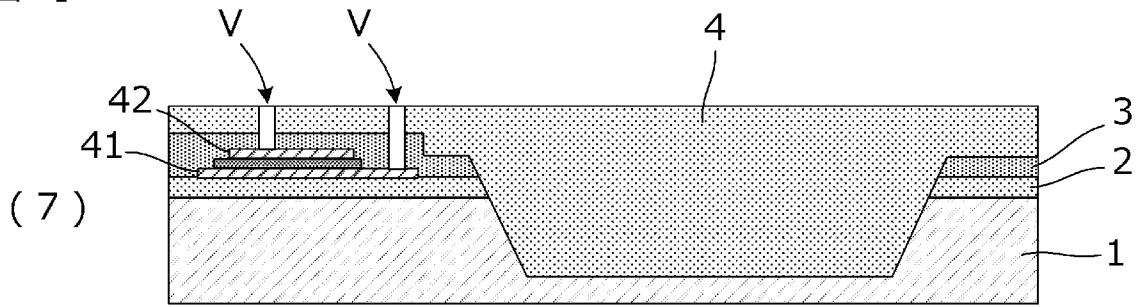
(3)



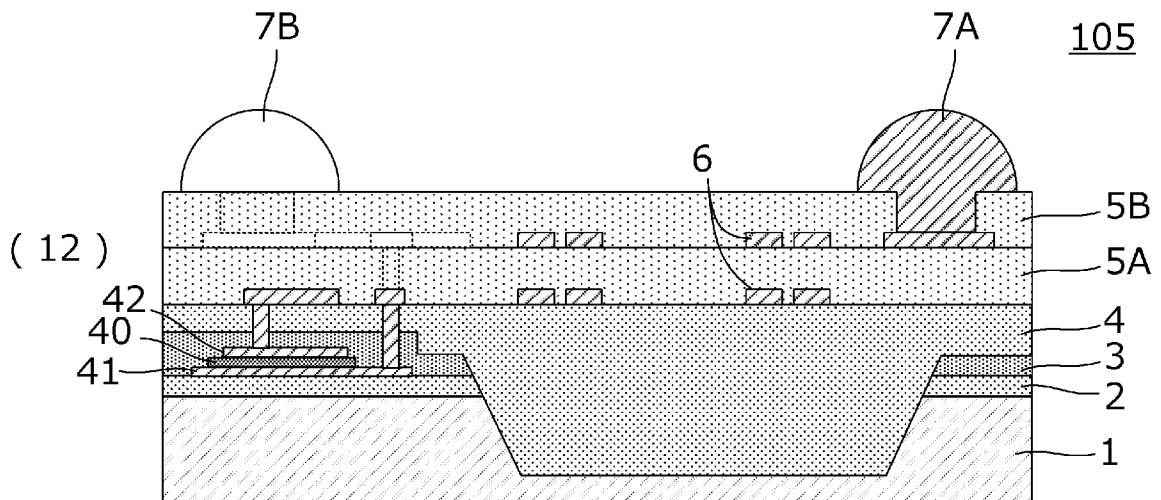
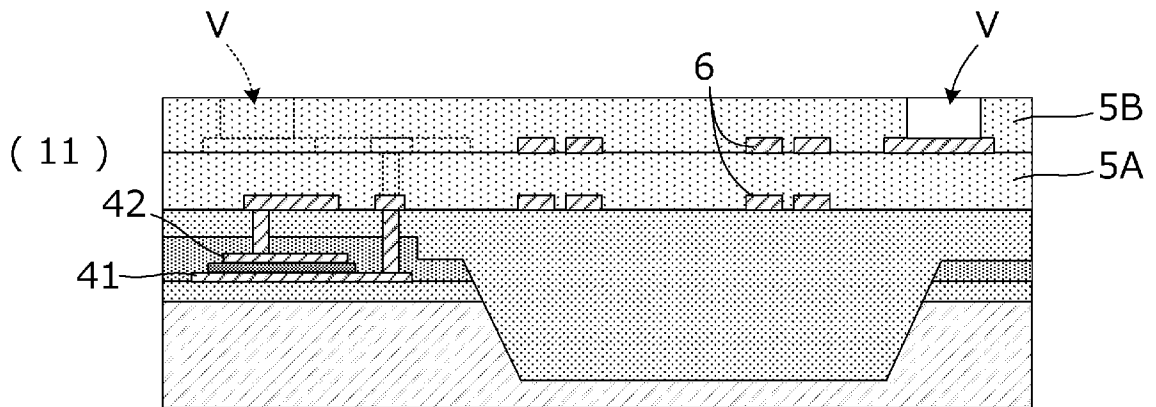
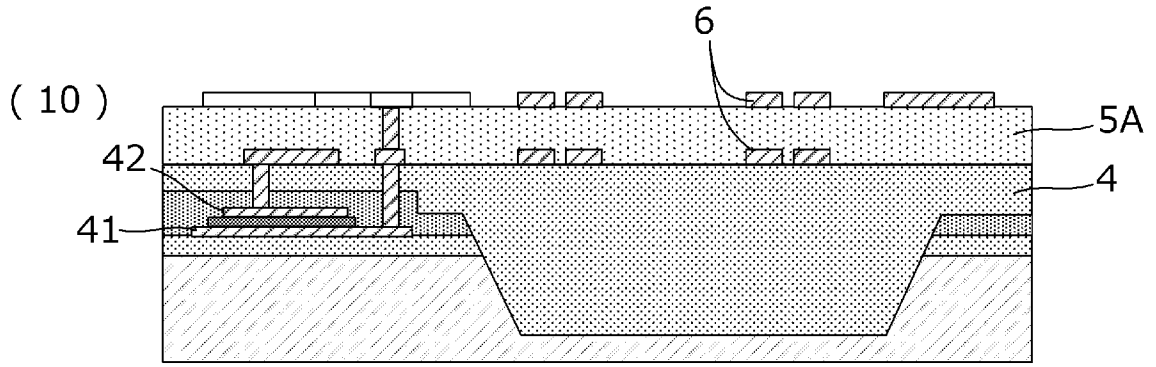
[図13]



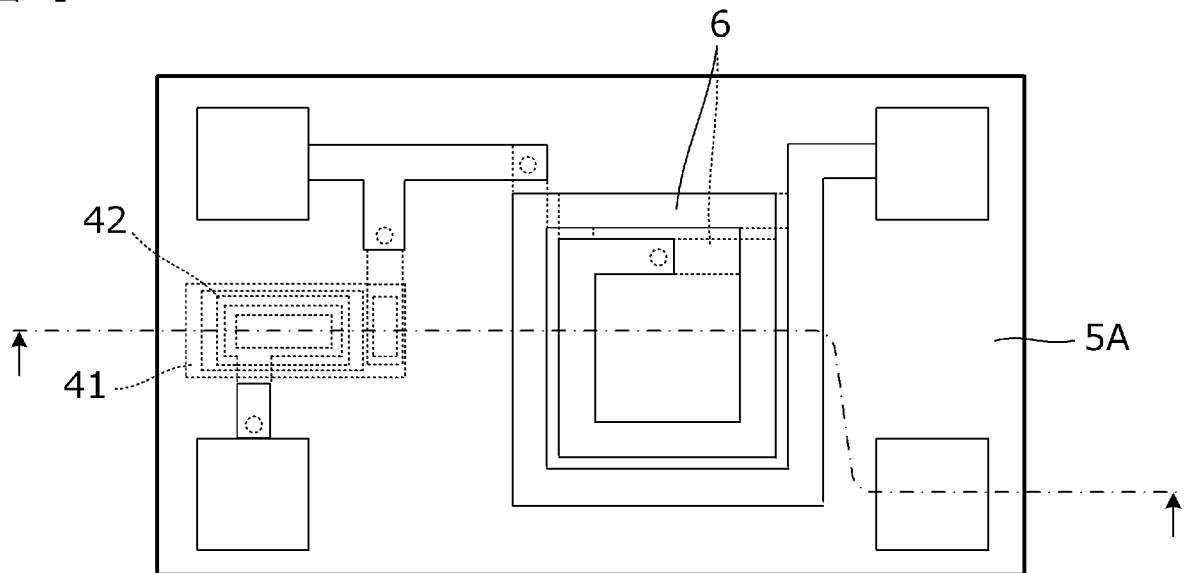
[図14]



[図15]

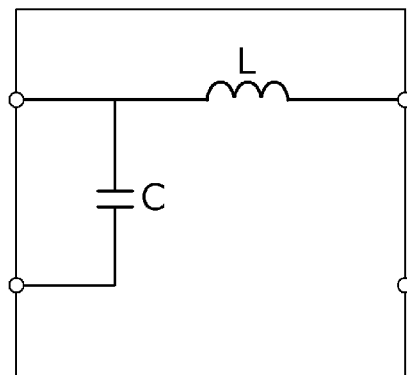


[図16]



[図17]

305



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/018969

**A. CLASSIFICATION OF SUBJECT MATTER**

**H01L 25/00**(2006.01)i; **H01F 17/00**(2006.01)i; **H01F 27/06**(2006.01)i; **H01F 41/04**(2006.01)i; **H01L 23/12**(2006.01)i  
 FI: H01L25/00 Z; H01F17/00 D; H01F27/06 103; H01F41/04 B; H01L23/12 B

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

H01F 17/00, H01F 41/04, H01G 4/00 - 4/40, H01G 17/00, H01L 21/304, H01L 23/12 - 23/15, H01L 23/28 - 23/31, H01L 25/00, H05K 1/16, H05K 1/18, H05K 3/28, H05K 3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996  
 Published unexamined utility model applications of Japan 1971-2006  
 Registered utility model specifications of Japan 1996-2010  
 Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 1-64240 A (TDK CORP.) 10 March 1989 (1989-03-10) publication gazette, p. 1, lower left column, line 15 to p. 3, upper left column, line 8, fig. 1-2	1-6
A	JP 5-55043 A (FUJITSU LIMITED) 05 March 1993 (1993-03-05) paragraphs [0025]-[0035], fig. 1-2	1-6
A	US 5844299 A (NATIONAL SEMICONDUCTOR CORPORATION) 01 December 1998 (1998-12-01) column 2, line 55 to column 4, line 61, fig. 2a-3b	1-6
A	JP 2002-343904 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 29 November 2002 (2002-11-29) paragraphs [0012]-[0014], fig. 1-4	1-6
A	US 2005/0040430 A1 (INFINEON TECHNOLOGIES AG) 24 February 2005 (2005-02-24) paragraphs [0018]-[0042], fig. 1-2	1-6

Further documents are listed in the continuation of Box C.  See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance  
 “D” document cited by the applicant in the international application  
 “E” earlier application or patent but published on or after the international filing date  
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 “O” document referring to an oral disclosure, use, exhibition or other means  
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 “&” document member of the same patent family

Date of the actual completion of the international search <b>18 July 2024</b>	Date of mailing of the international search report <b>30 July 2024</b>
Name and mailing address of the ISA/JP <b>Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan</b>	Authorized officer  Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No. <b>PCT/JP2024/018969</b>
---

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 1-64240 A	10 March 1989	(Family: none)	
JP 5-55043 A	05 March 1993	(Family: none)	
US 5844299 A	01 December 1998	(Family: none)	
JP 2002-343904 A	29 November 2002	(Family: none)	
US 2005/0040430 A1	24 February 2005	DE 10160829 A1	
		EP 1454364 A2	
		EP 1454364 B1	
		WO 03/050885 A2	
		CN 1602552 A	
		CN 1602552 C	
		AU 2002363857 A1	
		US 7176546 B2	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 25/00(2006.01)i; H01F 17/00(2006.01)i; H01F 27/06(2006.01)i; H01F 41/04(2006.01)i; H01L 23/12(2006.01)i FI: H01L25/00 Z; H01F17/00 D; H01F27/06 103; H01F41/04 B; H01L23/12 B		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01F 17/00, H01F 41/04, H01G 4/00 - 4/40, H01G 17/00, H01L 21/304, H01L 23/12 - 23/15, H01L 23/28 - 23/31, H01L 25/00, H05K 1/16, H05K 1/18, H05K 3/28, H05K 3/46 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922—1996年 日本国公開実用新案公報 1971—2006年 日本国実用新案登録公報 1996—2010年 日本国登録実用新案公報 1994—2024年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 1-64240 A（ティーディーケイ株式会社）10.03.1989（1989-03-10） 公報1ページ左下15行—3ページ左上8行，第1図—第12図	1—6
A	JP 5-55043 A（富士通株式会社）05.03.1993（1993-03-05） 段落0025—0035，図1—図2	1—6
A	US 5844299 A（NATIONAL SEMICONDUCTOR CORPORAT ION）01.12.1998（1998-12-01） 2欄55行—4欄61行，図2a—図3b	1—6
A	JP 2002-343904 A（松下電器産業株式会社）29.11.2002（2002-11-29） 段落0012—0014，図1—図4	1—6
A	US 2005/0040430 A1（INFINEON TECHNOLOGIES AG） 24.02.2005（2005-02-24） 段落0018—0042，図1—図2	1—6
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 18.07.2024	国際調査報告の発送日 30.07.2024	
名称及びあて先 日本国特許庁（ISA/JP） 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 齊藤 健一 5D 9742 電話番号 03-3581-1101 内線 3549	

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/018969

引用文献	公表日	パテントファミリー文献	公表日
JP 1-64240 A	10.03.1989	(ファミリーなし)	
JP 5-55043 A	05.03.1993	(ファミリーなし)	
US 5844299 A	01.12.1998	(ファミリーなし)	
JP 2002-343904 A	29.11.2002	(ファミリーなし)	
US 2005/0040430 A1	24.02.2005	DE 10160829 A1	
		EP 1454364 A2	
		EP 1454364 B1	
		WO 03/050885 A2	
		CN 1602552 A	
		CN 1602552 C	
		AU 2002363857 A1	
		US 7176546 B2	