(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2020 年 9 月 24 日 (24.09.2020)

WIPO | PCT

(10) 国际公布号
WO 2020/186512 A1

(51) 国际专利分类号:
H01L 31/18 (2006.01) *H01L 31/0352* (2006.01)

(21) 国际申请号: PCT/CN2019/079052

(22) 国际申请日: 2019 年 3 月 21 日 (21.03.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 深圳市汇顶科技股份有限公司 (**SHENZHEN GOODIX TECHNOLOGY CO., LTD.**) [CN/CN]; 中国广东省深圳市福田保税区腾飞工业大厦B座13层, Guangdong 518045 (CN)。

(72) 发明人: 姚国峰 (**YAO, Guofeng**); 中国广东省深圳市福田保税区腾飞工业大厦B座13层, Guangdong 518045 (CN)。 沈健 (**SHEN, Jian**); 中国广东省深圳市福田保税区腾飞工业大厦B座13层, Guangdong 518045 (CN)。

(74) 代理人: 北京同立钧成知识产权代理有限公司 (**LEADER PATENT & TRADEMARK FIRM**); 中国北京市海淀区西直门北大街32号枫蓝国际A座8F-6, Beijing 100082 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,

(54) **Title:** PHOTODIODE PREPARATION METHOD, PHOTODIODE, AND CMOS IMAGE SENSOR

(54) 发明名称: 光电二极管的制备方法、光电二极管和CMOS图像传感器

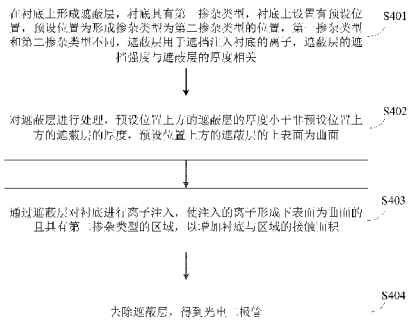


图 4

S401 Form masking layer on substrate, substrate having first doping type, substrate being provided with preset position, first doping type and second doping type being different; masking layer is used for shielding against ions implanted into the substrate, shielding strength of masking layer being related to thickness of masking layer

S402 Process masking layer so that thickness of masking layer above preset position is less than thickness of masking layer above non-preset position, upper surface of masking layer above preset position being curved surface

S403 Perform ion implantation on substrate such that implanted ions form region having curved lower surface and second doping type so as to increase area of contact between substrate and region

S404 Remove masking layer to obtain photodiode

(57) **Abstract:** The present application provides a photodiode preparation method, a photodiode, and a complementary metal-oxide semiconductor (CMOS) image sensor, said method comprising: forming a masking layer on a substrate, the substrate having a first doping type, the substrate being provided with a preset position, the first doping type and the second doping type being different; processing a masking layer, such that the thickness of the masking layer above the preset position is less than the thickness of the masking layer above the non-preset position; performing ion implantation on the substrate such that the implanted ions form a region having a curved lower surface and a second doping type so as to increase the area of contact between the substrate and the region; removing the masking layer to obtain a photodiode. The present application increases the areas of contact between the substrate and the first doping type and between the region and the second doping type, improving full-well capacity.

(57) 摘要: 本申请提供一种光电二极管的制备方法、光电二极管和CMOS图像传感器，该方法包括：在衬底上形成遮蔽层，衬底具有第一掺杂类型，衬底上设置有预设位置，第一掺杂类型和第二掺杂类型不同；对遮蔽层进行处理，使预设位置上方的遮蔽层的厚度小于非预设位置上方的遮蔽层的厚度；对衬底进行离子注入，使注入的离子形成下表面为曲面的且具有第二掺杂类型的区域，以增加衬底与区域的接触面积；去除遮蔽层，得到光电二极管。本申请增加了具有第一掺杂类型的衬底与具有第二掺杂类型的区域的接触面积，提高了满阱容量。

WO 2020/186512 A1

[见续页]

RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

光电二极管的制备方法、光电二极管和 CMOS 图像传感器

技术领域

本申请涉及图像传感器制造技术领域，尤其涉及一种光电二极管的制备方法、光电二极管和 CMOS 图像传感器。

背景技术

金属互补氧化物半导体(CMOS)固态图像传感器(CMOS Image Sensor)是一种可将入射光信号转换为电信号的传感器，广泛应用于智能手机、数码相机、行车记录仪以及安防监控等设备中。CMOS 图像传感器是由多个像素单元，即像素阵列组成的，每个像素单元对应至少一个光电二极管。

CMOS 图像传感器的工作原理是：当光照射到图像传感器的像素单元时，该像素单元对应的光电二极管根据入射光强产生相应数量的电荷，这些电荷经过模数转换以及信号处理后在该像素单元对应的位置处输出对应的色度，而所有像素单元对应的图像加在一起便得到了整体的图像。满阱容量指的是每个像素单元能够存储的电荷最大数量，由于电荷主要贮存在光电二极管的耗尽区，因此决定满阱容量的一个重要因素就是光电二极管的面积。然而，随着 CMOS 图像传感器的像素单元的尺寸的减小，使得像素单元对应的光电二极管的面积也减小，导致满阱容量降低。而低的满阱容量会降低像素单元的可探测光的动态范围，这会严重降低图像的质量。

现有技术中，采用增加光电二极管的掺杂浓度的方式，提高满阱容量。然而这种方式会导致光电二极管的中心区域载流子难以耗尽，从而有载流子残留，使得像素单元在输出图像时难以转移全部载流子，导致输出图像质量下降，例如发生图像拖尾、暗电流过大或白点等问题。

发明内容

本申请提供一种光电二极管的制备方法、光电二极管和 CMOS 图像传感器，增加了具有第一掺杂类型的衬底与具有第二掺杂类型的区域的接触面积，提高了光电二极管的满阱容量。

本申请的第一方面提供一种光电二极管的制备方法，包括：

在衬底上形成遮蔽层，所述衬底具有第一掺杂类型，所述衬底上设置有预设位置，所述预设位置为形成掺杂类型为第二掺杂类型的位置，所述第一掺杂类型和所述第二掺杂类型不同，所述遮蔽层用于遮挡注入所述衬底的离子，所述遮蔽层的遮挡强度与所述遮蔽层的厚度相关；

对所述遮蔽层进行处理，使所述预设位置上方的遮蔽层的厚度小于非所述预设位置上方的遮蔽层的厚度，所述预设位置上方的遮蔽层的上表面为曲面；

通过所述遮蔽层对所述衬底进行离子注入，使注入的离子形成下表面为曲面的且具有第二掺杂类型的区域，以增加所述衬底与所述区域的接触面积；

去除遮蔽层，得到光电二极管。

可选的，当所述遮蔽层的材料为硬度大于预设硬度的材料时，所述对所述遮蔽层进行处理之前，还包括：

在所述遮蔽层上形成光刻胶层；

对光刻胶层进行处理，所述预设位置上方的光刻胶层的厚度小于非所述预设位置上方的光刻胶层的厚度，所述预设位置上方的光刻胶层的上表面为曲面；

所述对所述遮蔽层进行处理，包括：

对所述光刻胶层进行刻蚀处理。

可选的，当所述遮蔽层的材料为硬度小于或等于预设硬度的材料，且所述材料为光刻胶时，所述对所述遮蔽层进行处理，包括：

对光刻胶层进行处理。

可选的，所述对光刻胶层进行处理，包括：

在所述光刻胶层上放置灰度掩膜版，并对所述光刻胶层进行曝光处理；

其中，若所述光刻胶层中的光刻胶为正性光刻胶，则所述预设位置上方的所述灰度掩膜版的透光率大于位于非所述预设位置上方的所述灰度掩膜版的透光率，所述预设位置上方的所述灰度掩膜版的透光率不同与所述预设位置上方的光刻胶的厚度负相关；若所述光刻胶层中的光刻胶为负性光刻胶，则所述预设位置上方的所述灰度掩膜版的透光率小于位于非所述预设位置上方的所述灰度掩膜版的透光率，所述预设位置上方的所述灰度掩膜版的透光

率与所述预设位置上方的光刻胶的厚度正比关。

可选的，所述对光刻胶层进行处理，包括：

其中，若所述光刻胶层中的光刻胶为正性光刻胶，则采用直写式光刻对所述光刻胶层进行光刻处理；所述预设位置上方的光刻强度大于非所述预设位置上方的光刻强度，所述预设位置上方的光刻强度不同与所述预设位置上方的光刻胶的厚度负相关；若所述光刻胶层中的光刻胶为负性光刻胶，则所述预设位置上方的光刻强度小于非所述预设位置上方的光刻强度，所述预设位置上方的光刻强度与所述预设位置上方的光刻胶的厚度正相关。

可选的，所述对光刻胶层进行处理，包括：

采用纳米压印对所述光刻胶层进行压印，所述预设位置上方的压印深度大于非所述预设位置上方的压印深度，所述预设位置上方的压印深度与所述预设位置上方的光刻胶的厚度负相关。

可选的，当所述遮蔽层的材料硬度为小于或等于预设硬度的材料，且所述材料为非光刻胶时，所述对所述遮蔽层进行处理，包括：

采用纳米压印对所述遮蔽层进行压印，所述预设位置上方的压印深度大于非所述预设位置上方的压印深度，所述预设位置上方的压印深度与所述预设位置上方的光刻胶的厚度负相关。

可选的，所述遮蔽层的上表面为球冠状曲面或梳齿形曲面。

本申请的第二方面提供一种光电二极管，包括：

具有第一掺杂类型的衬底，以及，在所述衬底中形成的具有第二掺杂类型的区域，所述区域自所述衬底上方的内表面向下伸出，所述区域的下表面为曲平面，所述第一掺杂类型和所述第二掺杂类型不同。

本申请的第三方面提供一种 CMOS 图像传感器，包括：至少一个如上述第二方面所述的光电二极管。

本申请提供一种光电二极管的制备方法、光电二极管和 CMOS 图像传感器，该方法包括：在衬底上形成遮蔽层，衬底具有第一掺杂类型，衬底上设置有预设位置，第一掺杂类型和第二掺杂类型不同；对遮蔽层进行处理，预设位置上方的遮蔽层的厚度小于非预设位置上方的遮蔽层的厚度，预设位置上方的遮蔽层的上表面为曲面；对衬底进行离子注入，使注入的离子形成下表面为曲面的且具有第二掺杂类型的区域，以增加衬底与区域的接触面积；

去除遮蔽层，得到光电二极管。本申请增加了具有第一掺杂类型的衬底与具有第二掺杂类型的区域的接触面积，提高了满阱容量。

附图说明

为了更清楚地说明本申请实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作一简单地介绍，显而易见地，下面描述中的附图是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动性的前提下，还可以根据这些附图获得其他的附图。

图 1 为现有技术中的光电二极管的示意图一；

图 2 为现有技术中的光电二极管的示意图二；

图 3 为现有技术中的光电二极管的示意图三；

图 4 为本申请提供的光电二极管的制备方法的流程示意图一；

图 5 为本申请提供的光电二极管的制备流程示意图一；

图 6 为本申请提供的压印模具的示意图；

图 7 为本申请提供的光电二极管的制备方法的流程示意图二；

图 8 为本申请提供的光电二极管的制备流程示意图二。

具体实施方式

为使本申请实施例的目的、技术方案和优点更加清楚，下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

本申请的说明书和权利要求书及上述附图中的术语“第一”、“第二”、“第三”、“第四”等（如果存在）是用于区别类似的对象，而不必用于描述特定的顺序或先后次序。应该理解这样使用的数据在适当情况下可以互换，以便这里描述的本申请的实施例，例如能够以除了在这里图示或描述的那些以外的顺序实施。此外，术语“包括”和“具有”以及他们的任何变形，意图在于覆盖不排他的包含，例如，包含了一系列步骤或单元的过程、方法、系统、产品或设备不必限于清楚地列出的那些步骤或单元，而是可包括没有清楚地列出

的或对于这些过程、方法、产品或设备固有的其它步骤或单元。

图 1 为现有技术中的光电二极管的示意图一。如图 1 所示，光电二极管在 p 型衬底 100 上形成一个 n 型掺杂区域 101，光电二极管的耗尽区为 p 型衬底 100 与 n 型掺杂区域 101 的接触区域，如图中的 103 所示。目前，随着 CMOS 图像传感器的像素单元的尺寸的减小，使得像素单元对应的光电二极管的面积也减小。相应的，光电二极管中的耗尽区的面积也减小，导致满阱容量降低，由此产生图像品质恶化的问题。值得注意的是，本申请中所示的光电二极管的示意图均为侧视图。

现有技术中，采用增加光电二极管的掺杂浓度的方式，提高满阱容量，然而这种方式会发生图像拖尾、暗电流过大或白点等问题。

另外，现有技术中还采用形成多重 n-p-n 结的方式提高满阱容量。图 2 为现有技术中的光电二极管的示意图二。如图 2 所示，形成多重 n-p-n 结的光电二极管的方式为：将 p 型掺杂区域 202 插入到 n 型掺杂区域 101 之中，从而形成一个 U 型结构，可以使光电二极管产生额外的耗尽区 203a 和 203b。相较于图 1，增加了光电二极管的耗尽区的面积，提高了光电二极管的满阱容量。

进一步的，现有技术中还通过在图 1 形成 n 型掺杂区域 101 的基础上，形成一深度更深的 n 型掺杂区域，以增加光电二极管的耗尽区的面积，提高满阱容量。图 3 为现有技术中的光电二极管的示意图三。如图 3 所示，通过在 n 型掺杂区域 101 下方形成深度更深的 n 型掺杂区域 302，可以使光电二极管产生额外的耗尽区 303，提高满阱容量。采用上述方式形成的图 2 和图 3 中的光电二极管的结构，虽然不影响输出图像的品质，但但这两种方式需要对衬底进行多道离子注入步骤，工序复杂。

为了解决上述问题，本申请提供了一种光电二极管的制备方法。不仅能够增加光电二级管的耗尽区的面积，且仅采用一次离子注入，工序简单。

图 4 为本申请提供的光电二极管的制备方法的流程示意图一。图 4 所示方法流程的执行主体可以为光电二极管的制备装置，如图 4 所示，本实施例提供的光电二极管的制备方法可以包括：

S401，在衬底上形成遮蔽层，衬底具有第一掺杂类型，衬底上设置有预设位置，预设位置为形成掺杂类型为第二掺杂类型的位置，第一掺杂类型和

第二掺杂类型不同，遮蔽层用于遮挡注入衬底的离子，遮蔽层的遮挡强度与遮蔽层的厚度相关。

本实施例中的光电二极管的制备装置可以为集成涂布、光刻、刻蚀、离子注入等多种功能为一体的装置，能够实现对衬底的遮蔽层的形成、光刻胶层的涂布等过程。也可以是将实现涂布、光刻、刻蚀、离子注入等多种功能的多个模块集成为一体的装置。

可选的，本实施例中的光电二极管可以为 CMOS 图像传感器中的光电二极管。

本实施例中提供具有第一掺杂类型的衬底，该衬底可以为硅晶圆或是生长于硅晶圆上方的外延硅。其中，第一掺杂类型可以为 p 型掺杂或者 n 型掺杂。衬底上设置有预设位置，该预设位置为形成掺杂类型为第二掺杂类型的位置，其中，将具有第二掺杂类型的离子在预设位置注入衬底中，可以在衬底中形成具有第二掺杂类型的区域。其中，第一掺杂类型和第二掺杂类型不同，具有第二掺杂类型的区域与衬底接触的区域为耗尽区。

本实施例中，遮蔽层用于遮挡注入衬底的离子，遮蔽层的遮挡强度与遮蔽层的厚度相关，遮蔽层的厚度越大，则对离子的遮挡强度越强。由于衬底上设置有预设位置，预设位置为注入离子后形成具有第二掺杂类型的区域的位置；而非预设位置为注入离子后保持衬底的第一掺杂类型的位置。

本实施例中的遮蔽层可以但不限于为由光刻胶形成的光刻胶层，由二氧化硅形成的二氧化硅层，由聚二甲基硅氧烷(polydimethylsiloxane，PDMS)形成的 PDMS 层。

图 5 为本申请提供的光电二极管的制备流程示意图一。如图 5 中的 a 所示，在衬底 100 上形成遮蔽层 501，其中，衬底的 A、B 之间的位置为衬底的预设位置。图 5 中以遮蔽层 501 具有相同厚度进行示例说明，可以想到的是，本实施例在衬底 100 上形成的遮蔽层 501 可以具有不同的厚度。

S402，对遮蔽层进行处理，使预设位置上方的遮蔽层的厚度小于非预设位置上方的遮蔽层的厚度，预设位置上方的遮蔽层的上表面为曲面。

由于预设位置为注入离子后形成具有第二掺杂类型的区域的位置，而非预设位置为注入离子后保持衬底的第一掺杂类型的位置，因此在离子注入能量相同的前提下，需要预设位置上方的遮蔽层的厚度小于非预设位置上方的

遮蔽层的厚度。只有这样，非预设位置上方的遮蔽层能够有效遮挡离子注入至衬底中。

其中，预设位置上方的遮蔽层的上表面为曲面。可选的，该曲面不限于为球冠状曲面、或梳齿性曲面；球冠状曲面可以为球冠状凸面或球冠状凹面。

本实施例中对遮蔽层进行处理方式可以根据遮蔽层的不同而不同。

示例性的，遮蔽层为光刻胶层 5011 时，由于光刻胶层的硬度较小，可以采用纳米压印的方式获取上述预设位置上方的遮蔽层的厚度小于非预设位置上方的遮蔽层的厚度，且预设位置上方的遮蔽层的上表面为曲面的光刻胶层。为了使得非预设位置上方的光刻胶层厚度大于预设位置上方的光刻胶层的厚度，且预设位置上方的光刻胶层的上表面为曲面。可以设置预设位置处压印深度大，而非预设位置处压印深度小，且在预设位置处的压印深度与预设位置上方的光刻胶的厚度负相关的压印模具。预设位置处的压印深度与预设位置上方的光刻胶的厚度负相关指的是：预设位置上方的光刻胶的厚度越大，则压印深度越小。

图 6 为本申请提供的压印模具的示意图。如图 6 所示，压印模具两侧的位置对应的是衬底上的非预设位置，压印模具中间的位置对应的是衬底上的预设位置。可以看出，压印模具两侧的压印深度小于压印模具中间的压印深度，且压印模具中间的压印深度根据最终形成的曲面的形状设置。图 6 中示例性的示出了衬底上预设位置对应的压印模具上的图形为梳齿形。可以想到的是，压印模具上，梳齿形中凸出的齿的位置处的压印深度小于凹进的齿的位置处的压印深度。

本实施例中，通过纳米压印的方式可以将压印模具上的图形转移到光刻胶层上，可以得到遮蔽层。如图 5 中的 b 所示，形成了非预设位置上方的光刻胶层 5011b 的厚度大于预设位置上方的光刻胶层 5011a 的厚度，且预设位置上方的光刻胶层 5011a 的上表面为曲面的光刻胶层。

值得注意的是，对于材料硬度较小的遮蔽层，均可直接采用纳米压印的方式获取预设位置上方的遮蔽层的厚度小于非预设位置上方的遮蔽层的厚度，且预设位置上方的遮蔽层的上表面为曲面的遮蔽层。对于材料硬度较大的遮蔽层，可以在遮蔽层上涂布光刻胶层后，采用相同的纳米压印的方式获取上述遮蔽层。

本实施例中，根据遮蔽层的材料的不同，可以采用现有技术中的刻蚀、光刻等方式获取遮蔽层，在此不做赘述。

S403，通过遮蔽层对衬底进行离子注入，使注入的离子形成下表面为曲面的且具有第二掺杂类型的区域，以增加衬底与区域的接触面积。

本实施例中，通过遮蔽层对衬底进行离子注入。其中，注入的离子具有第二掺杂类型。具体的，本实施例中非预设区域上方的遮蔽层能够完全对注入的离子进行遮挡，使得在该非预设位置注入的离子不进入衬底中。由于预设区域上方的遮蔽层的厚度小于遮蔽层的厚度，因此注入的离子可以穿透遮蔽层进入衬底，从衬底的上方的内表面开始，向下延伸形成具有第二掺杂类型的区域。

由于预设位置上方的遮蔽层的上表面为曲面，因此对注入的离子的遮挡强度不同。且由于遮蔽层的遮挡强度与遮蔽层的厚度相关，因此具有第二掺杂类型的区域的下表面也为曲面，且该曲面与预设位置上方的遮蔽层的上表面的曲面的形状相同。

本实施例中形成的具有第二掺杂类型的区域的下表面为曲面，与衬底具有更大接触面积，因此相较于现有技术中具有更大面积的耗尽区。在其他条件相同的情况下，如图 1 所示的具有第二掺杂类型的区域的下表面为与水平面平行的平面，其耗尽区如虚线框中的耗尽区所示。本实施例中在衬底中形成的具有第二掺杂类型的区域 502 如图 5 中的 c 所示，该区域的下表面为梳齿形，相较于图 1 中的区域的下表面，与衬底具有更大的接触面积。图 5 中的 c 中的虚线框中的区域为耗尽区。

S404，去除遮蔽层，得到光电二极管。

本实施例中，可以采用刻蚀的方法将遮蔽层去除，得到具有较大面积的耗尽区的光电二极管。

示例性的，如图 5 中的 d 所示，本申请将光刻胶层去除，得到在具有第一掺杂类型的衬底 100 中，形成下表面为梳齿形的具有第二掺杂类型的区域 502 的光电二极管。

可选的，为了使得获取的下表面为梳齿形的区域 502 的下表面的梳齿的凹凸面具有更大的深度差值，即具有更大的耗尽区。在进行离子注入前，即图 5 中的 c 之前，还可以将预设位置区域上方的光刻胶进行进一步刻蚀，使

得预设位置区域上方的光刻胶 5011a 的厚度光刻为 0，如图 5 中的 e 所示。

本实施例中提供的光电二极管的制备方法包括：在衬底上形成遮蔽层，衬底具有第一掺杂类型，衬底上设置有预设位置，第一掺杂类型和第二掺杂类型不同；对遮蔽层进行处理，使预设位置上方的遮蔽层的厚度小于非预设位置上方的遮蔽层的厚度，预设位置上方的遮蔽层的上表面为曲面；对衬底进行离子注入，注入的离子形成下表面为曲面的且具有第二掺杂类型的区域，以增加衬底与区域的接触面积，去除遮蔽层，得到光电二极管。本实施例中通过形成下表面为与曲面的且具有第二掺杂类型的区域，进而增加了具有第一掺杂类型的衬底与具有第二掺杂类型的区域的接触面积，即增加了耗尽区的面积，提高了满阱容量。

由于遮蔽层的不同，本申请中对遮蔽层的处理方法不同。下述实施例中依照遮蔽层的特性，对遮蔽层的处理方法进行说明。具体的，主要以遮蔽层的硬度特性，对遮蔽层的处理方法进行说明。

本实施例中的光电二极管的制备装置中存储有预设硬度，遮蔽层的硬度在制备光电二极管之前可以输入至光电二极管的制备装置，以使光电二极管的制备装置获取遮蔽层的硬度。

其中，当遮蔽层的材料为硬度小于或等于预设硬度的材料时。可选的，遮蔽层的材料可以但不限制于为光刻胶或者聚二甲基硅氧烷。由于遮蔽层的硬度较小，可以采用纳米压印的方式对遮蔽层进行压印。其中，预设位置上方的压印深度大于非预设位置上方的压印深度，预设位置上方的压印深度与预设位置上方的光刻胶的厚度负相关。相应的，预设位置上方的压印模具的厚度大于非预设位置上方的压印模具的厚度，预设位置上方的压印模具的厚度与预设位置上方的光刻胶的厚度负相关。示例性的，可以如图 6 所示。

可选的，当遮蔽层的材料为硬度小于或等于预设硬度的材料，且材料为光刻胶时，对遮蔽层进行处理，即为对光刻胶层进行处理。

本实施例中对光刻胶层进行处理，除了上述可以采用纳米压印的方式外，还可以采用变剂量光刻的方式对光刻胶层进行处理。

其中，一种可行的方式为：

在光刻胶层上放置灰度掩膜版，并对光刻胶层进行曝光处理。其中，预

设位置上方的灰度掩膜版的透光率大于位于非预设位置上方的灰度掩膜版的透光率，预设位置上方的灰度掩膜版的透光率与预设位置上方的光刻胶的厚度负相关。例如，预设位置上方的灰度掩膜版的透光率越大，则预设位置上方的光刻胶的厚度越小，反之预设位置上方的光刻胶的厚度越大。

相对于普通的掩膜版，只有透光率为0%（完全不透）或者透光率为100%（完全透光），而灰度掩膜版的透光率可以在0%-100%之间任意设置，即对光刻胶进行曝光时，曝光剂量是可调的，而曝光剂量的大小决定了光刻胶显影后的厚度。

本实施例中，可以根据光刻胶的显影特征，将光刻胶分为正性光刻胶和负性光刻胶。

其中，若光刻胶层中的光刻胶为正性光刻胶，则预设位置上方的灰度掩膜版的透光率大于位于非预设位置上方的灰度掩膜版的透光率，使得预设位置上方的光刻胶的曝光剂量大于非预设位置上方的光刻胶的曝光剂量，即可以使得预设位置上方的光刻胶的厚度小于非预设位置上方的光刻胶的厚度。预设位置上方的灰度掩膜版的透光率与预设位置上方的光刻胶的厚度负相关，即预设位置上方的光刻胶的曝光剂量与预设位置上方的光刻胶的厚度负相关，即曝光剂量越大，则预设位置上方的光刻胶的厚度越小，进而使得预设位置上方的光刻胶的上表面为曲面。

对应的，若光刻胶层中的光刻胶为负性光刻胶，则预设位置上方的灰度掩膜版的透光率小于位于非预设位置上方的灰度掩膜版的透光率，使得预设位置上方的光刻胶的曝光剂量小于非预设位置上方的光刻胶的曝光剂量，即可以使得预设位置上方的光刻胶的厚度小于非预设位置上方的光刻胶的厚度。预设位置上方的灰度掩膜版的透光率与预设位置上方的光刻胶的厚度正相关，即预设位置上方的光刻胶的曝光剂量与预设位置上方的光刻胶的厚度正相关，即曝光剂量越大，则预设位置上方的光刻胶的厚度越大，进而使得预设位置上方的光刻胶的上表面为曲面。

另一种可行的方式为：

本实施例中，可以根据光刻胶的显影特征，将光刻胶分为正性光刻胶和负性光刻胶。本实施例中可以采用直写式光刻对光刻胶层进行光刻处理。

其中，若光刻胶层中的光刻胶为正性光刻胶，则预设位置上方的光刻强

度大于非预设位置上方的光刻强度，预设位置上方的光刻强度与预设位置上方的光刻胶的厚度负相关，即光刻强度越大则预设位置上方的光刻胶的厚度越小。直写式光刻可以直接改变微区域内激光或电子束的强度或能量，从而改变曝光剂量，进而达到与上述灰度掩膜版相同的效果，即获取预设位置上方的光刻胶的厚度小于非预设位置上方的光刻胶的厚度，且预设位置上方的光刻胶的上表面为曲面的效果。

对应的，若光刻胶层中的光刻胶为负性光刻胶，则预设位置上方的光刻强度小于非预设位置上方的光刻强度，预设位置上方的光刻强度与预设位置上方的光刻胶的厚度正相关。同样的，也可以达到获取预设位置上方的光刻胶的厚度小于非预设位置上方的光刻胶的厚度，且预设位置上方的光刻胶的上表面为曲面的效果。

当遮蔽层的材料为硬度大于预设硬度的材料时，例如，遮蔽层的材料可以但不限制于为二氧化硅。由于二氧化硅的硬度大，不能直接采用纳米压印等方式将进行处理。具体的，下面结合图 7 对本申请提供的对遮蔽层的材料为硬度大于预设硬度的材料时，如何对遮蔽层进行处理的过程进行说明；图 7 为本申请提供的光电二极管的制备方法的流程示意图二，如图 7 所示，本实施例提供的光电二极管的制备方法可以包括：

S701，在衬底上形成遮蔽层。

S702，在遮蔽层上形成光刻胶层。

本实施例中，由于遮蔽层的硬度大于预设硬度，需要在遮蔽层上形成光刻胶层，形成光刻胶层的方式可以为在遮蔽层上涂布光刻胶，获取光刻胶层。

S703，对光刻胶层进行处理，使预设位置上方的光刻胶层的厚度小于非预设位置上方的光刻胶层的厚度，预设位置上方的光刻胶层的上表面为曲面。

本实施例中，对光刻胶层进行处理方式可以参照上述实施例中的相关描述。具体可以采用变剂量光刻的方式，如设置灰度掩膜版或者采用直写式光刻的方式对光刻胶层进行处理，获取预设位置上方的光刻胶层的厚度小于非预设位置上方的光刻胶层的厚度，预设位置上方的光刻胶层的上表面为曲面的光刻胶层。此外，由于光刻胶层的硬度较小，也可采用纳米压印的方式对光刻胶层进行压印，获取预设位置上方的光刻胶层的厚度小于非预设位置上

方的光刻胶层的厚度，预设位置上方的光刻胶层的上表面为曲面的光刻胶层。

图 8 为本申请提供的光电二极管的制备流程示意图二。如图 8 中的 a 所示，在衬底 100 上形成二氧化硅层 5012，在二氧化硅层 5012 上形成光刻胶层 5011。如图 8 中的 b 所示，对光刻胶层 5011 进行处理。其中，预设位置上方的光刻胶层 5011a 的厚度小于非预设位置上方的光刻胶层 5011b 的厚度，且预设位置上方的光刻胶层 5011a 的上表面为球冠状。

S704，对遮蔽层进行处理。

本实施例中，通过对光刻胶层的刻蚀处理可以将光刻胶层的形状转移至遮蔽层。

示例性的，如图 8 中的 c 所示，对光刻胶层进行处理后，预设位置上方的二氧化硅层 5012a 的厚度小于非预设位置上方的二氧化硅层 5012b 的厚度，且预设位置上方的二氧化硅层 5012a 的上表面为球冠状。

可选的，当非预设位置上方的光刻胶层 5011b 的厚度较大时，在对光刻胶层进行刻蚀后，可以还保留一部分的光刻胶层 5011b。

S705，通过遮蔽层对衬底进行离子注入，使注入的离子形成下表面为曲面且具有第二掺杂类型的区域。

示例性的，如图 8 中的 d 所示，由于预设位置上方的二氧化硅层 5012a 的上表面为球冠状，因此在进行离子注射时，根据遮蔽层对离子的遮挡作用，可以在衬底中得到下表面为曲面的具有第二掺杂类型的区域 802。由于下表面为曲面，在其他条件相同的情况下，相对于图 1 中的具有第二掺杂类型的区域，衬底与该区域 802 的接触面接增大，光电二极管的耗尽区增大，由此增加光电二极管的满阱容量。图 8 中的 d 中的虚线框为耗尽区。

S706，去除遮蔽层，得到光电二极管。

示例性的，如图 8 中的 e 所示，去除遮蔽层，若有未刻蚀完的光刻胶层，也可以一起去除，得到下表面为曲面的第二掺杂类型的区域 802 的光电二极管。

其中，本实施例中 S701、S705-S706 中的具体实施方式可以参照上述实施例中的 S401、S403-S404 中的相关描述，在此不做赘述。

本实施例中，当遮蔽层的材料为硬度大于预设硬度的材料时，可以在遮蔽层上形成光刻胶层，采用变剂量光刻或者纳米压印的方式获取预设位置上

方为曲面的光刻胶层，进而通过刻蚀获取预设位置上方为曲面的的遮蔽层，进而通过离子注入，在衬底中形成下表面为曲面的具有第二掺杂类型的区域，增加了光电二极管的耗尽区增大，由此增加光电二极管的满阱容量。

本申请中还提供一种光电二极管，如图 5 中的 d 或如图 8 中的 e 所示，光电二极管包括：

具有第一掺杂类型的衬底，以及，在衬底中形成的具有第二掺杂类型的区域，该区域自衬底上方的内表面向下伸出，该区域的下表面为曲面，且第一掺杂类型和第二掺杂类型不同。

本实施例中的光电二极管由上述光电二极管的制备方法进行制备，由于光电二极管中的衬底中的具有第二掺杂类型的区域的下表面为曲面，增大了光电二极管中耗尽区的面积，提高了光电二极管的满阱容量。

本申请中还提供一种 CMOS 图像传感器，具体的，该 CMOS 图像传感器包括至少一个由上述实施例中的光电二极管的制备方法制备的光电二极管。

本申请提供的 CMOS 图像传感器具有与上述实施例中的光电二极管的制备方法相同的技术效果，在此不做赘述。

本领域普通技术人员可以理解：实现上述各方法实施例的全部或部分步骤可以通过程序指令相关的硬件来完成。前述的程序可以存储于一计算机可读取存储介质中。该程序在执行时，执行包括上述各方法实施例的步骤；而前述的存储介质包括：ROM、RAM、磁碟或者光盘等各种可以存储程序代码的介质。

最后应说明的是：以上各实施例仅用以说明本申请的技术方案，而非对其限制；尽管参照前述各实施例对本申请进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本申请各实施例技术方案的范围。

权 利 要 求 书

1、一种光电二极管的制备方法，其特征在于，包括：

在衬底上形成遮蔽层，所述衬底具有第一掺杂类型，所述衬底上设置有预设位置，所述预设位置为形成掺杂类型为第二掺杂类型的位置，所述第一掺杂类型和所述第二掺杂类型不同，所述遮蔽层用于遮挡注入所述衬底的离子，所述遮蔽层的遮挡强度与所述遮蔽层的厚度相关；

对所述遮蔽层进行处理，使所述预设位置上方的遮蔽层的厚度小于非所述预设位置上方的遮蔽层的厚度，所述预设位置上方的遮蔽层的上表面为曲面；

通过所述遮蔽层对所述衬底进行离子注入，使注入的离子形成下表面为曲面的且具有第二掺杂类型的区域，以增加所述衬底与所述区域的接触面积；

去除所述遮蔽层，得到光电二极管。

2、根据权利要求 1 所述的方法，其特征在于，当所述遮蔽层的材料为硬度大于预设硬度的材料时，所述对所述遮蔽层进行处理之前，还包括：

在所述遮蔽层上形成光刻胶层；

对光刻胶层进行处理，使所述预设位置上方的光刻胶层的厚度小于非所述预设位置上方的光刻胶层的厚度，所述预设位置上方的光刻胶层的上表面为曲面；

所述对所述遮蔽层进行处理，包括：

对所述光刻胶层进行刻蚀处理。

3、根据权利要求 1 所述的方法，其特征在于，当所述遮蔽层的材料为硬度小于或等于预设硬度的材料，且所述材料为光刻胶时，所述对所述遮蔽层进行处理，包括：

对光刻胶层进行处理。

4、根据权利要求 2 或 3 所述的方法，其特征在于，所述对光刻胶层进行处理，包括：

在所述光刻胶层上放置灰度掩膜版，并对所述光刻胶层进行曝光处理；

其中，若所述光刻胶层中的光刻胶为正性光刻胶，则使所述预设位置上方的所述灰度掩膜版的透光率大于位于非所述预设位置上方的所述灰度掩膜版的透光率，所述预设位置上方的所述灰度掩膜版的透光率与所述预设位置

上方的光刻胶层的厚度负相关；若所述光刻胶层中的光刻胶为负性光刻胶，则使所述预设位置上方的所述灰度掩膜版的透光率小于位于非所述预设位置上方的所述灰度掩膜版的透光率，所述预设位置上方的所述灰度掩膜版的透光率与所述预设位置上方的光刻胶层的厚度正比关。

5、根据权利要求 2 或 3 所述的方法，其特征在于，所述对光刻胶层进行处理，包括：

采用直写式光刻对所述光刻胶层进行光刻处理；

其中，若所述光刻胶层中的光刻胶为正性光刻胶，则使所述预设位置上方的光刻强度大于非所述预设位置上方的光刻强度，所述预设位置上方的光刻强度与所述预设位置上方的光刻胶层的厚度负相关；若所述光刻胶层中的光刻胶为负性光刻胶，则使所述预设位置上方的光刻强度小于非所述预设位置上方的光刻强度，所述预设位置上方的光刻强度与所述预设位置上方的光刻胶层的厚度正相关。

6、根据权利要求 2 或 3 所述的方法，其特征在于，所述对光刻胶层进行处理，包括：

采用纳米压印对所述光刻胶层进行压印，使所述预设位置上方的压印深度大于非所述预设位置上方的压印深度，所述预设位置上方的压印深度与所述预设位置上方的光刻胶层的厚度负相关。

7、根据权利要求 1 所述的方法，其特征在于，当所述遮蔽层的材料硬度为小于或等于预设硬度的材料，且所述材料为非光刻胶时，所述对所述遮蔽层进行处理，包括：

采用纳米压印对所述遮蔽层进行压印，使所述预设位置上方的压印深度大于非所述预设位置上方的压印深度，所述预设位置上方的压印深度与所述预设位置上方的光刻胶层的厚度负相关。

8、根据权利要求 1 所述的方法，其特征在于，所述遮蔽层的上表面为球冠状曲面或梳齿形曲面。

9、一种光电二极管，其特征在于，包括：

具有第一掺杂类型的衬底，以及，在所述衬底中形成的具有第二掺杂类型的区域，所述区域自所述衬底上方的内表面向下伸出，所述区域的下表面为曲面，所述第一掺杂类型和所述第二掺杂类型不同。

10、一种 CMOS 图像传感器，其特征在于，包括：至少一个如权利要求 9 中所述的光电二极管。

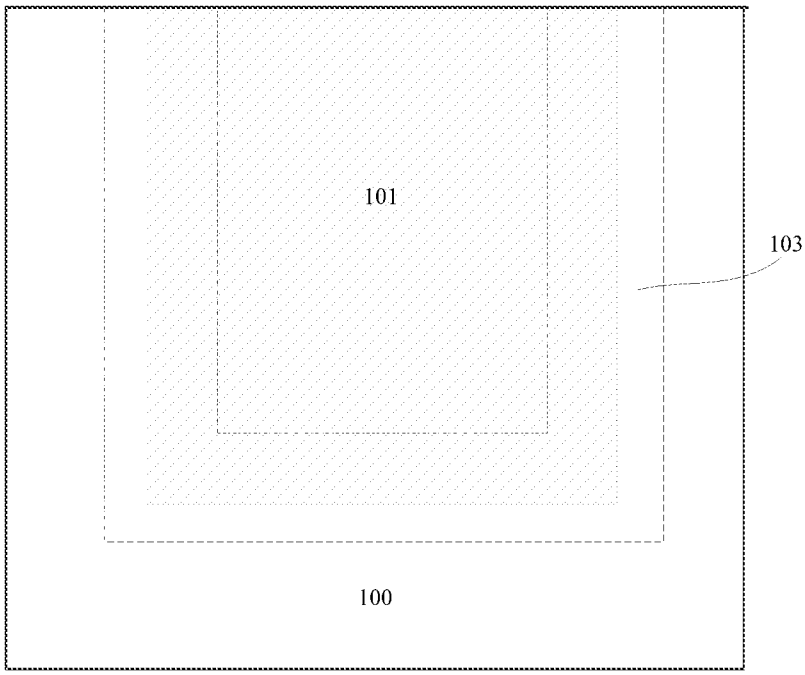


图 1

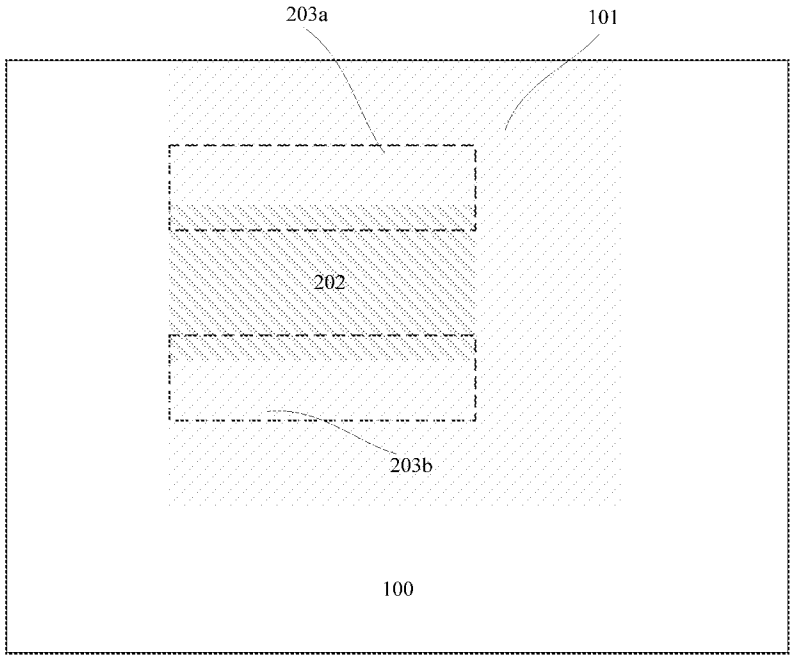


图 2

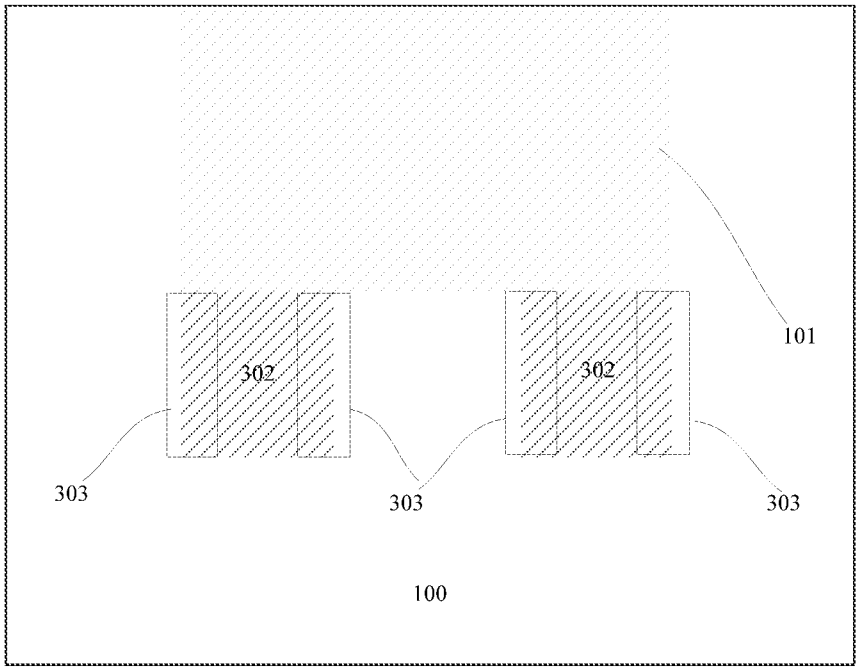

101
302
302
303
303
303
100

图 3

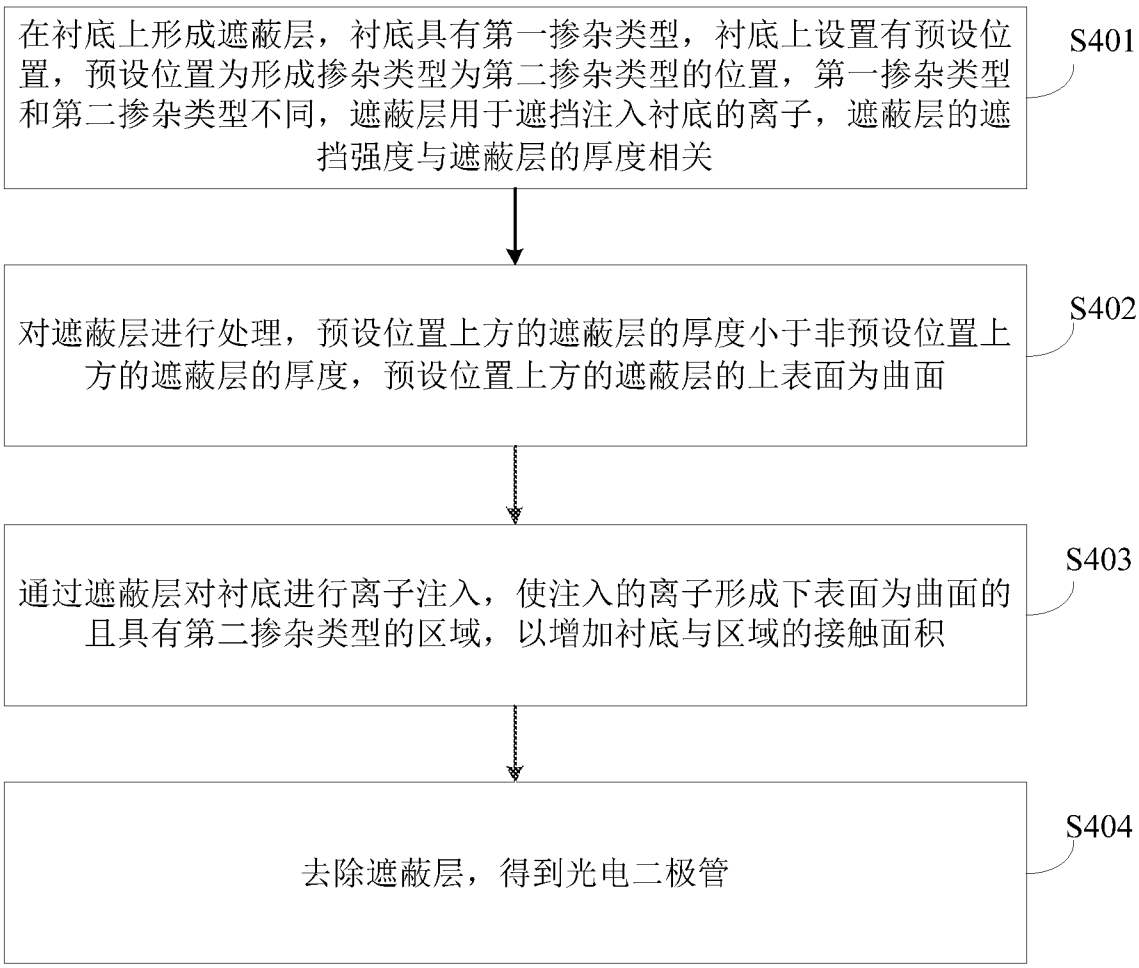

在衬底上形成遮蔽层，衬底具有第一掺杂类型，衬底上设置有预设位置，预设位置为形成掺杂类型为第二掺杂类型的位置，第一掺杂类型和第二掺杂类型不同，遮蔽层用于遮挡注入衬底的离子，遮蔽层的遮挡强度与遮蔽层的厚度相关
S401
对遮蔽层进行处理，预设位置上方的遮蔽层的厚度小于非预设位置上方的遮蔽层的厚度，预设位置上方的遮蔽层的上表面为曲面
S402
通过遮蔽层对衬底进行离子注入，使注入的离子形成下表面为曲面的且具有第二掺杂类型的区域，以增加衬底与区域的接触面积
S403
去除遮蔽层，得到光电二极管
S404

图 4

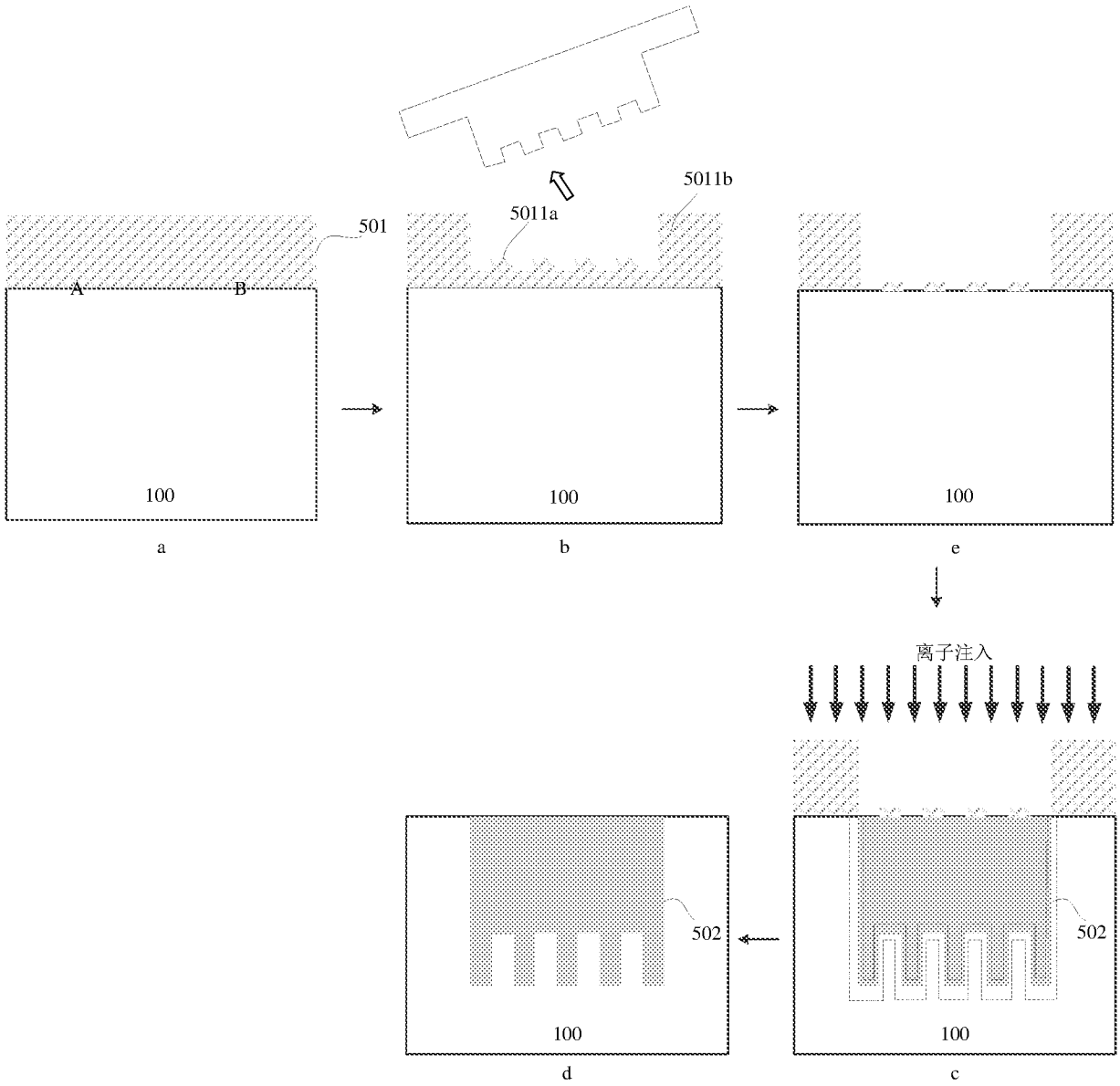


图 5

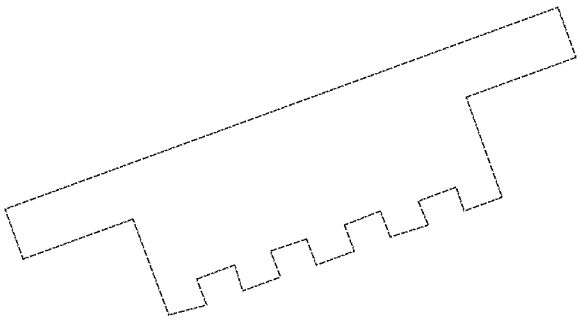


图 6

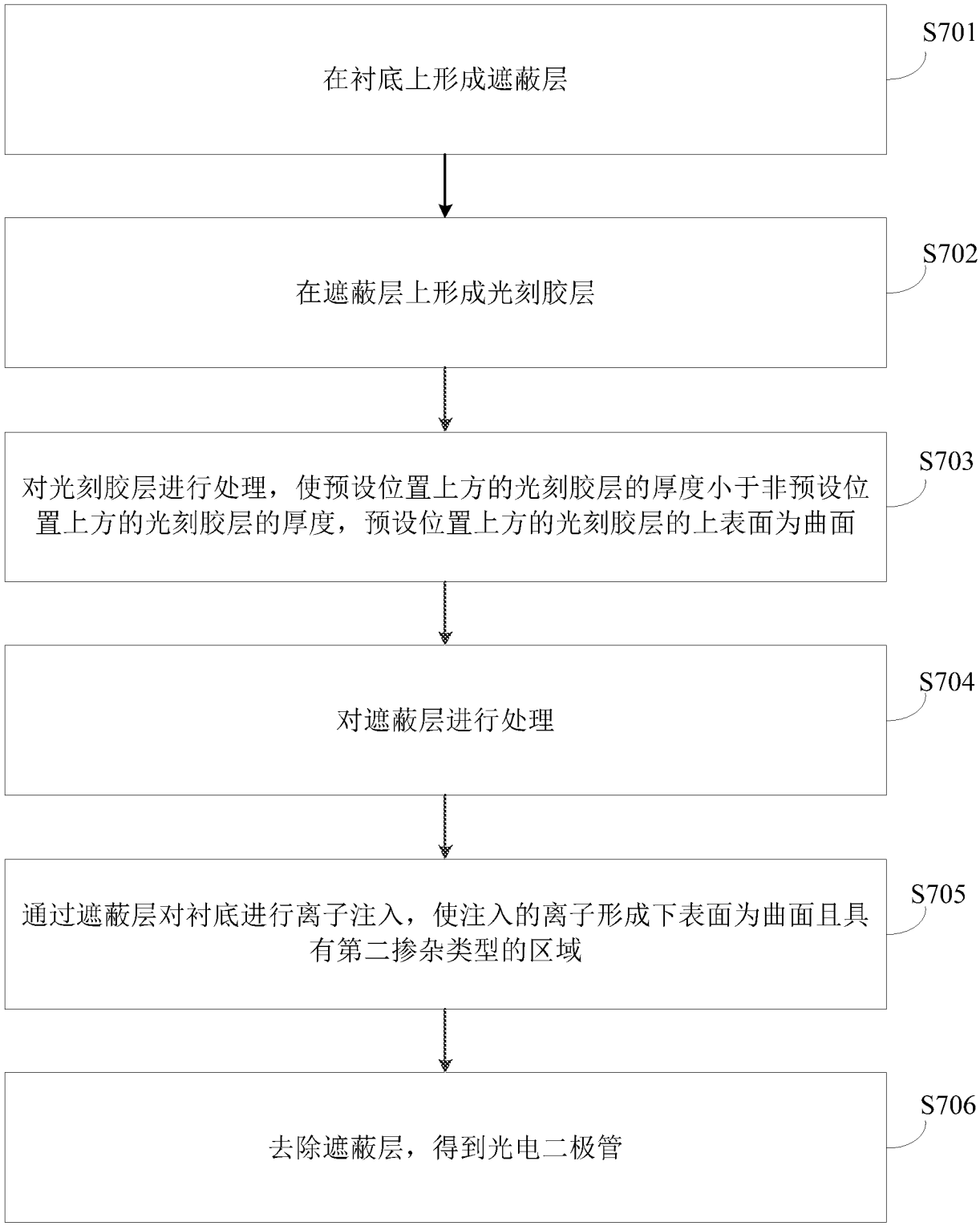

在衬底上形成遮蔽层
S701
在遮蔽层上形成光刻胶层
S702
对光刻胶层进行处理，使预设位置上方的光刻胶层的厚度小于非预设位置上方的光刻胶层的厚度，预设位置上方的光刻胶层的上表面为曲面
S703
对遮蔽层进行处理
S704
通过遮蔽层对衬底进行离子注入，使注入的离子形成下表面为曲面且具有第二掺杂类型的区域
S705
去除遮蔽层，得到光电二极管
S706

图 7

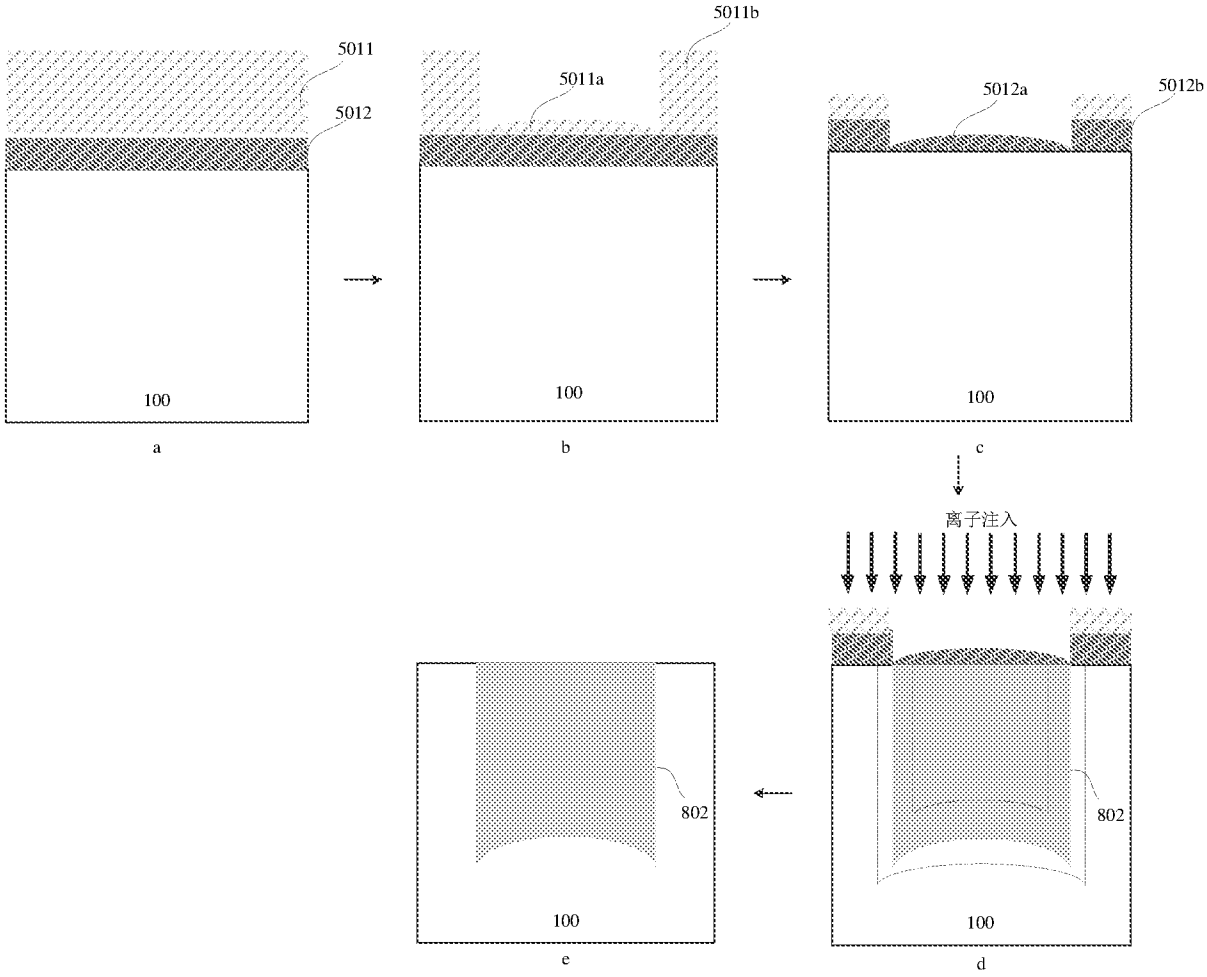

5011
5012
100
a
5011b
5011a
100
b
5012a
5012b
100
c
离子注入
802
100
d
802
100
e

图 8

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2019/079052

A. CLASSIFICATION OF SUBJECT MATTER

H01L 31/18(2006.01)i; H01L 31/0352(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

SIPOABS; DWPI; CNABS; CNTXT; CNKI: 遮蔽, 掩模, 注入, 曲面, 光电二极管, shield, mask, implant, curve, photodiode

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101471365 A (DONGBU HITEK CO., LTD.) 01 July 2009 (2009-07-01) description, page 2, line 6 to page 6, line 2, and figures 2A-5B	9, 10
Y	CN 101471365 A (DONGBU HITEK CO., LTD.) 01 July 2009 (2009-07-01) description, page 2, line 6 to page 6, line 2, and figures 2A-5B	1-8
Y	CN 104517896 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 15 April 2015 (2015-04-15) description, paragraphs [0025]-[0053], and figures 3-7	1-8
A	CN 105590966 A (WUXI CHINA RESOURCES HUAJING MICROELECTRONICS CO., LTD.) 18 May 2016 (2016-05-18) entire document	1-10
A	CN 104517841 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION) 15 April 2015 (2015-04-15) entire document	1-10
A	US 2003155593 A1 (SAMSUNG ELECTRONICS CO., LTD.) 21 August 2003 (2003-08-21) entire document	1-10

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
16 December 2019	**27 December 2019**
Name and mailing address of the ISA/CN **China National Intellectual Property Administration** **No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088** **China** Facsimile No. **(86-10)62019451**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2019/079052

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	101471365	A	01 July 2009	KR	20090071075	A	01 July 2009
				US	2009166777	A1	02 July 2009
				KR	100924045	B1	27 October 2009
				US	7884001	B2	08 February 2011
				CN	101471365	B	09 November 2011
				DE	102008064072	A1	16 July 2009
CN	104517896	A	15 April 2015	US	2016343745	A1	24 November 2016
				CN	104517896	B	15 September 2017
				US	9640569	B2	02 May 2017
				WO	2016090689	A1	16 June 2016
				US	2017199466	A1	13 July 2017
				US	9964854	B2	08 May 2018
CN	105590966	A	18 May 2016	None			
CN	104517841	A	15 April 2015	CN	104517841	B	19 October 2018
US	2003155593	A1	21 August 2003	US	6812059	B2	02 November 2004
				JP	2003273391	A	26 September 2003
				US	2004171183	A1	02 September 2004
				KR	20030068852	A	25 August 2003
				US	6781211	B2	24 August 2004
				KR	100459547	B1	04 December 2004
				JP	3777163	B2	24 May 2006

国际检索报告

国际申请号
PCT/CN2019/079052

A. 主题的分类

H01L 31/18(2006.01)i; H01L 31/0352(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

SIPOABS;DWPI;CNABS;CNTXT;CNKI:遮蔽，掩模，注入，曲面，光电二极管，shield, mask, implant, curve, photo-diode

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN 101471365 A (东部高科股份有限公司) 2009年 7月 1日 (2009-07-01) 说明书第2页第6行至第6页第2行，图2A-5B	9，10
Y	CN 101471365 A (东部高科股份有限公司) 2009年 7月 1日 (2009-07-01) 说明书第2页第6行至第6页第2行，图2A-5B	1-8
Y	CN 104517896 A (深圳市华星光电技术有限公司) 2015年 4月 15日 (2015-04-15) 说明书[0025]-[0053]段，图3-7	1-8
A	CN 105590966 A (无锡华润华晶微电子有限公司) 2016年 5月 18日 (2016-05-18) 全文	1-10
A	CN 104517841 A (中芯国际集成电路制造上海有限公司) 2015年 4月 15日 (2015-04-15) 全文	1-10
A	US 2003155593 A1 (三星电子株式会社) 2003年 8月 21日 (2003-08-21) 全文	1-10

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2019年 12月 16日	2019年 12月 27日

ISA/CN的名称和邮寄地址	受权官员
中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	刘乐
传真号 (86-10)62019451	电话号码 86-010-62411579

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2019/079052

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101471365	A	2009年 7月 1日	KR	20090071075	A	2009年 7月 1日
				US	2009166777	A1	2009年 7月 2日
				KR	100924045	B1	2009年 10月 27日
				US	7884001	B2	2011年 2月 8日
				CN	101471365	B	2011年 11月 9日
				DE	102008064072	A1	2009年 7月 16日
CN	104517896	A	2015年 4月 15日	US	2016343745	A1	2016年 11月 24日
				CN	104517896	B	2017年 9月 15日
				US	9640569	B2	2017年 5月 2日
				WO	2016090689	A1	2016年 6月 16日
				US	2017199466	A1	2017年 7月 13日
				US	9964854	B2	2018年 5月 8日
CN	105590966	A	2016年 5月 18日		无		
CN	104517841	A	2015年 4月 15日	CN	104517841	B	2018年 10月 19日
US	2003155593	A1	2003年 8月 21日	US	6812059	B2	2004年 11月 2日
				JP	2003273391	A	2003年 9月 26日
				US	2004171183	A1	2004年 9月 2日
				KR	20030068852	A	2003年 8月 25日
				US	6781211	B2	2004年 8月 24日
				KR	100459547	B1	2004年 12月 4日
				JP	3777163	B2	2006年 5月 24日