



申請日期	88.8.2
案 號	88109304
類 別	G11C 1/00, H01L 1/11

A4
C4

(以上各欄由本局填註)

440829

發明專利說明書

一、發明名稱	中 文	輻射防護強化六電晶體隨機存取記憶體及記憶體元件
	英 文	RADIATION HARDENED SIX TRANSISTOR RANDOM ACCESS MEMORY AND MEMORY DEVICE
二、發明人	姓 名	羅伯 C. 伯丁
	國 籍	美 國
	住、居所	美國維吉尼亞州費爾法克斯市阿靈頓道9322號
三、申請人	姓 名 (名稱)	美商·洛克希德馬丁公司
	國 籍	美 國
	住、居所 (事務所)	美國馬里蘭州貝瑟斯達市洛克里奇道6801號
	代 表 人 姓 名	巴頓·大衛斯

經濟部中央標準局員工消費合作社印製

裝 訂 線

440829

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

美國(地區) 申請專利，申請日期： 案號： ☒有 ☐無主張優先權
1998,6,5 09/090,946

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明領域

本發明概略而言係關於電子電路領域，特別係關於靜態隨機存取記憶體(SRAM)電路及改良輻射防護強化SRAM裝置及操作方法。

相關申請案

本案為美國專利申請案第09/090,946號，申請日1998年6月5日之部分連續案。

發明背景

電子系統之操作包括儲存資料之記憶體及由記憶體擷取資料。電子記憶體包括儲存晶胞陣列，此處各個晶胞可儲存一位元資料。此種記憶體中，資訊視需要“隨機”置於各儲存元體或取自各元體。此型電子記憶體俗稱隨機存取記憶體(RAM)。

RAM之優點為存取時間對矩陣之各位元皆相同。供比較用，於移相暫存器串列記憶體中，存取時間隨存取瞬間該位元位置決定。RAM比較唯讀記憶體RAM之缺點為RAM為依電性，亦即若停止供電則全部儲存的資訊喪失。此乃為何資料經常儲存於輔助記憶體裝置，例如磁片或磁帶之故。

一類型RAM為靜態隨機存取記憶體(SRAM)。SRAM之優點為記憶體存取時間保持為最短。SRAM需要的功率相當低，常用於以電池供電的單元包括可攜式電腦。基本上SRAM為以二進制形式(例如“1”或“0”)儲存資料於多個晶胞之積體電路。RAM之基本儲存晶胞可製造成金

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(2)

屬氧化物半導體(MOS)及雙極電晶體技術。最廣用的RAM使用MOS電晶體，原因為其提供最高組件密度，因此對指定晶片大小可儲存較多位元。

金屬氧化物半導體(MOS)原先稱作電晶體閘極，係使用金屬於薄氧化物層上製造。MOS電晶體也常稱作場效電晶體(FET)或MOSFET。今日該名詞廣泛應用於包括帶有多晶矽/氧化物閘極之電晶體。NMOS、PMOS及CMOS為三類型MOS技術，“NMOS”表示n型MOS電晶體，“N型”表示引進矽來提升其傳導電子能力之摻雜劑為帶負電荷粒子。“PMOS”使用p型摻雜劑，其提升“電洞”的傳導，電洞為正電荷。“CMOS”表示互補MOS，涉及將PMOS及NMOS兩種裝置製作於單一基板上。通常PMOS裝置係於n型井製造，而NMOS裝置係形成為主要p型基板內部。NMOS長久以來普及於PMOS作為上選技術，而CMOS具有組合PMOS及NMOS之進展快速之優點，且經常凌駕於將二者組合的複雜度。PMOS也稱作PFET及NMOS也稱作NFET。

典型SRAM之晶胞可排列成陣列，因此個別晶胞可經定址及存取。陣列被視為晶胞之列及行。各列包括一字線其使用共通控制訊號互聯列上之晶胞。同理，各行包括一對互補位元線，其至多耦合至各列之一個晶胞。如此字線及位元線經控制成可個別存取陣列之各個晶胞。

特別記憶體晶胞可排列成矩形陣列而做二維定址。基本RAM包括儲存晶胞之矩形陣列，二解碼器，各自用於

五、發明說明(3)

定址儲存晶胞之陣列維度(亦即成對字線及位元線)，寫入放大器用於驅動記憶體，及感測放大器用於檢測(亦即讀取)儲存的數位資訊。例如4096字x1位元(4-kb x 1)靜態RAM包括64對字線x64位元線之二維記憶體陣列，一6至64線行解碼器，一6至64線列解碼器，一寫入致能電路，一感測電路及其他控制電路。

為了由晶胞讀取資料，晶胞之輸出可經由選擇與該晶胞關聯字線存取。為了讀取，寫入致能電路可接地，亦即設定為0。互補位元線對可於指定行連結至各晶胞。當指定晶胞之字線被激發時，儲存於選定晶胞之正反器或反相器之邏輯階(亦即1或0)可使電流流位元線，設定位元線電壓。感測放大器可檢測並放大輸出時於位元線之電壓，其指示選定晶胞內容。陣列例如電晶體之輸入/輸出裝置可通過選定之位元線上電壓，或選定感測放大器之輸出至輸入/輸出墊用於另一晶片，例如電腦處理器或其他關聯SRAM之電子系統通訊。寫入作業中，資料可由SRAM之輸入/輸出墊藉陣列之輸入/輸出裝置送至內部位元線用於儲存於選定晶胞之電晶體正反器或反相器。

記憶體裝置可能用於衛星及其他電腦設備而被放置於對輻射高度敏感的環境。例如於太空環境下衛星的記憶體晶胞可能暴露於輻射誘發之軟性錯誤或當晶胞被高能粒子打擊時可能出現單一事件擾動(SEU)。軟性錯誤或單一事件擾動典型係由於單一能量粒子當其通過積體電路例如記憶體時形成的成對電洞且沿單一能量粒子路徑所引起。若

五、發明說明(4)

能量粒子於記憶體晶胞之臨界容積內產生臨界電荷，則記憶體之邏輯態受到擾亂。此種臨界電荷之定義為改變記憶體晶胞邏輯態所需最小量電荷。臨界電荷也經由從宇宙射線直接游離進入記憶體。

SEU典型來自於 α 粒子(氦核)、 β 粒子或 γ 射線衝擊半導體電路之低電容節點。反相器之SEU之實例說明如後。反相器包括一NMOS電晶體及一PMOS電晶體其汲極耦合且用於產生互補訊號。當 α 粒子撞擊PMOS電晶體之本體半導體材料時，其產生電洞對。假定NMOS電晶體為開而PMOS電晶體為關，則收集於耦合汲極的電洞可改變耦合至汲極之輸出節點電壓由邏輯低改成邏輯高。電子經由PMOS朝向電路供給電壓擴散。電荷產生能量粒子撞擊NMOS電晶體產生相反效果，正電荷朝向接地遷移，及負電荷收集於汲極輸出，如此可能改變反相器之邏輯態，NMOS電晶體為開及PMOS電晶體為關。P基板中，本體CMOS技術帶有PMOS裝置形成於NEWLL，電荷粒子撞擊NMOS電晶體擴散之效果典型比帶電粒子撞擊NEWLL之PMOS電晶體擴散為差。

如業界人士瞭解，當重質離子橫過記憶體儲存晶胞之節點時，離子可能強迫節點由其原先態至相反態經歷一段時間。此種態的改變可能由於離子通過記憶體晶胞之MOS電晶體之矽時重離子沈積電荷。若此節點保持於相反態經歷比記憶體晶胞之反饋迴路的延遲更長時間，則晶胞可能切換態，而喪失儲存資料。節點維持於相反態之時間長短

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

依據若干因素而定，包括沈積電荷，記憶體晶胞之電晶體電導，及環繞記憶體晶胞之反饋迴路之延遲。

嘗試製造輻射防護強化SRAM記憶體晶胞來減少晶胞對輻射誘發擾亂的敏感度。

一種防止SEU之方法係提高電晶體的電導。為了提高電導，必須加大電晶體尺寸。記憶體晶胞大小需要加大超過十倍。此種增加不合實際，原因為通常較佳電晶體尺寸縮小俾便減少記憶體晶胞的面積。

較為經濟的解決之道係增加反饋延遲。增加反饋延遲可使於電壓態改變前，增加反饋延遲可使“開”電晶體有時間去除沈積電荷，且比電壓態改變充分傳播建立再生反饋而可能導致擾亂之前已被去除。反饋延遲可藉增添電阻器介於晶胞之汲極(或源極)與閘極間增加。此等添加電阻器俗稱交叉耦合電阻器。

雖然交叉耦合電阻器證實可有效增加擾動記憶體晶胞所需臨界電荷，但電阻器增加反饋電路延遲可防止記憶體晶胞受重力撞擊擾動。不幸電阻器也阻擋蓄意寫入，因此可能延長記憶體晶胞寫入時間。對典型單一事件擾動而言，寫入時間比較未含交叉耦合電阻器可能增加大於5倍。

此外，交叉耦合電阻器經常使用多晶矽製造，片電阻係於溫度係數為負且大之區。典型設計中，此種溫度係數可能造成寫入時間隨著溫度之下降而大增。

另一種習知辦法之缺陷為為了獲得免疫，SRAM晶胞之輻射防護強化可能降低晶胞的響應速率。例如當粒子撞

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（6）

擊節點且沈積電荷時，晶胞太慢響應，且未改變狀態，原因為與交叉耦合反相器串聯聯結電阻器可能與反相器之閘極電容形成RC延遲。

此種習知方法有多種缺陷。此種記憶體晶胞需要電阻器與交叉耦合反相器串聯。電阻器可以大電阻值及緊密公差形成。晶胞性能係由電阻值主控，及於製造過程難控制。隨著晶胞幾何變為結構特徵縮小（例如0.5微米及以下），閘極電容變過低而需要電阻變過大，因而無法嵌合於合理的小區內。又晶胞寫入性能變太慢，特別當電阻器係於負溫度係數執行時於冷溫度條件變太慢。

希望本發明提供一種輻射強化SRAM晶胞，其容易使用習知互補金屬氧化物半導體(CMOS)方法實施，其性能速度可媲美未曾做輻射強化的SRAM晶胞。

發明概述

前述習知記憶體裝置缺陷之其他挑戰可藉由本發明解決，仔細研讀後文說明時將可明瞭。輻射強化SRAM記憶體之方法及記憶裝置將使用改良記憶體晶胞說明。

特別本發明之範例具體例包括一記憶裝置具有一字線及互補位元線對陣列。複數記憶體晶胞位於選定之字線及位元線對之交叉。感測放大器耦合至互補位元線對。本發明之具體例中，記憶裝置進一步包括改良SRAM記憶體晶胞。

基本上改良記憶體晶胞具體例包括六個電晶體，包括二交叉耦合反相器對及二PFET閘極電晶體用於寫入及由

五、發明說明(7)

交叉耦合反相器對讀取。電阻器可用於由各反相器對之P+擴散分離N+擴散，及一閘極至汲極重疊可包括於其餘晶胞節點，因此米勒效應電容可提供額外單一事件擾動免疫而無可察覺地寫入延遲增加。

本發明之一具體例中，包括輻射防護強化CMOS靜態隨機存取記憶體晶胞，具有第一反相器對包括一第一PFET及一第一NFET藉一電阻器汲極至汲極串聯耦合，該電阻器之電阻可比第一PFET之源極至汲極電阻大一級幅度，第一PFET包括於NWELL之P+汲極擴散，此處部分閘極重疊P+汲極擴散，第二反相器對包括第二PFET及第二NFET藉電阻器串聯耦合汲極至汲極，電阻器之電阻可比第二PFET之源極至汲極電阻大一級幅度，第二PFET包括P+汲極擴散於NWELL，此處部分閘極重疊P+汲極擴散，第一通開PFET耦合第一PFET之閘極、第一NFET之閘極，及第二PFET之P+汲極擴散，及第二通開PFET耦合至第二PFET之閘極、第二NFET之閘極及第一PFET之P+汲極擴散。

記憶體晶胞之一具體例中，重疊於P+汲極擴散上方之閘極部分提供額外電容。

另一具體例中，額外電容為0.2至0.5微微庫侖。

本發明之另一具體例包括一輻射防護強化CMOS靜態隨機存取記憶體晶胞，具有第一反相器包括一第一PFET及一第一NFET具有共通耦合閘極及分開汲極，第一PFET汲極包括一P+汲極擴散於NWELL，而部分閘極重疊P+

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(8)

汲極擴散之上，一第二反相器包括一第二PFET及一第二NFET具有共同耦合閘極及分開汲極，第二PFET之汲極包括一P+汲極擴散於NWELL且部份閘極重疊P+汲極擴散，第一及第二電阻器分別耦合第一及第二PFET之P+汲極擴散至第一及第二NFET之汲極，第一通開PFET具有一汲極耦合至第二PFET之第一反相器及P+汲極擴散之共通耦合閘極，及第二通開PFET具有一汲極耦合至第一PFET之第二反相器及P+汲極擴散之共通耦合閘極。

本發明之具體例中，各該第一及第二之PFET具有源極至汲極電阻其數值係小於電阻器之對應值。

另一具體例中，各電阻器之值係比第一及第二PFET之源極至汲極電阻大一級幅度。

又另一具體例中，各該電阻器之值經選擇而提高記憶體晶胞對單一事件擾動的免疫力。

另一具體例中，閘極重疊P+汲極擴散部份提供額外電容。

另一具體例中，額外電容經選擇而提高晶胞對單一事件擾動的免疫力。

另一具體例中，額外電容為0.2-0.5微微庫侖。

另一具體例中，提供包過電子系統及記憶體裝置之裝置。記憶體裝置使用輻射防護加強的SRAM記憶體晶胞。

另一具體例中，敘述儲存資料於記憶體裝置之輻射防護強化SRAM記憶體晶胞範例之方法。資料可門鎖於記憶體裝置之感測放大器。該方法將感測放大器之資料的邏輯

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(9)

階轉成記憶體晶胞之不同邏輯階。該方法進一步儲存資料於選定SRAM記憶體晶胞。

另一具體例中，提供由使用輻射防護強化之記憶體晶胞的記憶體裝置讀取資料之方法。

另一具體例中，讀取及寫入資料於使用輻射防護強化之SRAM記憶體晶胞之記憶體裝置之方法。該方法提供一種讀取或寫入記憶體裝置晶胞之技術。

一種提高系統對SEU之免疫力之方法包含下列步驟：提供一處理器，提供一記憶體耦合至處理器，其中該記憶體包括一輻射防護強化之CMOS靜態隨機存取記憶體晶胞，其經由選擇由閘極重疊P+汲極擴散部份之額外電容或選擇電阻器使電阻器比各該第一及第二PFET之源極至汲極電阻大一級幅度而提昇記憶體晶胞之免疫力。

另一具體例中，說明一種製造輻射防護強化之儲存晶胞之方法，包括下列步驟：提供交叉耦合反相器，形成電阻器介於各反相器之NFET與PFET之汲極間，形成各反相器之PFET之閘極與汲極間之重疊電容，及將PFET汲極寫至另一反相器之NFET及PFET之閘極。

另一具體例中，製造記憶體裝置之方法包括下列步驟：提供一晶胞陣列，耦合一字線解碼器至通閘電晶體之閘極，耦合通閘電晶體之源/汲區之位元線，及耦合位元線至一行解碼器。

本發明之進一步特點及優點及本發明之多個具體例之結構及操作參照附圖詳細說明如後。附圖中，類似的參考

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (10)

符號概略指示相同，功能類似及/或結構類似元件。該元件首次出現之圖式係以對應參考編號的最左位數表示。

圖式之簡單說明

前述及其他本發明之特點及優點由後文如附圖舉例說明之本發明之較佳具體例之特定說明將顯然易明。

第1圖為根據本發明之記憶體裝置實施例之方塊圖；

第2圖為示意圖說明習知SRAM晶胞；

第3圖為根據本發明之改良輻射防護強化SRAM記憶體晶胞之具體實施例之示意圖；及

第4圖為半導體結構之頂視圖，說明小的閘極至源/汲區實例提供額外電容而未可察覺地增高根據本發明之寫入延遲。

發明之詳細說明

本發明之較佳具體例將詳細說明如後。雖然討論特定實施例但須瞭解僅供舉例說明之用。相關業界人士將瞭解可使用其他組件及配置而未背離本發明之精髓及範圍。

此處所述範例具體例係有關電路，其使用電壓位階來表示二進制邏輯態，換言之“高”邏輯階及“低”邏輯階。又本發明之各具體例使用之電子信號通常於高時視為激發，但本案之訊號名稱後方之(*)指示該訊號為負或相反邏輯。負或相反邏輯於訊號為低時視為激發。

第1圖說明本發明之具體實施例之方塊圖100。方塊圖100包括一電子系統104耦合至一記憶體裝置102。電子系統104包括例如一微處理器，記憶體控制器，晶片組或可

五、發明說明 (11)

儲存資料於記憶體裝置之適當系統，電子系統104係透過位址線118耦合至記憶體裝置102之列解碼器108。位址線118也耦合電子系統104至行解碼器110。控制線120耦合電子系統104至控制電路116。最後輸入/輸出線122耦合電子系統104至輸入/輸出電路112。

記憶體裝置102進一步包括感測放大器114及記憶體晶胞陣列106。記憶體晶胞陣列106包括多條字線WL-1 130至WL-X 130，多條位元線BL-1 126至BL-Y 126，及多條互補位元線BL*-1 128至BL*-Y 128。記憶體晶胞陣列106之構造可使用動態晶胞平板感測方案，其中各位元線BL-i 126結合互補位元線BL*-i 128，用於讀寫資料至記憶體晶胞。為了達到此項目地，位元線BL-1 126至BL-Y 126及位元線BL*-1 128至BL*-Y 128以互補對(稱作“位元線對”)耦合至感測放大器114。又字線WL-1 130至WL-X 130係耦合至列解碼器108。記憶體裝置102係由控制電路116控制。控制電路116可耦合至列解碼器108、感測放大器114、行解碼器110及輸入/輸出電路112。

記憶體晶胞陣列106包括多個記憶體晶胞124-11至124-XY。記憶體晶胞124-11於此處舉例說明。需瞭解其餘記憶體晶胞係以類似方式構成。

習知SRAM 124a之記憶體晶胞124-11舉例說明第2圖。第2圖說明示意圖200，其舉例說明共通電阻耦合辦法來輻射防護強化CMOS及存取記憶體晶胞(RAM)124a。示意圖200包括二CMOS反相器202及204，輕度攪雜多晶矽電

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (12)

阻器222及224形成於CMOS反相器202及204間之反饋路徑。

第一CMOS反相器202包括p通道電晶體214及n通道電晶體共同耦合至電晶體214、216之源/汲區稱作節點206。節點206係耦合至電阻器222第一端子。p通道電晶體214之第二汲極/源極區係耦合至源極電壓VDD及n通道電晶體216之第二汲極/源極區係耦合接地。電晶體214及216之閘極共同耦合並耦合至電阻器224之第一端子。示意圖200進一步包括n通道傳輸電晶體210包括一閘極係耦合至字線WL-1 130a，第一源極/汲極係耦合至位元線BL-1 126a，及第二源/汲區係耦合至節點206。

第二CMOS反相器204包括p通道電晶體218及n通道電晶體220共同耦合於電阻器218、220之源/汲區節點稱作208。節點208係耦合至電阻器224之第二端子。p通道電阻器218之第二源/汲區係耦合至源極電壓VDD，n通道電晶體220之源/汲區係耦合接地。電晶體218及220之閘極係耦合並耦合至電阻器222之第二端子。示意圖200進一步包括n通道傳輸電晶體212包括一閘極係耦合至字線WL-1 130a，第一源/汲區係耦合至位元線BL*-1 128，及第二源/汲區係耦合至節點208。

交叉耦合係經由電晶體214及216之閘極藉電阻器224於節點208耦合至電晶體218、220之源極/汲極達成，以及經由電晶體218及220藉電阻器222於節點206耦合至電晶體214、216之耦合源極/汲極達成。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (13)

傳輸電晶體210及212當致能時，允許資料傳進及傳出記憶體晶胞124a。列解碼器108可選擇性驅動字線WL-1 130a之高邏輯階而激發傳輸電晶體210及212。列位址係由列解碼器108解碼，故X字線之一被致能，此處X為記憶體之記憶體晶胞之列數，其為記憶體密度及架構之函數。

操作中節點206及208之電壓必須彼此為邏輯補數，原因為CMOS反相器202、204於記憶體晶胞124a之交叉耦合性質故。當字線WL-1 130a藉列解碼器108根據於位址輸入118接收來自耦合至列解碼器108之電子系統104之位址激勵時，傳輸電晶體210及212被導通。分別耦合節點206及208至位元線BL-1 126a及BL*-1 128a。如此當字線WL-1 130a為高時，記憶體晶胞124a之態可於BL-1 126a及BL*-1 128a建立差壓。

另外周邊電路例如於輸入/輸出電路112或感測放大器114之位元線驅動器可驅動BL-1 126a及BL*-1 128a之電壓改變記憶體晶胞124a之態。第2圖所示電晶體大小通常經選擇而於晶胞寫入時傳輸電晶體210及212藉字線WL-1 130a導通，於位元線BL-1 126a相對於節點206之差異低壓將迫使節點206至邏輯低階，位元線BL*-1 128a相對於節點208之差異低壓迫使節點208至邏輯低階。但第2圖所示電晶體大小也選擇而當電晶體210及212為開時，於位元線BL1- 126a相對節點206之差異高而迫使節點206為高，於位元線BL*-1 128a相對於節點208之差異高壓也不會迫使節點208變高。因此寫入記憶體晶胞124a係藉拉動預定位

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (14)

元線達成，如此於節點206或節點208之晶胞124a之預定該邊為低，而其又係歸因於晶胞124a之反饋路徑，結果導致晶胞124a之反邊具有邏輯高態。

操作中，記憶體裝置102讀寫電子系統104之資料。

例如為了讀取來自記憶體晶胞124-11之值，電子系統104可透過位址線118提供記憶體晶胞124-11之位址至列解碼器108。電子系統104也可透過控制線120提供控制訊號至控制電路116。控制電路116可提供訊號至感測放大器114，其可感測位元線BL-1 126a及位元線BL*-1 128a之相對電壓。此外經由以前述方式使用位元線，傳輸電晶體210之活化可改變位元線BL*-1 128a之電壓達約略等於位元線BL-1 126a之變化幅度，但方向相反。電荷於位元線對，感測放大器114其次簡稱晶胞124a-115之邏輯態。行解碼器110可接收來自電子系統104之資訊選定晶胞之行位址。行解碼器110可識別感測放大器114之適當位元線對用於由記憶體晶胞124a-11讀取數值。感測放大器114可感測及放大位元線對之電壓差異，如此於感測放大器114之互補節點產生高及低邏輯階其係分別對應於感測得之位元線對BL-1 126a及BL*-1 128a。此等電壓準位透過輸入/輸出線122經由輸入/輸出電路112傳輸至電子系統104。

寫入作業期間，電子系統104可透過輸入/輸出線122至輸入/輸出電路112例如寫至記憶體晶胞124a-11。行解碼器110可透過位址線118接收來自電子系統104之行位址而選擇選定之記憶體晶胞之適當位元對。感測放大器114

五、發明說明(15)

於控制電路116控制下迫使記憶體晶胞124a-11之位元線對BL-1 126a及BL*-1 128a基於待儲存於記憶體晶胞124a-11至互補的高及低邏輯階。列解碼器108可透過位址線118接收來自電子系統104之位址，其指示適當字線WL-1 130a激發此種儲存作業。當字線WL-1 130a被激發時，傳輸電晶體210、212可使位元線BL-1 126a及位元線BL*-1 128a之資料儲存於節點206及208。此種過程中，感測放大器114之高及低邏輯階被平移至記憶體晶胞124a-11之適當電壓準位。

第3圖為記憶體晶胞124b具體例之示意圖，該記憶體晶胞包括根據本發明之改良輻射防護強化特點。改良SRAM 102之記憶體晶胞124b說明於第3圖。第3圖說明示意圖300，其說明改良之輻射防護強化之SRAM隨機存取記憶體RAM晶胞124b，刪除來自記憶體晶胞124a之電阻器222及224，加上電阻器322及324，及以PFET電晶體310及312替代NFET傳輸電晶體310及312。所得記憶體晶胞可提供若干優於習知參照第2圖所述記憶體晶胞的優點。示意圖200包括二CMOS反相器302及304，其中各CMOS反相器分別包括輕度攙雜多晶矽電阻器322及324形成含括於各CMOS反相器302及304之p通道電晶體及n通道電晶體之源/汲區。

第一CMOS反相器302包括一p通道電晶體314及一n通道電晶體316藉電阻器322共同耦合於電晶體314、316之源/汲區，此處耦合至p通道電晶體314之電阻器322之端子也

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (16)

耦合至線326所示第二CMOS反相器304之電晶體之二閘極。P通道電晶體314之第二源/汲區耦合至源極電壓VDD，及n通道電晶體316之第二源/汲區耦合接地。電晶體314及316之閘極共同耦合於稱作306節點，耦合至p通道傳輸電晶體310之第一源/汲區，及耦合至第二CMOS反相器304之p通道電晶體318之源/汲區，如線328所示。示意圖300進一步包括p通道傳輸電晶體310，包括一閘極其係耦合至字線WL-1 130b，第二源/汲區係耦合至位元線BL-1 126b，及第一源/汲區係耦合至節點306。

第二CMOS反相器304包括p通道電晶體318及n通道電晶體320藉電阻器324耦合至電晶體318、320至源/汲區，此處電阻器324之耦合至p通道電晶體318之端子也例如藉線328所示耦合至第一CMOS反相器302之電晶體之閘極。p通道電晶體318之第二源/汲區係耦合至源極電壓VDD，n通道電晶體320之第二源/汲區係耦合接地。電晶體318及320之閘極共同耦合於稱作308之節點，其係耦合至p通道傳輸電晶體318至源/汲區皆耦合至第一反相器302之p通道電晶體314至第一源/汲區，如線326所示。示意圖300進一步包括一n通道傳輸電晶體312包括一閘極其係耦合至字線WL-1 130b，一第二源/汲區其係耦合至位元線BL*-1 128b及第一源/汲區其係耦合至節點308。電阻器322及324分別連結至節點330及332，其分別為NFET電晶體316及320之汲區之N+擴散。

電阻器322及324之值可選擇使p通道電晶體314及316

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (17)

之源極至汲極電阻遠小於電阻器322及324。

響應帶電粒子之撞擊N+擴散於節點330或332，若任一個被撞擊節點係於VDD電位，則節點拉向接地(GND)。然後電阻器322或324之值決定電流被吸入已經拉向接地的節點量。因電阻器322及324各自大於(例如1.5-20倍大)p通道電晶體314或p通道電晶體318之源極至汲極電阻，故無節點306或308之可察覺地壓降，該節點已經藉p通道電晶體(PFET)被拉至VDD。電阻器322及324之值可設定為遠更高來防止節點306或308之任何可察覺地壓降。相反地，電阻器322及324之值可設定為該範圍之低端以防節點306及308高於反相器302及304之切換閾值。電阻器升高記憶體晶胞之N+擴散對單一事件擾動的免疫力。

其餘暴露節點為於n井之P+擴散。此等案例中，對於以相對於晶片表面之指定夾角度撞擊記憶體晶胞之粒子，若粒子碰撞P基板之N+擴散則產生的電荷比粒子碰撞n井之P+擴散更多。電荷收集量為磊晶層厚度之函數，而磊晶層厚度因n井故於P+節點縮小。

P+節點本身可藉由提供小的閘極至源/汲區重疊而加強輻射防護。此種閘極至源/汲區重複可提供米勒電容約0.2至0.5微微庫侖而無可察覺地寫入延遲增加。此種重疊範例示例說明於第4圖。

交叉耦合係由電晶體314及316的閘極完成，該閘極藉線328耦合至電晶體318之源/汲區及電阻器324之端子，以及藉由電晶體318及320之閘極藉由線326耦合至電晶體314

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(18)

之源/汲區及電晶體322之端子完成。

傳輸電晶體310及312當被致能時，允許資料傳輸進出晶胞124b。列解碼器108可選擇性驅動字線WL-1 130b之高邏輯階來激發傳輸電晶體310及312。列位址可由列解碼器108解碼，故X字線之一被致能，此處X為記憶體中記憶體晶胞之列數為記憶體密度及架構之函數。

操作中節點306及308之電壓需彼此為邏輯補數，原因為CMOS反相器302及304於記憶體晶胞124b之交叉耦合性質。當字線WL-1 130b由列解碼器108激勵時，根據於位址輸入118接收來自耦合至列解碼器108之電子系統104之列位址，傳輸電晶體310及312可導通，分別耦合節點306及308之解碼器BL-1 126b及BL*-1 128b。如此當字WL-1 130b為高時，記憶體晶胞124b之態可於BL-1 126b及BL*-1 128b建立差壓。

另外，周邊電路例如於輸入/輸出電路112或感測放大器114之解碼器驅動器可驅動BL-1 126b及BL*-1 128b電壓改變記憶體晶胞124b之態。第3圖所示電晶體大小通常經選擇而使傳輸電晶體310及312於晶胞寫入其間藉字線WL-1 130b導通，於位元線124b相對節點306之差異低壓迫使節點306至邏輯低階，基於位元線BL*-1 128b相對於節點308之差異高壓迫使節點308至邏輯高階。但第3圖所示電晶體大小也可選至適當電晶體310及312於晶胞讀取其間導通時，於位元線BL-1 126b及BL*-1 128b相對於節點306及308之高壓不會顛倒儲存於晶胞之值。寫入記憶體晶胞124b

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (19)

係經由拉動預定位元線完成，如此晶胞124於節點306或節點308之預定側為低，其又係由於晶胞124b及另一位元線之反饋路徑，可能使晶胞124b反側具有邏輯高態。

工作中記憶體裝置102讀及寫電子系統104之資料。

例如為了由記憶體晶胞124-11讀取數值，電子系統104可透過位址線118提供記憶體晶胞124-11至列解碼器108。電子系統104也透過控制線120供給控制訊號至控制電路116。控制電路116提供訊號至感測放大器114，其可感測位元線BL-1 126b及BL*-1 128b之相對電壓。此外經由以前述方式使用位元線，傳輸電晶體310之激發也可改變位元線BL*-1 128b之電壓數量達約略等於位元線BL-1 126b之變化幅度但方向相反。使用電荷於位元線對，感測放大器114其次偵測晶胞124b-11之邏輯態。行解碼器110接收來自電子系統104之選擇晶胞之行位址。行解碼器110可對感測放大器114識別適當位元線對來用於由記憶體晶胞124b-11讀取數值。感測放大器114可感測及放大位元線對之電壓差，如此於感測放大器114之互補節點產生高及低邏輯階其分別對應於被感測之位元線對BL-1 126b及BL*-1 128b。電壓準位經由輸入/輸出電位112透過輸入/輸出線122傳輸至電子系統104。

寫入作業期間電子系統104可提供資料透過輸入/輸出線122之輸入/輸出電路112例如寫至記憶體晶胞124b-11。行解碼器110可透過位址線118接收來自電子系統104之行位址而對被選定的記憶體晶胞選擇適當位址線對。感測放

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(20)

大器114置於控制電路116之控制下，可迫使記憶體晶胞124b-11至位元線對BL-1 126b及BL*-1 128b基於待儲存於記憶體晶胞124b-11之資料至互補高及低邏輯階。列解碼器108可透過位址線118接收來自電子系統104之位址，位址線指示適當字線WL-1 130b激發此儲存作業。當字線WL-1 130b被激發時，傳輸電晶體310、312使位元線BL-1 126b及位元線BL*-1 128b之資料分別儲存於節點306及308。此種過程中感測放大器114之高及低邏輯階被平移至記憶體晶胞124b-11之適當電壓準位。

防護增強記憶體晶胞對抗SEU之方法包括減少指定事件產生之電荷量。例如可使用比本體材料收集深度更薄的矽膜。例如於半導體薄膜上產生之記憶體晶胞例如矽於絕緣體(SOI)裝置對SEU比於本體半導體如矽上產生的裝置更不明白，原因為沿絕緣體一路徑之游離電荷比較於半導體產生的游離電荷較可能復合而非收集。

另一種降低記憶體晶胞對擾動之敏感度之方法係提供晶胞之臨界電荷。

前文討論之第2圖說明基於提高SEU所需臨界電荷而於靜態記憶體晶胞對抗SEU之輻射防護強化計畫。如前述，電阻器222及224包括於反相器202及204之交叉耦合下，其增加與電阻器214、216、218及220之間極電容關聯的RC時間常數延遲。激勵粒子碰撞臨界容積之初步效應係改變記憶體晶胞之節點亦即節點206之電壓。若此種電壓變化係於節點206之初壓恢復前傳播通過反相器202及204之交

五、發明說明(21)

又耦合則將發生擾動。RC延遲增加減緩反饋傳播通過交叉耦合，允許更多時間復原最初受影響的節點。但此種RC傳播延遲的增加也減慢晶胞124a之寫入週期時間。一靜態隨機存取記憶體(SRAM)之靜態記憶體晶胞之寫入週期典型比讀取週期更快，故寫入週期之稍微減慢可以接受。原因為讀取週期時間最為重要。但隨著記憶體晶胞縮小成為小幾何，受防護強化晶胞之寫入週期速度變得更為要緊。

本發明之SRAM晶胞中，如第3圖所示，電阻器322及324被導入而保護不受碰撞反相器302及304之n通道電晶體316及320，如第3圖之示意圖所示。

對SEU之另一種防護強化計畫係基於提高反相器源/汲區的電容增高臨界電荷。如此降低節點對指定量收集電荷之電壓改變。節點306及308之電容可藉由電路含括額外電容至VDD或GND節點而增高。本發明之較佳具體例中，反相器之閘極及汲極間之重疊電容含括如第4圖所示。此種交叉耦合反相器之閘極及汲極間之重疊電容受到米勒效應，其藉由增益因數而倍增電容的有效值。此外若干來自粒子撞擊的電壓變化透過重疊電容耦合。如此傾向於分裂沈積電荷於交叉耦合反相器302及304之兩相對節點間，如此減少撞擊的影響。又使用由閘極至汲極之電容，汲極電壓變化誘發閘極電壓變化，故恢復電流增高。增加閘極電容也增加反饋路徑之RC延遲，其本身可能增加對SEU的阻力。如此增加電容也減慢晶胞寫入。但只要交叉耦合電阻小，則此種減慢效應極小或可忽略。如此閘極及源/

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (22)

汲區間之電容減少SEU比率。

第3圖說明之本發明使用主動裝置例如一對p通道電晶體310、312(較佳金屬氧化物半導體(MOS)電晶體俾便緊密配合並保有記憶體晶胞之空間)作為記憶體晶胞之傳輸電晶體。前文說明第3圖說明積體電路之示意圖及包括本發明之具體例。為了獲得最佳SEU防護，記憶體晶胞可建立於絕緣體上(但也可建立於本體半導體材料上)，如此歸類為SOI裝置。本發明之具體例中，較佳至少交叉耦合之裝置可如堆疊多晶矽電晶體但與本體半導體隔離。第3圖說明示意圖具有p通道傳輸電晶體310及312分別耦合至關聯的交叉耦合線326、328，接合一反相器之閘極至另一反相器之汲極。特別電晶體310之源/汲區係耦合至反相器302之p通道電晶體314及n通道電晶體316之閘極，藉線328耦合至p通道電晶體318之源/汲端子，及電阻器324之端子耦合電晶體318至反相器304之n通道電晶體320至源/汲端子。

第3圖之晶胞124b之範例作業現在可參照附圖說明。對於節點308最初為邏輯高及節點306最初為邏輯低之案例而言，當試圖將相反態寫入記憶體晶胞124b，首先需將節點308拉至邏輯低。此種邏輯低過渡可透過電晶體312(係於其最被導通態)傳輸至電晶體318及320之共通閘極。節點306由其初邏輯低態響應電晶體318及320閘極之電壓改成邏輯高態，使線328過渡邏輯高之電晶體314及316之共通閘極。同理，節點306由低至高的過渡可透過電晶體314

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明（23）

傳輸，使電晶體314之源/汲端子於邏輯低。節點306由低至高之過渡使傳輸電晶體310之源/汲端子至較高導電態（邏輯低）。注意當WRITE經由於最被導通態的電晶體312及310完成時，於電晶體晶胞124b維持反饋電壓可經常經由線326進行。此種反饋另外可藉由漏電流或低於閾值之電流維持，表示增進模電晶體或耗盡模電晶體可用作電晶體310及312。

若電晶體314或318受粒子碰撞，粒子改變反相器輸出的邏輯態，則記憶體晶胞各自於其較低導通態時可由碰撞復原，主要係由於增加電晶體314及318之源/汲區間的電阻。增加電阻可防止當N+擴散受碰撞時節點306及308之可察覺地壓降。增加電阻導入響應P+擴散撞擊之RC延遲，因此於SEU感應電壓變化之負面影像傳播通過記憶體晶胞124b之前有更多時間恢復。提供汲極電源(VDD或GND)或閘極-汲極電容可進一步增加晶胞對輻射防護。電阻器322及324提供阻抗障壁來限制由於足夠電荷撞擊n通道電晶體316及320分別導入於節點308及306發生的壓降量。雖然電晶體310及312提供的電容及電阻可減少由於撞擊n通道電晶體316、318之SEU比率至某種程度，但電阻器322及324顯著增高因撞擊n通道電晶體316及320擾動晶胞所需的臨界電荷。至於撞擊P+擴散，臨界電荷比較撞擊N+擴散增高十倍，理論上，臨界電荷可無限增加或撞擊影響受電阻器322或324之一隔離。

雖然前文已經說明本發明之多個具體例，但顯然僅供

五、發明說明 (24)

舉例說明之用而非限制性。如此本發明之幅員及範圍並非受任何前述具體實施例所限而係由如下申請專利範圍及其相當範圍界定。本案意圖涵蓋本發明之任何配合或變化。例如選用於位元線之高及低邏輯值可由規定電壓改變。各具體例所述電子電路及所述操作方法僅供舉例說明之用。其他可有效實施所述功能及步驟之電路可替代之。又本發明並囿限於此處所述電路及裝置。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (25)

元件標號對照

100…方塊圖	202-4…CMOS反相器
102…記憶體裝置	206-8…節點
104…電子系統	210-2…n通道帶通電晶體
106…記憶體晶胞	214…p通道電晶體
108…列解碼器	216…n通道電晶體
110…行解碼器	218…p通道電晶體
112…輸入/輸出電路	220…n通道電晶體
114…感測放大器	222-4…電阻器
116…控制電路	300…示意圖
118…位址線	302-4…CMOS反相器
120…控制線	306-8…節點
122…輸入/輸出線	310-2…pFET電晶體
124…記憶體晶胞	314…P通道電晶體
124a…SRAM	316…n通道電晶體
124b…記憶體晶胞	318…p通道電晶體
126…位元線	320…n通道電晶體
128…位元線*	322-4…電阻器
130…字線	326-8…線
200…示意圖	330-2…節點

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

四、中文發明摘要(發明之名稱： 輻射防護強化六電晶體隨機存取記憶體及記憶體元件)

一種記憶體裝置包括輻射防護強化CMOS靜態隨機存取記憶體(SRAM)晶胞。記憶體裝置包含一陣列成對字線及互補成對位元線。多個記憶體晶胞設置於選定成對字線及位元線交叉點。感測放大器耦合至成對互補位元線。SRAM晶胞包括六個電晶體，包括兩個交叉耦合反相器對及二PFET閘極用於寫入及讀取交叉耦合反相器對。電阻器可用於由各反相器對之P+擴散分離N+擴散，及一閘極至汲極重疊可包括於其餘晶胞節點，因此米勒效應電容可提供額外單一事件擾動免疫而無可察覺地寫入延遲增加。一個具體例包括輻射防護強化CMOS靜態隨機存取記憶

(接下頁)

英文發明摘要(發明之名稱： RADIATION HARDENED SIX TRANSISTOR RANDOM ACCESS MEMORY AND MEMORY DEVICE)

A memory device including a radiation hardened, CMOS, static random access memory (SRAM) cell. The memory device includes an array of word lines and complementary bit line pairs. A number of memory cells are located at the intersection of selected word lines and bit line pairs. A sense amplifier is coupled to the complementary bit line pairs. The SRAM cell can include six transistors, including two cross coupled inverter pairs and two PFET gates for writing to and reading from the cross coupled inverter pairs. Resistors can be used to isolate N+ diffusions from the P+ diffusions in each inverter pair, and a gate to drain overlap can be included in the remaining nodes of the cell so that Miller effect capacitance can provide an additional single event upset immunity, without an appreciable increase in write delay. One embodiment includes a radiation hardened, CMOS, static, random access memory cell having a first inverter pair including a first PFET and a first NFET coupled in series drain to drain by a resistor whose resistance can be an order of magnitude larger than the source to drain resistance of the first PFET, the first PFET including a P+ drain diffusion in an N WELL where a portion of the gate can overlap the P+ drain diffusion, a second inverter pair including a second PFET and a second NFET coupled in series drain to drain by a resistor whose resistance can be an order of magnitude larger than the source to drain resistance of the second PFET, the second PFET can include a P+ drain diffusion in an N WELL where a portion of the gate can overlap the P+ drain diffusion, a first

四、中文發明摘要(發明之名稱：)

(承上頁)

體晶胞，具有第一反相器對包括一第一PFET及一第一NFET藉一電阻器汲極至汲極串聯耦合，該電阻器之電阻可比第一PFET之源極至汲極電阻大一級幅度，第一PFET包括於NWell之P+汲極擴散，此處部分閘極重疊P+汲極擴散，第二反相器對包括第二PFET及第二NFET藉電阻器串聯耦合汲極至汲極，電阻器之電阻可比第二PFET之源極至汲極電阻大一級幅度，第二PFET包括P+汲極擴散於NWell，此處部分閘極重疊P+汲極擴散，第一通開PFET耦合第一PFET之閘極、第一NFET之閘極，及第二PFET之P+汲極擴散，及第二通開PFET耦合至第二PFET之閘極、第二NFET之閘極及第一PFET之P+汲極擴散。

英文發明摘要(發明之名稱：)

pass gate PFET coupled to the gate of the first PFET, the gate of the first NFET, and the P+ drain diffusion of the second PFET, and a second pass gate PFET coupled to the gate of the second PFET, the gate of the second NFET, and the P+ drain diffusion of the first PFET.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種輻射防護強化之CMOS靜態隨機存取裝置記憶體晶胞，包括下列組合：

一第一反相器對包括一第一PFET及一第一NFET由藉電阻器汲極至汲極串聯耦合，電阻器之電阻比較第一PFET之源極至汲極電阻高一級幅度；

第一PFET包括一P+汲極擴散於NWELL，而閘極部分重疊P+汲極擴散；

一第二反相器對包括第二PFET及第二NFET藉一電阻器汲極至汲極串聯耦合，該電阻器之電阻比較第二PFET之源極至汲極電阻高一級幅度；

第二PFET包括一P+汲極擴散於NWELL，閘極部分重疊P+汲極擴散；

一第一通開PFET耦合至第一PFET閘極、第一NFET閘極，及第二PFET之P+汲極擴散；及

一第二通開PFET耦合至第二PFET閘極、第二NFET閘極及第一PFET之P+汲極擴散。

2. 如申請專利範圍第1項之記憶體晶胞，其中該閘極重疊P+汲極擴散部分提高額外電容。

3. 如申請專利範圍第2項之記憶體晶胞，其中該額外電容為0.2至0.5微微庫侖。

4. 一種輻射防護強化之CMOS靜態隨機存取記憶體晶胞，包含：

一第一反相器包括一第一PFET及一第一NFET具有共通耦合閘極及分開汲極，第一PFET之汲極包括一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

P+汲極擴散於NWELL而部分閘極重疊P+汲極擴散；

一第二反相器包括第二PFET及一第二NFET，具有共通耦合閘極及分開汲極，第二PFET之汲極包括一P+汲極擴散於NWELL而有部分閘極重疊P+汲極擴散；

第一及第二電阻器分別耦合第一及第二PFET之P+汲極擴散至第一及第二之NFET之汲極；

一第一通開PFET具有一汲極耦合至第一反相器之共通耦合閘極及第二PFET之P+汲極擴散；及

一第二通開PFET具有一汲極耦合至第二反相器之共通耦合閘極及第一PFET之P+汲極擴散。

5. 如申請專利範圍第4項之記憶體晶胞，其中各該第一及第二PFET具有一源極至汲極阻抗，其數值係小於對應電阻器之數值。
6. 如申請專利範圍第5項之記憶體晶胞，其中各該電阻器之數值係比各該第一及第二PFET之源極至汲極電阻高一級幅度。
7. 如申請專利範圍第5項之記憶體晶胞，其中各該電阻器之數值經選擇而可提高記憶體晶胞對單一事件擾動的免疫力。
8. 如申請專利範圍第4項之記憶體晶胞，其中該閘極重疊P+汲極擴散部分可提供額外電容。
9. 如申請專利範圍第8項之記憶體晶胞，其中該額外電容經選擇可提高晶胞對單一事件擾動的免疫力。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

10. 如申請專利範圍第8項之記憶體晶胞，其中該額外電容為0.2-0.5微微庫侖。

11. 一種記憶體裝置，包含：

定址電路；

一字線及耦合位元線對陣列耦合至該定址電路；

複數記憶體晶胞位於選定字線及位元線對交叉點；

一感測放大器耦合至互補位元線對；及

其中各該複數記憶體晶胞包含一輻射防護強化之CMOS靜態隨機存取記憶體，具有：

一第一反相器包括一第一PFET及第一NFET具有共通耦合之閘極及分開的源/汲區，第一PFET之源/汲區包括一P+汲極擴散於NWELL有部分閘極重疊P+汲極擴散；

一第二反相器包括一第二PFET及第二NFET具有共通耦合閘極及分開源/汲區，該第二PFET之源/汲區包括一P+汲極擴散於NWELL而有部分閘極重疊P+汲極擴散；

第一及第二電阻器分別耦合第一及第二PFET之P+汲極擴散之第一及第二NFET之源/汲區；

一第一通開PFET具有一源/汲區耦合至第一反相器之共通耦合閘極及第二PFET之P+汲極擴散；及

一第二通開PFET具有一源/汲區耦合至第二反相器之共通耦合閘極及第一PFET之P+汲極擴散。

六、申請專利範圍

12. 一種裝置包含：

一電子系統；及

一記憶體晶胞耦合至該電子系統，其中該記憶體裝置包括一輻射防護強化之CMOS靜態隨機存取記憶體，具有：

一第一反相器包括一第一PFET及第一NFET具有共通耦合之閘極及分開的源/汲區，第一PFET之源/汲區包括一P+汲極擴散於NWELL有部分閘極重疊P+汲極擴散；

一第二反相器包括一第二PFET及第二NFET具有共通耦合閘極及分開源/汲區，該第二PFET之源/汲區包括一P+汲極擴散於NWELL而有部分閘極重疊P+汲極擴散；

第一及第二電阻器分別耦合第一及第二PFET之P+汲極擴散之第一及第二NFET之源/汲區；

一第一通開PFET具有一源/汲區耦合至第一反相器之共通耦合閘極及第二PFET之P+汲極擴散；及

一第二通開PFET具有一源/汲區耦合至第二反相器之共通耦合閘極及第一PFET之P+汲極擴散。

13. 如申請專利範圍第12項之裝置，其中各該第一及第二PFET具有一源極至汲極阻抗，其數值係小於對應電阻器之數值。

14. 如申請專利範圍第13項之裝置，其中各該電阻器之數值係比各該第一及第二PFET之源極至汲極電阻高一級

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

幅度。

15. 如申請專利範圍第13項之裝置，其中各該電阻器之數值經選擇而可提高記憶體晶胞對單一事件擾動的免疫力。
16. 如申請專利範圍第12項之裝置，其中該閘極重疊P+汲極擴散部分可提供額外電容。
17. 如申請專利範圍第12項之裝置，其中該電子系統包含一微處理器。
18. 如申請專利範圍第16項之裝置，其中該額外電容經選擇可提高晶胞對單一事件擾動的免疫力。
19. 如申請專利範圍第16項之裝置，其中該額外電容為0.2-0.5微微庫侖。
20. 一種儲存資料於一記憶體裝置之選定記憶體晶胞之方法，該方法包含下列步驟：
 - 使用一系列解碼器及定址電路選擇一字線；
 - 使用一行解碼器及定址電路選擇一位元線對；
 - 門鎖一來自耦合至位元線對之感測放大器之二進制值至位元線對，及PFET通閘之第一源/汲區具有閘極耦合至字線，其具有通閘之第二源/汲區耦合至CMOS反相器PFET及NFET反相器電晶體之共同耦合閘極，此處該等反相器電晶體係藉電阻器耦合於反相器電晶體之第一源/汲區間，此處該PFET反相器電晶體之第一源/汲區也耦合至另一反相器之共同耦合閘極。
21. 一種記憶體裝置，包含：

六、申請專利範圍

一記憶體晶胞之可定址陣列係耦合至交叉字線及互補位元線對；

一感測放大器係耦合至互補位元線對；及

其中該記憶體晶胞為輻射防護強化之CMOS靜態隨機存取記憶體，具有：

一第一反相器包括一第一PFET及第一NFET具有共通連結之閘極及分開的源/汲區，第一PFET之源/汲區包括一P+汲極擴散於NWELL有部分閘極重疊P+汲極擴散；

一第二反相器包括一第二PFET及第二NFET具有共通連結閘極及分開源/汲區，該第二PFET之源/汲區包括一P+汲極擴散於NWELL而有部分閘極重疊P+汲極擴散；

第一及第二電阻器分別連結第一及第二PFET之P+汲極擴散之第一及第二NFET之源/汲區；

一第一通開PFET具有一源/汲區連結至第一反相器之共通連結閘極及第二PFET之P+汲極擴散；及

一第二通開PFET具有一源/汲區連結至第二反相器之共通連結閘極及第一PFET之P+汲極擴散。

22. 一種記憶體裝置，包含：

定址電路；

一字線及互補位元線對陣列耦合至該定址電路；

複數記憶體晶胞位於選定字線及位元線對之交叉點；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一感測放大器係耦合至互補位元線對；及

其中該記憶體晶胞包含一輻射防護強化之CMOS靜態隨機存取記憶體，具有：

一第一反相器包括一第一PFET及第一NFET具有共通連結之閘極及分開的源/汲區，第一PFET之源/汲區包括一P+汲極擴散於NWELL有部分閘極重疊P+汲極擴散；

一第二反相器包括一第二PFET及第二NFET具有共通連結閘極及分開源/汲區，該第二PFET之源/汲區包括一P+汲極擴散於NWELL而有部分閘極重疊P+汲極擴散；

第一及第二電阻器分別連結第一及第二PFET之P+汲極擴散之第一及第二NFET之源/汲區；

一第一通開PFET具有一源/汲區連結至第一反相器之共通連結閘極及第二PFET之P+汲極擴散；及

一第二通開PFET具有一源/汲區連結至第二反相器之共通連結閘極及第一PFET之P+汲極擴散。

23. 一種裝置，包含：

一電子系統；

一記憶體裝置耦合至該電子系統，其中該記憶體裝置係使用改良之輻射防護強化方法，其具有性能速度可媲美尚未經輻射防護強化之記憶體裝置；及

其中該記憶體裝置包含：

一輻射防護強化之CMOS靜態隨機存取記憶體，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

具有：

一第一反相器包括一第一PFET及第一NFET具有共通耦合之閘極及分開的源/汲區，第一PFET之源/汲區包括一P+汲極擴散於NWell有部分閘極重疊P+汲極擴散；

一第二反相器包括一第二PFET及第二NFET具有共通耦合閘極及分開源/汲區，該第二PFET之源/汲區包括一P+汲極擴散於NWell而有部分閘極重疊P+汲極擴散；

第一及第二電阻器分別耦合第一及第二PFET之P+汲極擴散之第一及第二NFET之源/汲區；

一第一通開PFET具有一源/汲區耦合至第一反相器之共通耦合閘極及第二PFET之P+汲極擴散；及

一第二通開PFET具有一源/汲區耦合至第二反相器之共通耦合閘極及第一PFET之P+汲極擴散。

24. 一種提高系統對單一事件擾動(SEU)之免疫力及方法，包含下列步驟：

提供一處理器；

提供一記憶體耦合至該處理器，其中該記憶體包括一輻射防護強化之CMOS靜態隨機存取記憶體晶胞，具有：

一第一反相器對包含一第一PFET及第一NFET藉一電阻器汲極至汲極串聯耦合，

該第一PFET包括一P+汲極擴散於一NWell而有

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

部分閘極係重疊P+汲極擴散，

一第二反相器對包含一第二PFET及一第二NFET
藉一電阻器汲極至汲極串聯耦合，

該第二PFET包括一P+汲極擴散於NWELL具有部
分閘極係重疊P+汲極擴散，

一第一通開PFET係耦合至第一PFET之閘極，第
二NFET之閘極及第二PFET之P+汲極擴散，及

一第二通開PFET係耦合至第二PFET之閘極，第
二NFET之閘極，及第一PFET之P+汲極擴散；及

藉下列步驟之至少一步驟提高記憶體晶胞之免疫
力：

選擇由該閘極重疊P+汲極擴散部分之提供之額
外電容，及

選擇電阻器使電阻器比各該第一及第二PFET之源
極至汲極電阻高一級幅度。

25. 一種製造一輻射防護強化之儲存晶胞之方法，包含下
列步驟：

提供交叉耦合反相器；

形成一電阻器介於各反相器之NFET及PFET汲極
間；

形成一重疊電容介於各反相器PFET之閘極與汲極
間；及

將PFET之汲極接線至另一反相器之NFET及PFET
之閘極。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

26. 一種製造一記憶體裝置之方法，包含：

提供一晶胞陣列，各晶胞具有：

一第一反相器對包含一第一PFET及第一NFET藉一電阻器汲極至汲極串聯耦合，

該第一PFET包括一P+汲極擴散於一NWELL而有部分閘極係重疊P+汲極擴散，

一第二反相器對包含一第二PFET及一第二NFET藉一電阻器汲極至汲極串聯耦合，

該第二PFET包括一P+汲極擴散於NWELL具有部分閘極係重疊P+汲極擴散，

一第一通開PFET係耦合至第一PFET之閘極，第二NFET之閘極及第二PFET之P+汲極擴散，及

一第二通開PFET係耦合至第二PFET之閘極，第二NFET之閘極，及第一PFET之P+汲極擴散，及

耦合一字線解碼器至通開電晶體之閘極；

耦合通開電晶體之一源/汲區之位元線；及

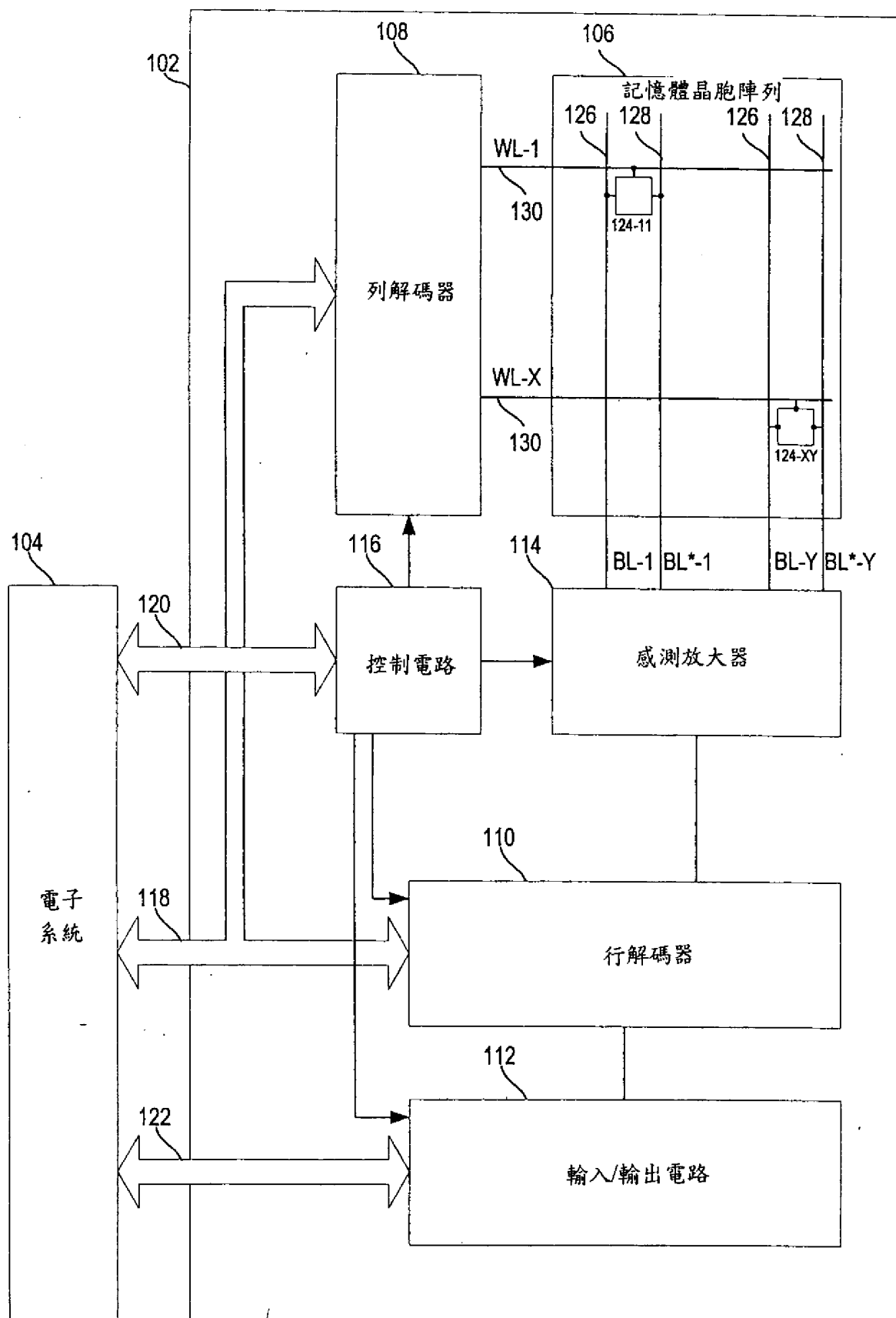
耦合該等位元線至一行解碼器。

(請先閱讀背面之注意事項再填寫本頁)

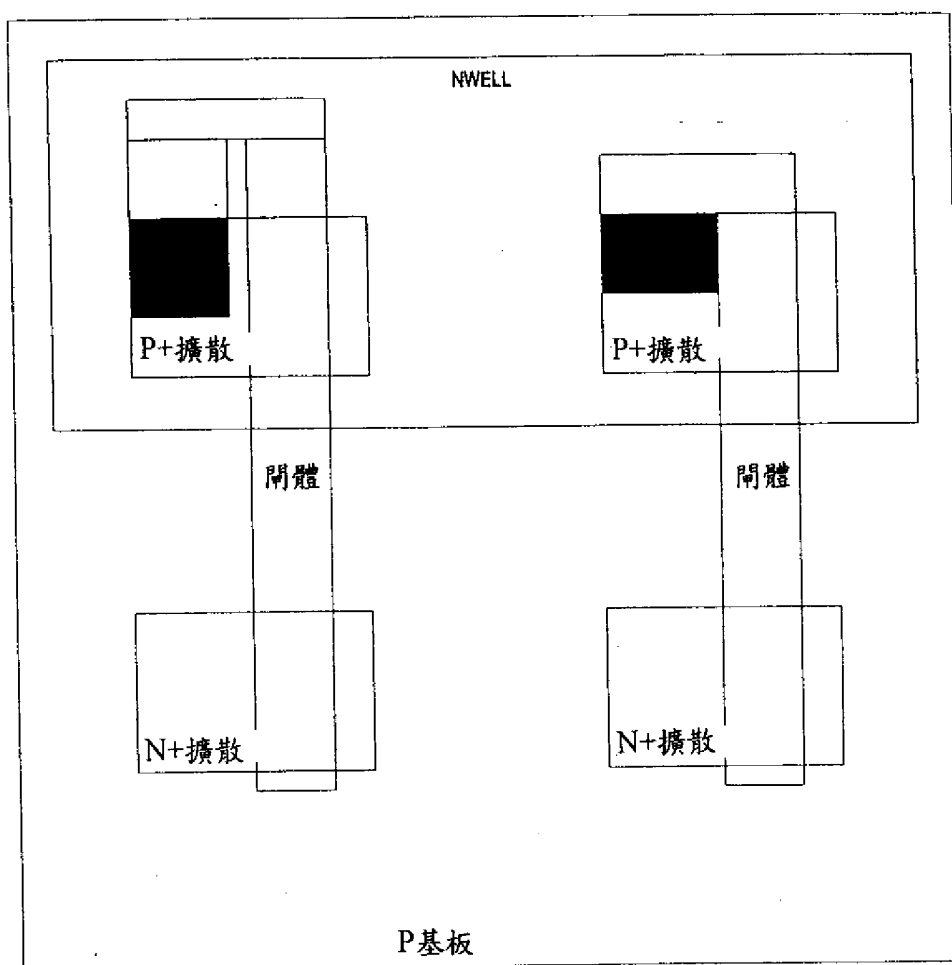
裝

訂

線



第 1 圖



第 4 圖