

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4443354号
(P4443354)

(45) 発行日 平成22年3月31日(2010.3.31)

(24) 登録日 平成22年1月22日(2010.1.22)

(51) Int.Cl.

F 1

H04N 5/228 (2006.01)

H04N 5/228

5/228

Z

H04N 1/028 (2006.01)

H04N 1/028

1/028

A

H04N 5/14 (2006.01)

H04N 5/14

5/14

A

請求項の数 11 (全 14 頁)

(21) 出願番号

特願2004-259724 (P2004-259724)

(22) 出願日

平成16年9月7日(2004.9.7)

(65) 公開番号

特開2006-80627 (P2006-80627A)

(43) 公開日

平成18年3月23日(2006.3.23)

審査請求日

平成19年8月29日(2007.8.29)

(73) 特許権者 000005821

パナソニック株式会社

大阪府門真市大字門真1006番地

(74) 代理人 100086737

弁理士 岡田 和秀

(72) 発明者 德山 克巳

大阪府門真市大字門真1006番地 松下
電器産業株式会社内

審査官 榎 一

最終頁に続く

(54) 【発明の名称】 映像信号処理回路および撮像装置

(57) 【特許請求の範囲】

【請求項 1】

入力されてくる映像信号を基に映像データを生成する映像信号処理部と、
前記映像信号処理部からの映像データをライン毎に一時記憶し、有効と無効に切り替え
ながら出力するラインメモリと、

前記映像データに所定のデジタル処理を施して出力するロジック部と、
前記ロジック部からの前記映像データを外部へ出力する出力パッドと、
無効期間の前記映像データを前記ロジック部の入力または出力において有効期間の前記
映像データと消費電力が同一であるダミーデータに置き換えるデータ置換部と
を備えた映像信号処理回路。

10

【請求項 2】

前記データ置換部は、
前記ダミーデータを発生するダミーデータ発生部と、
前記ラインメモリからの前記映像データと前記ダミーデータ発生部からの前記ダミーデ
ータとのいずれか一方を選択して前記ロジック部へ出力するセレクタと
から構成されている請求項1に記載の映像信号処理回路。

【請求項 3】

前記データ置換部は、
前記ダミーデータを発生するダミーデータ発生部と、
前記ロジック部からの前記映像データと前記ダミーデータ発生部からの前記ダミーデ
ー

20

タとのいずれか一方を選択して前記出力パッドへ出力するセレクタと
から構成されている請求項 1 に記載の映像信号処理回路。

【請求項 4】

前記データ置換部は、

前記ダミーデータを発生するダミーデータ発生部と、

前記ラインメモリからの前記映像データと前記ダミーデータ発生部からの前記ダミーデータとのいずれか一方を選択して前記ロジック部へ出力する第 1 のセレクタと、

前記ロジック部からの前記映像データと前記ダミーデータ発生部からの前記ダミーデータとのいずれか一方を選択して前記出力パッドへ出力する第 2 のセレクタと
から構成されている請求項 1 に記載の映像信号処理回路。 10

【請求項 5】

前記データ置換部は、無効ラインで隣接する有効ラインのデータを補間するように前記ラインメモリを制御するラインメモリ制御回路を備える請求項 1 から請求項 4 までのいずれかに記載の映像信号処理回路。

【請求項 6】

前記ダミーデータ発生部は、

ランダムパターンを発生するランダムパターン発生回路と、

順次インクリメントまたはデクリメントするカウンタと、

前記ランダムパターン発生回路からの出力と前記カウンタからの出力のいずれか一方を選択するセレクタと 20

を含む請求項 1 から請求項 4 までのいずれかに記載の映像信号処理回路。

【請求項 7】

前記ロジック部または前記出力パッドから出力されるデジタル処理映像データは、有効無効識別フラグを伴っている請求項 1 から請求項 6 までのいずれかに記載の映像信号処理回路。

【請求項 8】

前記ロジック部は、そのデジタル処理としてズーム処理の機能を備えている請求項 1 から請求項 7 までのいずれかに記載の映像信号処理回路。

【請求項 9】

前記映像信号の有効データおよび無効データに対する処理に加えて、前記映像信号のランキング期間に対しても同様に処理を行うように構成されている請求項 1 から請求項 8 までのいずれかに記載の映像信号処理回路。 30

【請求項 10】

入力されてくる映像信号を基に映像データを生成する映像信号処理部と、

前記映像信号処理部から出力され、所定のライン間隔毎に有効と無効に切り替えられた前記映像データに、所定のデジタル処理を施して出力するロジック部と、

前記ロジック部からの前記映像データを外部へ出力する出力パッドとを備え、

前記ロジック部の入力または出力において、前記映像データの前記無効ラインに有効期間の前記映像データと消費電力が同一であるダミーデータが付加される映像信号処理回路。
40

【請求項 11】

請求項 1 乃至 10 記載の信号処理回路と、イメージセンサと、モニターとを少なくとも備えた撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、イメージセンサ等による撮像信号を入力として映像データの信号処理を行い、外部のモニター等へ映像データを出力する映像信号処理回路に関する。また、前記映像信号処理回路、前記イメージセンサ等、前記モニター等を備える撮像装置に関する。

【背景技術】

【0002】

イメージセンサより入力される撮像信号に対して、例えばデジタルズーム（ZOOM）の拡大・縮小処理を行う場合、SDRAM（Synchronous Dynamic Random Access Memory）を有するシステムであれば、SDRAMにて映像データを保管した状態で処理することができる。しかし、小型・低コストを重視することからSDRAMは用いないシステムの場合には、ラインメモリを用いてデジタルズーム処理を行う。ラインメモリを用いて垂直方向で必要なラインのみを処理する。

【0003】

図10はSDRAMを有しない従来のデジタル信号処理を行う映像信号処理回路の概略構成を示すブロック図である。図11はその動作を説明するタイミングチャートである。
10

図11において、HDは水平同期信号である。

【0004】

イメージセンサからの撮像信号が映像信号処理部31に入力される。映像信号処理部31は、入力した撮像信号を基に映像データ（輝度信号Y、色差信号Cr, Cb）を生成し、SRAMからなるラインメモリ32へ出力する。ラインメモリ32は、全てのライン信号を有効とする状態（D31）で、映像信号処理部31からの映像データを取り込む。ズームの倍率に応じてラインメモリ32に対するアクセスタイミングが変更される。例えばズーム倍率が1/2の場合、有効信号は半分になるが、このとき、1ライン毎に有効ライン・無効ラインを切り替えてロジック部33へ出力する（D32）。ロジック部33は、入力した映像データに対して同期したタイミングで補間処理（ズーム処理）を行う。補間処理された映像データ（D33）は、有効・無効を切り替えながら有効無効識別フラグFと共に出力パッド34に出力され、出力パッド34からさらに外部のモニター等へ出力される。外部での処理においては、有効無効識別フラグFが“H”の期間を有効と扱うことで、映像データを正しく取り込むことができる。
20

【0005】

なお、関連する先行技術として、入力信号の相関に基づいて信号自身を補正することによってノイズを軽減する方式が提案されている（特許文献1参照）。

【特許文献1】特開平5-233803号公報

【発明の開示】**【発明が解決しようとする課題】**

30

【0006】

イメージセンサを用いたカメラシステムにおいては、基板の小型化やアナログ回路のオントップ化が進み、それに伴ってアナログ回路に対するノイズの影響による画質劣化が懸念されている。図12は図10の映像信号処理回路30とアナログ回路35とが1チップ化されたLSI40の構成を示す。

【0007】

上記の従来方式においては、信号有効のラインではクロックごとに変化する映像データに対してデジタル処理が行われるが、信号無効のラインではデータが変化しないため電力が消費されない。このため、信号有効期間と信号無効期間とで消費電力Pが大きく変動する。映像信号処理回路30での消費電力Pの大きな変動はノイズとなって電源ライン、GNDラインを介してアナログ回路35へ伝播する。アナログ回路35はノイズの影響に弱く、図13に示す映像イメージのように、ラインごとに映像の濃淡が発生してしまう。
40

【0008】

なお、上述の特許文献1においては、ノイズ源になる信号を制御することができず、結果として、十分なノイズ軽減効果は得られない。

【0009】

本発明は、このような事情に鑑みて創作したものであり、デジタル信号処理によって生じる消費電力変動によるノイズの影響で映像に生じる濃淡をなくすことを目的としている。

【課題を解決するための手段】

50

【0010】

本発明による映像信号処理回路は、
 入力されてくる映像信号を基に映像データを生成する映像信号処理部と、
 前記映像信号処理部からの映像データをライン毎に一時記憶し、有効と無効に切り替えながら出力するラインメモリと、
 前記映像データに所定のデジタル処理を施して出力するロジック部と、
 前記ロジック部からの前記映像データを外部へ出力する出力パッドと、
 無効期間の前記映像データを前記ロジック部の入力または出力において有効期間の前記映像データと消費電力が同一であるダミーデータに置き換えるデータ置換部と
 を備えた構成とされている。

10

【0011】

映像信号処理部からの映像データはライン単位でラインメモリに一時記憶される。このとき、映像データはすべてのラインで有効なものとして扱われる。ラインメモリは、外部からのデジタル処理にかかる指示により映像データを有効、無効に切り替えて出力する。有効期間では有効な映像データがラインメモリから出力されるが、無効期間ではラインメモリからの映像データは無効なものである。データ置換部は、その無効な映像データをダミーデータに置き換える。その置き換えは、ロジック部に対する入力の段階で行うのもよいし、ロジック部からの出力の段階で行うのもよい。

【0012】

上記構成の映像信号処理回路においては、前記データ置換部の構成について、次のようにいくつかの好ましい態様がある。

20

【0013】

すなわち、前記データ置換部として、
 前記ダミーデータを発生するダミーデータ発生部と、
 前記ラインメモリからの前記映像データと前記ダミーデータ発生部からの前記ダミーデータとのいずれか一方を選択して前記ロジック部へ出力するセレクタと
 から構成されていることは、好ましいものの1つである。

【0014】

この場合、ラインメモリから無効データが出力される期間においては、セレクタはダミーデータ発生部からのダミーデータを選択してロジック部に出力する。ダミーデータは無効データとは異なり、あるレベルの信号成分を有している。したがって、ダミーデータがロジック部でデジタル処理を受けるときには、あるレベルの電力消費が行われる。ロジック部でダミーデータをデジタル処理する際の消費電力は有効データの場合の消費電力とあまり変わりがないものとなる。すなわち、消費電力の平坦化を実現し、消費電力変動を抑制することが可能となる。これによってノイズの平均化が行われ、画質への悪影響の軽減が図られることになる。

30

【0015】

また、前記データ置換部として、
 前記ダミーデータを発生するダミーデータ発生部と、
 前記ロジック部からの前記映像データと前記ダミーデータ発生部からの前記ダミーデータとのいずれか一方を選択して前記出力パッドへ出力するセレクタと
 から構成されていることは、好ましいものの1つである。

40

【0016】

ダミーデータをロジック部においてデジタル処理することは、元来は無駄な電力消費につながるものである。低消費電力の観点からは好ましいものではない。一方、出力パッドは外部とのインターフェイスを行う上でかなりの電流(数mA)を消費するものであり、消費電力変動も大きいと考えられる。そこで、ロジック部において無効データをデジタル処理してもノイズの悪影響が比較的小さくてすむ条件では、ダミーデータ置き換えをロジック部の入力に対してではなく、ロジック部の出力すなわち出力パッドへの入力に対して行うようとする。ラインメモリからは有効データ、無効データのいずれもがロジック部に

50

入力され、ロジック部でデジタル処理された映像データに対して、その無効期間ではダミーデータ置き換えが行われる。前記の条件ゆえに、ロジック部が無効データに対して行うデジタル処理ではあまりノイズの原因とはならない。ロジック部での消費電力の増大が抑制されるとともに、出力パッドでの消費電力変動が抑制され、ノイズを軽減することが可能になる。

【0017】

また、前記データ置換部として、

前記ダミーデータを発生するダミーデータ発生部と、

前記ラインメモリからの前記映像データと前記ダミーデータ発生部からの前記ダミーデータとのいずれか一方を選択して前記ロジック部へ出力する第1のセレクタと、10

前記ロジック部からの前記映像データと前記ダミーデータ発生部からの前記ダミーデータとのいずれか一方を選択して前記出力パッドへ出力する第2のセレクタと
から構成されている場合も、好ましいものの1つである。

【0018】

これは、上記2つの態様を折衷したものに相当する。ロジック部での無効データのデジタル処理がノイズ発生を助長する可能性のあるときは第1のセレクタがダミーデータを選択して、無効データに代えてダミーデータをロジック部に供給する。これは、無効データのデジタル処理に起因する消費電力変動の増大を抑制することを主眼にしたモードである。一方、ロジック部での無効データのデジタル処理がノイズ発生を助長する可能性のないときは、第2のセレクタがダミーデータを選択して、出力パッドへ出力する。これは、ロジック部では無効データを扱わせて消費電力の無駄な増大を抑制することを主眼とするモードである。20

【0019】

上記構成において、前記データ置換部としては、無効ラインで隣接する有効ラインのデータを補間するように前記ラインメモリを制御するラインメモリ制御回路を備えるものが好ましい。これは、データ置換部が直接にラインメモリを制御して、無効データを隣接ラインの有効データで補間するものである。

【0020】

また、上記構成において、前記ダミーデータ発生部としては、ランダムパターンを発生するランダムパターン発生回路と、順次インクリメントまたはデクリメントするカウンタと、前記ランダムパターン発生回路からの出力と前記カウンタからの出力のいずれか一方を選択するセレクタとを含むものが好ましい。これは、一部にカウンタの冗長性を利用するものである。ノイズの回り込みに関してはレイアウト依存もある。無効期間に対するダミーデータの付加をセレクタで切り替える構成とし、システム構成上、必要な部分のみ使用できる構成とするとさらに好ましい。30

【0021】

また、上記構成において、前記ロジック部または前記出力パッドから出力されるデジタル処理映像データは、有効無効識別フラグを伴っていることが好ましい。このデジタル処理映像データを受けた外部の機器は、有効無効識別フラグに基づいて映像信号を正しく再現することができる。40

【0022】

また、上記構成において、前記ロジック部は、そのデジタル処理としてズーム処理の機能を備えている場合を含むものとする。

【0023】

また、上記構成において、前記映像信号の有効データおよび無効データに対する処理に加えて、前記映像信号のブランкиング期間に対しても同様に処理を行うように構成されているのもよい。信号処理のシステムディレイに起因して映像データに濃淡が発生する可能性があるため、ブランкиング期間で同等の処理を行うのが好ましい。

【発明の効果】

【0024】

本発明によれば、小型基板上に実装された場合でも、またアナログ回路がシステムオンチップされたLSIであっても、出力パッドからのアナログ回路への消費電力変動に起因する悪影響を抑制し、映像データの濃淡等の画質劣化を免れる。

【0025】

また、カメラシステム構成に応じて対策回路構成を最小限に抑え、電力増加も可能な限り抑えることが可能となる。

【発明を実施するための最良の形態】

【0026】

以下、本発明にかかる映像信号処理回路の実施の形態を図面に基づいて詳細に説明する。

10

【0027】

(実施の形態1)

図1は本発明の実施の形態1における映像信号処理回路の構成を示すブロック図である。図1において、11はイメージセンサからの撮像信号を基に映像データD1(輝度信号Y、色差信号Cr,Cb)を生成する映像信号処理部(YC信号処理部)、12は映像信号処理部11から出力された映像データD1を取り込んで一時記憶し、ズームの倍率に応じてアクセスタイミングを変更して有効/無効の映像データD2を出力するSRAM構成のラインメモリ、13は無効ライン毎に異なるダミーデータD3を発生して出力する例えばランダムパターン発生回路からなるダミーデータ発生部、14はラインメモリ12からの映像データD2とダミーデータ発生部13からのダミーデータD3のうちいずれか一方を選択するもので、有効ラインを検知したときはラインメモリ12からの映像データD2を選択する一方、無効ラインを検知するとダミーデータ発生部13からのダミーデータD3を選択するセレクタ、15はセレクタ14からの選択データD4を取り込んでデジタル処理(ズーム処理)し、得られたデジタル処理映像データD5に有効無効識別フラグFを付加して出力するロジック部、16は外部のモニター等とインターフェイスをとつて前記デジタル処理映像データD5を有効無効識別フラグFとともに出力する出力パッドである。

20

【0028】

本実施の形態では、ダミーデータ発生部13とセレクタ14とがデータ置換部A1を構成している。

30

【0029】

次に、以上のように構成された本実施の形態の映像信号処理回路の動作を図2のタイミングチャートに基づいて説明する。

【0030】

映像信号処理部11において、イメージセンサからの撮像信号が入力され、その撮像信号を基に映像データD1を生成し、ラインメモリ12へ出力する。ラインメモリ12は、全てのラインを有効とする状態で映像信号処理部11からの映像データD1をライン単位で取り込み、一時記憶する。ラインメモリ12は、指示されたズームの倍率に応じてアクセスタイミングを変更する。例えばズーム倍率が1/2の場合、映像信号処理部11から全てが有効として入力された映像データD1に対して、1ライン毎に有効ライン・無効ラインを切り替えた映像データD2をセレクタ14へ出力することにより、1フレーム内で有効信号を半分にする。

40

【0031】

ダミーデータ発生部13においては、無効ライン毎に異なるダミーデータD3を発してセレクタ14へ出力する。セレクタ14は、外部からの有効・無効識別信号に基づいて有効ラインを検知するとラインメモリ12からの映像データD2を選択し、無効ラインを検知するとダミーデータ発生部13からのダミーデータD3を選択する。その結果の選択データD4をロジック部15へ出力する。なお、有効・無効識別信号を用いる代わりに、あらかじめ無効ラインのピットパターンを決めておき、セレクタ14がそのピットパターンを判断することによって無効ラインを検知する構成としてもよい。

50

【0032】

映像データD2に無効ラインでのダミーデータD3が付加された選択データD4がロジック部15へ入力され、ロジック部15はこの選択データD4に対してズーム処理等のデジタル処理（補間処理）を行う。その結果のデジタル処理映像データD5は、有効データとダミーデータが混在したパターンとなる。ロジック部15で得られたデジタル処理映像データD5と有効無効識別フラグFとが関連付けられて出力パッド16に出力され、出力パッド16からさらに外部のモニター等へ出力される。外部での処理は、有効無効識別フラグFが“H”の期間、信号を有効と扱うことで、映像データを正しく取り込むことができる。

【0033】

10

従来の技術の場合の無効ラインのデータは、データそのものとしては常に一定のものである。これに対して、本実施の形態でのダミーデータD3は、一定のものではなく、ライン毎に異なる内容のデータとなっている。その結果、消費電力Pの変動を抑制し平坦化することができる。具体的には、図3の映像イメージに示すように、有効ラインL1と無効ラインL2との間で濃淡の発生を抑制することができる。

【0034】

(実施の形態2)

出力パッド16は、電力面から考えた場合、外部とのインターフェースを行うために数百mAの電流を流すことから、消費電力変動がかなり大きなものとなり、ノイズの発生源となる。出力パッド16からの出力における消費電力変動による悪影響を抑制するのが本発明の実施の形態2である。

20

【0035】

図4は本発明の実施の形態2における映像信号処理回路の構成を示すブロック図である。本実施の形態のデータ置換部A2は、上記同様のダミーデータ発生部13と、出力パッド16の入力に対するロジック部15の出力とダミーデータ発生部13の出力とを切り替えるセレクタ17とから構成されている。実施の形態1の場合のロジック部15の入力側のセレクタ14はない。ロジック部15はラインメモリ12からの映像データD2をそのまま受け入れる。セレクタ17は、ロジック部15からの映像データD6とダミーデータ発生部13からのダミーデータD3のいずれかを選択する。その他の構成については、実施の形態1と同様であるので同一部分に同一符号を付すにとどめ、説明を省略する。

30

【0036】

次に、以上のように構成された本実施の形態の映像信号処理回路の動作を図5のタイミングチャートに基づいて説明する。

【0037】

ラインメモリ12からの映像データD2は、1ライン毎に有効ライン、無効ラインが切り替わる信号であり、そのままロジック部15へ入力される。ロジック部15では、ズーム処理等のデジタル処理（補間処理）を行う。その結果のデジタル処理映像データD6は、有効データと無効データが混在したパターンとなる。ロジック部15で得られたデジタル処理映像データD6がセレクタ17に出力される。セレクタ17は、外部からの有効・無効識別信号に基づいて有効ラインを検知するとロジック部15からのデジタル処理映像データD6を選択し、無効ラインを検知するとダミーデータ発生部13からのダミーデータD3を選択し、選択したデータに有効無効識別フラグFが関連付けられてデジタル処理映像データD7として出力パッド16に出力され、出力パッド16からさらに外部のモニター等へ出力される。

40

【0038】

ロジック部15での消費電力変動がアナログ回路に影響を及ぼさない程度に小さい場合に本実施の形態は有効である。レイアウトによっては、そのような状況が成立する。消費電力Pは、少し変動するものの、映像イメージに影響を与えるほどのものではない。

【0039】

(実施の形態3)

50

上記の実施の形態 1において、ロジック部 15では1ラインごとにダミーデータを含んだ映像データD4を信号処理している。ダミーデータといえどもある大きさの信号成分を含んでいるので、ダミーデータのデジタル処理には電力を消費することになる。逆にいうと、ダミーデータが電力を消費するゆえに、消費電力Pの変動を抑制してその平坦化が実現されている。しかし、このことは、低消費電力化の観点からはマイナスに作用しているといえる。この点の改善に配慮したのが本発明の実施の形態3である。本実施の形態3は、実施の形態1と実施の形態2を折衷したものに相当する。

【0040】

図6は本発明の実施の形態3における映像信号処理回路の構成を示すブロック図である。本実施の形態のデータ置換部A3は、上記同様のダミーデータ発生部13と、ロジック部15の入力に対するラインメモリ12の出力とダミーデータ発生部13の出力とを切り替える第1のセレクタ14と、出力パッド16の入力に対するロジック部15の出力とダミーデータ発生部13の出力とを切り替える第2のセレクタ17とから構成されている。その他の構成については、上記実施の形態と同様であるので同一部分に同一符号を付すにとどめ、説明を省略する。

【0041】

次に、以上のように構成された本実施の形態の映像信号処理回路の動作を図7のタイミングチャートに基づいて説明する。図7において、点線から上は第1のセレクタ14を活性化し、第2のセレクタ17を非活性にしたときの動作を示し、点線から下は第2のセレクタ17を活性化し、第1のセレクタ14を非活性にしたときの動作を示す。

【0042】

ロジック部15での消費電力変動がアナログ回路に影響を及ぼす可能性のある状況では、第1のセレクタ14が活性化され、第2のセレクタ17はロジック部15からの出力を選択する状態にロックされる。このときのロジック部15がデジタル処理映像データD5を生成出力するまでの動作は、実施の形態1の場合と同様である。第2のセレクタ17からは、デジタル処理映像データD5が有効無効識別フラグFと関連付けられたデジタル処理映像データD8が出力パッド16に出力され、出力パッド16からさらに外部のモニター等へ出力される。

【0043】

ロジック部15での消費電力変動がアナログ回路に影響を及ぼす可能性のない状況では、第2のセレクタ17が活性化され、第1のセレクタ14はラインメモリ12からの出力を選択する状態にロックされる。このときの第2のセレクタ17がデジタル処理映像データD8を有効無効識別フラグFに関連付けて生成出力し、出力パッド16からさらに外部のモニター等へ出力される動作は、実施の形態2の場合と同様である。本実施の形態においても、消費電力Pは、少し変動するものの、映像イメージに影響を与えるほどのものではない。

【0044】

なお、ユーザの設定により、第2のセレクタ17を常時非活性としてもよく、あるいは逆に、第1のセレクタ14を常時非活性としてもよい。

【0045】

(実施の形態4)

本実施の形態4は、ダミーデータ発生部の別の態様にかかわるものである。それは、消費電力の平坦化の精度を上げるためのものである。

【0046】

図8は実施の形態4におけるダミーデータ発生部の構成を示すブロック図である。本実施の形態のダミーデータ発生部13aは、ラインメモリ制御回路21と、カウンタ22と、ランダムパターン発生回路23と、セレクタ24とを備えている。

【0047】

ラインメモリ制御回路21は、無効ラインを検知すると、ラインメモリ12に対して制御信号Scを出力し、ラインメモリ12をして、現在のラインのデータとして1ライン前

10

20

30

40

50

のデータを出力せしめるように制御するように構成されている（図9の（d1，d1）、（d2，d2）、（d3，d3）を参照）。すなわち、同じ1ラインの有効データが連続して2ライン分出力される結果となる。

【0048】

カウンタ22は、その出力D01の値が時間経過とともに漸増または漸減するものであって冗長性を持つことから、その出力D01の採用は、前ラインとの電力変動を最小に抑えることにつながる。ランダムパターン発生回路23は、その出力D02が文字通りにランダムに変化するものである。セレクタ24は、カウンタ22の出力D01とランダムパターン発生回路23の出力D02とのいずれか一方を選択して第2のセレクタ17に出力するようになっている。10

【0049】

出力パッド16からのデジタル処理映像データとして、輝度信号と色差信号に分けて別のバスラインで出力する場合には、その出力データに冗長性があることから、セレクタ24は、カウンタ22の出力D01をダミーデータD3として選択し、第2のセレクタ17へ出力するものとする。

【0050】

一方、出力パッド16からのデジタル処理映像データとして、輝度信号と色差信号を多重化して同一バスラインで出力する場合には、隣り合うラインのデータは異なる帯域の信号となるため、冗長性は存在しない。その場合、セレクタ24は、ランダムパターン発生回路23の出力D02をダミーデータD3として選択し、第2のセレクタ17へ出力するものとする。20

【0051】

その他の構成については、上記実施の形態3と同様であるので、説明を省略する。

【0052】

次に、以上のように構成された本実施の形態の映像信号処理回路の動作を説明する。

【0053】

(1) 実施の形態3の場合と同様に、第1のセレクタ14を活性化して動作させる場合には、ダミーデータ発生部13aにおいてラインメモリ制御回路21をアクティブにする。ラインメモリ制御回路21は、無効ラインを検知すると、制御信号Scによってラインメモリ12を制御する。ラインメモリ12は、現在のラインのデータとして1ライン前のデータを出力する。その結果、図9に示すように、ラインメモリ12の出力データD2は、（d1，d1）の組み合わせ、（d2，d2）の組み合わせ、（d3，d3）の組み合わせのようになる。すなわち、有効ラインではそのまま有効データが採用され、無効ラインでは1ライン前の有効ラインの有効データが繰り返し採用される。映像データには冗長性がある。隣り合うラインの映像データの変化量は少ない傾向がある。無効ラインのダミーパターンとしては、一つ前の有効ラインの映像データをそのまま採用する方が、消費電力の平坦化の面で有効である。30

(2) 実施の形態3の場合と同様に、第2のセレクタ17を活性化して動作させる場合には、ダミーデータ発生部13aにおいてカウンタ22、ランダムパターン発生回路23およびセレクタ24をアクティブにする。40

【0054】

(a) 出力パッド16から輝度信号と色差信号に分けて別のバスラインで出力する場合には、セレクタ24はカウンタ22の出力D01をダミーデータD3として選択し、第2のセレクタ17へ出力する。これにより、消費電力変動を最小限に抑えることができる。

【0055】

(b) 出力パッド16から輝度信号と色差信号を多重化して同一バスラインで出力する場合には、セレクタ24はランダムパターン発生回路23の出力D02をダミーデータD3として選択し、第2のセレクタ17へ出力する。これにより、消費電力変動を可能な限りに抑制する。

【0056】

以上の相乗により、消費電力の平坦化の精度を上げることが可能となる。

【0057】

なお、カウンタ22とランダムパターン発生回路23のいずれを用いるかは、システム全体の構成によってユーザ(セットメーカー)が決定すればよい。

【0058】

もっとも、ラインメモリ制御回路21と、(カウンタ22、ランダムパターン発生回路23、セレクタ24)のセットとは、そのいずれか一方を省略してもよい。さらには、同等の機能を有するのであれば、その他の構成でも構わない。

【0059】

また、上記の説明ではズーム回路を例にあげたが、イメージセンサより入力される撮像信号のブランкиング期間に関しても、ダミー発生回路とセレクタにより同様に処理することができる。10

【産業上の利用可能性】

【0060】

本発明の映像信号処理回路は、イメージセンサ等の撮像素子からの信号を入力とする信号処理の画質の向上の機能を有し、アナログ回路をオンチップしたLSIや小型基板上で構成されるカメラシステム等において特に有用である。

【図面の簡単な説明】

【0061】

【図1】本発明の実施の形態1における映像信号処理回路の構成を示すブロック図20

【図2】本発明の実施の形態1における映像信号処理回路の動作を示すタイミングチャート

【図3】本発明の実施の形態1における映像信号処理回路の動作を説明する画像出力イメージ図

【図4】本発明の実施の形態2における映像信号処理回路の構成を示すブロック図

【図5】本発明の実施の形態2における映像信号処理回路の動作を示すタイミングチャート

【図6】本発明の実施の形態3における映像信号処理回路の構成を示すブロック図

【図7】本発明の実施の形態3における映像信号処理回路の動作を示すタイミングチャート30

【図8】本発明の実施の形態4における映像信号処理回路のダミーデータ発生部の構成を示すブロック図

【図9】本発明の実施の形態4における映像信号処理回路の動作を示すタイミングチャート

【図10】従来のデジタル信号処理を行う映像信号処理回路の概略構成を示すブロック図

【図11】従来の映像信号処理回路の動作を示すタイミングチャート

【図12】従来の画像出力イメージ図

【図13】LSI構成図

【符号の説明】

【0062】

A1～A3 データ置換部40

11 映像信号処理部

12 ラインメモリ

13, 13a ダミーデータ発生部

14 セレクタ(第1のセレクタ)

15 ロジック部(ズーム回路)

16 出力パッド

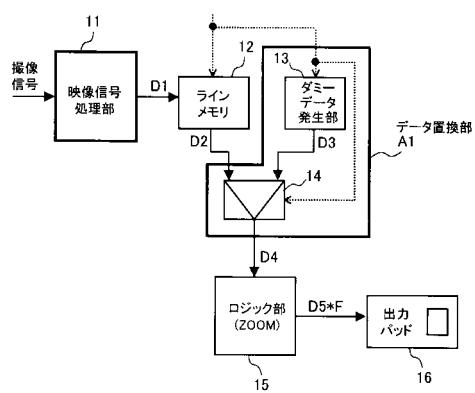
17 セレクタ(第2のセレクタ)

21 ラインメモリ制御回路

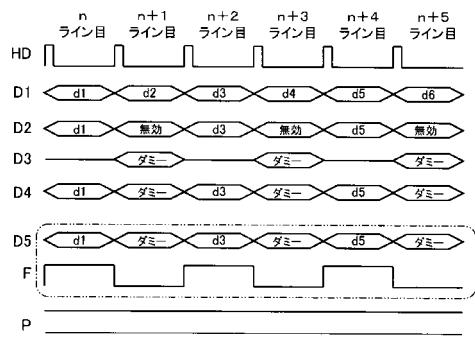
22 カウンタ

2 3 ランダムパターン発生回路
 2 4 セレクタ

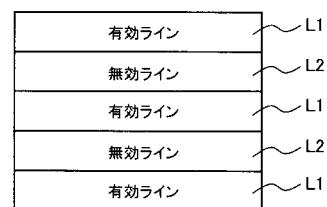
【図1】



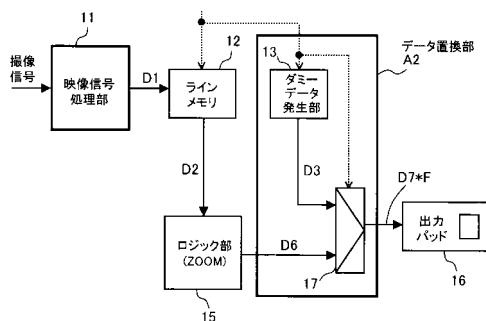
【図2】



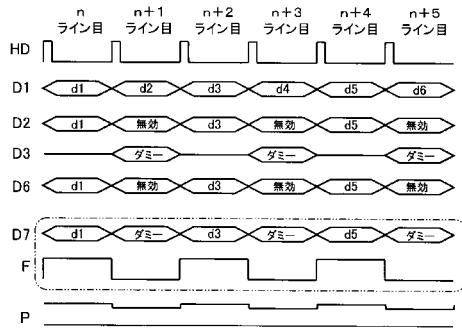
【図3】



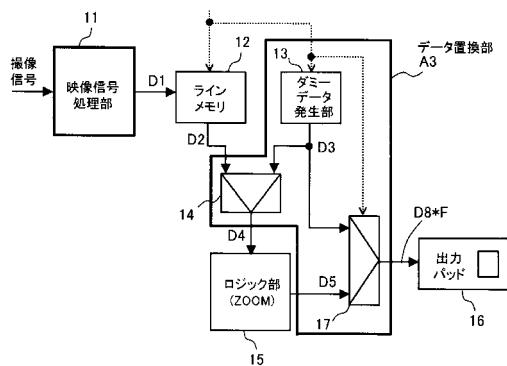
【図4】



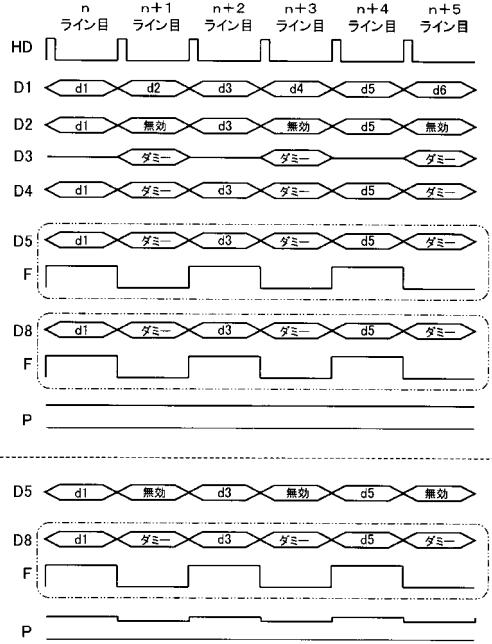
【図5】



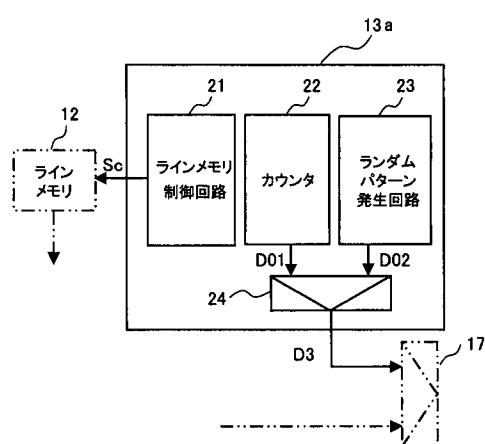
【図6】



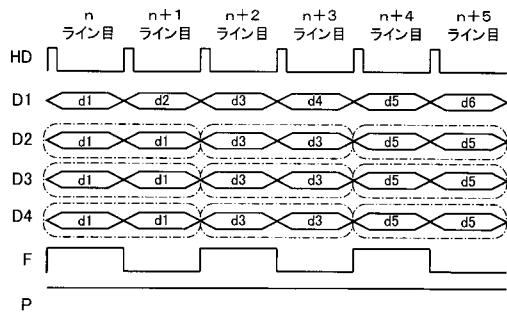
【図7】



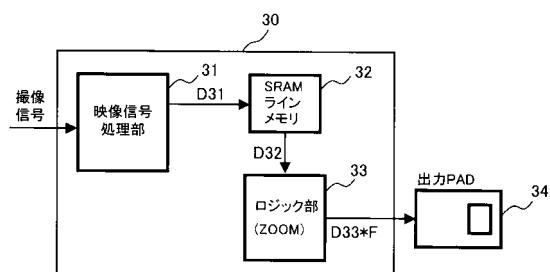
【図8】



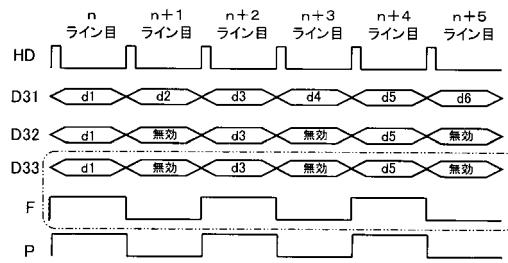
【図9】



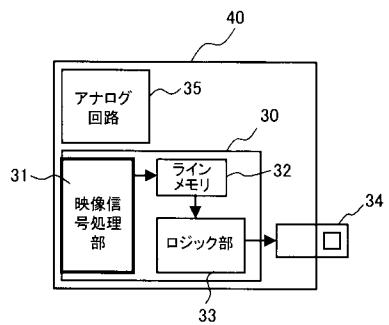
【図10】



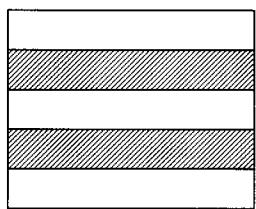
【図11】



【図12】



【図13】



フロントページの続き

(56)参考文献 特開2002-112096(JP,A)
特開平08-162962(JP,A)
特開2002-204166(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/228
H04N 1/028
H04N 5/14