



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I874875 B

(45) 公告日：中華民國 114 (2025) 年 03 月 01 日

(21) 申請案號：111149584 (22) 申請日：中華民國 111 (2022) 年 12 月 22 日

(51) Int. Cl. : *H10B41/20 (2023.01)* *H10B41/35 (2023.01)*
H01L21/762 (2006.01) *H01L21/20 (2006.01)*

(30) 優先權：2022/09/01 美國 17/901,240

(71) 申請人：大陸商長江存儲科技有限責任公司 (中國大陸) YANGTZE MEMORY TECHNOLOGIES CO., LTD. (CN)
 中國大陸

(72) 發明人：郭振 GUO, ZHEN (CN)；徐偉 XU, WEI (CN)；袁彬 YUAN, BIN (CN)；馬闖 MA, CHUANG (CN)；張佳詩 ZHANG, JIASHI (CN)；霍宗亮 HUO, ZONGLIANG (CN)

(74) 代理人：楊長峯

(56) 參考文獻：

TW	I750071A	TW	202137447A
US	2020/0058671A1	US	2022/0254807A1

審查人員：莊榮昌

申請專利範圍項數：20 項 圖式數：4 共 38 頁

(54) 名稱

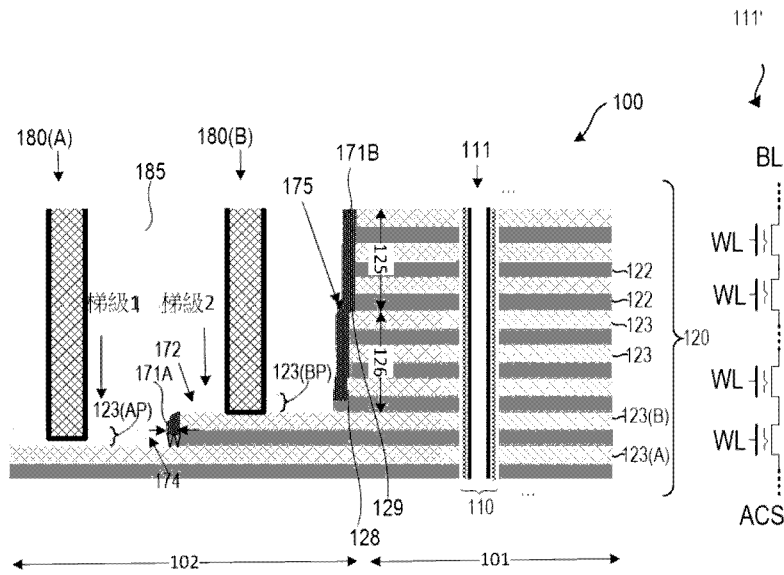
半導體元件及其製造方法和含其之儲存系統元件

(57) 摘要

本發明提供了一種半導體元件。所述半導體元件包括閘極層和絕緣層的儲存堆疊體。所述閘極層和所述絕緣層交替堆疊，並且在階梯區域中形成為梯級。所述半導體元件包括第一梯級的第一閘極層上的第一著陸接墊。所述第一閘極層是所述第一梯級的頂部閘極層。所述半導體元件還包括第二梯級的第二閘極層的豎板側壁上的第一側壁隔離結構。所述第二閘極層是所述第二梯級的頂部閘極層並且堆疊在所述儲存堆疊體中的所述第一閘極層上。所述第一側壁隔離結構將所述第二閘極層與所述第一著陸接墊隔離。

The invention provides a semiconductor device. The semiconductor device includes a memory stack having gate layers and insulating layers. The gate layers and the insulating layers are alternately stacked and forming rungs in a stepped region. The semiconductor device includes a first landing pad on a first gate layer of a first rung. The first gate layer is a top gate layer of the first rung. The semiconductor device further includes a first sidewall isolation structure on a sidewall of a riser of a second gate layer of a second rung. The second gate layer is a top gate layer of the second rung and is stacked on the first gate layer in the memory stack. The first sidewall isolation structure isolates the second gate layer from the first landing pad.

指定代表圖：



【圖1B】

符號簡單說明：

100:半導體元件

101:陣列區域

102:階梯區域

120:儲存堆疊體

111、111':垂直儲存單元串

180、180(A)、180

(B):接觸結構

171、171A、171B:側壁隔離結構

110:通道結構

123、123(A)、123

(B):閘極層

122:絕緣層

WL:字元線

BL:位元線

ACS:陣列公共源極

1、2:梯級

123(AP)、123(BP):著陸接墊

128:大壁

125:第一部分

126:第二部分

129:子肩部

185:接觸隔離層

172、174:凹槽

175:殘留物





I874875

【發明摘要】

【中文發明名稱】 半導體元件及其製造方法和含其之儲存系統元件

【英文發明名稱】 SEMICONDUCTOR DEVICE AND MANUFACTURING

METHOD THEREOF AND STORAGE SYSTEM CONTAINING THE SAME

【中文】

本發明提供了一種半導體元件。所述半導體元件包括閘極層和絕緣層的儲存堆疊體。所述閘極層和所述絕緣層交替堆疊，並且在階梯區域中形成為梯級。所述半導體元件包括第一梯級的第一閘極層上的第一著陸接墊。所述第一閘極層是所述第一梯級的頂部閘極層。所述半導體元件還包括第二梯級的第二閘極層的豎板側壁上的第一側壁隔離結構。所述第二閘極層是所述第二梯級的頂部閘極層並且堆疊在所述儲存堆疊體中的所述第一閘極層上。所述第一側壁隔離結構將所述第二閘極層與所述第一著陸接墊隔離。

【英文】

The invention provides a semiconductor device. The semiconductor device includes a memory stack having gate layers and insulating layers. The gate layers and the insulating layers are alternately stacked and forming rungs in a stepped region. The semiconductor device includes a first landing pad on a first gate layer of a first rung. The first gate layer is a top gate layer of the first rung. The semiconductor device further includes a first sidewall isolation structure on a sidewall of a riser of a second gate layer of a second rung. The second gate layer is a top gate layer of the second rung

and is stacked on the first gate layer in the memory stack. The first sidewall isolation structure isolates the second gate layer from the first landing pad.

【指定代表圖】 圖 1B

【代表圖之符號簡單說明】

100：半導體元件

101：陣列區域

102：階梯區域

120：儲存堆疊體

111、111'：垂直儲存單元串

180、180(A)、180(B)：接觸結構

171、171A、171B：側壁隔離結構

110：通道結構

123、123(A)、123(B)：閘極層

122：絕緣層

WL：字元線

BL：位元線

ACS：陣列公共源極

1、2：梯級

123(AP)、123(BP)：著陸接墊

128：大壁

125：第一部分

126：第二部分

129：子肩部

185：接觸隔離層

172、174：凹槽

175：殘留物

【發明說明書】

【中文發明名稱】 半導體元件及其製造方法和含其之儲存系統元件

【英文發明名稱】 SEMICONDUCTOR DEVICE AND MANUFACTURING

METHOD THEREOF AND STORAGE SYSTEM CONTAINING THE SAME

【技術領域】

【0001】 本發明涉及一種儲存系統、半導體元件和用於半導體元件的製造方法的技術。

【先前技術】

【0002】 半導體製造開發了垂直元件技術，諸如三維（three dimensional，3D）NAND 快閃記憶體技術等，以實現更高的資料儲存密度而不需要更小的儲存單元。在一些實施例中，3D NAND 儲存元件包括核心區域和階梯區域。核心區域包括交替的閘極層和絕緣層的堆疊體。交替的閘極層和絕緣層的堆疊體用於形成垂直堆疊的儲存單元。階梯區域包括階梯形式的相應閘極層，以便於形成與相應閘極層的接觸部。接觸部用於將驅動電路系統連接到相應閘極層，以控制堆疊的儲存單元。

【發明內容】

【0003】 本發明一方面提供了一種半導體元件。所述半導體元件包括閘極層和絕緣層的儲存堆疊體。所述閘極層和所述絕緣層交替堆疊，並且在階梯區域中形成為梯級。所述半導體元件包括第一梯級的第一閘極層上的第一著陸接

墊。所述第一閘極層是所述第一梯級的頂部閘極層。所述半導體元件還包括第二梯級的第二閘極層的豎板側壁上的第一側壁隔離結構。所述第二閘極層是所述第二梯級的頂部閘極層並且堆疊在所述儲存堆疊體中的所述第一閘極層上。所述第一側壁隔離結構將所述第二閘極層與所述第一著陸接墊隔離。

【0004】 此外，根據本發明的方面，所述的半導體元件包括所述第二梯級的所述第二閘極層上的第二著陸接墊。所述第二著陸接墊的側壁被與所述第一側壁隔離結構不同的隔離層覆蓋。在一些實施例中，所述不同的隔離層為所述階梯區域中的接觸隔離層，並且所述接觸隔離層覆蓋所述第一著陸接墊和所述第二著陸接墊。例如，所述半導體元件包括延伸穿過所述接觸隔離層並與所述第一梯級的所述第一閘極層連接的第一接觸結構，並且包括延伸穿過所述接觸隔離層並與所述第二梯級的所述第二閘極層連接的第二接觸結構。在一些實施例中，所述第一側壁隔離結構和所述接觸隔離層具有不同的材料特性。例如，所述第一側壁隔離結構由原子層沉積（ALD）法沉積二氧化矽形成，並且所述接觸隔離層由高密度電漿二氧化矽形成。

【0005】 在一些實施例中，所述半導體元件包括：第二側壁隔離結構，在所述儲存堆疊體中的多個閘極層和絕緣層的側壁上。所述第一側壁隔離結構和所述第二側壁隔離結構的寬度可以在 1nm 至 500nm 的範圍內。在實施例中氮化矽材料設置在所述第二側壁隔離結構上。

【0006】 在一些實施例中，所述第一著陸接墊包括等向性凹槽。在一些實施例中，所述第一著陸接墊包括凹槽，所述凹槽具有彎曲側壁和/或傾斜側壁。

【0007】 本發明的方面還提供了一種製造半導體元件的方法。所述方法包括將閘極層和絕緣層的儲存堆疊體在階梯區域中形成為梯級。所述閘極層和所述絕緣層交替堆疊。然後，在第一梯級的第一閘極層上形成第一著陸接墊。所述第一閘極層是所述第一梯級上的頂部閘極層。此外，所述方法包括在第二梯

級的第二閘極層的豎板側壁上形成第一側壁隔離結構。所述第二閘極層是所述第二梯級的頂部閘極層並且堆疊在所述儲存堆疊體中的所述第一閘極層上。所述第一側壁隔離結構將所述第二閘極層與所述第一著陸接墊隔離。

【0008】 為了在所述第二閘極層的所述豎板側壁上形成所述第一側壁隔離結構，在一些實施例中，所述方法包括在用於所述儲存堆疊體的初始儲存堆疊體中形成所述梯級。所述初始儲存堆疊體包括與所述閘極層對應的犧牲層。所述犧牲層包括與所述第一閘極層對應的第一犧牲層和與所述第二閘極層對應的第二犧牲層。然後，所述方法包括在所述第二犧牲層的與所述第二閘極層的所述豎板側壁對應的豎板側壁上形成所述第一側壁隔離結構。

【0009】 為了在所述第二犧牲層的所述豎板側壁上形成所述第一側壁隔離結構，在一些實施例中，所述方法包括在所述初始儲存堆疊體中沉積與所述梯級共形的隔離膜。所述隔離膜的部分沉積在所述第二犧牲層的所述豎板側壁上。然後，所述方法包括在一個方向上蝕刻隔離膜。對所述隔離膜的所述蝕刻暴露所述第二梯級的所述第二犧牲層和所述第一梯級的所述第一犧牲層，並將所述隔離膜的在所述第二梯級的所述豎板側壁上的所述部分留下成為所述第一側壁隔離結構。

【0010】 為了沉積所述隔離膜，在一些實施例中，所述方法包括使用原子層沉積（ALD）法沉積二氧化矽膜。

【0011】 在一些實施例中，為了在所述第一閘極層上形成所述第一著陸接墊，所述方法包括：沉積頂側犧牲層，所述頂側犧牲層覆蓋所述第一梯級的所述第一犧牲層、所述第二梯級的所述第二犧牲層和所述第一側壁隔離結構；對所述頂側犧牲層進行圖案化。對所述頂側犧牲層進行的所述圖案化暴露所述第一側壁隔離結構並將所述頂側犧牲層分成初始著陸接墊。此外，所述方法包括：在所述階梯區域中形成接觸隔離層；以及以用於所述閘極層的材料替換所述犧

牲層和所述頂側犧牲層。在一些實施例中，所述方法包括：基於所述第一著陸接墊在具有停止部的所述接觸隔離層中蝕刻第一接觸孔；以及在所述第一接觸孔中形成第一接觸結構。

【0012】 為了對所述頂側犧牲層進行圖案化，在一些實施例中，所述方法包括沉積含碳遮罩層。所述含碳遮罩層的部分設置在所述頂側犧牲層的從所述第一梯級到所述第二梯級的過渡部分上。所述頂側犧牲層的所述過渡部分覆蓋所述第一側壁隔離結構。然後，所述方法包括：去除所述含碳遮罩層的在所述頂側犧牲層的從所述第一梯級到所述第二梯級的所述過渡部分上的所述部分；以及蝕刻所述頂側犧牲層的從所述第一梯級到所述第二梯級的所述過渡部分，以暴露所述第一側壁隔離結構。

【0013】 為了蝕刻所述頂側犧牲層的從所述第一梯級到所述第二梯級的所述過渡部分，在一些實施例中，所述方法包括使用傾斜蝕刻製程和/或濕式蝕刻製程。

【0014】 為了在所述階梯區域中形成所述接觸隔離層，在實施例中，所述方法包括使用高密度電漿（HDP）沉積製程沉積二氧化矽作為所述接觸隔離層。

【0015】 本發明的另一方面還提供了一種儲存系統元件。所述儲存系統元件包括：控制器，耦接到半導體元件以控制所述半導體元件上的資料儲存操作。

【圖式簡單說明】

【0016】 當與附圖一起閱讀時，從以下詳細描述中可以最好地理解本發明的方面。值得注意的是，根據行業的標準實踐，各種特徵並未按比例繪製。事實上，為了討論的清楚性，可以任意增大或減小各種特徵的尺寸。

【0017】 圖 1A-1B 示出了根據本發明的一些實施例的半導體元件的透視圖和截面圖。

【0018】 圖 2 示出了概述用於製造根據本發明的一些實施例的半導體元件的製程實施例的流程圖。

【0019】 圖 3A-3L 示出了根據本發明的一些實施例的處於製造的各個中間步驟的半導體元件的截面圖。

【0020】 圖 4 示出了根據本發明的一些實施例的儲存系統元件的方塊圖。

【實施方式】

【0021】 以下公開提供了許多不同實施例或示例，用於實現所提供的主題的不同特徵。下面描述組件和佈置的具體實施例以簡化本發明。當然，這些僅僅是實施例並且不旨在進行限制。例如，在下面的描述中，在第二特徵之上或在第二特徵上形成第一特徵可以包括第一和第二特徵形成為直接接觸的實施例，並且還可以包括附加特徵可以形成在第一和第二特徵之間，使得第一和第二特徵可以不直接接觸，的實施例。此外，本發明可以在各種實施例中重複參考數字和/或字母。這種重複是為了簡單和清楚性的目的，並且其本身並不限定所討論的各種實施例和/或配置之間的關係。

【0022】 此外，為了便於描述，於此可以使用諸如“在……之下”、“在……下面”、“下部的”、“在……上方”、“上部的”等空間相對術語來描述一個要素或特徵與如圖中所示的別的要素（單個或多個）或特徵（單個或多個）的關係。除了圖中描繪的取向之外，空間相對術語旨在涵蓋元件在使用或操作中的不同取向。該裝置可以以其他方式取向（旋轉 90 度或處於其他取向），並且可以相似地相應解釋於此使用的空間相對描述符。

【0023】 三維（3D）NAND 快閃記憶體元件包括形成在閘極層和絕緣層的儲存堆疊體中的垂直儲存單元串。閘極層和絕緣層交替堆疊。閘極層可以與垂直儲存單元串中的電晶體的閘極端子對應。3D NAND 快閃記憶體元件可以包括階梯區域以便於與閘極層的連接。階梯區域包括梯級，每個梯級包括作為閘極層之一的頂部閘極層，並且每個閘極層可以是梯級的頂部閘極層。在一些實施例中，穿過接觸隔離層蝕刻接觸孔以暴露階梯區域中的相應梯級上的相應頂部閘極層。然後，可以在接觸孔中形成接觸結構以將梯級的相應頂部閘極層連接到例如 3D NAND 快閃記憶體元件的字元線。

【0024】 根據本發明的一些方面，為了防止用於形成接觸孔的蝕刻製程蝕刻穿過（也稱為穿通）梯級的頂部閘極層（穿通會導致短路），可以增大梯級中頂部閘極層的厚度。可以通過使用後閘極技術中的頂側犧牲層技術來執行階梯區域中的頂部閘極層的厚度增大。

【0025】 在後閘極技術中，形成犧牲層和絕緣層的初始儲存堆疊體，並且犧牲層和絕緣層交替堆疊在初始儲存堆疊體中。在陣列區域的初始儲存堆疊體中形成通道結構並基於階梯區域中的初始儲存堆疊體形成梯級後，可以將犧牲層替換為閘極層以形成儲存堆疊體。在一些實施例中，犧牲層由氮化矽製成，而絕緣層由二氧化矽製成。

【0026】 在一些實施例中，為了使用頂側犧牲層技術，在階梯區域中的初始儲存堆疊體中形成梯級之後，可以在梯級上暴露犧牲層。然後，可以在梯級之上形成頂側犧牲層（例如，附加的氮化矽層）。頂側犧牲層可以增大梯級上的犧牲層的厚度。頂側犧牲層可以被圖案化以分別在梯級上形成初始著陸接墊，並且初始著陸接墊相互隔離。在用閘極層替換犧牲層的製程中，初始著陸接墊可以被形成閘極層的材料（單種或多種）替換，以在梯級上形成真正的著陸接墊。

【0027】 在一些相關實施例中，頂側犧牲層的圖案化依賴於階梯區域中的側壁輪廓以確保著陸接墊的隔離。在相關實施例中，與可在梯級（stair）豎板（riser）部分之上導致陡坡的較薄頂部犧牲層相比，較厚的頂部犧牲層可在梯級豎板部分之上導致緩坡。在圖案化製程期間，緩坡可能會導致相鄰梯級之間的頂側犧牲層的殘留物，殘留物可能與儲存堆疊體中的犧牲層接觸。在用閘極層替換犧牲層的替換製程中，殘留物會被閘極層的材料替換，並且從而可以導致字元線之間的洩漏或甚至短路。在另一個相關實施例中，階梯區域可以包括儲存堆疊體中的多個閘極層和絕緣層的側壁（在一些實施例中也稱為大壁（great wall））。當側壁的輪廓不夠陡峭時，例如側壁的部分具有子肩部，圖案化製程可能會在子肩部處留下殘留物。當殘留物被閘極層的材料替換時，殘留物會導致字元線之間的洩漏或甚至短路。

【0028】 本發明的一些方面提供了避免字元線之間的洩漏或短路的技術。例如，側壁隔離結構可以沿著階梯區域中的側壁（例如，梯級的豎板部分、儲存堆疊體中的大壁的側壁）形成。根據本發明的方面，側壁隔離結構可以將頂側犧牲層的殘留物與隨後被閘極層替換的犧牲層隔離，以防止殘留物被閘極層材料替換，並且從而可以避免字元線之間的電流洩漏。根據本發明的另一方面，側壁隔離結構的使用使得能夠在頂部犧牲層的圖案化期間使用濕式蝕刻製程，以確保稍後被閘極層（對應於字元線）替換的犧牲層之間的絕緣，並避免字元線到字元線的洩漏。

【0029】 本發明中提供的技術可以降低階梯區域中側壁的輪廓要求，並改善用於在階梯區域中形成梯級的製程窗口。此外，本發明提供的技術允許較厚的頂側犧牲層並且可以改善用於接觸孔蝕刻製程的製程窗口。

【0030】 根據本發明的一些實施例，圖 1A 示出了半導體元件 100 的透視圖，而圖 1B 示出了半導體元件 100 沿圖 1A 中所示的 B-B'線的截面圖。半導體

元件 100 包括形成在陣列區域 101（例如，101（L）、101（B）和 101（R））和階梯區域 102 中的儲存堆疊體 120。在陣列區域中，半導體元件 100 包括形成在儲存堆疊體 120 中的垂直儲存單元串 111；並且在階梯區域 102 中，半導體元件 100 包括接觸結構 180（例如，180（A）、180（B）），其可以向垂直儲存單元串 111 中的電晶體的閘極端子提供字元線驅動信號。此外，半導體元件 100 在階梯區域 102 中的儲存堆疊體 120 的側壁上包括側壁隔離結構 171（例如，171A 和 171B）。側壁隔離結構 171 可用於避免字元線之間的洩漏，並改善用於接觸結構的製程窗口。

【0031】 注意，半導體元件 100 可以是任何合適的元件，例如，儲存電路、具有形成在半導體晶粒上的儲存電路的半導體晶粒、具有形成在半導體晶片上的多個半導體晶粒的半導體晶片、具有鍵合在一起的半導體晶粒的堆疊體的半導體晶片、包括組裝在封裝基底上的一個或多個半導體晶粒或晶片的半導體封裝等。

【0032】 還應注意，半導體元件 100 可以包括其他合適的電路系統（未示出），諸如形成在同一基底或其他合適的基底上，並且與儲存單元陣列適當地耦接，的邏輯電路系統、功率電路系統等。

【0033】 通常，半導體元件 100 是基於諸如矽（Si）基底、鍺（Ge）基底、矽鍺（SiGe）基底和/或絕緣體上矽（silicon-on-insulator，SOI）基底製造的。在一些實施例中，基底可以在半導體元件 100 的最終產品中。在一些其他實施例中，可以在製造處理期間去除基底，並且從而基底不在半導體元件 100 的最終產品中。為簡單起見，將基底的主表面稱為 XY 平面，並且將與主表面垂直的方向稱為 Z 方向。

【0034】 在陣列區域 101 中，垂直儲存單元串 111 基於儲存堆疊體 120 中的通道結構 110 形成。在圖 1B 的實施例中，垂直儲存單元串 111 被示為形成在

陣列區域 101 中的垂直儲存單元串 111 的陣列的表示。圖 1B 還示出了與垂直儲存單元串 111 對應的垂直儲存單元串 111' 的示意符號版本。垂直儲存單元串 111 形成在層的儲存堆疊體 120 中。儲存堆疊體 120 包括交替堆疊的閘極層 123（例如，123、123（A）、123（B））和絕緣層 122。閘極層 123 由閘極堆疊體材料製成，諸如高介電常數（高 k）閘極絕緣層、金屬閘極（metal gate，MG）電極等。絕緣層 122 由絕緣材料（單種或多種）製成，諸如氮化矽、二氧化矽等。在一些實施例中，閘極層 123 由鎢形成，而絕緣層 122 由二氧化矽形成。

【0035】 值得注意的是，圖 1B 示出了儲存堆疊體 120 的部分，儲存堆疊體 120 可以在圖 1B 中所示的部分上方包括附加的閘極層和絕緣層，並且可以在圖 1B 中所示的部分下方包括附加的閘極層和絕緣層。

【0036】 在陣列區域 101 中，通道結構 110 形成在儲存堆疊體 120 中。儲存堆疊體 120 和通道結構 110 被配置為形成垂直堆疊的電晶體。在一些實施例中，電晶體的堆疊體包括儲存單元和選擇電晶體，諸如一個或多個底部選擇電晶體、一個或多個頂部選擇電晶體等。在一些實施例中，電晶體的堆疊體可以包括一個或多個虛設選擇電晶體。垂直儲存單元串 111 中的電晶體的閘極端子連接到字元線（WL）驅動電路，並且閘極層 123 可以對應於字元線。在一些實施例中，電晶體的堆疊體的一端連接到位元線（BL），而電晶體的堆疊體的另一端連接至陣列公共源極（ACS）。

【0037】 如圖 1A 中所示，階梯區域 102 可以設置在陣列區域 101 的中央。例如，陣列區域 101 包括左側部分 101（L）、右側部分 101（R）和橋接部分（單個或多個）101（B）。左側部分 101（L）和右側部分 101（R）通過橋接部分（單個或多個）101（B）互連。在一些實施例中，階梯區域 102 被左側部分 101（L）、右側部分 101（R）和橋接部分 101（B）圍繞。應當注意的是，本發明不限於階梯區域和陣列區域的該放置。

【0038】 在階梯區域 102 中，梯級形成在儲存堆疊體 120 中，每個梯級包括與梯級相關聯的來自閘極層 123 的頂部閘極層。例如，閘極層 123 (A) 是梯級 1 的頂部閘極層，而閘極層 123 (B) 是梯級 2 的頂部閘極層。接觸結構 180 (例如，180 (A)、180 (B)) 被形成為將梯級上的相應頂部閘極層導電連接到與字元線驅動電路系統連接的佈線 (未示出)。接觸結構 180 由諸如鈦 (Ti)、氮化鈦 (TiN)、鎢等的合適的導電材料形成。

【0039】 根據本發明的方面，著陸接墊形成在梯級上以增大梯級的頂部閘極層的厚度，以避免在接觸孔蝕刻製程期間被穿通。在一些實施例中，著陸接墊可以由與閘極層相同的材料形成。具體而言，閘極層 123 (A) 為梯級 1 的頂部閘極層，而著陸接墊 123 (AP) 形成在梯級 1 的閘極層 123 (A) 上。類似地，閘極層 123 (B) 是梯級 2 的頂部閘極層，而著陸接墊 123 (BP) 形成在梯級 2 的閘極層 123 (B) 上。

【0040】 根據本發明的一些方面，階梯區域 102 可以包括用於多個閘極層 123 和絕緣層 122 的壁。多個閘極層 123 和絕緣層 122 的壁可以被稱為大壁。例如，圖 1B 示出了在陣列區域 101 和階梯區域 102 的邊界處的多個閘極層 123 和絕緣層 122 的大壁 128。在一些實施例中，大壁 128 是形成階梯區域 102 中的梯級的切割製程和其他處理技術的結果。切割製程可以去除 (例如，蝕刻) 選擇區域中的多個閘極層 123 和絕緣層 122。在一些實施例中，大壁可以是多輪切割製程的結果。例如，陣列區域 101 和階梯區域 102 的邊界處的大壁 128 是第一輪切割製程和第二輪切割製程的結果，第一輪切割製程去除階梯區域 102 中的閘極層 123 和絕緣層 122 的第一部分 125，並且第二輪切割製程去除階梯區域 102 中的閘極層 123 和絕緣層 122 的第二部分 126。由於製程變化 (例如，對準變化、蝕刻變化等)，大壁 128 在第一部分 125 和第二部分 126 的界面處具有肩部形狀的部分 129，且該部分 129 被稱為子肩部 129。

【0041】 根據本發明的一些方面，半導體元件 100 包括位於階梯區域 102 中的儲存堆疊體 120 的側壁上的側壁隔離結構 171（例如，171A 和 171B）。在圖 1B 的實施例中，側壁隔離結構 171A 設置在階梯區域 102 中的梯級 2 的豎板側壁（也稱為閘極層 123（B）的豎板側壁）上。具體而言，側壁隔離結構 171A 的底部位於閘極層 123（A）和閘極層 123（B）之間的絕緣層 122 上，並且緊鄰閘極層 123（B）的在從梯級 1 到梯級 2 的豎板部分處的側壁。側壁隔離結構 171A 將梯級 1 的著陸接墊 123（AP）與梯級 2 的頂部閘極層 123（B）隔離。

【0042】 在一些實施例中，側壁隔離結構 171（A）由閘極層 123（B）的側壁上的基於原子層沉積（atomic layer deposition，ALD）的二氧化矽形成，從而側壁隔離結構 171（A）的寬度（由 W 示出）與沉積厚度大致相同，並且在 1nm 至 500nm 的範圍內。此外，在形成著陸接墊 123（BP）之前，基於閘極層 123（B）形成側壁隔離結構 171（A）。側壁隔離結構 171（A）不延伸至著陸接墊 123（BP）的側壁。著陸接墊 123（BP）的側壁被諸如接觸隔離層 185 的不同的隔離層覆蓋。在一些實施例中，側壁隔離結構 171（A）和接觸隔離層 185 具有相同的材料，但是通過不同的製程形成，並且可以具有不同的材料特性。例如，側壁隔離結構 171（A）由使用原子層沉積（ALD）沉積的二氧化矽形成；並且接觸隔離層 185 由使用基於高密度電漿（high density plasma，HDP）的沉積來沉積的二氧化矽形成。側壁隔離結構 171（A）和接觸隔離層 185 可以具有不同的蝕刻速率。

【0043】 在一些實施例中，側壁隔離結構 171（A）允許在圖案化（初始）著陸接墊（諸如用於著陸接墊 123（AP）和著陸接墊 123（BP）的犧牲材料的初始著陸接墊）中使用濕式蝕刻製程。在一些實施例中，濕式蝕刻製程可以在著陸接墊 123（AP）和/或著陸接墊 123（BP）中產生等向性的凹槽，如凹槽 172

和凹槽 174 所示。在一些實施例中，濕式蝕刻製程可以產生具有彎曲側壁或傾斜側壁或底切的凹槽，如凹槽 172 和凹槽 174 所示。

【0044】 在圖 1B 的實施例中，側壁隔離結構 171B 緊鄰階梯區域 102 和陣列區域 101 之間的大壁 128 設置。側壁隔離結構 171B 可以將閘極層 123 與殘留物（例如，在用於著陸接墊的圖案化製程中的殘留物）隔離。在實施例中，由於子肩部 129，材料（例如，殘留材料，諸如殘留物 175）沒有在圖案化初始著陸接墊中被例如濕式蝕刻製程完全去除。側壁隔離結構 171B 可將殘留物 175 與閘極層 123 隔離。在實施例中，殘留物 175 與犧牲層（例如，氮化矽）具有相同的材料。側壁隔離結構 171B 可以防止殘留物 175 被用於閘極層 123 的材料替換，並且從而可以避免閘極層（與垂直儲存單元串中的電晶體的字元線對應）之間的電流洩漏。

【0045】 圖 2 示出了概述根據本發明的一些實施例的用於製造諸如半導體元件 100 的半導體元件的製程 200 的流程圖。

【0046】 在 S210，在階梯區域中的儲存堆疊體中形成梯級。儲存堆疊體包括交替堆疊的閘極層和絕緣層。在一些實施例中，梯級形成在初始儲存堆疊體中。初始儲存堆疊體包括交替堆疊的犧牲層和絕緣層。在初始儲存堆疊體的陣列區域中形成通道結構，並在初始儲存堆疊體的階梯區域中形成梯級之後，可以用閘極層替換犧牲層。

【0047】 在 S220，在梯級的側壁上形成側壁隔離結構。在一些實施例中，在用於儲存堆疊體的初始儲存堆疊體中形成梯級之後，可以在梯級的豎板側壁和大壁的側壁上形成側壁隔離結構。例如，側壁隔離結構 171A 形成在與閘極層 123 (B) 對應（稍後由閘極層 123 (B) 替換）的犧牲層的豎板側壁上。在另一實施例中，側壁隔離結構 171B 形成在初始儲存堆疊體中的大壁的側壁上。

【0048】 在一些實施例中，為了形成側壁隔離結構，以良好的梯級覆蓋率沉積隔離膜。例如，隔離膜與初始儲存堆疊體中的梯級共形。從而，隔離膜的部分沉積在梯級的側壁上。在實施例中，隔離膜是使用原子層沉積（ALD）法沉積的二氧化矽膜。然後，在諸如垂直於晶片表面的方向上蝕刻隔離膜。隔離膜的蝕刻可以暴露梯級的頂部犧牲層，並留下隔離膜的在梯級的側壁上的部分。梯級的側壁上的剩餘的隔離膜可以形成側壁隔離結構。

【0049】 在 S230，在梯級上形成著陸接墊。梯級的側壁隔離結構可以將梯級的閘極層與相鄰梯級的著陸接墊隔離。在一些實施例中，著陸接墊基於頂側犧牲層中的初始著陸接墊形成。

【0050】 在實施例中，頂側犧牲層（附加犧牲層）沉積在梯級上。頂側犧牲層可以覆蓋梯級的犧牲層和側壁隔離結構。然後，將頂側犧牲層圖案化為初始著陸接墊。例如，頂側犧牲層的圖案化可以暴露將頂部犧牲層劃分為初始著陸接墊的側壁隔離結構。當犧牲層被用於閘極層的材料替換時，初始著陸接墊可以被用於閘極層的材料替換以形成著陸接墊。

【0051】 在一些實施例中，為了圖案化頂側犧牲層，使用含碳遮罩層。例如，當沉積含碳遮罩層時，含碳遮罩層的部分設置在頂側犧牲層的覆蓋側壁隔離結構的過渡部分（相鄰梯級之間）上。然後，去除含碳遮罩層的在頂側犧牲層的過渡部分上的部分以暴露頂側犧牲層的覆蓋側壁隔離結構的過渡部分。此外，去除頂側犧牲層的覆蓋側壁隔離結構的過渡部分以暴露側壁隔離結構。側壁隔離結構將頂側犧牲層劃分為初始著陸接墊。在一些實施例中，可以使用濕式蝕刻製程和/或傾斜蝕刻製程去除頂側犧牲層的過渡部分。

【0052】 在 S240，可以形成附加結構。在一些實施例中，可以例如使用高密度電漿（HDP）沉積來沉積接觸隔離層（例如二氧化矽）。然後，可以在

接觸隔離層中形成接觸孔，該接觸隔離層具有基於著陸接墊的停止部。此外，可以在接觸孔中形成接觸結構。

【0053】 應當注意，可以適當地調整製程 200。可以修改和/或省略製程 200 中的步驟（單個或多個）。可以添加附加的步驟（單個或多個）。可以使用任何合適的實施順序。

【0054】 圖 3A-3L 示出了根據本發明的一些實施例的處於晶片級製造的各個中間步驟的諸如半導體元件 100 的半導體元件的截面圖

【0055】 圖 3A 示出了在階梯區域 102 中形成梯級之後的半導體元件 100 的截面圖。在實施例中，層的初始儲存堆疊體 120' 沉積在基底（未示出）上。在圖 3A 的實施例中，初始儲存堆疊體 120' 包括交替堆疊的犧牲層 121（例如，121、121（A）、121（B））和絕緣層 122。在實施例中，犧牲層 121 由氮化矽製成，並且絕緣層 122 由二氧化矽製成。此外，通道結構 110 形成在陣列區域 101 中的初始儲存堆疊體 120' 中，並且梯級，諸如圖 3A 中的梯級 1 和梯級 2，形成在階梯區域 102 中的初始儲存堆疊體 120' 中。在一些實施例中，形成梯級的製程可以在與梯級相關聯的頂部犧牲層 121 上的絕緣層 122 中停止。例如，形成梯級 1 的製程在犧牲層 121（A）上方的絕緣層 122 上停止；形成梯級 2 的製程在犧牲層 121（B）上方的絕緣層 122 上停止。

【0056】 由於梯級的形成，階梯區域 102 包括犧牲層（單個或多個）和絕緣層（單個或多個）的側壁。例如，階梯區域 102 包括豎板側壁 127，其是從梯級 1 到梯級 2 的過渡部分。階梯區域 102 還包括位於階梯區域 102 和陣列區域 101 之間的大壁 128。

【0057】 圖 3B 示出了在沉積隔離膜 170 之後的半導體元件 100 的截面圖。在實施例中，沉積具有良好梯級覆蓋率的隔離膜 170。例如，隔離膜 170 與初始儲存堆疊體 120' 中的梯級共形。在實施例中，隔離膜 170 是使用原子層沉積

(ALD)法沉積的二氧化矽膜。從而，隔離膜 170 的部分沉積在側壁上，諸如梯級的豎板側壁（例如，170A）、多個犧牲層和絕緣層的大壁（例如，170B）。在一些實施例中，側壁上的隔離膜 170 的寬度（W）與隔離膜 170 的厚度（T）大致相同，並且在 1nm 至 500nm 的範圍內。

【0058】 圖 3C 示出了形成側壁隔離結構之後的半導體元件 100 的截面圖。在實施例中，執行空白蝕刻（無遮罩蝕刻）。例如，執行二氧化矽的乾式蝕刻，其在一個方向（例如，如所示的垂直於晶片基底的方向）上去除二氧化矽。空白蝕刻去除梯級 1 的犧牲層 121（A）上的隔離膜 170 和絕緣層 122，從而暴露梯級 1 上的犧牲層 121（A）。空白蝕刻還去除梯級 2 的犧牲層 121（B）上的隔離膜 170 和絕緣層 122，並暴露梯級 2 上的犧牲層 121（B）。空白蝕刻可以留下隔離膜 170 的在梯級的豎板側壁和大壁的側壁上的部分。在圖 3C 的實施例中，梯級 2 的豎板側壁 127 上的剩餘的隔離膜形成側壁隔離結構 171A，大壁 128 的側壁上的剩餘的隔離膜可以形成側壁隔離結構 171B。

【0059】 圖 3D 示出了在沉積頂側犧牲層 173 之後的半導體元件 100 的截面圖。在一些實施例中，頂側犧牲層 173 由與犧牲層 121 相同的諸如氮化矽的材料形成。

【0060】 圖 3E-3I 示出了頂側犧牲層 173 的將頂側犧牲層 173 劃分為初始著陸接墊的圖案化。頂側犧牲層 173 的圖案化基於含碳遮罩層。

【0061】 圖 3E 示出了在沉積含碳遮罩層 190 之後的半導體元件 100 的截面圖。在一些實施例中，含碳遮罩層 190 是使用化學氣相沉積沉積的非晶碳，並且相對鬆散。

【0062】 圖 3F 示出了在執行電漿製程之後的半導體元件 100 的截面圖。在一些實施例中，電漿製程可以使氬離子在諸如垂直於晶片表面的方向的方向上偏向，以轟擊含碳遮罩層 190。含碳遮罩層 190 的電漿處理的表面可以變得相

對堅固（例如，比非晶碳更高的密度）。由於定向電漿處理，正交於氬離子方向的表面可以具有比相對於氬離子方向傾斜的表面更厚的固體碳。如圖 3F 中所示，梯級 1 和梯級 2 上的含碳遮罩層 190 的表面可以具有相對較厚的固體碳，如 191A 和 191B 所示。從梯級 1 過渡到梯級 2 的含碳遮罩層 190 的表面可以具有相對較薄的固體碳，如 191C 所示；大壁 128 的側壁上的含碳遮罩層 190 的表面可以具有相對較薄的固體碳，如 191D 所示。

【0063】 圖 3G 示出了在執行修整製程之後的半導體元件 100 的截面圖。修整製程提供高溫氧氣以去除碳。應當注意的是，較厚的固體碳可以保護下面的非晶碳不被去除。然而，由於在 191C 和 191D 處的固體碳較薄，在從梯級 1 過渡到梯級 2 的位置處以及大壁 128 的側壁上的非晶碳可以通過修整製程完全去除。應當注意的是，由於有較厚的固體碳的保護，在修整後製程之後，非晶碳可以殘留在梯級 1 和梯級 2 上，並且可以在含碳遮罩層 190 上形成圖案，諸如 190 (A) 和 190 (B) 所示。

【0064】 圖 3H 示出了在基於含碳遮罩層 190 中的圖案蝕刻頂側犧牲層 173 之後的半導體元件 100 的截面圖。在一些實施例中，頂側犧牲層 173 的蝕刻是等向性的。在實施例中，使用傾斜蝕刻製程和/或濕式蝕刻製程來執行頂側犧牲層 173 的蝕刻。可以控制傾斜蝕刻製程和/或濕式蝕刻製程以暴露側壁隔離結構，諸如側壁隔離結構 171A、側壁隔離結構 171B 等，從而將頂側犧牲層 173 劃分為初始著陸接墊，諸如 173A 和 173B 所示。應當注意，頂側犧牲層 173 的蝕刻可能會在側壁隔離結構 171B 的子肩部部分上留下殘留物，諸如殘留物 175。然而，殘留物 175 被隔離並且不與犧牲層 121 接觸。

【0065】 圖 3I 示出了在去除含碳遮罩層 190 的剩餘部分之後的半導體元件 100 的截面圖。在實施例中，含碳遮罩層 190 的剩餘部分可以通過稱為灰化製

程的製程去除。灰化製程可以提供高溫氧以去除剩餘的碳。灰化製程之後可以進行濕法清潔製程，以去除灰化製程造成的殘留物。

【0066】 圖 3J 示出了在用閘極層替換犧牲層以形成實際儲存堆疊體 120 之後的半導體元件 100 的截面圖。在一些實施例中，在階梯區域 102 中形成接觸隔離層 185。在實施例中，接觸隔離層 185 由氧化矽形成，並且可以使用高密度電漿（HDP）沉積法來沉積。可以例如使用化學機械拋光（chemical mechanical polishing，CMP）製程適當地平坦化接觸隔離層 185。然後，犧牲層，包括犧牲層 121 和頂側犧牲層 173，可以被用於閘極層的材料（單種或多種）替換。在一些實施例中，可以在初始儲存堆疊體 120' 中形成溝槽（未示出）。基於溝槽，犧牲層 121 和頂側犧牲層 173 的與犧牲層 121 接觸的部分（例如，初始著陸接墊 173A 和 173B）可以被去除（例如，使用合適的濕式蝕刻製程）以為閘極層的材料（單種或多種）留出空間。應當注意，殘留物 175 被隔離，並且不會被去除。此外，基於溝槽，可以將用於閘極層的單種或多種材料（例如，鎢）填充到空間中。然後，可以適當地填充溝槽。

【0067】 應當注意，用閘極層替換犧牲層也可以用著陸接墊 123（AP）和 123（BP）替換初始著陸接墊 173A 和 173B。從而，梯級 1 上的頂部閘極層包括閘極層 123（A）上的著陸接墊 123（AP），並且梯級 2 上的頂部閘極層包括閘極層 123（B）上的著陸接墊 123（BP）。

【0068】 圖 3K 示出了形成接觸孔之後的半導體元件 100 的截面圖。在一些實施例中，可以基於接觸遮罩來執行去除氧化矽的接觸孔蝕刻製程。接觸孔蝕刻製程可以配置有基於著陸接墊的材料的停止部，該材料是諸如鎢。由於不同梯級上的接觸隔離層 185 的厚度不同，所以接觸孔蝕刻製程可以被配置為過蝕刻，以確保所有接觸孔都被蝕刻穿過接觸隔離層 185。在梯級上增加著陸接墊 123（AP）和 123（BP）可以增大接觸孔蝕刻製程的製程窗口，並且避免穿通閘

極層，諸如閘極層 123 (A)、閘極層 123 (B)。如所示，接觸孔 181 (A) 形成在梯級 1 上，並且接觸孔 181 (A) 可以通過過蝕刻形成到著陸接墊 123 (AP) 中。類似地，接觸孔 181 (B) 形成在梯級 2 上，並且接觸孔 181 (B) 可以通過過蝕刻形成到著陸接墊 123 (BP) 中。

【0069】 圖 3L 示出了形成接觸結構之後的半導體元件 100 的截面圖。在一些實施例中，可以使用諸如鈦 (Ti)、氮化鈦 (TiN)、鎢的導電材料 (單種或多種) 來填充接觸孔，並且可以使用諸如 CMP 製程的適當的平坦化製程來去除過量的導電材料 (單種或多種) 並使表面平坦化。在圖 3L 的實施例中，在梯級 1 上形成接觸結構 180 (A)，接觸結構 180 (A) 與閘極層 123 (A) 導電連接。此外，在梯級 2 上形成接觸結構 180 (B)，接觸結構 180 (B) 與閘極層 123 (B) 導電連接。

【0070】 應當注意，可以在之後執行附加製程 (單種或多種)，諸如形成佈線、鈍化層 (單個或多個) 等的後端製程。

【0071】 圖 4 示出了根據本發明的一些實施例的儲存系統元件 400 的方塊圖。儲存系統元件 400 包括一個或多個半導體儲存元件，諸如半導體儲存元件 411-414 所示，它們分別與半導體元件 100 類似地配置。在一些實施例中，儲存系統元件 400 是固態硬碟 (solid state drive, SSD)。

【0072】 儲存系統元件 400 包括其他合適的元件。例如，儲存系統元件 400 包括耦接在一起的介面 401 和主控制器 402，如圖 4 中所示。儲存系統元件 400 可以包括將主控制器 402 與半導體儲存元件 411-414 耦接的匯流排 420。另外，主控制器 402 分別與半導體儲存元件 411-414 連接，諸如相應的控制線 421-424 所示。

【0073】 介面 401 被適當地配置為機械和電連接在儲存系統元件 400 和主機元件之間，並且可以用於在儲存系統元件 400 和主機元件之間傳輸資料。

【0074】 主控制器 402 被配置為將相應的半導體儲存元件 411-414 連接到介面 401 以進行資料傳輸。例如，主控制器 402 被配置為分別向半導體儲存元件 411-414 提供啟用/禁用信號以啟動一個或多個半導體儲存元件 411-414 以進行資料傳輸。

【0075】 主控制器 402 負責完成儲存系統元件 400 內的各個指令。例如，主控制器 402 可以執行故障區塊管理、錯誤檢查和糾正、垃圾收集等。

【0076】 前述概述了幾個實施例的特徵，以便本領域通常知識者可以更好地理解本發明。本領域通常知識者應當理解，他們可以容易地使用本發明作為設計或修改其他製程和結構的基礎，以實現本文介紹的實施例的相同優點和/或達成相同目的。本領域通常知識者也應該意識到，這樣的相似構造並不脫離本發明的精神和範圍，並且他們可以在不脫離本發明的精神和範圍的情況下對本文進行各種改動、替換和變更。

【符號說明】

【0077】

100：半導體元件

101：陣列區域

101(L)：陣列區域左側部分

101(B)：陣列區域右側部分

101(R)：陣列區域橋接部分

102：階梯區域

120：儲存堆疊體

111、111'：垂直儲存單元串

180、180(A)、180(B)：接觸結構

171、171A、171B：側壁隔離結構

110：通道結構

123、123(A)、123(B)：閘極層

122：絕緣層

WL：字元線

BL：位元線

ACS：陣列公共源極

1、2：梯級

123(AP)、123(BP)：著陸接墊

128：大壁

125：第一部分

126：第二部分

129：子肩部

185：接觸隔離層

172、174：凹槽

175：殘留物

120'：初始儲存堆疊體

121、121(A)、121(B)：犧牲層

127：豎板側壁

170、170(A)、170(B)：隔離膜

173：頂側犧牲層

190：含碳遮罩層

191A、191B、191C、191D：固體碳

190(A)、190(B)：非晶碳圖案

173A、173B：初始著陸接墊

181(A)、181(B)：接觸孔

400：儲存系統元件

411~414：半導體儲存元件

401：介面

402：主控制器

420：匯流排

421~424：控制線

【發明申請專利範圍】

【請求項1】 一種半導體元件，包括：

閘極層和絕緣層的儲存堆疊體，該閘極層和該絕緣層交替堆疊，並且在階梯區域中形成為梯級；

第一梯級的第一閘極層上的第一著陸接墊，該第一閘極層是該第一梯級的頂部閘極層；

第二梯級的第二閘極層的豎板側壁上的第一側壁隔離結構，該第二閘極層是該第二梯級的頂部閘極層並且堆疊在該儲存堆疊體中的該第一閘極層上，該第一側壁隔離結構將該第二閘極層與該第一著陸接墊隔離；以及

該第二梯級的該第二閘極層上的第二著陸接墊，該第二著陸接墊的側壁被與該第一側壁隔離結構不同的隔離層覆蓋；

其中，該階梯區域設置在陣列區域的中央，該陣列區域包括左側部分、右側部分和橋接部分。

【請求項2】 如請求項 1 之半導體元件，其中，該不同的隔離層為該階梯區域中的接觸隔離層，該接觸隔離層覆蓋該第一著陸接墊和該第二著陸接墊。

【請求項3】 如請求項 2 之半導體元件，還包括：

第一接觸結構，延伸穿過該接觸隔離層並與該第一梯級的該第一閘極層連接；以及

第二接觸結構，延伸穿過該接觸隔離層並與該第二梯級的該第二閘極層連接。

【請求項4】 如請求項 2 之半導體元件，其中，該第一側壁隔離結構和該接觸隔離層具有不同的材料特性。

【請求項5】 如請求項 4 之半導體元件，其中，該第一側壁隔離結構由原子層沉積法沉積二氧化矽形成，並且該接觸隔離層由高密度電漿二氧化矽形成。

【請求項6】 如請求項 1 之半導體元件，還包括：

第二側壁隔離結構，在該儲存堆疊體中的多個閘極層和絕緣層的側壁上。

【請求項7】 如請求項 6 之半導體元件，其中，該第一側壁隔離結構和該第二側壁隔離結構的寬度在 1nm 至 500nm 的範圍內。

【請求項8】 如請求項 6 之半導體元件，還包括：

該第二側壁隔離結構上的氮化矽材料。

【請求項9】 如請求項 1 之半導體元件，其中，該第一著陸接墊包括等向性凹槽。

【請求項10】 如請求項 1 之半導體元件，其中，該第一著陸接墊包括凹槽，該凹槽具有彎曲側壁和/或傾斜側壁。

【請求項11】 一種製造半導體元件的方法，包括：

將閘極層和絕緣層的儲存堆疊體在階梯區域中形成為梯級，該閘極層和該絕緣層交替堆疊；

在第一梯級的第一閘極層上形成第一著陸接墊，該第一閘極層是該第一梯級上的頂部閘極層；

在第二梯級的第二閘極層的豎板側壁上形成第一側壁隔離結構，該第二閘極層是該第二梯級的頂部閘極層並且堆疊在該儲存堆疊體中的該第一閘極層上，該第一側壁隔離結構將該第二閘極層與該第一著陸接墊隔離；以及

該第二梯級的該第二閘極層上的第二著陸接墊，該第二著陸接墊的側壁被與該第一側壁隔離結構不同的隔離層覆蓋；

其中，該階梯區域設置在陣列區域的中央，該陣列區域包括左側部分、右側部分和橋接部分。

【請求項12】 如請求項 11 之方法，其中，在該第二閘極層的該豎板側壁上形成該第一側壁隔離結構的步驟還包括：

在用於該儲存堆疊體的初始儲存堆疊體中形成該梯級，該初始儲存堆疊體包括與該閘極層對應的犧牲層，該犧牲層包括與該第一閘極層對應的第一犧牲層和與該第二閘極層對應的第二犧牲層；以及

在該第二犧牲層的與該第二閘極層的該豎板側壁對應的豎板側壁上形成該第一側壁隔離結構。

【請求項13】 如請求項 12 之方法，其中，在該第二犧牲層的該豎板側壁上形成該第一側壁隔離結構的步驟還包括：

在該初始儲存堆疊體中沉積與該梯級共形的隔離膜，該隔離膜的部分沉積在該第二犧牲層的該豎板側壁上；以及

在一個方向上蝕刻隔離膜，對該隔離膜的該蝕刻暴露該第二梯級的該第二犧牲層和該第一梯級的該第一犧牲層，並將該隔離膜的在該第二梯級的該豎板側壁上的該部分留下成為該第一側壁隔離結構。

【請求項14】 如請求項 13 之方法，其中，沉積該隔離膜的步驟還包括：使用原子層沉積法沉積二氧化矽膜。

【請求項15】 如請求項 13 之方法，其中，在該第一閘極層上形成該第一著陸接墊的步驟還包括：

沉積頂側犧牲層，該頂側犧牲層覆蓋該第一梯級的該第一犧牲層、該第二梯級的該第二犧牲層和該第一側壁隔離結構；

對該頂側犧牲層進行圖案化，對該頂側犧牲層進行的該圖案化暴露該第一側壁隔離結構；

在該階梯區域中形成接觸隔離層；以及

以用於該閘極層的材料替換該犧牲層和該頂側犧牲層。

【請求項16】 如請求項 15 之方法，其中，對該頂側犧牲層進行圖案化的步驟還包括：

沉積含碳遮罩層，該含碳遮罩層的部分設置在該頂側犧牲層的從該第一梯級到該第二梯級的過渡部分上，該頂側犧牲層的該過渡部分覆蓋該第一側壁隔離結構；

去除該含碳遮罩層的在該頂側犧牲層的從該第一梯級到該第二梯級的該過渡部分上的該部分；以及

蝕刻該頂側犧牲層的從該第一梯級到該第二梯級的該過渡部分，以暴露該第一側壁隔離結構。

【請求項17】 如請求項 16 之方法，其中，蝕刻該頂側犧牲層的從該第一梯級到該第二梯級的該過渡部分的步驟還包括：

使用傾斜蝕刻製程和/或濕式蝕刻製程。

【請求項18】 如請求項 15 之方法，還包括：

基於該第一著陸接墊在具有停止部的該接觸隔離層中蝕刻第一接觸孔；以及

在該第一接觸孔中形成第一接觸結構。

【請求項19】 如請求項 15 之方法，其中，在該階梯區域中形成該接觸隔離層的步驟還包括：

使用高密度電漿沉積製程沉積二氧化矽作為該接觸隔離層。

【請求項20】 一種儲存系統元件，包括：

控制器，耦接到半導體儲存元件以控制該半導體儲存元件上的資料儲存操作；以及

該半導體儲存元件，包括：

閘極層和絕緣層的儲存堆疊體，該閘極層和該絕緣層交替堆疊體，並且在階梯區域中形成為梯級；

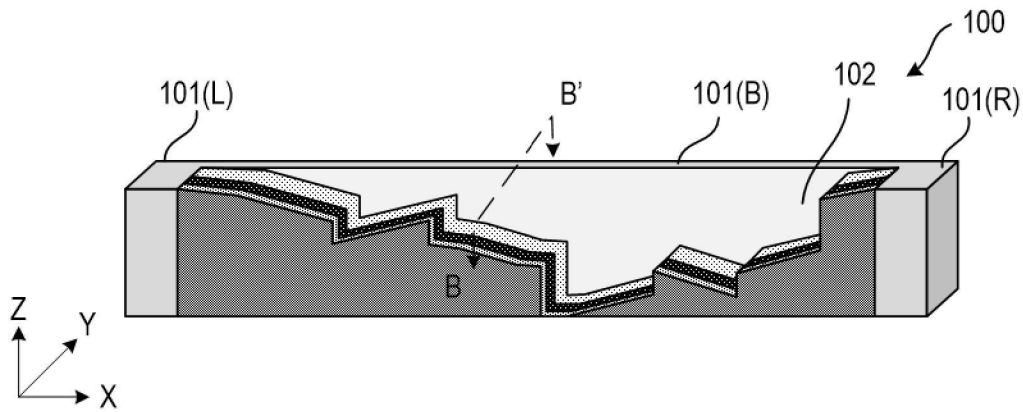
第一梯級的第一閘極層上的第一著陸接墊，該第一閘極層是該第一梯級的頂部閘極層；

第二梯級的第二閘極層的豎板側壁上第一側壁隔離結構，該第二閘極層是該第二梯級的頂部閘極層並且堆疊在該儲存堆疊體中的該第一閘極層上，該第一側壁隔離結構將該第二閘極層與該第一著陸接墊隔離；以及

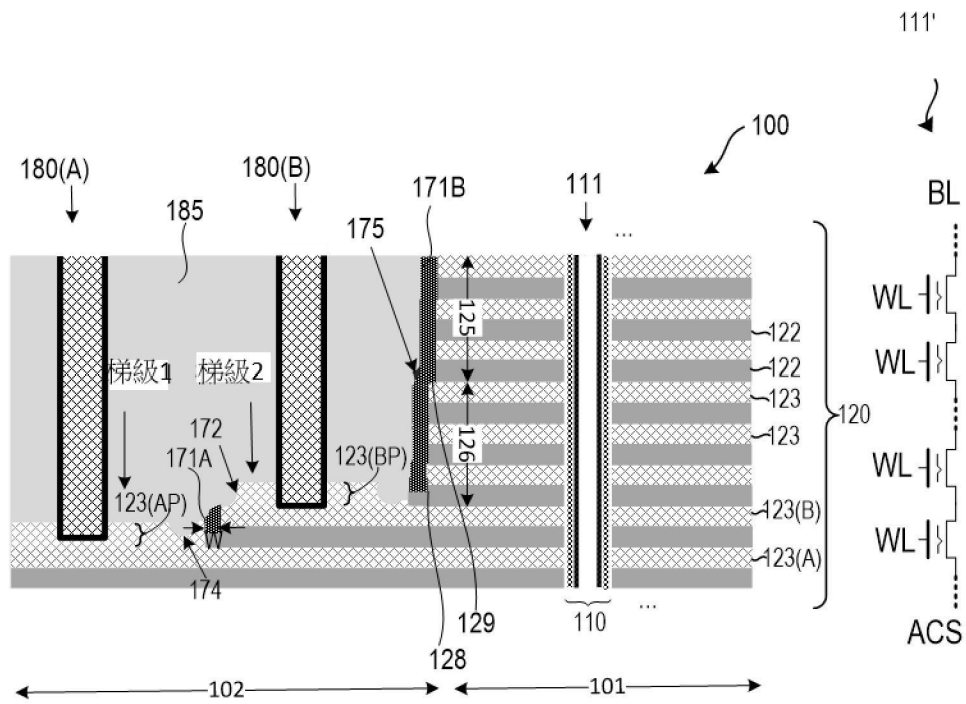
該第二梯級的該第二閘極層上的第二著陸接墊，該第二著陸接墊的側壁被與該第一側壁隔離結構不同的隔離層覆蓋；

其中，該階梯區域設置在陣列區域的中央，該陣列區域包括左側部分、右側部分和橋接部分。

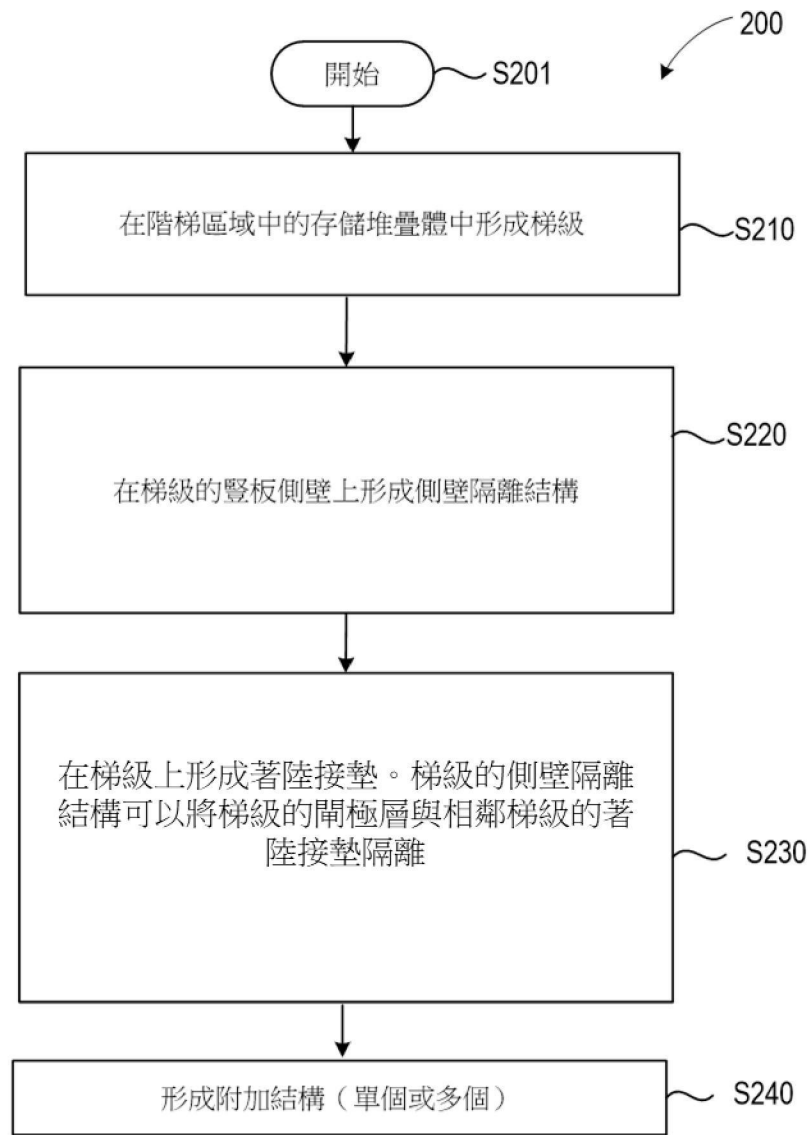
【發明圖式】



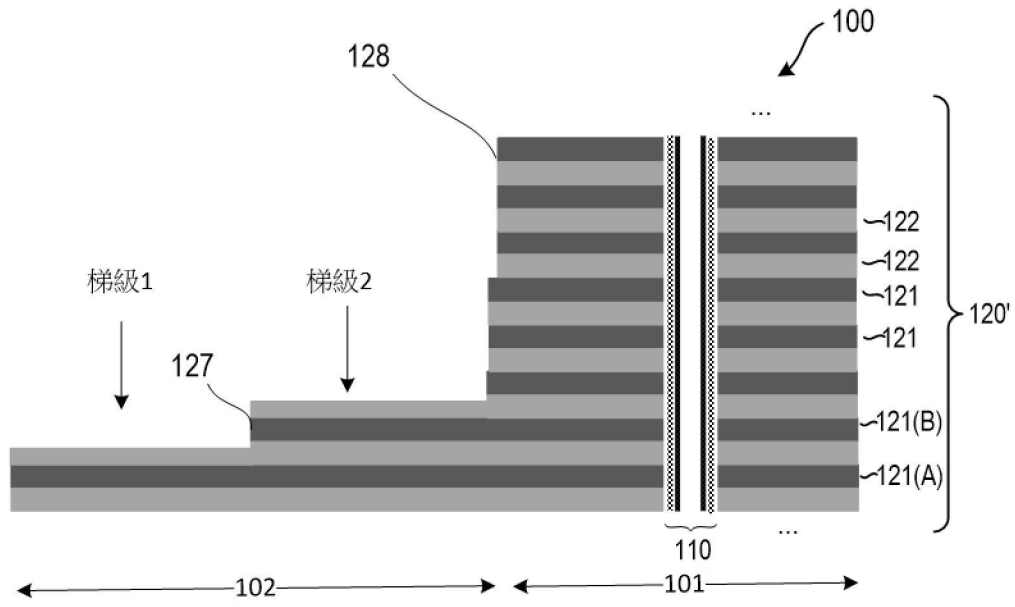
【圖1A】



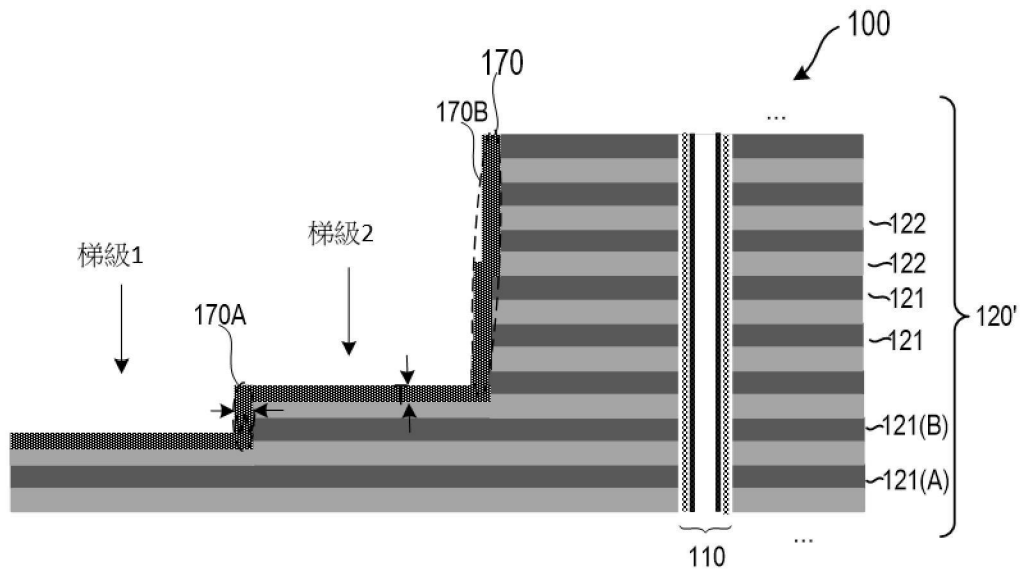
【圖1B】



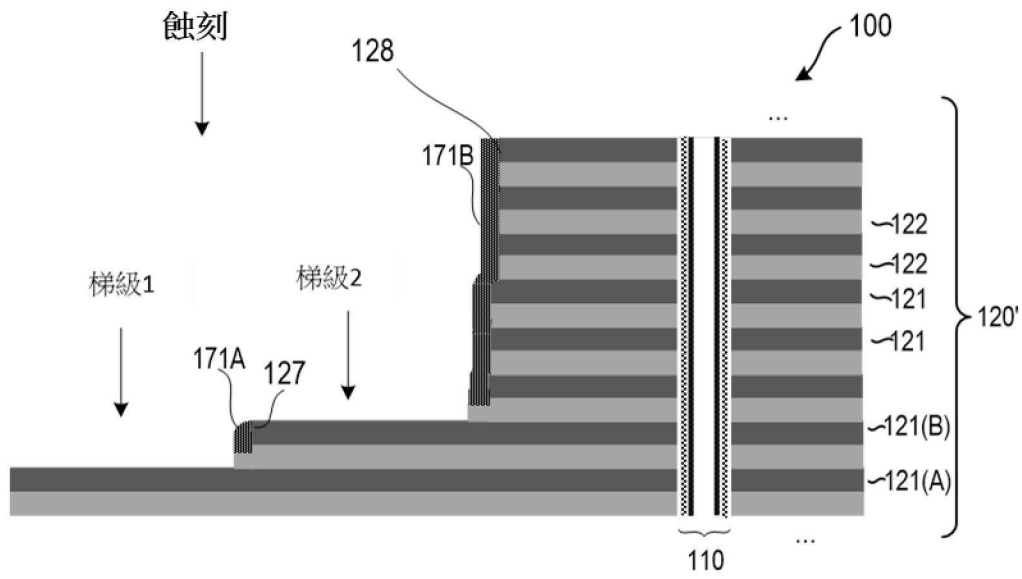
【圖2】



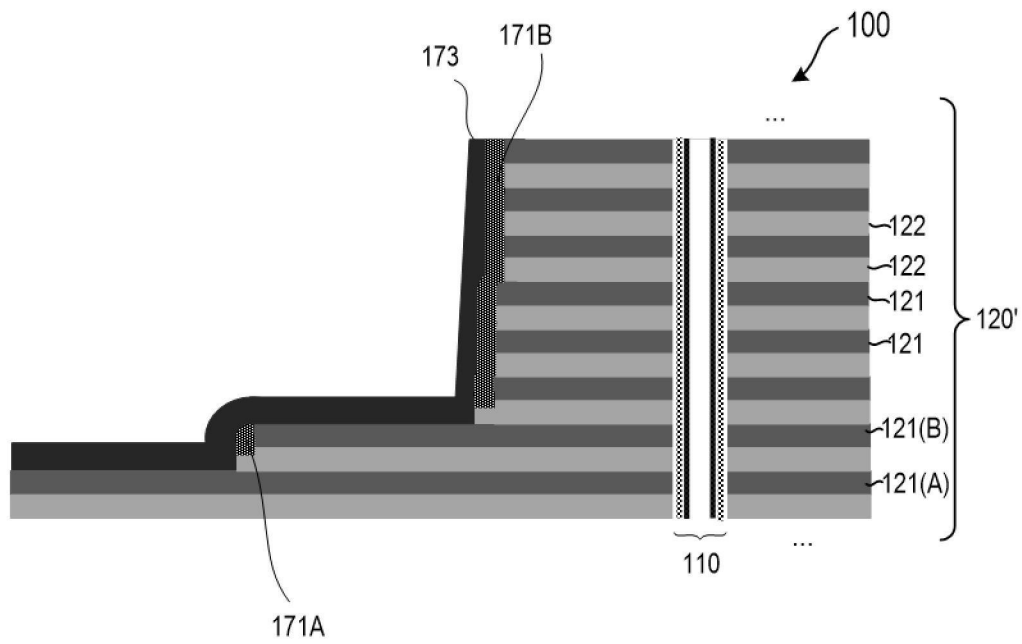
【圖3A】



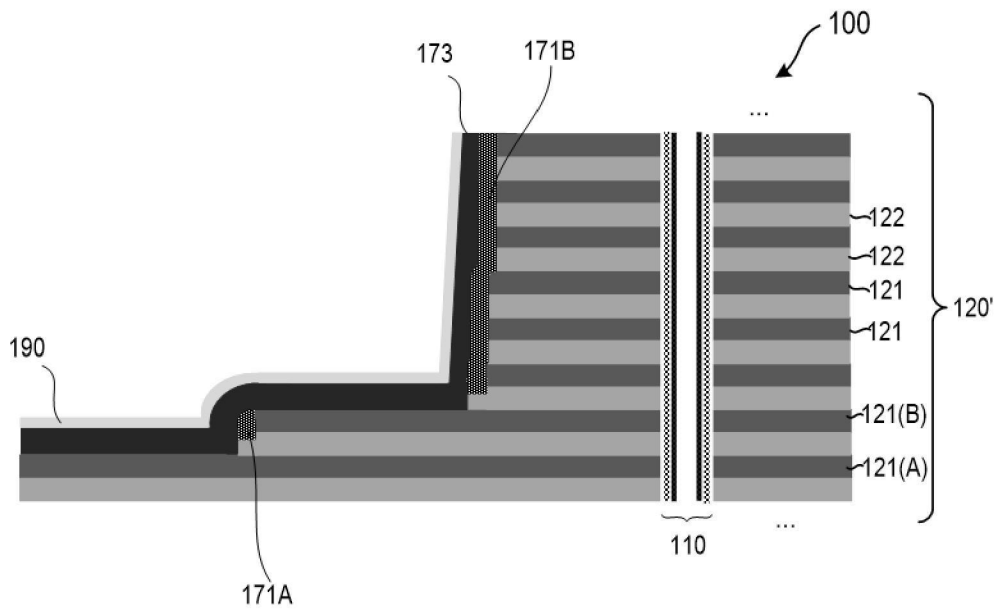
【圖3B】



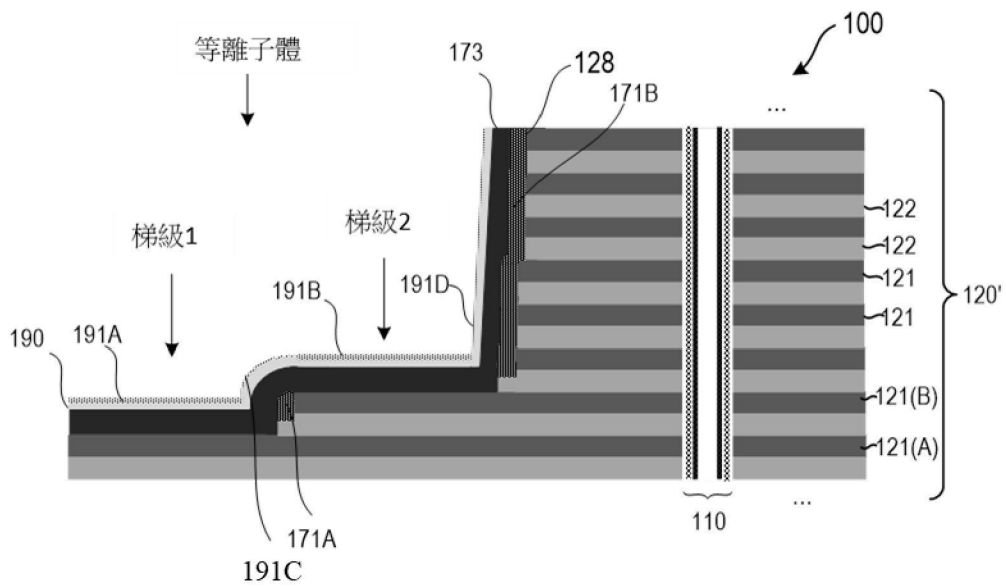
【圖3C】



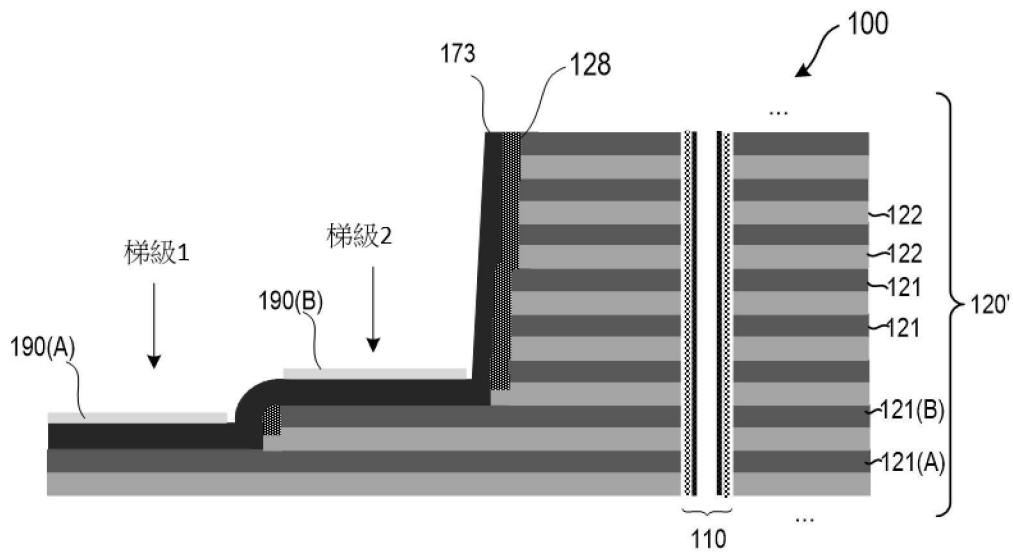
【圖3D】



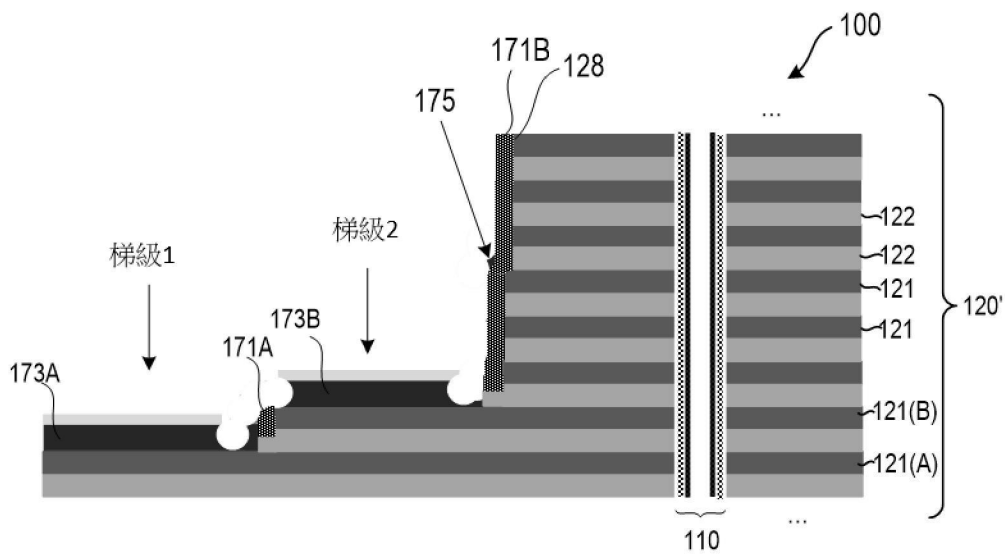
【圖3E】



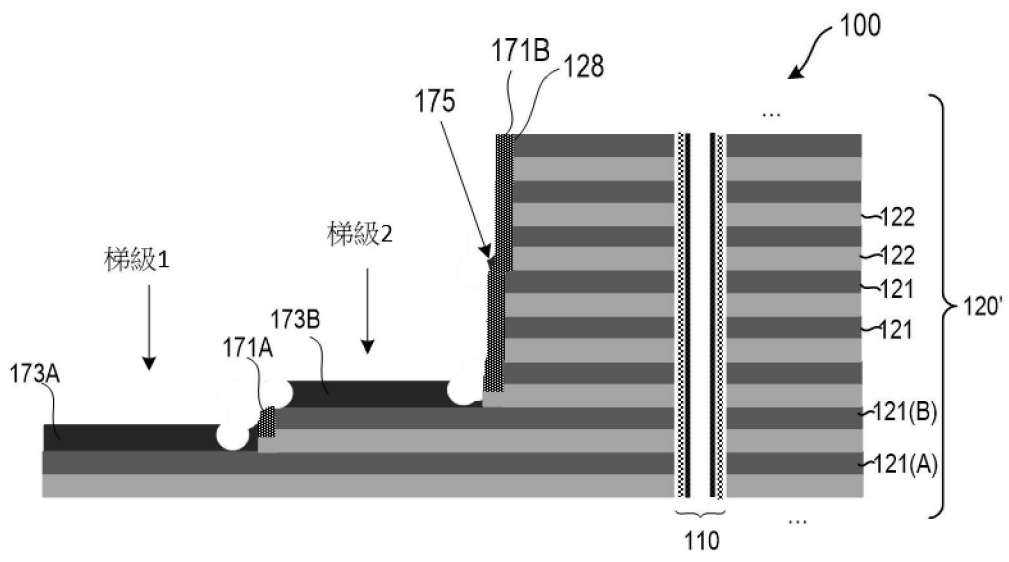
【圖3F】



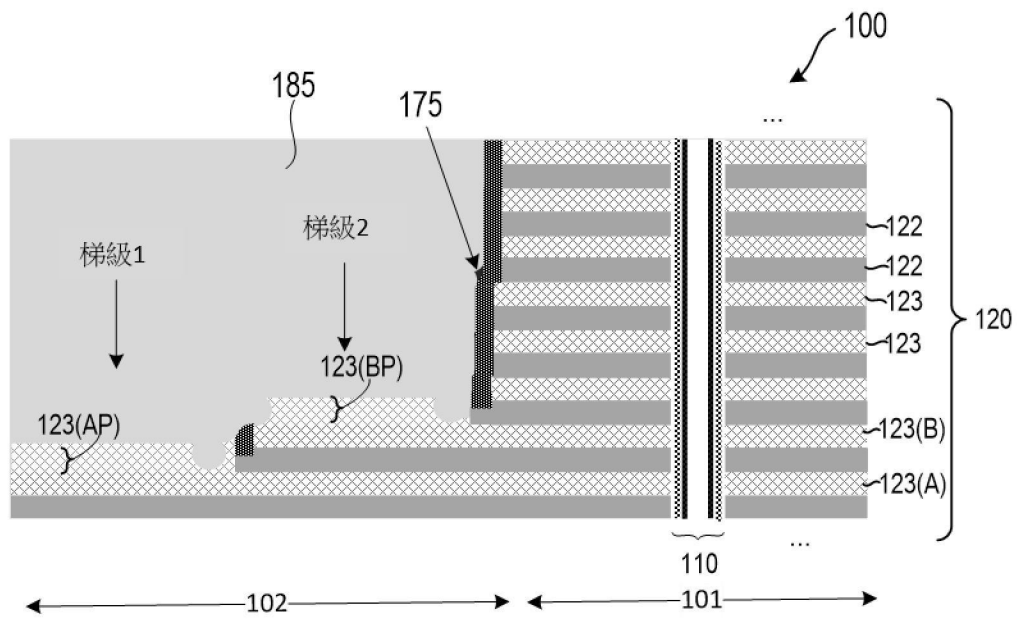
【圖3G】



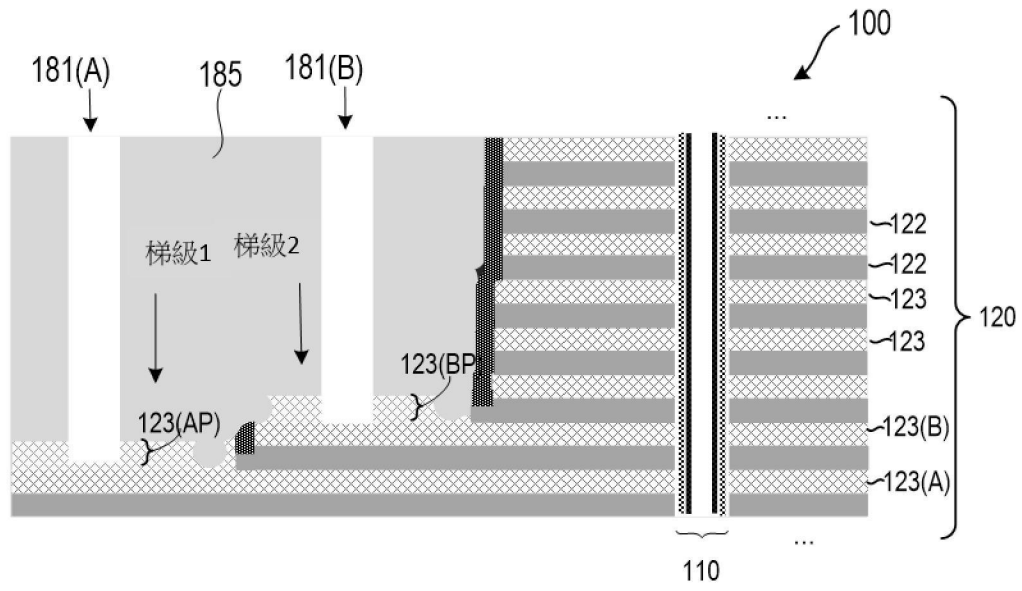
【圖3H】



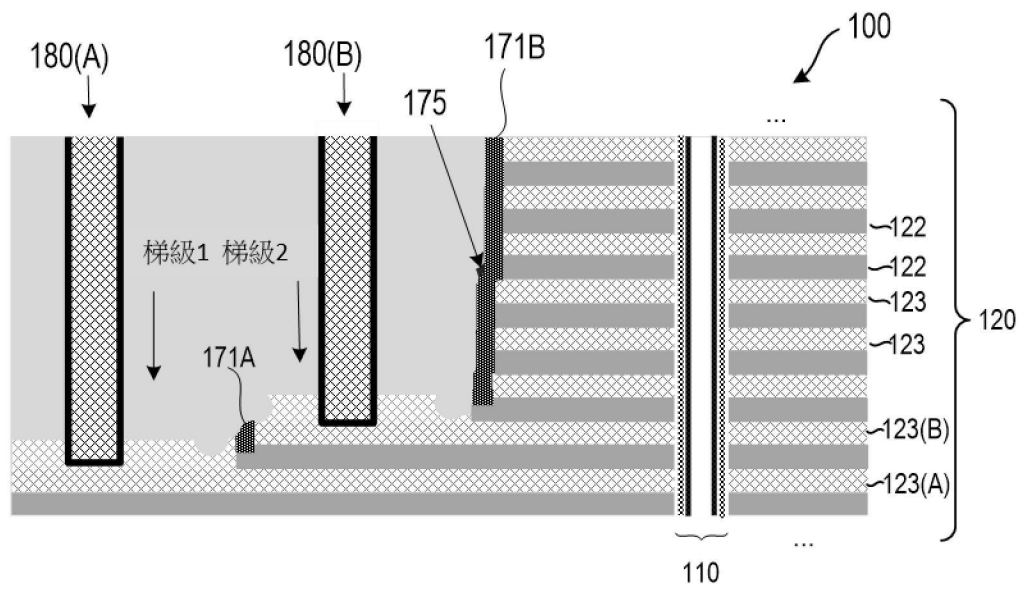
【圖3I】



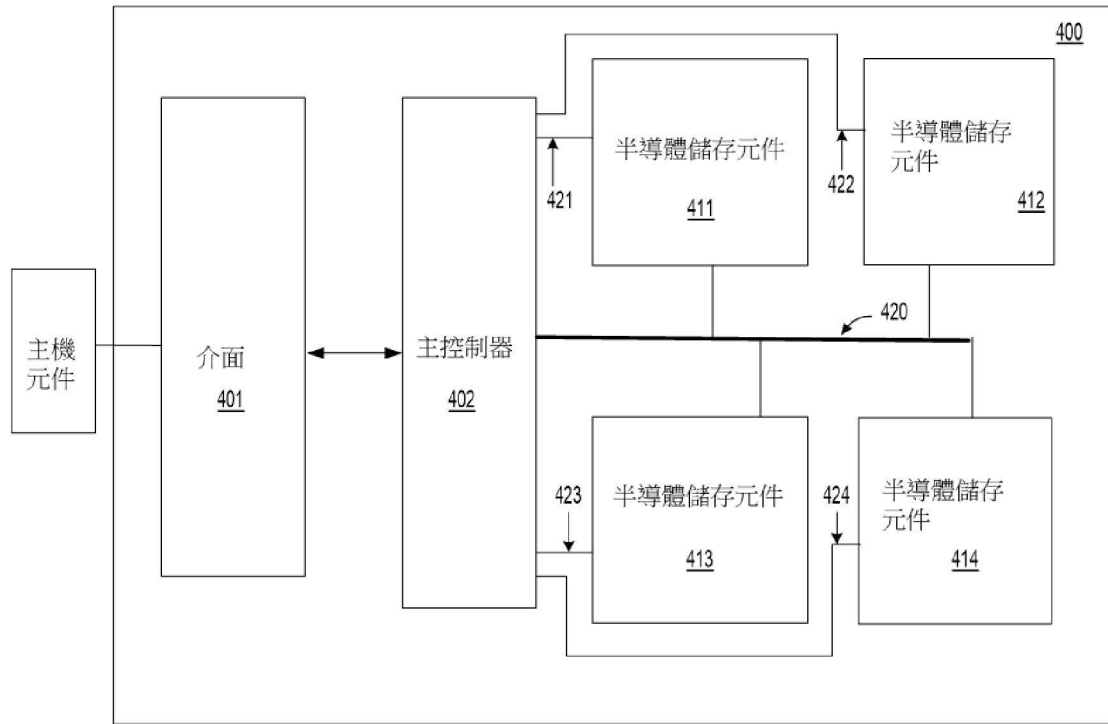
【圖3J】



【圖3K】



【圖3L】



【圖4】