

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年8月22日(22.08.2024)



(10) 国際公開番号

WO 2024/171007 A1

(51) 国際特許分類:
G09G 3/20 (2006.01) G09G 3/3233 (2016.01)
G09G 3/36 (2006.01)

(21) 国際出願番号: PCT/IB2024/051188

(22) 国際出願日: 2024年2月9日(09.02.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-023116 2023年2月17日(17.02.2023) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷398 Kanagawa (JP).

(72) 発明者: 木村肇(KIMURA, Hajime); 〒2430036
神奈川県厚木市長谷398 株式会社半導体
エネルギー研究所内 Kanagawa (JP). 小林
英智(KOBAYASHI, Hidetomo); 〒2430036 神奈
川県厚木市長谷398 株式会社半導体エネ
ルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: SEMICONDUCTOR DEVICE AND DISPLAY DEVICE

(54) 発明の名称: 半導体装置、および表示装置

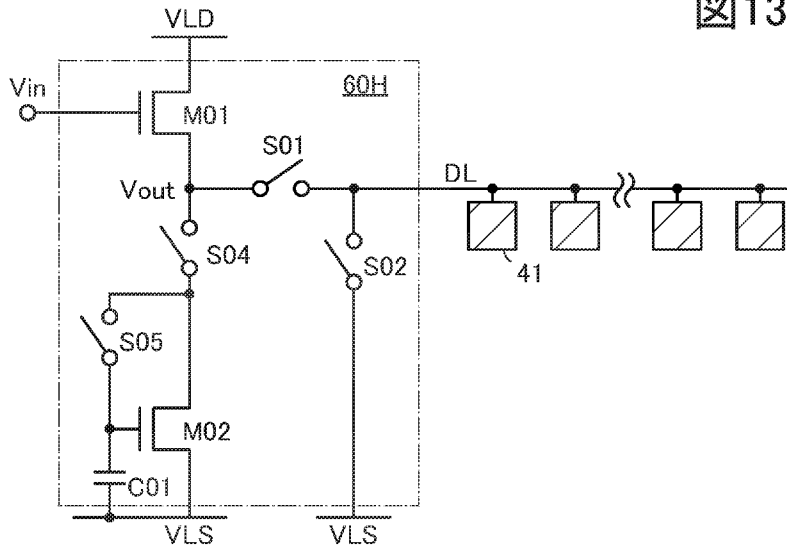


図13

(57) Abstract: Provided is a novel semiconductor device. A first transistor has the function of applying an output voltage corresponding to an input voltage, which has been applied to a gate, to a signal line via a first switch. One of a source and a drain of the first transistor is electrically connected to a first power supply line. One of a source and a drain of a second transistor is electrically connected to the other of the source and drain of the first transistor. The other of the source and drain of the second transistor is electrically connected to a second power supply line. A gate of the second transistor is electrically connected to a first capacitor that maintains a threshold voltage for the second transistor. A second switch has the function of performing an initialization operation for initializing the electric potential of the signal line. The first switch has the function of, following the initialization operation, performing a signal output operation for applying the



PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))
- 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

output voltage to the signal line.

(57) 要約: 新規な半導体装置を提供する。第1トランジスタは、ゲートに与えられた入力電圧に応じた出力電圧を第1スイッチを介して信号線に与える機能を有する。第1トランジスタのソースおよびドレインの一方は、第1電源線に電氣的に接続される。第2トランジスタのソースおよびドレインの一方は、第1トランジスタのソースおよびドレインの他方に電氣的に接続される。第2トランジスタのソースおよびドレインの他方は、第2電源線に電氣的に接続される。第2トランジスタのゲートは、第2トランジスタのしきい値電圧を保持する第1キャパシタに電氣的に接続される。第2スイッチは、信号線の電位を初期化する初期化動作を行う機能を有する。第1スイッチは、初期化動作に続いて出力電圧を信号線に与える信号出力動作を行う機能を有する。

明細書

発明の名称

半導体装置、および表示装置

技術分野

[0001]

本発明の一態様は、半導体装置、および表示装置に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、駆動方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。より具体的には、本明細書等で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、光学装置、撮像装置、照明装置、演算装置、制御装置、記憶装置、入力装置、出力装置、入出力装置、信号処理装置、演算処理装置、電子計算機、電子機器、それらの駆動方法、または、それらの製造方法、を一例として挙げることができる。

背景技術

[0003]

VR（Virtual Reality、仮想現実）、またはAR（Augmented Reality、拡張現実）などのXR（Extended Reality、クロスリアリティ）向けに適用可能な表示装置が求められている。具体的には、現実感、及び没入感を高めるために、当該表示装置として、例えば、精細度の高いこと、及び色再現性の高いことなどが望まれている。

[0004]

当該表示装置に適用可能なものとしては、例えば、液晶表示装置、および、有機EL（Electro Luminescence）素子（OLED（Organic Light Emitting Diode）ともいう）、または発光ダイオード（LED：Light Emitting Diode）などの発光素子を備える発光装置、などが挙げられる。

[0005]

発光装置において、入力電圧に応じた出力電圧を出力するためのアナログ回路として、ソースフォロワ回路がある。ソースフォロワ回路では、バイアス電圧が加えられたトランジスタにおいてバイアス電流が流れることで、入力電圧に応じた出力電圧が得られる（例えば特許文献1、特許文献2を参照）。

[先行技術文献]

[特許文献]

[0006]

[特許文献1] 特開2004-201297号公報

[特許文献2] 特開2001-298663号公報

発明の概要

発明が解決しようとする課題

[0007]

ソースフォロワ回路では、バイアス電圧が加えられたトランジスタをバイアス電流が流れるため、消費電力が高くなっている。

[0008]

本発明の一態様は、高精細な半導体装置または表示装置を提供することを課題の一とする。または、本発明の一態様は、小型化された半導体装置または表示装置を提供することを課題の一とする。または、本発明の一態様は、表示品位を高めた半導体装置または表示装置を提供することを課題の一とする。または、本発明の一態様は、動作速度を速めた半導体装置または表示装置を提供することを課題の一とする。または、本発明の一態様は、消費電力が低減された半導体装置または表示装置を提供することを課題の一とする。または、本発明の一態様は、信頼性の高い半導体装置または表示装置を提供することを課題の一とする。または、本発明の一態様は、新規な半導体装置または表示装置を提供することを課題の一とする。または、本発明の一態様は、表示品位を高めることができる半導体装置の駆動方法または表示装置の駆動方法を提供することを課題の一とする。または、本発明の一態様は、動作速度を速めることができる半導体装置の駆動方法または表示装置の駆動方法を提供することを課題の一とする。または、本発明の一態様は、消費電力を低減することができる半導体装置の駆動方法または表示装置の駆動方法を提供することを課題の一とする。または、本発明の一態様は、信頼性の高めることができる半導体装置または表示装置の駆動方法を提供することを課題の一とする。または、本発明の一態様は、新規な半導体装置の駆動方法または表示装置の駆動方法を提供することを課題の一とする。

[0009]

なお、上記列挙した課題は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、上記列挙した課題の全てを解決する必要はないものとする。なお、上記列挙した課題以外の他の課題は、本明細書、図面、または特許請求の範囲等の記載から、自ずと明らかとなるものであり、本明細書、図面、または特許請求の範囲等の記載から、上記列挙した課題以外の他の課題を抽出することが可能である。

課題を解決するための手段

[0010]

本発明の一態様は、第1トランジスタ、第1スイッチ、第2スイッチ、および信号線を有し、第1トランジスタは、ゲートに与えられた入力電圧に応じた出力電圧を第1スイッチを介して信号線に与える機能を有し、第2スイッチは、信号線の電位を初期化する初期化動作を行う機能を有し、第1スイッチは、出力電圧を信号線に与える信号出力動作を行う機能を有する、半導体装置である。

[0011]

本発明の一態様は、第1トランジスタ、第2トランジスタ、第1スイッチ、第2スイッチ、第1電源線、第2電源線、および信号線を有し、第1トランジスタは、ゲートに与えられた入力電圧に応じた出力電圧を第1スイッチを介して信号線に与える機能を有し、第1トランジスタのソースおよびドレインの一方は、第1電源線に電氣的に接続され、第2トランジスタのソースおよびドレインの一方は、第1トランジスタのソースおよびドレインの他方に電氣的に接続され、第2トランジスタのゲート、およびソースおよびドレインの他方は、第2電源線に電氣的に接続され、第2スイッチは、信号線の電位を初期化する初期化動作を行う機能を有し、第1スイッチは、初期化動作に続いて出力電圧を信号線に与える信号出力動作を行う機能を有する、半導体装置である。

[0012]

本発明の一態様は、第1トランジスタ、第2トランジスタ、第1スイッチ、第2スイッチ、第1電源線、第2電源線、および信号線を有し、第1トランジスタは、ゲートに与えられた入力電圧に応じ

た出力電圧を第1スイッチを介して信号線に与える機能を有し、第1トランジスタのソースおよびドレインの一方は、第1電源線に電氣的に接続され、第2トランジスタのソースおよびドレインの一方は、第1トランジスタのソースおよびドレインの他方に電氣的に接続され、第2トランジスタのソースおよびドレインの他方は、第2電源線に電氣的に接続され、第2トランジスタのゲートは、第2トランジスタのしきい値電圧を保持する第1キャパシタに電氣的に接続され、第2スイッチは、信号線の電位を初期化する初期化動作を行う機能を有し、第1スイッチは、初期化動作に続いて出力電圧を信号線に与える信号出力動作を行う機能を有する、半導体装置である。

[0013]

本発明の一態様において、第1トランジスタのゲートは、第1トランジスタのしきい値電圧を保持する第2キャパシタの一方の電極に電氣的に接続され、入力電圧を与える配線は、第2キャパシタの他方の電極に電氣的に接続される、半導体装置が好ましい。

[0014]

本発明の一態様において、第1トランジスタおよび第2トランジスタはそれぞれ、半導体層を有し、半導体層は、酸化物半導体を有する、半導体装置が好ましい。

[0015]

本発明の一態様において、半導体層の少なくとも一部は、絶縁層に形成された開口の内部に設けられる、半導体装置が好ましい。

[0016]

本発明の一態様は、上記本発明の一態様の半導体装置と、画素と、を有し、画素は、第3トランジスタを有し、第3トランジスタのソースおよびドレインの一方は、信号線に電氣的に接続される、表示装置である。

[0017]

本発明の一態様において、第3トランジスタは、半導体層を有し、半導体層は、酸化物半導体を含む、表示装置が好ましい。

[0018]

本発明の一態様において、半導体層の少なくとも一部は、絶縁層に形成された開口の内部に設けられる、表示装置が好ましい。

発明の効果

[0019]

本発明の一態様は、高精細な半導体装置または表示装置を提供することができる。または、本発明の一態様は、小型化された半導体装置または表示装置を提供することができる。または、本発明の一態様は、表示品位を高めた半導体装置または表示装置を提供することができる。または、本発明の一態様は、動作速度を速めた半導体装置または表示装置を提供することができる。または、本発明の一態様は、消費電力が低減された半導体装置または表示装置を提供することができる。または、本発明の一態様は、信頼性の高い半導体装置または表示装置を提供することができる。または、本発明の一態様は、新規な半導体装置または表示装置を提供することができる。または、本発明の一態様は、表示品位を高めることができる半導体装置の駆動方法または表示装置の駆動方法を提供することができる。または、本発明の一態様は、動作速度を速めることができる半導体装置の駆動方法または表示装置の駆動方法を提供することができる。または、本発明の一態様は、消費電力を低減することができる半導体装置の駆動方法または表示装置の駆動方法を提供することができる。または、本発明の一

態様は、信頼性の高めることができる半導体装置または表示装置の駆動方法を提供することができる。または、本発明の一態様は、新規な半導体装置の駆動方法または表示装置の駆動方法を提供することができる。

[0020]

なお、上記列挙した効果は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、上記列挙した効果の全てを有する必要はない。なお、上記列挙した効果以外の他の効果は、本明細書、図面、または特許請求の範囲等の記載から、自ずと明らかとなるものであり、本明細書、図面、または特許請求の範囲等の記載から、上記列挙した効果以外の他の効果を抽出することが可能である。

図面の簡単な説明

[0021]

図1A乃至図1Cは、半導体装置を説明する回路図である。

図2Aおよび図2Bは、半導体装置を説明する回路図である。

図3A乃至図3Cは、半導体装置を説明する回路図である。

図4A乃至図4Cは、半導体装置を説明する回路図である。

図5A乃至図5Cは、半導体装置を説明する回路図である。

図6Aおよび図6Bは、半導体装置を説明する回路図である。

図7は、半導体装置を説明する回路図である。

図8A乃至図8Cは、半導体装置を説明する回路図である。

図9A乃至図9Cは、半導体装置を説明する回路図およびレイアウト図である。

図10Aおよび図10Bは、半導体装置を説明する回路図である。

図11Aおよび図11Bは、半導体装置を説明する回路図である。

図12Aおよび図12Bは、半導体装置を説明するレイアウト図および断面図である。

図13は、半導体装置を説明する回路図である。

図14Aおよび図14Bは、半導体装置を説明する回路図である。

図15Aおよび図15Bは、半導体装置を説明する回路図である。

図16Aおよび図16Bは、半導体装置を説明する回路図である。

図17Aおよび図17Bは、半導体装置を説明する回路図である。

図18は、半導体装置を説明するレイアウト図である。

図19Aおよび図19Bは、半導体装置を説明する回路図である。

図20Aおよび図20Bは、半導体装置を説明する回路図である。

図21Aおよび図21Bは、半導体装置を説明する回路図である。

図22Aおよび図22Bは、半導体装置を説明するレイアウト図および断面図である。

図23は、半導体装置を説明する回路図である。

図24Aおよび図24Bは、半導体装置を説明する回路図である。

図25Aおよび図25Bは、半導体装置を説明する回路図である。

図26Aおよび図26Bは、半導体装置を説明する回路図である。

図27Aおよび図27Bは、半導体装置を説明する回路図である。

図28Aおよび図28Bは、半導体装置を説明する回路図である。

図29Aおよび図29Bは、半導体装置を説明する回路図である。

図30Aおよび図30Bは、半導体装置を説明する回路図である。

図 3 1 A 乃至図 3 1 E は、表示装置の構成例を示すブロック図である。

図 3 2 は、半導体装置の構成例を示す回路図である。

図 3 3 は、半導体装置の動作例を示すタイミングチャートである。

図 3 4 は、半導体装置の構成例を示す回路図である。

図 3 5 は、半導体装置の構成例を示す回路図である。

図 3 6 は、半導体装置の構成例を示す回路図である。

図 3 7 は、半導体装置の構成例を示す回路図である。

図 3 8 は、半導体装置の構成例を示す回路図である。

図 3 9 は、半導体装置の構成例を示す回路図である。

図 4 0 は、半導体装置の構成例を示す回路図である。

図 4 1 は、半導体装置の構成例を示す回路図である。

図 4 2 は、半導体装置を説明する回路図である。

図 4 3 は、半導体装置を説明する回路図である。

図 4 4 A 乃至図 4 4 C、及び図 4 4 E は、半導体装置の構成例を示す回路図である。図 4 4 D は、半導体装置の動作例を示すタイミングチャートである。

図 4 5 A 乃至図 4 5 C、及び図 4 5 E は、半導体装置の構成例を示す回路図である。図 4 5 D は、半導体装置の動作例を示すタイミングチャートである。

図 4 6 A 乃至図 4 6 C は、半導体装置の構成例を示す回路図である。

図 4 7 は、半導体装置の構成例を示す回路図である。

図 4 8 A 乃至図 4 8 C、及び図 4 8 E は、半導体装置の構成例を示す回路図である。図 4 8 D は、半導体装置の動作例を示すタイミングチャートである。

図 4 9 は、半導体装置の構成例を示す回路図である。

図 5 0 A 乃至図 5 0 F は、半導体装置の構成例を示す回路図である。

図 5 1 は、半導体装置の動作例を示すタイミングチャートである。

図 5 2 A 乃至図 5 2 C は、半導体装置の構成例を示す回路図である。

図 5 3 A は、半導体装置の構成例を示す上面図である。図 5 3 B 及び図 5 3 C は、半導体装置の構成例を示す断面図である。

図 5 4 A は、半導体装置の構成例を示す上面図である。図 5 4 B は、半導体装置の構成例を示す断面図である。

図 5 5 A は、半導体装置の構成例を示す上面図である。図 5 5 B 及び図 5 5 C は、半導体装置の構成例を示す断面図である。

図 5 6 は、半導体装置の構成例を示す断面図である。

図 5 7 A 及び図 5 7 B は、半導体装置の構成例を示す断面図である。

図 5 8 A 及び図 5 8 B は、半導体装置の構成例を示す断面図である。

図 5 9 A 及び図 5 9 B は、半導体装置の構成例を示す断面図である。

図 6 0 A 及び図 6 0 B は、半導体装置の構成例を示す回路図である。図 6 0 C は、半導体装置の構成例を示す上面図である。

図 6 1 は、半導体装置の構成例を示す断面図である。

図 6 2 A 及び図 6 2 B は、半導体装置の構成例を示す回路図である。図 6 2 C は、半導体装置の構成例を示す上面図である。

図 6 3 は、半導体装置の構成例を示す断面図である。

図 6 4 A は、表示装置の構成例を示す斜視図である。図 6 4 B 乃至図 6 4 F は、画素の配列の一例を示す上面図である。

図 6 5 A 及び図 6 5 B は、表示装置の構成例を示す断面図である。

図 6 6 A 及び図 6 6 B は、表示装置の構成例を示す断面図である。

図 6 7 A 乃至図 6 7 D は、電子機器の一例を示す図である。

図 6 8 A 乃至図 6 8 F は、電子機器の一例を示す図である。

図 6 9 A 乃至図 6 9 G は、電子機器の一例を示す図である。

発明を実施するための形態

[0022]

本明細書等において、半導体装置とは、半導体特性を利用した装置であり、例えば、半導体素子（例えば、トランジスタ、またはダイオードなど）を含む回路、または同回路を有する装置などをいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、半導体素子を含む集積回路、集積回路を備えたチップ、チップをパッケージに収納した電子部品、または電子部品を実装した電子機器などは、半導体装置の一例である。また、例えば、表示装置、発光装置、蓄電装置、光学装置、撮像装置、照明装置、演算装置、制御装置、記憶装置、入力装置、出力装置、入出力装置、信号処理装置、電子計算機、または電子機器などは、それ自体が半導体装置であり、かつ、半導体装置を有している場合がある。

[0023]

以下、実施の形態について、図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能である。よって、その趣旨および範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明の一態様は、実施の形態の記載内容に限定して解釈されるものではない。

[0024]

また、本明細書等において、各実施の形態に示す構成を、他の実施の形態に示す構成と適宜組み合わせ、本発明の一態様とすることが可能である。また、1つの実施の形態の中に複数の構成が示される場合、それらの構成を適宜組み合わせ、本発明の一態様とすることが可能である。

[0025]

なお、実施の形態を説明する図面は、発明の構成において、同一部分または同様な機能を有する部分に、同一の符号を異なる図面間で共通して用いることで、その繰り返しの説明を省略する場合がある。また、図面は、同様の機能を指す場合、例えば、ハッチングパターンなどを同じくし、特に符号を付さない場合がある。また、図面は、理解しやすくするため、例えば、斜視図または上面図（「平面図」ともいう）などにおいて、一部の構成要素の記載を省略する場合がある。また、図面は、例えば、一部の隠れ線の記載を省略する場合がある。また、図面は、例えば、ハッチングパターンなどの記載を省略する場合がある。

[0026]

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、図面は、例えば、その大きさまたは縦横比などに限定されない。なお、図面は、理想的な例を模式的に示したものであり、例えば、図面に示す形状または値などに限定されない。例えば、実際の製造工程において、エッチングなどの処理により、層またはレジストマスクなどが意図せずに

目減りすることがあるが、理解を容易にするため、これらを図面に反映しない場合がある。また、例えば、実際の回路動作において、ノイズまたはタイミングのずれなどにより、電圧または電流などのばらつきが生じることがあるが、理解を容易にするため、これらを図面に反映しない場合がある。

[0027]

また、本明細書および図面等において、本発明の構成要素を機能毎に分類し、互いに独立した要素として示す場合がある。しかしながら、構成要素を機能毎に切り分けることが難しく、一つの要素に複数の機能が関わる場合、または、複数の要素にわたって一つの機能が関わる場合、がある。そのため、本明細書および図面等に示す要素は、その説明に限定されず、状況に応じて適切に言い換えることができる場合がある。

[0028]

また、本明細書および図面等において、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に、例えば、“A”、“b”、“_1”、“[n]”、または“[m, n]”などの識別用の符号を付して記載する場合がある。また、識別用の符号を付した複数の要素に共通の事柄を説明するとき、または、それらを区別する必要があるときには、識別用の符号を付さずに記載する場合がある。

[0029]

なお、本明細書等において、トランジスタの「導通状態」または「オン状態」とは、例えば、トランジスタのソースとドレインとが電氣的に短絡されているとみなせる状態、または、ソースとドレインとの間に電流を流すことができる状態、などをいう。例えば、nチャネル型トランジスタにおいて、ゲートとソースとの間の電圧がしきい値電圧よりも高い状態、または、pチャネル型トランジスタにおいて、ゲートとソースとの間の電圧がしきい値電圧よりも低い状態、などを、「導通状態」または「オン状態」という場合がある。また、トランジスタの「非導通状態」、「遮断状態」、または「オフ状態」とは、トランジスタのソースとドレインとが電氣的に遮断されているとみなせる状態をいう。例えば、nチャネル型トランジスタにおいて、ゲートとソースとの間の電圧がしきい値電圧よりも低い状態、または、pチャネル型トランジスタにおいて、ゲートとソースとの間の電圧がしきい値電圧よりも高い状態、などを、「非導通状態」、「遮断状態」、または「オフ状態」という場合がある。

[0030]

また、本明細書等において、ゲートとソースとの間（ゲートソース間）の電圧を「ゲート電圧」といい、ドレインとソースとの間（ドレインソース間）の電圧を「ドレイン電圧」といい、バックゲートとソースとの間（バックゲートソース間）の電圧を「バックゲート電圧」という場合がある。また、ドレインからソースに流れる電流を「ドレイン電流」という場合がある。

[0031]

また、本明細書等において、トランジスタの「オフ電流」とは、特に断りがない場合、トランジスタがオフ状態にあるときのドレイン電流をいう。なお、本明細書等において、オフ電流、および、ゲートからソースおよびドレインに流れる電流（ゲートリーク電流ともいう）を、リーク電流という場合がある。

[0032]

（実施の形態1）

本発明の一態様に係る半導体装置について、図面を参照しながら説明する。また、本発明の一態様に係る表示装置について、図面を参照しながら説明する。当該半導体装置は、例えば、当該表示装置

の一部に用いることができる。

[0033]

<半導体装置の構成例1>

図1Aは、半導体装置を有する表示装置の構成例を説明するためのブロック図である。図1Aに示す表示装置40は、表示部42および駆動回路部44を有する。表示部42は、配線DL（配線DL__1乃至DL__n（nは2以上の整数））に電氣的に接続された複数の画素41を有する。駆動回路部44は、半導体装置60を有する。なお配線DLは、信号線という場合がある。

[0034]

表示装置40は、例えば、駆動回路部44から配線DLを介してデータ電位を画素41に与えることで、当該データ電位に応じた発光が制御され、表示部42における画像が表示される。駆動回路部44、表示装置40および画素41の具体的な構成例については、後述する。

[0035]

半導体装置60は、各行（または各列）の配線DL__1乃至DL__nに入力電圧V_{in}（V_{in}__1乃至V_{in}__n）に応じた出力電圧を出力するためのアナログ回路である。半導体装置60は、図1Bに図示するように、入力端子INに与えられる入力電圧を出力端子OUTより出力する回路ブロックとして表すことができる。

[0036]

図1Cは、半導体装置60の構成例を説明する回路図である。半導体装置60は、トランジスタM01、スイッチS01、およびスイッチS02を有する。

[0037]

トランジスタM01のゲートは、入力端子INに与えられる入力電圧V_{in}と電氣的に接続される。トランジスタM01のソースおよびドレインの一方は、配線VLDと電氣的に接続される。トランジスタM01のソースおよびドレインの他方は、スイッチS01の第1端子と電氣的に接続される。スイッチS01の第2端子は、スイッチS02の第1端子および配線DLと電氣的に接続される。スイッチS02の第2端子は、配線VLSと電氣的に接続される。

[0038]

配線VLDは、電位VDD（電位H）をトランジスタといった素子に与える配線である。なお配線VLDは、第1電源線ともいう。配線VLSは、電位VSS（電位L）をトランジスタといった素子に与える配線である。なお配線VLSは、第2電源線ともいう。なお電位VDDは、電位VSSに対して、半導体装置60が有するトランジスタのしきい値電圧より十分高い電位であるとして以下説明する。

[0039]

トランジスタM01は、ゲートに与えられた入力電圧V_{in}に応じた出力電圧V_{out}をスイッチS01を介して配線DLに与える機能を有する。トランジスタM01は、トランジスタM01のゲートを入力とし、トランジスタM01のソースを出力とする、ソースフォロワ回路としての機能を有する。なお、本明細書等では、トランジスタM01のような機能を有するトランジスタを、「駆動トランジスタ」という場合がある。

[0040]

トランジスタM01を有する半導体装置60は、出力インピーダンスを低くすることで、配線DLの負荷（寄生容量）が大きい場合でも、入力電圧V_{in}の電位の変化に応じて配線DLの電位が変化

する時間を短くすることができる。すなわち、半導体装置 60 は、インピーダンス変換の機能を有する。

[0041]

スイッチ S01 および S02 は、トランジスタ M01 と同様にトランジスタを用いることができる。スイッチ S01 および S02 をトランジスタとすることで、トランジスタ M01 と同じ工程を経てスイッチ S01 および S02 を作製することができる。なおスイッチ S01 および S02 以外の他のスイッチについても同様にトランジスタとしてもよい。

[0042]

本実施の形態等では、半導体装置 60 を構成するトランジスタ（例えばトランジスタ M01）は、明示されている場合を除き、エンハンスメント型（ノーマリーオフ型）の n チャネル型トランジスタであるとする。よって、そのしきい値電圧は、0 V より大きいものとする。

[0043]

なお、本発明の一態様は、これに限定されない。半導体装置 60 は、様々なトランジスタを用いて構成することができる。例えば、半導体装置 60 を構成するトランジスタの一部または全部は、p チャネル型トランジスタであってもよい。

[0044]

また、半導体装置 60 を構成するトランジスタとして、様々な半導体を含むトランジスタを用いることができる。例えば、チャネル形成領域に、単結晶半導体、多結晶半導体、微結晶半導体、または非晶質半導体を含むトランジスタを用いることができる。また、当該半導体として、主成分が単一の元素で構成される単体の半導体（例えば、シリコン、またはゲルマニウムなど）に限らず、例えば、化合物半導体（例えば、シリコンゲルマニウム、またはヒ化ガリウムなど）、または酸化物半導体などを用いることができる。

[0045]

また、半導体装置 60 を構成するトランジスタとして、様々な種類のトランジスタを用いることができる。例えば、MOS 型電界効果トランジスタを用いることができる。

[0046]

また、半導体装置 60 を構成するトランジスタとして、様々な構造のトランジスタを用いることができる。例えば、プレーナ型、スタガ型、FIN 型（フィン型）、TRI-GATE 型（トライゲート型）、トップゲート型、ボトムゲート型、またはデュアルゲート型（チャネル形成領域を挟んで両側（例えば、上下）にゲートが配置されている構造）など、様々な構造のトランジスタを用いることができる。また、半導体装置 60 を構成するトランジスタとして、縦型のトランジスタ（チャネル形成領域を含む半導体層の少なくとも一部が絶縁層に形成された開口における当該絶縁層の側面に沿って設けられるトランジスタ）を用いることが好ましい。

[0047]

なお、縦型のトランジスタでは、ソース電極とドレイン電極とが異なる高さに位置しているため、半導体層のチャネル形成領域において、高さ方向（縦方向）に電流が流れることになる。すなわち、チャネル長方向が高さ方向（縦方向）の成分を有するということができる。したがって、上述の縦型のトランジスタは、VFET (Vertical Field Effect Transistor)、縦型チャネルトランジスタ、縦チャネル型トランジスタ、または縦型トランジスタなどとも呼ぶことができる。

[0048]

縦型のトランジスタは、上面視において、ソース領域と、チャネル形成領域と、ドレイン領域と、の少なくとも一部を重ねることができる構成であることから、占有面積（フットプリントともいう）を小さくすることができる。また、チャネル長を小さく、かつチャネル幅を大きくできる構造であることから、オン抵抗を小さく（オン電流を大きく）することができる。

[0049]

なお、上述の縦型のトランジスタの変形例として、ソース電極とドレイン電極とが同じ高さに位置し、半導体層のチャネル形成領域において、周方向（横方向）に電流が流れる構成とすることができる。すなわち、チャネル幅方向が高さ方向（縦方向）の成分を有する構成とすることができる。このような構成のトランジスタは、VLFET (Vertical Lateral Field Effect Transistor) などと呼ぶことができる。VLFETは、占有面積を小さくしつつ、かつチャネル長を大きくできる構造であることから、例えば、ドレイン誘起障壁低下 (DIBL: Drain Induced Barrier Lowering) などの短チャネル効果の低減を図ることができる。

[0050]

本発明の一態様は、半導体装置60を構成するトランジスタの一部または全部として、縦型のトランジスタを用いることが好ましい。特に、スイッチ（例えばスイッチS01およびS02）として機能するトランジスタとして、縦型のトランジスタを用いるとよい。

[0051]

なお、駆動トランジスタ（例えばトランジスタM01）として、飽和性が高い（トランジスタの飽和領域においてドレイン電圧に対するドレイン電流の変化が小さい）トランジスタを用いるとよい。例えば、チャネル長が大きいトランジスタを用いればよい。例えば、上述のVLFETを用いてもよい。

[0052]

また、本発明の一態様は、半導体装置60を構成するトランジスタとして、OSトランジスタ（チャネル形成領域に酸化物半導体を含むトランジスタ）を用いるとよい。

[0053]

OSトランジスタは、チャネルが形成される酸化物半導体のバンドギャップが2 eV以上であるため、オフ電流が極めて低いという特性を有する。室温環境下における、チャネル幅1 μm あたりのOSトランジスタのオフ電流値は、1 aA ($1 \times 10^{-18} \text{ A}$) 以下、1 zA ($1 \times 10^{-21} \text{ A}$) 以下、または1 yA ($1 \times 10^{-24} \text{ A}$) 以下とすることができる。なお、Siトランジスタ（チャネル形成領域にシリコンを含むトランジスタ）の場合、室温環境下における、チャネル幅1 μm あたりのオフ電流値は、1 fA ($1 \times 10^{-15} \text{ A}$) 以上かつ1 pA ($1 \times 10^{-12} \text{ A}$) 以下である。したがって、OSトランジスタのオフ電流は、Siトランジスタのオフ電流よりも10桁程度低いともいえる。

[0054]

上述したOSトランジスタの特性により、例えば、半導体装置60を構成するトランジスタのうち、スイッチとして機能するトランジスタにOSトランジスタを用いることで、キャパシタおよび寄生キャパシタを有する配線等に蓄積された電荷を長期間保持することができる。すなわち、例えば、半導体装置60を構成するトランジスタのうち、スイッチとして機能するトランジスタにOSトランジスタを用いることで、配線DLの電位を長期間保持することができる。よって、当該半導体装置の

消費電力の低減を図ることができる。

[0055]

また、OSトランジスタは、高温環境下でもオフ電流がほとんど増加しない。具体的には、室温以上200℃以下の環境下でもオフ電流がほとんど増加しない。また、OSトランジスタは、高温環境下でもオン電流が低下しにくい。一方で、Siトランジスタは、高温環境下においてオン電流が低下する。すなわち、OSトランジスタは、高温環境下において、Siトランジスタよりも、オン電流が高くなる。また、OSトランジスタは、125℃以上かつ150℃以下といった環境下においても、オン電流とオフ電流の比が大きいと、良好なスイッチング動作を行うことができる。よって、OSトランジスタを用いた半導体装置は、高温環境下においても動作が安定し、高い信頼性が得られる。すなわち、半導体装置60を構成するトランジスタにOSトランジスタを用いることで、当該半導体装置の信頼性の向上を図ることができる。

[0056]

また、OSトランジスタは、ソースとドレインとの間の耐圧（ドレイン耐圧ともいう）が高い。よって、OSトランジスタを用いた半導体装置は、高電圧で駆動する場合においても動作が安定し、高い信頼性が得られる。すなわち、例えば、半導体装置60を構成するトランジスタのうち、トランジスタM01にOSトランジスタを用いることで、電位VDDと、電位VSSと、の間の電位差（電圧）が大きい場合であっても、半導体装置60の動作が安定する。よって、当該半導体装置の信頼性の向上を図ることができる。

[0057]

なお、本発明の一態様は、半導体装置60として、OSトランジスタを用いた構成に限定されず、異なる半導体材料を含む複数種類のトランジスタを用いた構成としてもよい。例えば、半導体装置60を、チャンネル形成領域に低温ポリシリコン（LTPS: Low Temperature Poly Silicon）を含むトランジスタ（LTPSトランジスタ）と、OSトランジスタと、で構成してもよい。LTPSトランジスタは、電界効果移動度が高く、周波数特性が良好である。LTPSトランジスタと、OSトランジスタと、を組み合わせた構成を、LTPOという場合がある。

[0058]

例えば、半導体装置60を構成するトランジスタのうち、スイッチS01およびS02として機能するトランジスタにOSトランジスタを用い、かつ、駆動トランジスタ（トランジスタM01）にLTPSトランジスタを用いる構成とすることができる。半導体装置60を、LTPSトランジスタとOSトランジスタとの双方で構成することで、当該半導体装置の消費電力の低減、および駆動能力の向上を図ることができる。

[0059]

なお、半導体装置60を、異なる半導体材料を含む複数種類のトランジスタを用いた構成とする場合、トランジスタの種類ごとに、異なる層にトランジスタを設けてもよい。例えば、半導体装置60が、Siトランジスタと、OSトランジスタと、で構成される場合、Siトランジスタを含む層と、OSトランジスタを含む層と、を重ねて設けてもよい。このような構成とすることで、半導体装置60の占有面積を小さくすることができる。

[0060]

本発明の一態様は、半導体装置60において、当該半導体装置を構成するトランジスタのうち、スイッチS01およびS02として機能するトランジスタに縦型のOSトランジスタを用い、かつ、駆

動トランジスタ（トランジスタM01）にデュアルゲート型のOSトランジスタを用いた構成としてもよい。このような、縦型のトランジスタと、デュアルゲート型のトランジスタと、の双方を有する半導体装置の具体的な構成例については、後述する実施の形態2の説明を参照すればよい。

[0061]

次いで半導体装置60の動作について説明する。

[0062]

半導体装置60は、図2Aに図示するように、入力電圧 V_{in} に応じた出力電圧を出力する期間 T_{SEL} において、初期化動作 $T01$ 、初期化終了動作 $T02$ および信号出力動作 $T03$ を行う。なお半導体装置60は、図2Bに図示するように、初期化終了動作 $T02$ を省略してもよい。初期化終了動作 $T02$ を省略することで、初期化動作 $T01$ および信号出力動作 $T03$ に要する時間を長く設定することができるため、安定した出力電圧を得ることができる。

[0063]

図3Aは、初期化動作 $T01$ を模式的に説明するための回路図である。初期化動作 $T01$ では、配線DLの電位を初期化する。初期化動作 $T01$ は、スイッチ $S01$ を非導通状態（OFF）、スイッチ $S02$ を導通状態（ON）として行われる。スイッチ $S02$ は、導通状態とすることで、配線DLの電位を初期化する初期化動作を行う機能を有する。

[0064]

初期化動作 $T01$ 時において、スイッチ $S01$ が非導通状態であるため、入力電圧 V_{in} に応じた出力電圧 V_{out} （スイッチ $S01$ の第1端子側の電圧）が変化しない。初期化動作 $T01$ 時の間に、入力電圧 V_{in} を生成して前段の回路で保持しておくことで、初期化動作 $T01$ 以降の動作を高速化することができる。

[0065]

初期化動作 $T01$ では、スイッチ $S02$ を導通状態とすることで、配線DLの電位を電位 V_{SS} とすることができる。つまり初期化動作 $T01$ では、配線DLの電荷を放電（ディスチャージ）する動作を行うものとして説明する。なお初期化動作は、放電動作（ディスチャージ動作）という場合がある。配線DLの電位は、スイッチ $S02$ を介して流れる電流 I によって変化する。スイッチ $S02$ には、上述したようにトランジスタM01と同様に、トランジスタを用いることができる。スイッチ $S01$ についても同様である。

[0066]

スイッチ $S02$ をトランジスタとする場合、トランジスタのゲートにバイアス電圧を与えてバイアス電流が流れる構成としてもよい。この場合、バイアス電圧の印加の有無によって、トランジスタを流れるバイアス電流を流すか流さないかで切り替えて動作させてもよい。

[0067]

図3Bは、初期化終了動作 $T02$ を模式的に説明するための回路図である。初期化終了動作 $T02$ では、スイッチ $S01$ および $S02$ 共に非導通状態（OFF）とする。初期化終了動作 $T02$ では、初期化動作 $T01$ で設定された配線DLの電位 V_{SS} が保持される。

[0068]

図3Cは、信号出力動作 $T03$ を模式的に説明するための回路図である。信号出力動作 $T03$ では、スイッチ $S01$ を導通状態（ON）にすることでトランジスタM01に電流が流れる。配線DLは、出力電圧 V_{out} となる。スイッチ $S01$ は、導通状態とすることで、出力電圧 V_{out} を配線DL

に与える信号出力動作を行う機能を有する。

[0069]

信号出力動作T03において、スイッチS01を導通状態(ON)にすることでトランジスタM01を流れる電流は、トランジスタM01のソースの電位を上昇させる。そのため、トランジスタM01のゲートとソースの間の電圧(ゲートソース間電圧ともいう)が小さくなる。トランジスタM01のしきい値電圧を V_{th} とすると、トランジスタM01のゲートソース間電圧が V_{th} 以下となることでトランジスタM01を流れる電流が小さくなる。つまり、出力電圧 V_{out} は、図4Aに図示するように、 $V_{in} - V_{th}$ となる($V_{out} = V_{in} - V_{th}$)。

[0070]

出力電圧 V_{out} が $V_{in} - V_{th}$ となることで、トランジスタM01のゲートとソースの間には、トランジスタM01のしきい値電圧に相当する V_{th} 以下の電圧が印加されるため、ソースとドレインとの間には、サブスレッショルド電流が流れる。

[0071]

なお信号出力動作T03の期間が出力電圧 V_{out} が $V_{in} - V_{th}$ となるまでの期間に対して短い場合、出力電圧 V_{out} が $V_{in} - V_{th}$ まで上昇する前に入力電圧 V_{in} に応じた出力電圧を出力する期間 T_{SEL} が終わる場合がある(図4B参照)。この場合、出力電圧 V_{out} は、 $V_{in} - V_{th}$ よりも小さい $V_{in} - V_{th} - \alpha$ ($\alpha > 0$)となる。

[0072]

また信号出力動作T03の期間が出力電圧 V_{out} が $V_{in} - V_{th}$ となるまでの期間に対して長い場合、出力電圧 V_{out} が $V_{in} - V_{th}$ まで上昇することができる。トランジスタM01のゲートとソースの間には、トランジスタM01のしきい値電圧に相当する V_{th} 以下の電圧が印加されるため、ソースとドレインとの間には、サブスレッショルド電流が流れる。トランジスタM01をサブスレッショルド電流が流れるため、期間 T_{SEL} が終わるまでの期間、出力電圧 V_{out} が上昇し続ける場合がある(図4C参照)。この場合、出力電圧 V_{out} は、 $V_{in} - V_{th}$ よりも大きい $V_{in} - V_{th} + \beta$ ($\beta > 0$)となる。

[0073]

本発明の一態様は、ソースフォロワ回路を流れるバイアス電流を遮断または低減することで消費電力を低減する。具体的には、バイアス電圧が印加されるトランジスタを削減し、バイアス電流が定常的に流れることを抑制することで消費電力の低減を図ることができる。バイアス電流が定常的に流れない場合、入力電圧に応じた出力電圧が安定するまでの時間(セトリング時間ともいう)がかかる場合がある。特に、信号線の電圧を下げる方向に変化させる際に、セトリング時間が大きくなる場合がある。

[0074]

そこで本発明の一態様では、スイッチの導通状態を切り替えることにより初期化動作を経て信号出力動作を行う構成とする。当該構成とすることで、信号出力動作を行う前に信号線の電圧を下げた状態で信号出力動作による所望の電圧への充電を行うことができる。そのため入力電圧を入力する際に、信号線の電圧を下げる方向に変化させる場合であっても所望の電圧に変化させることができる。

[0075]

また本発明の一態様では、セトリング時間を小さくするため、駆動トランジスタを縦型のトランジ

スタとする構成が好ましい。当該構成とすることで駆動トランジスタは、フットプリントを小さくするとともに、チャンネル長を小さく、かつチャンネル幅を大きくできる構造とすることができる。一方で縦型のトランジスタとした駆動トランジスタは、オン抵抗を小さく（オン電流を大きく）することができるものの、消費電力が大きくなる。そのため、上述した初期化動作を経て信号出力動作を行う構成と組み合わせることで半導体装置の占有面積および消費電力の増大を抑えつつ、半導体装置を有する表示装置の動作速度の向上を図ることができる。

[0076]

なお、本発明の一態様は、上述した半導体装置60の構成例に限らない。図5A乃至図5Cでは、上記説明した半導体装置60の変形例について説明する。

[0077]

図1Cに示す半導体装置60の構成例において、スイッチS01は、配線VLDと、配線DL、との間の経路にあればよい。例えば、トランジスタM01のドレイン側と、配線VLDと、の間にスイッチS01の機能を有するスイッチを設けてもよい。または、図1Cに示す半導体装置60におけるスイッチS01は、初期化動作に要する期間が短い場合などでは、省略することが可能である。

[0078]

図5Aに図示する半導体装置60Aは、図1Cに示す半導体装置60におけるスイッチS01を省略し、新たにスイッチS03を設けた、図1Cに示す半導体装置60の変形例である。また図5Bに図示する半導体装置60Bは、図1Cに示す半導体装置60にスイッチS03を追加した、図1Cに示す半導体装置60の変形例である。また図5Cに図示する半導体装置60Cは、図1Cに示す半導体装置60におけるスイッチS01を省略した、図1Cに示す半導体装置60の変形例である。

[0079]

図5A乃至図5Cに示すように、半導体装置60において、スイッチS01の配置およびスイッチS01の機能を有するスイッチの数は、適宜変更可能である。スイッチS01の配置が適宜変更可能であることで、設計の自由度を高めることができる。またスイッチの数を増やすことによって、初期化動作時においてトランジスタM01を流れる電流をより小さくすることができる。

[0080]

なお図1Aにおいて、半導体装置60を有する表示装置40の構成において、表示部42と駆動回路部44とは、重ねて配置する構成でもよい。例えば図6Aに図示するように、半導体装置60を有する駆動回路部44が設けられる層の上層に、画素41を有する表示部42が設けられる層、とすることができる。

[0081]

この場合、表示部42が有するトランジスタと、駆動回路部44とが有するトランジスタと、は、異なる層に配置することができる。そのため、異なる構造のトランジスタを表示部42が有するトランジスタ、あるいは駆動回路部44とが有するトランジスタに適用することができる。

[0082]

また表示部42と駆動回路部44とを重ねて設けることで、表示部42が有する画素41と、駆動回路部44が有する半導体装置60との接続距離（配線長）を極めて短くできる。その結果、配線DLの配線抵抗および寄生容量が減るため、充放電にかかる時間が少なくなり、高速駆動が実現できる。また、消費電力を低減できる。また、小型化および軽量化が実現できる。

[0083]

また半導体装置 60 の変形例として、トランジスタ M01 に p チャネル型トランジスタを適用してもよい。トランジスタ M01 に p チャネル型トランジスタを適用した半導体装置 60—p の構成例を図 6B に示す。図 6B に示す構成の場合、各配線の電位は、電位の高低を反転する設定とすればよい。例えば図 1C でスイッチ S02 を介して放電される配線 DL は、図 6B では配線 VLD によって充電される構成とすればよい。

[0084]

<半導体装置の構成例 2>

次いで上述した半導体装置 60 とは、別の半導体装置の構成例について説明する。

[0085]

図 7 は、半導体装置 60D の構成例を説明する回路図である。半導体装置 60D は、トランジスタ M01、スイッチ S01、およびスイッチ S02 に加え、トランジスタ M02 を有する。なお半導体装置 60D において、トランジスタ M01、スイッチ S01、およびスイッチ S02 の説明については、上述した半導体装置 60 の説明と重複するため、説明を省略する場合がある。

[0086]

トランジスタ M02 のゲートは、配線 VLS と電気的に接続される。トランジスタ M02 のソースおよびドレインの一方は、トランジスタ M01 のソースおよびドレインの他方、およびスイッチ S01 の第 1 端子と電気的に接続される。トランジスタ M02 のソースおよびドレインの他方は、配線 VLS と電気的に接続される。

[0087]

トランジスタ M02 は、ゲートとソースの電圧が等電位、つまりゲートソース間電圧 V_{gs} として 0V が印加されるため、ソースとドレインとの間には、サブスレッショルド電流が流れる。トランジスタ M02 は、サブスレッショルド電流を流す、電流源としての機能を有する。このトランジスタ M02 を流れるサブスレッショルド電流は、配線 DL を充電する際にトランジスタ M01 を流れる電流に比べて非常に小さい。

[0088]

また、トランジスタ M02 のような機能を有するトランジスタを、「負荷トランジスタ」という場合がある。なお、負荷トランジスタとしての機能を有するトランジスタ M02 は、例えば、抵抗素子に置き換えることができる。

[0089]

なお、負荷トランジスタ（トランジスタ M02）におけるトランジスタの構成例として、駆動トランジスタ（トランジスタ M01）の記載を参照することができる。例えば負荷トランジスタとしては、駆動トランジスタと同様に、飽和性が高いトランジスタを用いるとよく、チャネル長が大きいトランジスタを用いればよい。

[0090]

次いで半導体装置 60D の動作について説明する。

[0091]

半導体装置 60D は、上記説明した半導体装置 60 と同様に、入力電圧 V_{in} に応じた出力電圧を出力する期間 T_{SEL} において、初期化動作 T01、初期化終了動作 T02 および信号出力動作 T03 を行う。なお半導体装置 60D は、図 2B に図示するように、初期化終了動作 T02 を省略してもよい。

[0092]

図8Aは、初期化動作T01を模式的に説明するための回路図である。図8Aにおける初期化動作T01の説明は、図3Aと同様である。

[0093]

図8Bは、初期化終了動作T02を模式的に説明するための回路図である。図8Bにおける初期化終了動作T02の説明は、図3Bと同様である。

[0094]

図8Cは、信号出力動作T03を模式的に説明するための回路図である。図8Cにおける信号出力動作T03の説明は、図3Cと同様である。

[0095]

信号出力動作T03において、スイッチS01を導通状態(ON)にすることでトランジスタM01を流れる電流は、トランジスタM01のゲートソース間電圧が V_{th} 以下となることで小さくなる。つまり、出力電圧 V_{out} は、図9Aに図示するように、 $V_{in} - V_{th}$ となる($V_{out} = V_{in} - V_{th}$)。

[0096]

出力電圧 V_{out} が $V_{in} - V_{th}$ となることで、トランジスタM01のゲートとソースの間には、トランジスタM01のしきい値電圧に相当する V_{th} 以下の電圧が印加されるため、ソースとドレインとの間には、サブスレッショルド電流が流れる。

[0097]

半導体装置60Dでは、トランジスタM02を有する構成である。そのため、信号出力動作T03において、トランジスタM02においてもサブスレッショルド電流が流れる。

[0098]

トランジスタM02を流れるサブスレッショルド電流は、トランジスタM01を流れるサブスレッショルド電流と同じ大きさとなるよう設計することが好ましい。例えば図9Bに図示するレイアウト図のように、トランジスタM01およびトランジスタM02においてそれぞれ、半導体層SEMとゲート電極として機能する配線GEとが重なる領域の面積が同程度とすることが好ましい。当該構成とすることで、トランジスタM02を流れるサブスレッショルド電流をトランジスタM01を流れるサブスレッショルド電流と同じ大きさに近づけることができる。

[0099]

なお図9Bに図示するレイアウト図において、スイッチS01およびS02の導通状態を制御する信号として、信号SEL_{SW01}、SEL_{SW02}を図示している。信号SEL_{SW01}、SEL_{SW02}は、スイッチとして機能するトランジスタのゲートの与えられる信号である。

[0100]

トランジスタM02を流れるサブスレッショルド電流と、トランジスタM01を流れるサブスレッショルド電流と、の大きさを近づけることで、図4Cで説明したトランジスタM01をサブスレッショルド電流が流れることによる出力電圧 V_{out} の上昇を抑制することができる。そのため、信号出力動作T03の期間が出力電圧 V_{out} が $V_{in} - V_{th}$ となるまでの期間に対して長い場合、出力電圧 V_{out} を $V_{in} - V_{th}$ のままとすることができる(図9C参照)。

[0101]

なお、本発明の一態様は、上述した半導体装置60Dの構成例に限らない。図10Aおよび図12

Bでは、上記説明した半導体装置60Dの変形例について説明する。

[0102]

図7に示す半導体装置60Dの構成例において、スイッチS01は、配線VLDと、配線DL、との間の経路にあればよい。例えば、トランジスタM01のドレイン側と、配線VLDと、の間にスイッチS01の機能を有するスイッチを設けてもよい。または、図7に示す半導体装置60DにおけるスイッチS01は、初期化動作に要する期間が短い場合などでは、省略することが可能である。

[0103]

図10Aに図示する半導体装置60Fは、図7に示す半導体装置60DにおけるスイッチS01を省略し、新たにスイッチS03を設けた、図7に示す半導体装置60Dの変形例である。また図10Bに図示する半導体装置60Gは、図7に示す半導体装置60DにスイッチS03を追加した、図7に示す半導体装置60Dの変形例である。

[0104]

図10Aおよび図10Bに示すように、半導体装置60Dにおいて、スイッチS01の配置およびスイッチS01の機能を有するスイッチの数は、適宜変更可能である。スイッチS01の配置が適宜変更可能であることで、設計の自由度を高めることができる。またスイッチの数を増やすことによって、初期化動作時においてトランジスタM01を流れる電流をより小さくすることができる。

[0105]

また半導体装置60Dの変形例として、トランジスタM02のソースおよびドレインの他方に電氣的に接続される配線VLSと、スイッチS02の第2端子に電氣的に接続される配線VLSとは、別の配線としてもよい。例えば、トランジスタM02のソースおよびドレインの他方に電氣的に接続される配線を配線VLS__SFとし、スイッチS02の第2端子に電氣的に接続される配線を配線VLS__DLとした半導体装置60D__bの構成例を図11Aに示す。図11Aに示す構成の場合、各配線の電位は、配線VLS__SFと配線VLS__Dとで同じ電位VSSとしてもよいし、異なる電位としてもよい。

[0106]

また半導体装置60Dの変形例として、トランジスタM01、M02にpチャネル型トランジスタを適用してもよい。トランジスタM01、M02にpチャネル型トランジスタを適用した半導体装置60D__pの構成例を図11Bに示す。図11Bに示す構成の場合、各配線の電位は、電位の高低を反転する設定とすればよい。例えば図7でスイッチS02を介して放電される配線DLは、図11Bでは配線VLDによって充電される構成とすればよい。

[0107]

また図12Aには、図9Bで図示したレイアウト図の変形例を示す。図12Aに示す変形例では、トランジスタM01、M02およびスイッチS01およびS02として機能するトランジスタにVFETを適用した構成である。

[0108]

VFETは、上述したように、上面視において、ソース領域と、チャネル形成領域と、ドレイン領域と、の少なくとも一部を重ねることができる。具体的に説明するため、図12Bにおいて、図12A中破線X1-X2間の断面図を示す。図12Bに図示するようにVFETは、ソース領域またはドレイン領域となる領域に接する電極SDE1、SDE2、チャネル形成領域を有する半導体層SEM、ゲート電極となる配線GE、が重なる領域を有する構成となる。そのため、占有面積（フットプリン

トともいう)を小さくすることができる。また、チャネル長を小さく、かつチャネル幅を大きくできる構造であることから、オン抵抗を小さく(オン電流を大きく)することができる。なお図12Aには上述の縦型のトランジスタの変形例としてVFETの他、VLFEETを適用することが可能である。

[0109]

<半導体装置の構成例3>

次いで上述した半導体装置60、60Dとは、別の半導体装置の構成例について説明する。

[0110]

図13は、半導体装置60Hの構成例を説明する回路図である。半導体装置60Hは、トランジスタM01、トランジスタM02、スイッチS01、およびスイッチS02に加え、スイッチS04、スイッチS05およびキャパシタC01を有する。なお半導体装置60Hにおいて、トランジスタM01、トランジスタM02、スイッチS01、およびスイッチS02の説明については、上述した半導体装置60、60Dの説明と重複するため、説明を省略する場合がある。

[0111]

スイッチS04の第1端子は、トランジスタM01のソースおよびドレインの他方、およびスイッチS01の第1端子と電氣的に接続される。スイッチS04の第2端子は、トランジスタM02のソースおよびドレインの一方、およびスイッチS05の第1端子と電氣的に接続される。スイッチS05の第2端子は、トランジスタM02のゲート、およびキャパシタC01の第1電極と電氣的に接続される。配線VLSは、トランジスタM02のソースおよびドレインの他方、およびキャパシタC01の第2電極と電氣的に接続される。

[0112]

スイッチS04およびスイッチS05は、導通状態を制御することで、キャパシタC01の充電または放電を制御する機能を有する。キャパシタC01は、トランジスタM02のゲートソース間電圧を保持する機能を有する。キャパシタC01に充電された電荷は、トランジスタM02のソースおよびドレインを介して放電することで、トランジスタM02のしきい値電圧を保持することができる。つまりトランジスタM02は、バイアス電圧としてトランジスタM02のしきい値電圧が印加され、当該しきい値電圧に応じたバイアス電流を流す機能を有する。トランジスタM02は、しきい値電圧に応じたバイアス電流を流す、電流源としての機能を有する。このトランジスタM02を流れるしきい値電圧に応じたバイアス電流は、配線DLを充電する際にトランジスタM01を流れる電流に比べて非常に小さい。なお以下の説明においてトランジスタM02のしきい値電圧については、トランジスタM01のしきい値電圧と同様に V_{th} であるとして説明するが別の値でもよい。

[0113]

次いで半導体装置60Hの動作について説明する。

[0114]

半導体装置60Hは、図14Aに図示するように、入力電圧 V_{in} に応じた出力電圧を出力する期間 T_{SEL} において、第1初期化動作 $T01_1$ 、第2初期化動作 $T01_2$ 、初期化終了動作 $T02$ および信号出力動作 $T03$ を行う。なお半導体装置60Hは、図14Bに図示するように、初期化終了動作 $T02$ を省略してもよい。初期化終了動作 $T02$ を省略することで、第1初期化動作 $T01_1$ 、第2初期化動作 $T01_2$ および信号出力動作 $T03$ に要する時間を長く設定することができるため、安定した出力電圧を得ることができる。

[0115]

図15Aは、第1初期化動作T01__1を模式的に説明するための回路図である。第1初期化動作T01__1では、配線DLの電位を初期化するとともに、キャパシタC01を充電する。第1初期化動作T01__1は、スイッチS01を非導通状態(OFF)、スイッチS02、スイッチS04、およびスイッチS05を導通状態(ON)として行われる。スイッチS04、およびスイッチS05は、導通状態とすることで、キャパシタC01を充電する機能を有する。

[0116]

第1初期化動作T01__1時において、スイッチS04、およびスイッチS05が導通状態であるため、入力電圧V_{in}に応じた電流I1が流れる。キャパシタC01には、トランジスタM02のゲートソース間電圧として電流I1を流すための電圧が保持される。入力電圧V_{in}は、第1初期化動作T01__1時の間に、トランジスタM01およびM02を電流I1が流れる電圧としておく。また第1初期化動作T01__1時において、スイッチS02が導通状態であるため、スイッチS02を介して流れる電流I2によって配線DLの電位が電位V_{SS}に変化する。

[0117]

図15Bは、第2初期化動作T01__2を模式的に説明するための回路図である。第2初期化動作T01__2では、キャパシタC01を放電する。第2初期化動作T01__2は、スイッチS01、およびスイッチS04を非導通状態(OFF)、スイッチS02、およびスイッチS05を導通状態(ON)として行われる。スイッチS04、およびスイッチS05は、スイッチS04を非導通状態、スイッチS05を導通状態とすることで、キャパシタC01を放電する機能を有する。

[0118]

キャパシタC01の放電によって電流I3が流れ、電流I3はトランジスタM02のゲートソース間電圧がトランジスタM02のしきい値電圧となった時点で小さくなる。つまり、キャパシタC01の放電によって、キャパシタC01にはトランジスタM02のしきい値電圧が保持される。

[0119]

図16Aは、初期化終了動作T02を模式的に説明するための回路図である。初期化終了動作T02では、スイッチS01、S02、S04およびS05が共に非導通状態(OFF)とする。初期化終了動作T02では、初期化動作T01__2で設定された配線DLの電位V_{SS}、キャパシタC01にはトランジスタM02のしきい値電圧が保持される。

[0120]

図16Bは、信号出力動作T03を模式的に説明するための回路図である。信号出力動作T03では、スイッチS01を導通状態(ON)にすることでトランジスタM01に電流が流れる。配線DLは、出力電圧V_{out}となる。スイッチS01は、導通状態とすることで、出力電圧V_{out}を配線DLに与える信号出力動作を行う機能を有する。

[0121]

また信号出力動作T03では、スイッチS04を導通状態(ON)にすることでトランジスタM02に電流が流れる。トランジスタM02を流れる電流は、トランジスタM02のしきい値電圧における電流が流れる。トランジスタM02のゲートとソースの間には、サブスレッショルド電流が流れる。スイッチS04、およびスイッチS05は、スイッチS04を導通状態、スイッチS05を非導通状態とすることで、トランジスタM02にサブスレッショルド電流を流す機能を有する。

[0122]

信号出力動作T 0 3において、スイッチS 0 1を導通状態（ON）にすることでトランジスタM 0 1を流れる電流は、トランジスタM 0 1のゲートソース間電圧が V_{th} 以下となることで小さくなる。つまり、出力電圧 V_{out} は、図1 7 Aに図示するように、 $V_{in} - V_{th}$ となる（ $V_{out} = V_{in} - V_{th}$ ）。

[0 1 2 3]

トランジスタM 0 2を流れるサブスレッショルド電流は、トランジスタM 0 2のゲートソース間に保持されたしきい値電圧に応じた電流である。そのためしきい値電圧の変動に応じてトランジスタ特性が変動した場合であっても小さい一定の電流を流すことができる。

[0 1 2 4]

出力電圧 V_{out} が $V_{in} - V_{th}$ となることで、トランジスタM 0 1のゲートとソースの間には、トランジスタM 0 1のしきい値電圧に相当する V_{th} 以下の電圧が印加されるため、ソースとドレインとの間には、サブスレッショルド電流が流れる。

[0 1 2 5]

半導体装置6 0 Hでは、トランジスタM 0 2を有する構成である。そのため、信号出力動作T 0 3において、トランジスタM 0 2においてもサブスレッショルド電流が流れる。

[0 1 2 6]

トランジスタM 0 2を流れるサブスレッショルド電流は、トランジスタM 0 1を流れるサブスレッショルド電流と同じ大きさとなるよう設計することが好ましい。例えば図1 8に図示するレイアウト図のように、トランジスタM 0 1およびトランジスタM 0 2においてそれぞれ、半導体層SEMとゲート電極として機能する配線GEとが重なる領域の面積が同程度とすることが好ましい。当該構成とすることで、トランジスタM 0 2を流れるサブスレッショルド電流をトランジスタM 0 1を流れるサブスレッショルド電流と同じ大きさに近づけることができる。

[0 1 2 7]

なお図1 8に図示するレイアウト図において、スイッチS 0 4およびS 0 5の導通状態を制御する信号として、信号SEL_{SW04}、SEL_{SW05}を図示している。信号SEL_{SW04}、SEL_{SW05}は、スイッチとして機能するトランジスタのゲートの与えられる信号である。

[0 1 2 8]

トランジスタM 0 2を流れるサブスレッショルド電流と、トランジスタM 0 1を流れるサブスレッショルド電流と、の大きさを近づけることで、図4 Cで説明したトランジスタM 0 1をサブスレッショルド電流が流れることによる出力電圧 V_{out} の上昇を抑制することができる。そのため、信号出力動作T 0 3の期間が出力電圧 V_{out} が $V_{in} - V_{th}$ となるまでの期間に対して長い場合、出力電圧 V_{out} を $V_{in} - V_{th}$ のままとすることができる（図1 7 B参照）。

[0 1 2 9]

本発明の一態様は、ソースフォロワ回路を流れるバイアス電流を遮断または低減することで消費電力を低減する。具体的には、バイアス電圧が印加されるトランジスタを、ゲートとソースが接続された構成とすることでサブスレッショルド電流が流れるように設計し、バイアス電流が定常的に流れることを抑制することで消費電力の低減を図ることができる。バイアス電流が定常的に流れない場合、入力電圧に応じた出力電圧が安定するまでの時間（セトリング時間ともいう）がかかる場合がある。特に、信号線の電圧を下げる方向に変化させる際に、セトリング時間が大きくなる場合がある。

[0 1 3 0]

そこで本発明の一態様では、スイッチの導通状態を切り替えることにより初期化動作を経て信号出力動作を行う構成とする。当該構成とすることで、信号出力動作を行う前に信号線の電圧を下げた状態で信号出力動作による所望の電圧への充電を行うことができる。そのため入力電圧を入力する際に、信号線の電圧を下げる方向に変化させる場合であっても所望の電圧に変化させることができる。

[0131]

また本発明の一態様では、セトリング時間を小さくするため、駆動トランジスタを縦型のトランジスタとする構成が好ましい。当該構成とすることで駆動トランジスタは、フットプリントを小さくするとともに、チャンネル長を小さく、かつチャンネル幅を大きくできる構造とすることができる。一方で縦型のトランジスタとした駆動トランジスタは、オン抵抗を小さく（オン電流を大きく）することができるものの、消費電力が大きくなる。そのため、上述した初期化動作を経て信号出力動作を行う構成と組み合わせることで半導体装置の占有面積および消費電力の増大を抑えつつ、半導体装置を有する表示装置の動作速度の向上を図ることができる。

[0132]

なお、本発明の一態様は、上述した半導体装置60Hの構成例に限らない。図19A乃至図22Bでは、上記説明した半導体装置60Hの変形例について説明する。

[0133]

図13に示す半導体装置60Hの構成例において、スイッチS01は、配線VLDと、配線DLと、の間の経路にあればよい。例えば、トランジスタM01のドレイン側と、配線VLDと、の間にスイッチS01の機能を有するスイッチを設けてもよい。または、図13に示す半導体装置60HにおけるスイッチS01は、初期化動作に要する期間が短い場合などでは、省略することが可能である。

[0134]

図19Aに図示する半導体装置60Iは、図13に示す半導体装置60HにおけるスイッチS01を省略し、新たにスイッチS03を設けた、図13に示す半導体装置60Hの変形例である。また図19Bに図示する半導体装置60Jは、図13に示す半導体装置60HにスイッチS03を追加した、図13に示す半導体装置60Hの変形例である。

[0135]

図13に示す半導体装置60Hの構成例において、スイッチS04は、配線VLDと、トランジスタM02と、の間の経路にあればよい。例えば、トランジスタM01のソース側と、スイッチS01と、の間にスイッチS04の機能を有するスイッチを設けてもよい。

[0136]

図20Aに図示する半導体装置60Kは、図13に示す半導体装置60HにおけるスイッチS04を省略し、新たにスイッチS06を設けた、図13に示す半導体装置60Hの変形例である。また図20Bに図示する半導体装置60Lは、図13に示す半導体装置60HにスイッチS06を追加した、図13に示す半導体装置60Hの変形例である。

[0137]

図19A乃至図20Bに示すように、半導体装置60Hにおいて、スイッチS01またはスイッチS04の配置およびスイッチS01またはスイッチS04の機能を有するスイッチの数は、適宜変更可能である。スイッチS01またはスイッチS04の配置が適宜変更可能であることで、設計の自由度を高めることができる。またスイッチの数を増やすことによって、初期化動作時においてトラン

ジスタM01またはスイッチS04を流れる電流をより小さくすることができる。

[0138]

また半導体装置60Hの変形例として、トランジスタM02のソースおよびドレインの他方に電氣的に接続される配線VLSと、スイッチS02の第2端子に電氣的に接続される配線VLSとは、別の配線としてもよい。例えば、トランジスタM02のソースおよびドレインの他方に電氣的に接続される配線を配線VLS__SFとし、スイッチS02の第2端子に電氣的に接続される配線を配線VLS__DLとした半導体装置60H__bの構成例を図21Aに示す。図21Aに示す構成の場合、各配線の電位は、配線VLS__SFと配線VLS__Dとで同じ電位VSSとしてもよいし、異なる電位としてもよい。

[0139]

また半導体装置60Hの変形例として、トランジスタM01、M02にpチャネル型トランジスタを適用してもよい。トランジスタM01、M02にpチャネル型トランジスタを適用した半導体装置60H__pの構成例を図21Bに示す。図21Bに示す構成の場合、各配線の電位は、電位の高低を反転する設定とすればよい。例えば図13でスイッチS02を介して放電される配線DLは、図21Bでは配線VLDによって充電される構成とすればよい。

[0140]

また図22Aには、図18で図示したレイアウト図の変形例を示す。図22Aに示す変形例では、トランジスタM01、M02およびスイッチS01、S02、S04およびS05として機能するトランジスタにVFETを適用した構成である。

[0141]

VFETは、上述したように、上面視において、ソース領域と、チャネル形成領域と、ドレイン領域と、の少なくとも一部を重ねることができる。具体的に説明するため、図22Bにおいて、図22A中破線X1-X2間の断面図を示す。図22Bに図示するようにVFETは、ソース領域またはドレイン領域となる領域に接する電極SDE1、SDE2、チャネル形成領域を有する半導体層SEM、ゲート電極となる配線GE、が重なる領域を有する構成となる。そのため、占有面積（フットプリントともいう）を小さくすることができる。また、チャネル長を小さく、かつチャネル幅を大きくできる構造であることから、オン抵抗を小さく（オン電流を大きく）することができる。なお図22Aには上述の縦型のトランジスタの変形例としてVFETの他、VLVFETを適用することが可能である。

[0142]

<半導体装置の構成例4>

次いで上述した半導体装置60、60D、60Hとは、別の半導体装置の構成例について説明する。

[0143]

図23は、半導体装置60Mの構成例を説明する回路図である。半導体装置60Mは、トランジスタM01、トランジスタM02、スイッチS01、スイッチS02、スイッチS04、スイッチS05およびキャパシタC01に加え、スイッチS07乃至S09、およびキャパシタC02を有する。なお半導体装置60Mにおいて、トランジスタM01、トランジスタM02、スイッチS01、スイッチS02、スイッチS04、スイッチS05およびキャパシタC01の説明については、上述した半導体装置60、60D、60Hの説明と重複するため、説明を省略する場合がある。

[0144]

スイッチS07の第1端子は、電位 V_x を与える端子に電氣的に接続される。スイッチS07の第2端子は、キャパシタC02の第1電極、およびトランジスタM01のゲートと電氣的に接続される。スイッチS08の第1端子は、入力電圧 V_{in} を与える端子に電氣的に接続される。スイッチS08の第2端子は、キャパシタC02の第2電極、およびスイッチS09の第1端子と電氣的に接続される。スイッチS09の第2端子は、スイッチS04の第1端子、トランジスタM01のソースおよびドレインの他方、およびスイッチS01の第1端子と電氣的に接続される。

[0145]

電位 V_x は、第1初期化動作の際、トランジスタM01を導通状態とするための電圧である。電位 V_x は、電位VDDでもよい。スイッチS07は、導通状態を制御することで、トランジスタM01のゲートに電位 V_x を与えるか否かを制御する機能を有する。スイッチS08は、導通状態を制御することで、キャパシタC02の第2電極に入力電圧 V_{in} を与えるか否かを制御する機能を有する。スイッチS09は、導通状態を制御することで、キャパシタC02の充放電によってキャパシタC02におけるトランジスタM01のしきい値電圧の保持を制御する機能を有する。

[0146]

キャパシタC02は、第1初期化動作の際、トランジスタM01を導通状態とするための電圧を保持する機能を有する。第1初期化動作によってトランジスタM01を導通状態とする電圧が充電されたキャパシタC02は、第2初期化動作の際、トランジスタM01のソースおよびドレインを介して流れる電流によって、トランジスタM02のしきい値電圧を保持される。キャパシタC02に保持されたトランジスタM01のしきい値電圧は、第2初期化動作、初期化終了動作および信号出力動作の期間にわたって、保持される。キャパシタC02にトランジスタM01のしきい値電圧 (V_{th}) が保持し、トランジスタM01のゲートを電氣的に浮遊状態とした状態で、キャパシタC02の第2電極に入力電圧 V_{in} を与えることで、トランジスタM01のゲートの電位が $V_{in} + V_{th}$ となる。

[0147]

次いで半導体装置60Mの動作について説明する。

[0148]

半導体装置60Mは、上記説明した図13Aにおける半導体装置60Hと同様に、入力電圧 V_{in} に応じた出力電圧を出力する期間 T_{SEL} において、第1初期化動作 $T01_1$ 、第2初期化動作 $T01_2$ 、初期化終了動作 $T02$ および信号出力動作 $T03$ を行う。なお半導体装置60Mは、図14Bに図示するように、初期化終了動作 $T02$ を省略してもよい。

[0149]

図24Aは、第1初期化動作 $T01_1$ を模式的に説明するための回路図である。第1初期化動作 $T01_1$ では、配線DLの電位を初期化するとともに、キャパシタC01を充電する。第1初期化動作 $T01_1$ は、スイッチS01、スイッチS08およびスイッチS09を非導通状態 (OFF)、スイッチS02、スイッチS04、スイッチS05、およびスイッチS07を導通状態 (ON) として行われる。スイッチS07を導通状態とすることで電位 V_x がキャパシタC02に保持され、トランジスタM01に電流 I_1 が流れる。電位 V_x は、第1初期化動作 $T01_1$ 時の間に、トランジスタM01およびM02を電流 I_1 が流れる電圧としておく。

[0150]

第1初期化動作 $T01_1$ 時において、スイッチS04、およびスイッチS05が導通状態である

ため、電位 V_x に応じた電流 I_1 が流れる。キャパシタ C_{01} には、トランジスタ M_{02} のゲートソース間電圧として電流 I_1 を流すための電圧が保持される。また第1初期化動作 T_{01_1} において、スイッチ S_{02} が導通状態であるため、スイッチ S_{02} を介して流れる電流 I_2 によって配線 DL の電位が電位 V_{SS} に変化する。

[0151]

図24Bは、第2初期化動作 T_{01_2} を模式的に説明するための回路図である。第2初期化動作 T_{01_2} では、キャパシタ C_{01} および C_{02} を放電する。第2初期化動作 T_{01_2} は、スイッチ S_{01} 、スイッチ S_{04} 、およびスイッチ S_{08} を非導通状態(OFF)、スイッチ S_{02} 、スイッチ S_{05} 、スイッチ S_{07} 、およびスイッチ S_{09} を導通状態(ON)として行われる。スイッチ S_{04} 、およびスイッチ S_{05} は、スイッチ S_{04} を非導通状態、スイッチ S_{05} を導通状態とすることで、キャパシタ C_{01} を放電する機能を有する。スイッチ S_{07} 、スイッチ S_{08} 、およびスイッチ S_{09} は、スイッチ S_{08} を非導通状態、スイッチ S_{07} およびスイッチ S_{09} を導通状態とすることで、キャパシタ C_{02} を放電する機能を有する。

[0152]

キャパシタ C_{01} の放電によって電流 I_3 が流れ、電流 I_3 はトランジスタ M_{02} のゲートソース間電圧がトランジスタ M_{02} のしきい値電圧となった時点で小さくなる。つまり、キャパシタ C_{01} の放電によって、キャパシタ C_{01} にはトランジスタ M_{02} のしきい値電圧が保持される。

[0153]

キャパシタ C_{02} の放電によって電流 I_4 が流れ、電流 I_4 はトランジスタ M_{01} のゲートソース間電圧がトランジスタ M_{01} のしきい値電圧となった時点で小さくなる。つまり、キャパシタ C_{02} の放電によって、キャパシタ C_{02} にはトランジスタ M_{01} のしきい値電圧が保持される。

[0154]

図25Aは、初期化終了動作 T_{02} を模式的に説明するための回路図である。初期化終了動作 T_{02} では、スイッチ S_{01} 、 S_{02} 、 S_{04} 、 S_{05} 、 S_{07} 、 S_{08} および S_{09} が共に非導通状態(OFF)とする。初期化終了動作 T_{02} では、初期化動作 T_{01_2} で設定された配線 DL の電位 V_{SS} 、キャパシタ C_{01} にはトランジスタ M_{02} のしきい値電圧が保持される。キャパシタ C_{02} にはトランジスタ M_{01} のしきい値電圧が保持される。

[0155]

図25Bは、信号出力動作 T_{03} を模式的に説明するための回路図である。信号出力動作 T_{03} では、スイッチ S_{01} を導通状態(ON)にすることでトランジスタ M_{01} に電流が流れる。配線 DL は、出力電圧 V_{out} となる。スイッチ S_{01} は、導通状態とすることで、出力電圧 V_{out} を配線 DL に与える信号出力動作を行う機能を有する。

[0156]

また信号出力動作 T_{03} では、スイッチ S_{07} を非導通状態(OFF)にすることでキャパシタ C_{02} の第1電極側、すなわちトランジスタ M_{01} のゲートを電氣的に浮遊状態(フローティング)とした状態で、スイッチ S_{08} を導通状態(ON)にする。そのため、キャパシタ C_{02} の両端にトランジスタ M_{01} のしきい値電圧(V_{th})に応じた電圧を保持した状態で、キャパシタ C_{02} の第2電極側の電位が入力電圧 V_{in} となる。そのため、キャパシタ C_{02} の容量結合によって、キャパシタ C_{02} の第1電極側、すなわちトランジスタ M_{01} のゲートの電位が $V_{in} + V_{th}$ となる。

[0157]

信号出力動作T 0 3において、トランジスタM 0 1のゲートの電位が $V_{in} + V_{th}$ とし、スイッチS 0 1を導通状態（ON）にすることでトランジスタM 0 1を流れる電流は、トランジスタM 0 1のゲートソース間電圧が V_{th} 以下となることで小さくなる。つまり、出力電圧 V_{out} は、図2 5 Bに図示するように、 V_{in} となる（ $V_{out} = V_{in}$ ）。つまり、出力電圧 V_{out} において、しきい値電圧 V_{th} が補正された電圧とすることができる。

[0 1 5 8]

また信号出力動作T 0 3では、スイッチS 0 4を導通状態（ON）にすることでトランジスタM 0 2に電流が流れる。トランジスタM 0 2を流れる電流は、トランジスタM 0 2のしきい値電圧における電流が流れる。トランジスタM 0 2のゲートとソースの間には、サブスレッショルド電流が流れる。スイッチS 0 4、およびスイッチS 0 5は、スイッチS 0 4を導通状態、スイッチS 0 5を非導通状態とすることで、トランジスタM 0 2にサブスレッショルド電流を流す機能を有する。

[0 1 5 9]

トランジスタM 0 2を流れるサブスレッショルド電流は、トランジスタM 0 2のゲートソース間に保持されたしきい値電圧に応じた電流である。そのためしきい値電圧の変動に応じてトランジスタ特性が変動した場合であっても小さい一定の電流を流すことができる。

[0 1 6 0]

出力電圧 V_{out} が V_{in} となることで、トランジスタM 0 1のゲートとソースの間には、トランジスタM 0 1のしきい値電圧に相当する V_{th} 以下の電圧が印加されるため、ソースとドレインの間には、サブスレッショルド電流が流れる。

[0 1 6 1]

半導体装置6 0 Mでは、トランジスタM 0 2を有する構成である。そのため、信号出力動作T 0 3において、トランジスタM 0 2においてもサブスレッショルド電流が流れる。

[0 1 6 2]

トランジスタM 0 2を流れるサブスレッショルド電流は、トランジスタM 0 1を流れるサブスレッショルド電流と同じ大きさとなるよう設計することが好ましい。例えば上述した図1 8に図示するレイアウト図のように、トランジスタM 0 1およびトランジスタM 0 2においてそれぞれ、半導体層SEMとゲート電極として機能する配線GEとが重なる領域の面積が同程度とすることが好ましい。当該構成とすることで、信号出力動作T 0 3において、図2 6 Aに図示するトランジスタM 0 2を流れるサブスレッショルド電流（ I_{st} ）をトランジスタM 0 1を流れるサブスレッショルド電流（ I_{st} ）と同じ大きさに近づけることができる。

[0 1 6 3]

トランジスタM 0 2を流れるサブスレッショルド電流と、トランジスタM 0 1を流れるサブスレッショルド電流と、の大きさを近づけることで、図4 Cで説明したトランジスタM 0 1をサブスレッショルド電流が流れることによる出力電圧 V_{out} の上昇を抑制することができる。そのため、信号出力動作T 0 3の期間が出力電圧 V_{out} が V_{in} となるまでの期間に対して長い場合、出力電圧 V_{out} を V_{in} のままとすることができる（図2 6 B参照）。

[0 1 6 4]

なお、本発明の一態様は、上述した半導体装置6 0 Mの構成例に限らない。図2 7 A乃至図3 0 Bでは、上記説明した半導体装置6 0 Mの変形例について説明する。

[0 1 6 5]

図 2 3 に示す半導体装置 6 0 M の構成例において、スイッチ S 0 1 は、配線 V L D と、配線 D L と、の間の経路にあればよい。例えば、トランジスタ M 0 1 のドレイン側と、配線 V L D と、の間にスイッチ S 0 1 の機能を有するスイッチを設けてもよい。または、図 2 3 に示す半導体装置 6 0 M におけるスイッチ S 0 1 は、初期化動作に要する期間が短い場合などでは、省略することが可能である。また、電位 V x は、電位 V D D とすることが可能である。

[0 1 6 6]

図 2 7 A に図示する半導体装置 6 0 N は、図 2 3 に示す半導体装置 6 0 M におけるスイッチ S 0 1 を省略し、新たにスイッチ S 0 3 を設けた、図 2 3 に示す半導体装置 6 0 M の変形例である。また図 2 7 B に図示する半導体装置 6 0 O は、図 2 3 に示す半導体装置 6 0 M における電位 V x を与える端子の代わりに、配線 V L D に接続した、図 2 3 に示す半導体装置 6 0 M の変形例である。

[0 1 6 7]

図 2 3 に示す半導体装置 6 0 M の構成例において、スイッチ S 0 4 は、配線 V L D と、トランジスタ M 0 2 と、の間の経路にあればよい。例えば、トランジスタ M 0 1 のドレイン側と、スイッチ S 0 1 と、の間にスイッチ S 0 4 の機能を有するスイッチを設けてもよい。

[0 1 6 8]

図 2 8 A に図示する半導体装置 6 0 P は、図 2 3 に示す半導体装置 6 0 M におけるスイッチ S 0 4 を省略し、新たにスイッチ S 0 6 を設けた、図 2 3 に示す半導体装置 6 0 M の変形例である。また図 2 8 B に図示する半導体装置 6 0 Q は、図 2 3 に示す半導体装置 6 0 M にスイッチ S 0 3 およびスイッチ S 0 6 を追加した、図 2 3 に示す半導体装置 6 0 M の変形例である。

[0 1 6 9]

図 2 3 に示す半導体装置 6 0 M の構成例において、スイッチ S 0 4、スイッチ S 0 5 およびトランジスタ M 0 2 は、上述した図 1 C と同様に省略可能である。また、図 2 3 に示す半導体装置 6 0 M の構成例において、スイッチ S 0 4、スイッチ S 0 5 およびトランジスタ M 0 2 は、上述した図 7 で説明したトランジスタ M 0 2 の構成と置き換え可能である。

[0 1 7 0]

図 2 9 A に図示する半導体装置 6 0 R は、図 2 3 に示す半導体装置 6 0 M におけるスイッチ S 0 4、スイッチ S 0 5 およびトランジスタ M 0 2 を省略した、図 2 3 に示す半導体装置 6 0 M の変形例である。また図 2 9 B に図示する半導体装置 6 0 S は、図 2 3 に示す半導体装置 6 0 M において、スイッチ S 0 4、スイッチ S 0 5 およびトランジスタ M 0 2 は、上述した図 7 で説明したトランジスタ M 0 2 の構成と置き換えた、図 2 3 に示す半導体装置 6 0 M の変形例である。

[0 1 7 1]

また半導体装置 6 0 M の変形例として、トランジスタ M 0 2 のソースおよびドレインの他方に電氣的に接続される配線 V L S と、スイッチ S 0 2 の第 2 端子に電氣的に接続される配線 V L S とは、別の配線としてもよい。例えば、トランジスタ M 0 2 のソースおよびドレインの他方に電氣的に接続される配線を配線 V L S _ S F とし、スイッチ S 0 2 の第 2 端子に電氣的に接続される配線を配線 V L S _ D L とした半導体装置 6 0 M _ b の構成例を図 3 0 A に示す。図 3 0 A に示す構成の場合、各配線の電位は、配線 V L S _ S F と配線 V L S _ D とで同じ電位 V S S としてもよいし、異なる電位としてもよい。

[0 1 7 2]

また半導体装置 6 0 M の変形例として、トランジスタ M 0 1、M 0 2 に p チャネル型トランジスタ

を適用してもよい。トランジスタM01、M02にpチャネル型トランジスタを適用した半導体装置60M_pの構成例を図30Bに示す。図30Bに示す構成の場合、各配線の電位は、電位の高低を反転する設定とすればよい。例えば図23でスイッチS02を介して放電される配線DLは、図30Bでは配線VLDによって充電される構成とすればよい。

[0173]

図27A乃至図30Bに示すように、半導体装置60Mにおいて、スイッチの配置およびスイッチの数は、適宜変更可能である。スイッチの配置が適宜変更可能であることで、設計の自由度を高めることができる。またスイッチの数を増やすことによって、初期化動作時においてトランジスタM01を流れる電流をより小さくすることができる。

[0174]

<表示装置の構成例>

図31A乃至図31Eは、本発明の一態様に係る表示装置の構成例を説明するブロック図である。

[0175]

図31Aに示すように、表示装置40は、表示部42と、駆動回路部43と、駆動回路部44と、を有する。表示部42は、例えば、 m 行 n 列（ m および n のそれぞれは2以上の整数）のマトリクス状に配置された複数の画素41を有する。図31Aでは、1行1列目に配置された画素41を画素41[1, 1]と示し、1行 n 列目に配置された画素41を画素41[1, n]と示し、 m 行1列目に配置された画素41を画素41[m , 1]と示し、 m 行 n 列目に配置された画素41を画素41[m , n]と示している。なお、 u 行 v 列目（ u は1以上 m 以下の整数、 v は1以上 n 以下の整数）に配置された画素41を、画素41[u , v]と示す場合がある。

[0176]

また、表示装置40は、各々が平行または概略平行に配設され、かつ駆動回路部43に含まれる回路によって電位が制御される m 本の配線45を有する。1本の配線45の電位は、行方向に配置された n 個の画素41に与えられる。なお、画素41の構成に合わせて、1本の配線45あたり複数の配線が含まれる構成としてもよい。図31Bに示す表示装置40Aでは、1本の配線45あたり2本の配線が含まれる構成例を示している。

[0177]

また、表示装置40は、各々が平行または概略平行に配設され、かつ駆動回路部44に含まれる回路によって電位が制御される n 本の配線46を有する。1本の配線46の電位は、列方向に配置された m 個の画素41に与えられる。なお、画素41の構成に合わせて、1本の配線46あたり複数の配線が含まれる構成としてもよい。

[0178]

画素41は、例えば、配線45の電位によって選択された画素回路に対して、配線46を介してデータ電位を書き込むことで、当該データ電位に応じた発光強度で発光素子を発光させる機能を有する。画素41の具体的な構成例については、後述する。

[0179]

駆動回路部43に含まれる回路は、例えば、走査線駆動回路（ゲート線駆動回路、ゲートドライバ、スキャンドライバ、またはロードドライバという場合もある）として機能する。

[0180]

駆動回路部44に含まれる回路は、例えば、信号線駆動回路（ソース線駆動回路、ソースドライバ、

データドライバ、またはカラムドライバという場合もある)として機能する。また、例えば、表示装置40に表示される画像のデータ(画像データ)を、データ電位に変換(デジタルーアナログ変換)する機能を有してもよい。

[0181]

なお、画素41において、例えば、発光素子に流す電流をモニタ線に出力する構成とすることができる。モニタ線に出力された電流は、例えば、駆動回路部44において、アナログ電圧に変換(電流ー電圧変換)、またはデジタル信号に変換(アナログーデジタル変換)され、表示装置40の外部に出力することができる。当該アナログ電圧または当該デジタル信号を用いて、例えば、表示装置の外部で画像データの補正(外部補正ともいう)などを行うことができる。

[0182]

本明細書等において、駆動回路部43、および駆動回路部44に含まれる回路の総称を、「周辺駆動回路」という場合がある。

[0183]

周辺駆動回路は、様々な要素回路を用いて構成することができる。当該要素回路として、例えば、シフトレジスタ回路、フリップフロップ回路、ラッチ回路、バッファ回路、インバータ回路、およびレベルシフタ回路などが挙げられる。また、例えば、マルチプレクサ回路、デマルチプレクサ回路、ソースフォロワ回路、ソース接地増幅回路、サンプルホールド回路、およびスイッチ回路(例えば、トランсмисシオンゲート、およびアナログスイッチなど)などが挙げられる。また、例えば、電流ー電圧変換回路、アナログーデジタル変換回路、デジタルーアナログ変換回路、オペアンプ回路、コンパレータ回路、パストランジスタ論理回路、エンコーダ回路、デコーダ回路、およびゲート回路(例えば、AND回路、OR回路、およびNOT回路など)などが挙げられる。また、これらの回路を組み合わせた回路が挙げられる。なお、これらの要素回路は、例えば、トランジスタ、およびキャパシタなどを用いて構成することができる。

[0184]

周辺駆動回路に用いることができる各要素回路の具体的な構成例については、後述する。

[0185]

また、周辺駆動回路の少なくとも一部として、上述した半導体装置60を用いることができる。

[0186]

本発明の一態様は、周辺駆動回路を構成するトランジスタとして、上述した半導体装置60と同様に、様々なトランジスタを用いることができる。例えば、周辺駆動回路を構成するトランジスタの一部または全部として、縦型のトランジスタを用いることができる。

[0187]

周辺駆動回路を構成するトランジスタの一部または全部に、縦型のOSトランジスタを用いることで、例えば、ゲートドライバを構成するバッファ回路などの占有面積を低減することができる。それによって、例えば、表示装置の狭額縁化を図ることができる。また、例えば、ソースドライバを構成するデマルチプレクサおよびソースフォロワなどの占有面積を低減することができる。それによって、表示装置の高解像度化、および高精細化を図ることができる。

[0188]

なお、周辺駆動回路を構成するトランジスタの一部または全部として、例えば、Siトランジスタを用いてもよい。また、例えば、OSトランジスタとSiトランジスタとの双方を用いてもよい。S

i トランジスタは、OS トランジスタよりも動作速度が速い。また、例えば、n チャネル型トランジスタのゲートと p チャネル型トランジスタのゲートとを電氣的に接続することで、CMOS 回路（例えば、相補的に動作する回路、CMOS 論理ゲート、または CMOS 論理回路など）を構成することができる。よって、周辺駆動回路は、表示装置の仕様に応じて、適宜 Si トランジスタを用いて構成することができる。

[0189]

本発明の一態様は、表示装置 40 の変形例として、様々な構成を用いることができる。例えば、図 31C 乃至図 31E に示すように、駆動回路部 43L と駆動回路部 43R とが、表示部 42 を挟んで向かい合うように配置された構成とすることができる。

[0190]

図 31C に示す表示装置 40B では、駆動回路部 43L に含まれる回路によって電位が制御される m 本の配線 45L と、駆動回路部 43R に含まれる回路によって電位が制御される m 本の配線 45R と、を有する構成例を示している。1 本の配線 45L と、1 本の配線 45R と、のそれぞれの電位は、行方向に配置された n 個の画素 41 に与えられる。

[0191]

図 31D に示す表示装置 40C では、駆動回路部 43L に含まれる回路と、駆動回路部 43R に含まれる回路と、の双方によって電位が制御される m 本の配線 45 を有する構成例を示している。1 本の配線 45 の電位は、行方向に配置された n 個の画素 41 に与えられる。このような構成にすることで、例えば、実質的な配線の負荷（寄生容量および寄生抵抗）を $1/4$ にすることができる。よって、例えば、表示装置の高速化、高精細化、高解像度化、狭額縁化、および大画面化などを図ることができる。

[0192]

図 31E に示す表示装置 40D では、駆動回路部 43L に含まれる回路によって電位が制御される $m/2$ 本の配線 45L と、駆動回路部 43R に含まれる回路によって電位が制御される $m/2$ 本の配線 45R と、を有する構成例を示している。1 本の配線 45L の電位は、奇数行において行方向に配置された n 個の画素 41 に与えられる。1 本の配線 45R の電位は、偶数行において行方向に配置された n 個の画素 41 に与えられる。このような構成にすることで、例えば、シフトレジスタの段数を $1/2$ にすることができる。よって、例えば、表示装置の高速化、高精細化、高解像度化、狭額縁化、および大画面化などを図ることができる。

[0193]

また、図示しないが、例えば、2 つの駆動回路部 44 が、表示部 42 を挟んで向かい合うように配置された構成としてもよい。

[0194]

なお、本発明の一態様は、上述したような様々な構成の表示装置 40 に加えて、例えば、上面視において表示部 42 と重なるように、センサ部を設けた構成としてもよい。当該センサ部は、例えば、タッチセンサ、ニアタッチセンサ、または指紋センサなどの機能を有することができる。また、これらのセンサは、例えば、静電容量式、または光学式などとすることができる。

[0195]

また、センサ部を設けた表示装置 40 において、駆動回路部 43（または、駆動回路部 43L および駆動回路部 43R）は、例えば、当該センサ部を駆動する機能を有する回路を含むことができる。

また、駆動回路部 44 は、例えば、当該センサ部で検出した信号を当該表示装置の外部に出力する機能を有する回路を含むことができる。

[0196]

<画素の構成例>

図 32 は、画素 41 に用いることができる半導体装置の構成例を説明する回路図である。

[0197]

図 32 に示すように、半導体装置 20A は、画素回路 31A と、発光素子 32 と、を有する。画素回路 31A は、トランジスタ M1 と、トランジスタ M2 と、トランジスタ M3 と、トランジスタ M4 と、トランジスタ M5 と、トランジスタ M6 と、キャパシタ C1 と、キャパシタ C2 と、を有する。

[0198]

トランジスタ M1 のゲートは、配線 GLa に電氣的に接続される。トランジスタ M1 のソースおよびドレインの一方は、トランジスタ M2 のゲートに電氣的に接続される。トランジスタ M1 のソースおよびドレインの他方は、配線 DL に電氣的に接続される。トランジスタ M1 は、トランジスタ M2 のゲートと、配線 DL と、の間を導通状態または非導通状態にする機能（スイッチとしての機能）を有する。

[0199]

トランジスタ M2 のゲートは、キャパシタ C1 の一方の端子に電氣的に接続される。トランジスタ M2 のソースおよびドレインの一方は、キャパシタ C1 の他方の端子に電氣的に接続される。トランジスタ M2 のソースおよびドレインの他方は、配線 21 に電氣的に接続される。また、トランジスタ M2 は、バックゲートを有する。トランジスタ M2 のバックゲートは、キャパシタ C2 の一方の端子に電氣的に接続される。また、キャパシタ C2 の他方の端子は、トランジスタ M2 のソースおよびドレインの一方に電氣的に接続される。

[0200]

トランジスタ M3 のゲートは、配線 GLb に電氣的に接続される。トランジスタ M3 のソースおよびドレインの一方は、キャパシタ C1 の一方の端子に電氣的に接続される。トランジスタ M3 のソースおよびドレインの他方は、キャパシタ C1 の他方の端子に電氣的に接続される。トランジスタ M3 は、トランジスタ M2 のゲートと、トランジスタ M2 のソースおよびドレインの一方と、の間を導通状態または非導通状態にする機能（スイッチとしての機能）を有する。

[0201]

トランジスタ M4 のゲートは、配線 GLb に電氣的に接続される。トランジスタ M4 のソースおよびドレインの一方は、キャパシタ C2 の一方の端子に電氣的に接続される。トランジスタ M4 のソースおよびドレインの他方は、配線 24 に電氣的に接続される。トランジスタ M4 は、キャパシタ C2 の一方の端子と、配線 24 と、の間を導通状態または非導通状態にする機能（スイッチとしての機能）を有する。

[0202]

トランジスタ M5 のゲートは、配線 GLc に電氣的に接続される。トランジスタ M5 のソースおよびドレインの一方は、トランジスタ M2 のソースおよびドレインの一方に電氣的に接続される。トランジスタ M5 のソースおよびドレインの他方は、発光素子 32 の一方の端子（例えば、アノード端子）に電氣的に接続される。トランジスタ M5 は、トランジスタ M2 のソースおよびドレインの一方と、発光素子 32 の一方の端子と、の間を導通状態または非導通状態にする機能（スイッチとしての機能）

を有する。

[0203]

トランジスタM6のゲートは、配線GLaに電氣的に接続される。トランジスタM6のソースおよびドレインの一方は、トランジスタM2のソースおよびドレインの一方に電氣的に接続される。トランジスタM6のソースおよびドレインの他方は、配線23に電氣的に接続される。トランジスタM6は、トランジスタM2のソースおよびドレインの一方と、配線23と、の間を導通状態または非導通状態にする機能（スイッチとしての機能）を有する。

[0204]

発光素子32の他方の端子（例えば、カソード端子）は、配線22に電氣的に接続される。

[0205]

発光素子32は、発光素子32に流れる電流量に応じた発光強度で発光する。発光素子32として、例えば、EL（Electro Luminescence）素子（有機物および無機物を含むEL素子、有機EL素子、または無機EL素子）、発光ダイオード（LED: Light Emitting Diode）、マイクロLED（例えば、光を射出する領域の面積が $10000\mu\text{m}^2$ 以下のLED）、OLED（Organic Light Emitting Diode）、QLED（Quantum-dot Light Emitting Diode）、または電子放出素子などの様々な素子を用いることができる。

[0206]

トランジスタM2は、ゲートに与える電位に応じて、ドレイン電流を変化させることができる。よって、画素回路31Aにおいて、トランジスタM2は、発光素子32に流れる電流量を制御する機能を有する。すなわち、トランジスタM2は、発光素子32の発光強度を制御する機能を有する。本明細書等では、トランジスタM2のような機能を有するトランジスタを、「駆動トランジスタ」という場合がある。

[0207]

また、トランジスタM2は、バックゲートに与える電位に応じて、しきい値電圧を変化させることができる。よって、画素回路31Aは、トランジスタM2のバックゲート（ノードND2）に与える電位によって、トランジスタM2のしきい値電圧を補正することができる。つまり、画素回路31Aを用いた表示装置において、画素回路31Aごとの、トランジスタM2のしきい値電圧のばらつきを補正することができる。本明細書等では、画素回路31Aのように、駆動トランジスタ（トランジスタM2）のしきい値電圧を補正することができる画素回路を、「内部補正回路」を搭載した画素回路ともいう。内部補正回路を搭載することにより、当該表示装置の表示品位の向上を図ることができる。

[0208]

トランジスタM2のソースおよびドレインの一方と、トランジスタM3のソースおよびドレインの他方と、トランジスタM5のソースおよびドレインの一方と、トランジスタM6のソースおよびドレインの一方と、キャパシタC1の他方の端子と、キャパシタC2の他方の端子と、が互いに電氣的に接続される領域を、ノードND1という場合がある。

[0209]

トランジスタM2のバックゲートと、トランジスタM4のソースおよびドレインの一方と、キャパシタC2の一方の端子と、が互いに電氣的に接続される領域を、ノードND2という場合がある。

[0210]

トランジスタM2のゲートと、トランジスタM1のソースおよびドレインの一方と、トランジスタM3のソースおよびドレインの一方と、キャパシタC1の一方の端子と、が互いに電氣的に接続される領域を、ノードND3という場合がある。

[0211]

キャパシタC1は、例えば、ノードND3がフローティング状態の時に、トランジスタM2のソースおよびドレインの一方と、トランジスタM2のゲートと、の間の電位差（電圧）を保持する機能を有する。

[0212]

キャパシタC2は、例えば、ノードND2がフローティング状態の時に、トランジスタM2のソースおよびドレインの一方と、トランジスタM2のバックゲートと、の間の電位差（電圧）を保持する機能を有する。

[0213]

配線GLa、配線GLb、および配線GLcを、例えば、ゲート線、スキャン線、または選択線などという場合がある。配線DLを、例えば、ソース線、データ線、または信号線などという場合がある。

[0214]

本実施の形態等では、画素回路31Aを構成するトランジスタ（トランジスタM1乃至トランジスタM6）は、明示されている場合を除き、エンハンスメント型（ノーマリーオフ型）のnチャネル型トランジスタであるとする。よって、そのしきい値電圧は、0Vより大きいものとする。

[0215]

なお、本発明の一態様は、これに限定されない。画素回路31Aは、上述した半導体装置60と同様に、様々なトランジスタを用いて構成することができる。

[0216]

例えば、画素回路31Aを構成するトランジスタの一部または全部は、pチャネル型トランジスタであってもよい。

[0217]

また、画素回路31Aを構成するトランジスタとして、縦型のトランジスタを用いてもよい。

[0218]

縦型のトランジスタを画素回路に用いることで、例えば、当該画素回路を用いた表示装置の精細度（画素密度ともいう）を上げることができる。また、例えば、当該表示装置の精細度を下げずに、画素配列をペンタイル配列からストライプ配列にすることができる。また、例えば、当該表示装置の精細度を下げずに、内部補正回路を搭載することができる。

[0219]

本発明の一態様は、画素回路31Aを構成するトランジスタの一部または全部として、縦型のトランジスタを用いることが好ましい。特に、スイッチとして機能するトランジスタ（トランジスタM1、およびトランジスタM3乃至トランジスタM6）として、縦型のトランジスタを用いるとよい。

[0220]

なお、駆動トランジスタ（トランジスタM2）として、飽和性が高いトランジスタを用いるとよい。例えば、チャンネル長が大きいトランジスタを用いればよい。例えば、上述のVLFTを用いてもよい。

[0221]

また、本発明の一態様は、画素回路31Aを構成するトランジスタとして、オフ電流が極めて低いOSトランジスタを用いるとよい。

[0222]

例えば、画素回路31Aを構成するトランジスタのうち、スイッチとして機能するトランジスタ（トランジスタM1、およびトランジスタM3乃至トランジスタM6）にOSトランジスタを用いることで、キャパシタC1およびキャパシタC2のそれぞれに蓄積された電荷を長期間保持することができる。

[0223]

よって、例えば、当該画素回路を用いた表示装置において、フレームごとの書き換えが不要な静止画像を表示する場合に、当該画素回路を駆動する周辺駆動回路の動作を停止しても画像を表示し続けることが可能になる。本明細書等では、静止画像の表示中に周辺駆動回路の動作を停止する駆動方法を、「アイドルングストップ駆動」ともいう。アイドルングストップ駆動を行うことにより、当該表示装置の消費電力の低減を図ることができる。

[0224]

また、例えば、当該画素回路を用いた表示装置において、駆動トランジスタのバックゲートに与える電位を長期間保持することができる。そのため、駆動トランジスタのしきい値電圧を補正する動作を毎フレーム行うことなく、例えば、数フレームごとに1回の頻度、または数秒ごとに1回の頻度で行っても、当該表示装置の表示品位の向上を図ることができる。

[0225]

なお、本発明の一態様は、画素回路31Aとして、OSトランジスタを用いた構成に限定されず、異なる半導体材料を含む複数種類のトランジスタを用いた構成としてもよい。例えば、画素回路31Aを、LTPO（すなわち、LTPSトランジスタとOSトランジスタとの双方）で構成してもよい。

[0226]

例えば、画素回路31Aを構成するトランジスタのうち、スイッチとして機能するトランジスタ（トランジスタM1、およびトランジスタM3乃至トランジスタM6）にOSトランジスタを用い、かつ、駆動トランジスタ（トランジスタM2）にLTPSトランジスタを用いる構成とすることができる。画素回路31Aを、LTPSトランジスタとOSトランジスタとの双方で構成することで、当該画素回路を用いた表示装置の消費電力の低減、および駆動能力の向上を図ることができる。

[0227]

なお、画素回路31Aを、異なる半導体材料を含む複数種類のトランジスタを用いた構成とする場合、トランジスタの種類ごとに、異なる層にトランジスタを設けてもよい。例えば、画素回路31Aが、Siトランジスタと、OSトランジスタと、で構成される場合、Siトランジスタを含む層と、OSトランジスタを含む層と、を重ねて設けてもよい。このような構成とすることで、画素回路31Aの占有面積を小さくすることができる。

[0228]

本発明の一態様は、半導体装置20Aにおいて、画素回路31Aを構成するトランジスタのうち、スイッチとして機能するトランジスタ（トランジスタM1、およびトランジスタM3乃至トランジスタM6）に縦型のOSトランジスタを用い、かつ、駆動トランジスタ（トランジスタM2）にデュアルゲート型のOSトランジスタを用いた構成である。このような、縦型のトランジスタと、デュアル

ゲート型のトランジスタと、の双方を有する半導体装置の具体的な構成例については、後述する実施の形態2の説明を参照すればよい。

[0229]

<画素の動作例>

次に、半導体装置20Aの動作について、説明する。

[0230]

図33は、半導体装置20Aの動作例を説明するタイミングチャートである。

[0231]

以下の動作の説明において、配線DLに、データ電位Vdataが与えられるものとする。配線21に、電位Vaが与えられ、配線22に、電位Vcが与えられ、配線23に、電位V0が与えられ、配線24に、電位V1が与えられるものとする。また、配線GLa、配線GLb、および配線GLcのそれぞれに、電位H（例えば、ハイレベル、H、または、High、などと記載する場合もある）、または、電位L（例えば、ローレベル、L、または、Low、などと記載する場合もある）、のいずれかが与えられるものとする。電位Hは、電位Lよりも高い電位であるとする。例えば、電位Hは、電位Lに対して、少なくともトランジスタのしきい値電圧よりも高い電位であることが好ましい。ここでは、電位Hは、半導体装置20Aを構成するトランジスタのゲートに入力されることで、当該トランジスタがオン状態（導通状態）になる電位とする。また、電位Lは、半導体装置20Aを構成するトランジスタのゲートに入力されることで、当該トランジスタがオフ状態（非導通状態）になる電位とする。

[0232]

電位Vaはアノード電位であり、電位Vcはカソード電位である。電位V0は、例えば、トランジスタM2のゲートに与えられることで、当該トランジスタM2をオフ状態にできる電位、とすればよい。電位V1は、例えば、トランジスタM2のバックゲートに与えられることで、当該トランジスタM2がノーマリーオンの状態になるまでしきい値電圧を下げる（マイナスシフトさせるともいう）ことができる電位、とすればよい。電位V0は、例えば、0Vまたは電位Lであるとする。電位V1は、例えば、電位V0よりも高い電位であり、かつ、電位Hよりも低い電位であるとする。

[0233]

半導体装置20Aにおいて、発光素子32の発光強度は、発光素子32に流れる電流Ieの大きさに制御される。画素回路31Aは、配線DLから与えられたデータ電位Vdataに応じて、電流Ieの大きさを制御する機能を有する。

[0234]

図33に示すタイミングチャートは、動作の期間（期間T11乃至期間T16）ごとに、配線GLa、配線GLb、および配線GLcのそれぞれに与えられる電位（電位Hまたは電位L）を示している。また、ノードND1、ノードND2、およびノードND3のそれぞれの電位の変化について示している。

[0235]

また、タイミングチャートにおいて、各期間を同じ長さで図示する場合があるが、各期間の長さは異なってもよい。例えば、図33に示すタイミングチャートでは、説明をわかりやすくするため、各期間（期間T11乃至期間T16）を同じ長さで図示しているが、各期間の長さは異なってもよい。つまり、実際に半導体装置20Aを動作させる場合、半導体装置20Aを用いた表示装置の仕様に応

じて、各期間の長さを適宜設定すればよい。

[0236]

〔駆動トランジスタのしきい値電圧の補正（しきい値電圧補正動作）〕

図33に示す期間T11乃至期間T13では、トランジスタM2のしきい値電圧を補正するための電圧を取得し、当該電圧をキャパシタC2に保持する動作を行う。

[0237]

発光素子32に流れる電流 I_e は、主にデータ電位 V_{data} とトランジスタM2のしきい値電圧によって決定される。よって、複数の画素回路31Aを有する表示装置において、それぞれの画素回路31Aに同じデータ電位 V_{data} を与えても、それぞれの画素回路31Aが有するトランジスタM2のしきい値電圧が異なると、画素回路31Aごとに異なる電流 I_e が流れる。よって、トランジスタM2のしきい値電圧のばらつきが、当該表示装置の表示品位低下の一因となる。

[0238]

そこで、画素回路31AごとにトランジスタM2のしきい値電圧が同じ値になるように補正することで、電流 I_e のばらつきを低減することができる。ここでは、一例として、トランジスタM2のバックゲートに与える電位を変化させることで、トランジスタM2のしきい値電圧が0V（またはその近傍）になるように補正する方法について説明する。

[0239]

期間T11の直前において、配線GLa、および配線GLbに電位Lが与えられ、配線GLcに電位Hが与えられているとする。よって、トランジスタM1、トランジスタM3、トランジスタM4、およびトランジスタM6はオフ状態であり、トランジスタM5はオン状態である。なお、以下の動作の説明において、各配線の電位について特に明記が無い場合、直前の期間の電位が維持されたとする。

[0240]

期間T11において、リセット（初期化）動作が行われる。具体的には、配線GLbに電位Hが与えられる。すると、トランジスタM3、およびトランジスタM4がオン状態になる。

[0241]

よって、ノードND1の電位が電位 V_{e0} になる。さらに、トランジスタM3を介して、ノードND3の電位も電位 V_{e0} になる。ここで、電位 V_{e0} は、電位 V_c に対して発光素子32における電圧降下の分だけ高い電位である。また、トランジスタM4を介して、ノードND2に電位 V_1 が与えられる。トランジスタM2のバックゲート電圧として“電位 V_1 －電位 V_{e0} ”が印加されることで、トランジスタM2がノーマリーオンの状態になるとする。

[0242]

期間T12において、配線GLcに電位Lが与えられる。すると、トランジスタM5がオフ状態になる。

[0243]

トランジスタM5がオフ状態になった直後では、トランジスタM2のバックゲート電圧として“電位 V_1 －電位 V_{e0} ”が印加されているため、トランジスタM2はノーマリーオンの状態である。よって、トランジスタM2を介して、配線21からノードND1に電荷が供給される。そのため、時間の経過に伴って、ノードND1の電位が上昇する。また、トランジスタM3がオン状態であるため、ノードND3の電位も同様に上昇する。ここで、ノードND1の電位が徐々に上昇するに従って、トランジスタM2のバックゲート電圧が徐々に小さくなる。つまり、トランジスタM2のしきい値電圧

が徐々に上がる（プラスシフトするともいう）。そして、トランジスタM2のしきい値電圧が0Vに限りなく近づくと、トランジスタM2がオフ状態になり、ノードND1の電位上昇が停止する。このとき、トランジスタM2のしきい値電圧が0Vになるバックゲート電圧を、補正電圧V_bとする。つまり、ノードND1の電位上昇が停止したとき、ノードND1の電位は“電位V₁－補正電圧V_b”になる。

[0244]

期間T13において、配線GL_bに電位Lが与えられる。すると、トランジスタM3、およびトランジスタM4がオフ状態になる。

[0245]

よって、ノードND2、およびノードND3がフローティング状態になり、それぞれのノードの電荷が保持される。つまり、トランジスタM2のバックゲート電圧として期間T12で取得した補正電圧V_bが印加された状態が維持される。

[0246]

期間T11乃至期間T13の動作を行うことで、トランジスタM2のしきい値電圧が0Vになるように補正を行い、補正した状態を維持することができる。なお、本明細書等では、このような補正方法を、「内部補正」という場合がある。

[0247]

[表示データの書き込み（データ書き込み動作）]

図33に示す期間T14、および期間T15では、画素回路31Aにデータ電位V_{data}を書き込む動作を行う。

[0248]

期間T14において、配線GL_aに電位Hが与えられる。すると、トランジスタM1、およびトランジスタM6がオン状態になる。

[0249]

よって、ノードND3にデータ電位V_{data}が与えられ、ノードND1に電位V₀が与えられる。つまり、トランジスタM2のゲート電圧として“データ電位V_{data}－電位V₀”が印加される。

[0250]

ここで、ノードND2はフローティング状態であり、ノードND1とノードND2とがキャパシタC2を介して容量結合している。そのため、ノードND1の電位が電位V₀に変化すると、ノードND2の電位も同様に“電位V₀＋補正電圧V_b”に変化する。つまり、トランジスタM2のバックゲート電圧として補正電圧V_bが印加され、トランジスタM2のしきい値電圧が0Vに補正された状態を維持したまま、データ電位V_{data}を書き込むことができる。

[0251]

期間T15において、配線GL_aに電位Lが与えられる。すると、トランジスタM1、およびトランジスタM6がオフ状態になる。

[0252]

よって、ノードND3がフローティング状態になり、ノードND3の電荷が保持される。また、トランジスタM2を介して、配線21からノードND1に電荷が供給されることで、ノードND1の電位が徐々に上昇する。

[0253]

ここで、ノードND 3はフローティング状態であり、ノードND 1とノードND 3とがキャパシタC 1を介して容量結合している。そのため、ノードND 1の電位上昇に追従して、ノードND 3の電位も上昇する。つまり、トランジスタM 2のゲート電圧として“データ電位V d a t aー電位V 0”が印加された状態が維持される。同様に、ノードND 2はフローティング状態であり、ノードND 1とノードND 2とがキャパシタC 2を介して容量結合している。そのため、ノードND 1の電位上昇に追従して、ノードND 2の電位も上昇する。つまり、トランジスタM 2のバックゲート電圧として補正電圧V bが印加された状態が維持される。

[0254]

〔発光素子の発光（発光動作）〕

図33に示す期間T 16では、発光素子32を発光させる動作を行う。

[0255]

期間T 16において、配線GL cに電位Hが与えられる。すると、トランジスタM 5がオン状態になる。

[0256]

よって、トランジスタM 2、トランジスタM 5、および発光素子32を介して、配線21から配線22に電流が流れる。すなわち、発光素子32に電流I eが流れ、発光素子32は電流I eに応じた発光強度で発光する。

[0257]

配線21から配線22に電流I eが流れることで、発光素子32における電圧降下によって、ノードND 1の電位が電位V e 1に変化する。このとき、ノードND 2、およびノードND 3はフローティング状態であるため、前述した期間T 15と同様に、ノードND 1の電位の変化に追従して、ノードND 2、およびノードND 3の電位も変化する。つまり、トランジスタM 2のゲート電圧として“データ電位V d a t aー電位V 0”が印加された状態が維持される。また、トランジスタM 2のバックゲート電圧として補正電圧V bが印加された状態が維持される。

[0258]

なお、期間T 16の動作を、期間T 15の動作と同じタイミングで行ってもよい。すなわち、配線GL aに電位Lが与えられるタイミングと、配線GL cに電位Hが与えられるタイミングと、が同じであってもよい。

[0259]

本発明の一態様は、半導体装置20Aにおいて、上述したようなしきい値電圧補正動作（期間T 11乃至期間T 13）を行うことで、トランジスタM 2のしきい値電圧が0Vになるように補正することができる。このとき、トランジスタM 4にオフ電流が極めて低いという特性を有するOSトランジスタを用いることで、トランジスタM 2のしきい値電圧が0Vになるように補正された状態（すなわち、トランジスタM 2のバックゲート電圧として補正電圧V bが印加された状態）を長期間維持することができる。

[0260]

ここで、半導体装置20Aにおいて、発光素子32に流れる電流I eは、“トランジスタM 2のゲート電圧ートランジスタM 2のしきい値電圧”の自乗に比例する電流量となる。そのため、トランジスタM 2のしきい値電圧が0Vになるように補正することで、電流I eは、“データ電位V d a t aー電位V 0”の自乗に比例する電流量となる。すなわち、電流I eは、トランジスタM 2のしきい値

電圧によらない電流量となる。よって、トランジスタM2のしきい値電圧によらない電流 I_e が流れる状態を長期間維持することができる。

[0261]

よって、本発明の一態様は、半導体装置20Aにおいて、上述したようなしきい値電圧補正動作（期間T11乃至期間T13）を行う頻度を、データ書き込み動作および発光動作（期間T14乃至期間T16）を行う頻度よりも、低くすることができる。例えば、半導体装置20Aにおいて、データ書き込み動作および発光動作を複数回繰り返して行うごとに、しきい値電圧補正動作を1回行う、といった動作を行っても、トランジスタM2のしきい値電圧が0Vになるように補正された状態を維持することができる。よって、当該半導体装置を用いた表示装置において、表示品位の向上、および消費電力の低減を図ることができる。

[0262]

<画素の他の構成例>

なお、本発明の一態様は、上述した半導体装置の構成例に限らない。

[0263]

図34は、半導体装置20Aの変形例である半導体装置20Bを説明する回路図である。半導体装置20Bは、画素回路31Aに換えて、画素回路31Bを有する。画素回路31Bは、トランジスタM1、およびトランジスタM3乃至トランジスタM6のそれぞれがバックゲートを有する点が、画素回路31Aと異なる。半導体装置20Bが有するトランジスタM1、およびトランジスタM3乃至トランジスタM6のそれぞれにおいて、当該トランジスタのバックゲートは、当該トランジスタのゲートに電氣的に接続される。このように、バックゲートを有するトランジスタにおいて、バックゲートにゲートと同じ電位を与えることで、オン抵抗を低減することができる。

[0264]

なお、バックゲートを有するトランジスタにおいて、バックゲートに与えることができる電位は、ゲートと同じ電位に限らない。例えば、バックゲートにソースと同じ電位を与えることで、トランジスタの外部で生じる電界がチャネル形成領域に作用しにくくなるため、電気特性が安定し、信頼性を高めることができる。また、例えば、バックゲートに任意の電位を与えることで、しきい値電圧を変化させることができる。なお、バックゲートに与える電位は固定電位に限らない。また、バックゲートに与える電位は、トランジスタごとに同じであってもよいし、異なってもよい。

[0265]

図35は、半導体装置20Aの変形例である半導体装置20Cを説明する回路図である。半導体装置20Cは、画素回路31Aに換えて、画素回路31Cを有する。画素回路31Cは、トランジスタM6を有さない点が、画素回路31Aと異なる。半導体装置20Cの動作において、データ書き込み動作の際に、例えば、トランジスタM5を導通状態にすることで、ノードND1の電位が発光素子32における電圧降下の分だけ高い電位になるようにすればよい。半導体装置20Cは、さらに、配線23も有さなくてよい。そのため、画素回路31Cの占有面積の低減を図ることができる。

[0266]

図36は、半導体装置20Aの変形例である半導体装置20Dを説明する回路図である。半導体装置20Dは、画素回路31Aに換えて、画素回路31Dを有する。画素回路31Dは、トランジスタM5を有さない点が、画素回路31Aと異なる。そのため、トランジスタM2のソースおよびドレインの一方は、発光素子32の一方の端子に電氣的に接続される。半導体装置20Dの動作において、

しきい値電圧補正動作の際に、例えば、配線 22 に電位 V_a を与えることで、発光素子 32 に電流が流れないようにすればよい。半導体装置 20D は、さらに、配線 GLc も有さなくてよい。そのため、画素回路 31D の占有面積の低減を図ることができる。

[0267]

図 37 は、半導体装置 20D の変形例である半導体装置 20E を説明する回路図である。半導体装置 20E は、画素回路 31D に換えて、画素回路 31E を有する。画素回路 31E は、トランジスタ M3 と、トランジスタ M4 と、キャパシタ C2 と、を有さない点が、画素回路 31D と異なる。また、画素回路 31E において、トランジスタ M2 は、バックゲート有を有さなくてもよい。つまり、画素回路 31E は、内部補正回路を有さない構成である。半導体装置 20E は、さらに、配線 GLb と、配線 24 と、も有さなくてよい。そのため、画素回路 31E の占有面積の低減を図ることができる。

[0268]

図 38 は、半導体装置 20A の変形例である半導体装置 20F を説明する回路図である。半導体装置 20F は、画素回路 31A に換えて、画素回路 31F を有する。画素回路 31F は、トランジスタ M3 と、トランジスタ M4 と、トランジスタ M6 と、キャパシタ C1 と、キャパシタ C2 と、に換えて、トランジスタ M7 と、トランジスタ M8 と、キャパシタ C3 と、を有する点が、画素回路 31A と異なる。また、画素回路 31F において、トランジスタ M2 は、バックゲート有を有さなくてもよい。画素回路 31F は、画素回路 31A と異なる内部補正回路を有する構成である。

[0269]

トランジスタ M1 のソースおよびドレインの一方は、キャパシタ C3 の一方の端子に電氣的に接続される。トランジスタ M2 のゲートは、トランジスタ M7 のソースおよびドレインの一方に電氣的に接続される。トランジスタ M2 のソースおよびドレインの一方は、キャパシタ C3 の他方の端子に電氣的に接続される。

[0270]

トランジスタ M7 のゲートは、配線 GLa に電氣的に接続される。トランジスタ M7 のソースおよびドレインの他方は、配線 25 に電氣的に接続される。トランジスタ M7 は、トランジスタ M2 のゲートと、配線 25 と、の間を導通状態または非導通状態にする機能（スイッチとしての機能）を有する。

[0271]

トランジスタ M8 のゲートは、配線 GLb に電氣的に接続される。トランジスタ M8 のソースおよびドレインの一方は、トランジスタ M2 のゲートに電氣的に接続される。トランジスタ M8 のソースおよびドレインの他方は、キャパシタ C3 の一方の端子に電氣的に接続される。トランジスタ M8 は、トランジスタ M2 のゲートと、キャパシタ C3 の一方の端子と、の間を導通状態または非導通状態にする機能（スイッチとしての機能）を有する。

[0272]

トランジスタ M2 のゲートと、トランジスタ M7 のソースおよびドレインの一方と、トランジスタ M8 のソースおよびドレインの一方と、が互いに電氣的に接続される領域を、ノード ND3 という場合がある。

[0273]

トランジスタ M1 のソースおよびドレインの一方と、トランジスタ M8 のソースおよびドレインの他方と、キャパシタ C3 の一方の端子と、が互いに電氣的に接続される領域を、ノード ND4 とい

う場合がある。

[0274]

キャパシタC3は、例えば、ノードND4がフローティング状態の時に、トランジスタM2のソースおよびドレインの一方と、トランジスタM1のソースおよびドレインの一方と、の間の電位差（電圧）を保持する機能を有する。

[0275]

半導体装置20Fでは、例えば、しきい値電圧補正動作、データ書き込み動作、および発光動作において、まず、配線GLa、および配線GLbに電位Lが与えられ、配線GLcに電位Hが与えられる。その後、配線GLaに電位Hが与えられる。次に、配線GLcに電位Lが与えられる。その後、配線GLaに電位Lが与えられる。次に、配線GLb、および配線GLcに電位Hが与えられる。

[0276]

図39は、半導体装置20Aの変形例である半導体装置20Gを説明する回路図である。半導体装置20Gは、画素回路31Aに換えて、画素回路31Gを有する。画素回路31Gは、画素回路31Aに加えて、さらに、トランジスタM9と、キャパシタC4と、を有する。

[0277]

トランジスタM5のゲートは、容量C4の一方の端子に電氣的に接続される。トランジスタM5のソースおよびドレインの他方は、キャパシタC4の他方の端子に電氣的に接続される。

[0278]

トランジスタM9のゲートは、配線26に電氣的に接続される。トランジスタM9のソースおよびドレインの一方は、トランジスタM5のゲートに電氣的に接続される。トランジスタM9のソースおよびドレインの他方は、配線GLcに電氣的に接続される。

[0279]

トランジスタM5のゲートと、トランジスタM9のソースおよびドレインの一方と、キャパシタC4の一方の端子と、が互いに電氣的に接続される領域を、ノードND5という場合がある。

[0280]

キャパシタC4は、例えば、ノードND5がフローティング状態の時に、トランジスタM5のソースおよびドレインの他方と、トランジスタM5のゲートと、の間の電位差（電圧）を保持する機能を有する。

[0281]

半導体装置20Gでは、例えば、発光動作において、発光素子32の一方の端子（すなわち、トランジスタM5のソースおよびドレインの他方）の電位が上昇すると、キャパシタC4を介した容量結合によって、ノードND5（すなわち、トランジスタM5のゲート）の電位も追従して上昇する。そのため、発光動作の際に、トランジスタM5を確実にオン状態にすることができる。よって、発光素子32に安定して電流を供給することができる。なお、キャパシタC4をブートストラップ容量という場合がある。

[0282]

図40は、半導体装置20Fの変形例である半導体装置20Hを説明する回路図である。半導体装置20Hは、画素回路31Fに換えて、画素回路31Hを有する。画素回路31Hは、画素回路31Fに加えて、さらに、トランジスタM9と、キャパシタC4と、を有する。つまり、画素回路31Hは、画素回路31Fの内部補正回路と、画素回路31Gのブートストラップ容量と、を組み合わせた

構成である。

[0283]

図41は、半導体装置20Iを説明する回路図である。半導体装置20Iは、画素回路31Iと、液晶素子33と、を有する。画素回路31Iは、トランジスタM1と、キャパシタC5と、を有する。画素回路31Iは、トランジスタM1と、キャパシタC5と、を有する。

[0284]

トランジスタM1のゲートは、配線GLaに電氣的に接続される。トランジスタM1のソースおよびドレインの一方は、液晶素子33の一方の端子に電氣的に接続される。トランジスタM1のソースおよびドレインの他方は、配線DLに電氣的に接続される。トランジスタM1は、キャパシタC5の一方の端子と、配線DLと、の間を導通状態または非導通状態にする機能（スイッチとしての機能）を有する。

[0285]

液晶素子33の他方の端子は、配線22に電氣的に接続される。液晶素子33は、一対の端子間（一方の端子と他方の端子との間）の電位差（電圧）に応じて、光の透過率が変化する。

[0286]

キャパシタC5の一方の端子は、トランジスタM1のソースおよびドレインの一方に電氣的に接続される。キャパシタC5の他方の端子は、配線27に電氣的に接続される。

[0287]

トランジスタM1のソースおよびドレインの一方と、キャパシタC5の一方の端子と、液晶素子33の一方の端子と、が互いに電氣的に接続される領域を、ノードND6という場合がある。

[0288]

キャパシタC5は、例えば、ノードND6がフローティング状態の時に、液晶素子33の一対の端子間の電位差を保持する機能を有する。

[0289]

なお半導体装置20は、イメージセンサなどの画素回路に適用可能である。図42は、半導体装置20Jを説明する回路図である。半導体装置20Jは、画素回路31Jと、受光素子34と、を有する。画素回路31Jは、トランジスタM1乃至M3を有する。

[0290]

トランジスタM1のゲートは、受光素子34の一方の端子に電氣的に接続される。トランジスタM1のソースおよびドレインの一方は、配線DLに電氣的に接続される。トランジスタM1のソースおよびドレインの他方は、トランジスタM2のソースおよびドレインの一方に電氣的に接続される。トランジスタM2のソースおよびドレインの他方は、配線28に電氣的に接続される。トランジスタM2のゲートは、配線GLaに電氣的に接続される。トランジスタM3のソースおよびドレインの一方は、受光素子34の一方の端子に電氣的に接続される。トランジスタM3のソースおよびドレインの他方は、配線28に電氣的に接続される。トランジスタM3のゲートは、配線GLbに電氣的に接続される。受光素子34の他方の端子は、配線22に電氣的に接続される。

[0291]

トランジスタM3は、リセット用トランジスタである。配線GLbの制御に応じて、受光素子34の一方の端子の電位（ノードND7の電位）を配線28の電位となるようリセット動作を行う。トランジスタM1は、ノードND7の電位に応じた電流を流すための駆動トランジスタである。トランジ

スタM2は、読み出し制御用トランジスタである。配線GLaの制御に応じて、ノードND7の電位に応じた電流を配線DLに流すか否かを制御する。

[0292]

トランジスタM1はソースフォロワ回路として機能することができる。そのため、配線DLにおいて、本発明の一態様の半導体装置60が有するスイッチS01、S02を設けることでノードND7の電位の応じた出力電圧を配線DLを介して出力することができる。

[0293]

なお半導体装置20は、メモリ装置などのメモリセルに適用可能である。図43は、半導体装置20Kを説明する回路図である。半導体装置20Kは、メモリセル31Kを有する。メモリセル31Kは、トランジスタM1乃至M3を有する。

[0294]

トランジスタM1のゲートは、配線GLbの一方の端子に電氣的に接続される。トランジスタM1のソースおよびドレインの一方は、配線DLに電氣的に接続される。トランジスタM1のソースおよびドレインの他方は、トランジスタM2のゲートに電氣的に接続される。トランジスタM2のソースおよびドレインの一方は、配線DLに電氣的に接続される。トランジスタM2のソースおよびドレインの他方は、トランジスタMのソースおよびドレインの一方に電氣的に接続される。トランジスタM3のソースおよびドレインの他方は、配線28に電氣的に接続される。

[0295]

トランジスタM1は、電荷保持用トランジスタである。配線GLbの制御に応じて、配線DLの電位に応じた電荷をトランジスタM2のゲートに保持する。トランジスタM2のゲートの電位（ノードND8の電位）は、トランジスタM1を非導通状態とすることで保持される。トランジスタM2は、ノードND8の電位に応じた電流を流すための駆動トランジスタである。トランジスタM3は、読み出し制御用トランジスタである。配線GLaの制御に応じて、ノードND8の電位に応じた電流を配線DLに流すか否かを制御する。

[0296]

トランジスタM1はソースフォロワ回路として機能することができる。そのため、配線DLにおいて、本発明の一態様の半導体装置60が有するスイッチS01、S02を設けることで受光素子34の一方の端子の電位を配線DLを介して出力することができる。

[0297]

<周辺駆動回路の構成例>

次に、表示装置40が有する周辺駆動回路に用いることができる各要素回路の構成例について説明する。

[0298]

[シフトレジスタ]

図44A乃至図44E、および図45A乃至図45Eは、周辺駆動回路に用いることができる半導体装置の構成例を説明する回路図である。当該半導体装置は、例えば、ゲートドライバの一部として用いることができる。また、例えば、シフトレジスタの一部として用いることができる。

[0299]

図44Aに示す半導体装置70Aは、m個のレジスタ部71と、m個のバッファ部72と、を有する。また、半導体装置70Aは、m本の配線GLaと、m本の配線GLbと、に電氣的に接続される。

m個のレジスタ部71のそれぞれは、m本の配線SRのそれぞれを介して、互いに電氣的に接続される。図44Aでは、半導体装置70Aの一部を抜粋して、レジスタ部71_u乃至レジスタ部71_{u+2}と、バッファ部72_u乃至バッファ部72_{u+2}と、配線SR_{u-1}乃至配線SR_{u+4}と、配線GLa_u乃至配線GLa_{u+2}と、配線GLb_u乃至配線GLb_{u+2}と、を図示している。なお、mは2以上の整数であり、上述した表示装置40においてマトリクス状に配置された画素41の行数mに相当する。また、uは1以上m以下の整数である。

[0300]

図44Bは、レジスタ部71およびバッファ部72の構成例を説明する回路図である。図44Cは、レジスタ部71およびバッファ部72に対応する回路ブロックである。レジスタ部71は、レジスタ部71₁乃至レジスタ部71_mのそれぞれに適用できる。バッファ部72は、バッファ部72₁乃至バッファ部72_mのそれぞれに適用できる。すなわち、例えば、レジスタ部71_uにおいて、配線IN21は配線SR_{u-1}に電氣的に接続され、配線IN22は配線SR_{u+2}に電氣的に接続され、配線OUT21は配線SR_uに電氣的に接続される。また、例えば、バッファ部72_uにおいて、配線OUT31は配線GLa_uに電氣的に接続され、配線OUT32は配線GLb_uに電氣的に接続される。なお、図44Aおよび図44Cでは、配線IN21、配線IN31、配線IN32、配線VLD、および配線VLSの図示を省略している。なお、レジスタ部71₁乃至レジスタ部71_{u-1}、およびレジスタ部71_{u+1}乃至レジスタ部71_mについても同様である。また、バッファ部72₁乃至バッファ部72_{u-1}、およびバッファ部72_{u+1}乃至バッファ部72_mについても同様である。

[0301]

つまり、半導体装置70Aにおいて、レジスタ部71_{u-1}における配線OUT21は、配線SR_{u-1}を介して、レジスタ部71_uにおける配線IN21に電氣的に接続され、レジスタ部71_uにおける配線OUT21は、配線SR_uを介して、レジスタ部71_{u+1}における配線IN21に電氣的に接続される。このような構成とすることで、レジスタ部71₁乃至レジスタ部71_mのそれぞれが順次選択され、選択されたレジスタ部71_uに電氣的に接続されるバッファ部72_uにおいて、配線GLa_uおよび配線GLb_uのそれぞれに所望の電位を与えることができる。なお、半導体装置70Aでは、選択されないレジスタ部71_uに電氣的に接続されるバッファ部72_uにおいて、配線GLa_uおよび配線GLb_uのそれぞれに配線VLSの電位が与えられる。

[0302]

図44Bに示すレジスタ部71は、トランジスタM21と、トランジスタM22と、トランジスタM23と、トランジスタM24と、トランジスタM25と、トランジスタM26と、を有する。トランジスタM21は、配線IN21の電位に応じて、配線VLDと配線NL21との間を、導通状態または非導通状態にする機能を有する。トランジスタM22は、配線IN22の電位に応じて、配線VLDと配線NL22との間を、導通状態または非導通状態にする機能を有する。トランジスタM23は、配線NL22の電位に応じて、配線VLSと配線NL21との間を、導通状態または非導通状態にする機能を有する。トランジスタM24は、配線IN21の電位に応じて、配線VLSと配線NL22との間を、導通状態または非導通状態にする機能を有する。トランジスタM25は、配線NL21の電位に応じて、配線IN23と配線OUT21との間を、導通状態または非導通状態にする機能を有する。トランジスタM26は、配線NL22の電位に応じて、配線VLSと配線OUT21との

間を、導通状態または非導通状態にする機能を有する。

[0303]

また、図44Bに示すバッファ部72は、トランジスタM31と、トランジスタM32と、トランジスタM33と、トランジスタM34と、を有する。トランジスタM31は、配線NL21の電位に応じて、配線IN31と配線OUT31との間を、導通状態または非導通状態にする機能を有する。トランジスタM32は、配線NL21の電位に応じて、配線IN32と配線OUT32との間を、導通状態または非導通状態にする機能を有する。トランジスタM33は、配線NL22の電位に応じて、配線VLSと配線OUT31との間を、導通状態または非導通状態にする機能を有する。トランジスタM34は、配線NL22の電位に応じて、配線VLSと配線OUT32との間を、導通状態または非導通状態にする機能を有する。

[0304]

図44Dは、図44Bに示すレジスタ部71およびバッファ部72の動作例を説明するタイミングチャートである。

[0305]

以下の動作の説明において、配線VLDに、電位Hが与えられ、配線VLSに、電位Lが与えられるものとする。また、配線IN21、配線IN22、配線IN23、配線IN31、および配線IN32のそれぞれに、電位Hまたは電位Lのいずれかが与えられるものとする。

[0306]

図44Dに示すタイミングチャートは、動作の期間（期間T71乃至期間T73）ごとに、配線IN21、配線IN22、配線IN23、配線IN31、および配線IN32のそれぞれに与えられる電位（電位Hまたは電位L）を示している。また、配線NL21、配線NL22、配線OUT21、配線OUT31、および配線OUT32のそれぞれの電位の変化について示している。

[0307]

期間T71において、配線IN21、および配線IN22に電位Lが与えられているとする。また、配線NL22の電位が電位Hであるとする。そのため、配線NL21に電位Lが与えられているとする。このとき、トランジスタM25、トランジスタM31、およびトランジスタM32のそれぞれはオフ状態（非導通状態）であり、トランジスタM26、トランジスタM33、およびトランジスタM34のそれぞれはオン状態（導通状態）である。よって、配線IN23、配線IN31、および配線IN32のそれぞれの電位（電位Hまたは電位L）によらず、配線OUT21、配線OUT31、および配線OUT32のそれぞれに電位Lが与えられている。なお、以下の動作の説明において、各配線の電位について特に明記が無い場合、直前の期間の電位が維持されるとする。

[0308]

期間T72において、配線IN21に電位Hが与えられることで、配線NL22の電位が電位Lになり、配線NL21の電位が電位Hになる。すると、トランジスタM25、トランジスタM31、およびトランジスタM32のそれぞれがオン状態になり、トランジスタM26、トランジスタM33、およびトランジスタM34のそれぞれがオフ状態になる。よって、配線IN23、配線IN31、および配線IN32のそれぞれの電位（電位Hまたは電位L）が、トランジスタM25、トランジスタM31、およびトランジスタM32のそれぞれを介して、配線OUT21、配線OUT31、および配線OUT32のそれぞれに与えられる。なお、その後、配線IN21に電位Lが与えられても、配線NL22および配線NL21の電位は維持される。

[0309]

期間T73において、配線IN22に電位Hが与えられることで、配線NL22の電位が電位Hになり、配線NL21の電位が電位Lになる。すると、トランジスタM25、トランジスタM31、およびトランジスタM32のそれぞれがオフ状態になり、トランジスタM26、トランジスタM33、およびトランジスタM34のそれぞれがオン状態になる。よって、配線IN23、配線IN31、および配線IN32のそれぞれの電位（電位Hまたは電位L）によらず、配線OUT21、配線OUT31、および配線OUT32のそれぞれに電位Lが与えられる。なお、その後、配線IN22に電位Lが与えられても、配線NL22および配線NL21の電位は維持される。

[0310]

図44Eは、レジスタ部71およびバッファ部72の変形例を説明する回路図である。図44Eに示すレジスタ部71aおよびバッファ部72aは、ブートストラップ回路を有する点が、レジスタ部71およびバッファ部72と異なる。すなわち、レジスタ部71aは、レジスタ部71に加えて、トランジスタM27と、キャパシタC21と、を有し、かつ、バッファ部72aは、バッファ部72に加えて、トランジスタM35と、トランジスタM36と、キャパシタC31と、キャパシタC32と、を有する。なお、キャパシタC21、キャパシタC31、およびキャパシタC32を、ブートストラップ容量という場合がある。

[0311]

トランジスタM27のゲートは、配線VLDに電氣的に接続される。トランジスタM25のゲートは、トランジスタM27のソースおよびドレインを介して、配線NL21に電氣的に接続される。また、トランジスタM25のゲートは、キャパシタC21を介して、配線OUT21に電氣的に接続される。

[0312]

トランジスタM35のゲートは、配線VLDに電氣的に接続される。トランジスタM31のゲートは、トランジスタM35のソースおよびドレインを介して、配線NL21に電氣的に接続される。また、トランジスタM31のゲートは、キャパシタC31を介して、配線OUT31に電氣的に接続される。

[0313]

トランジスタM36のゲートは、配線VLDに電氣的に接続される。トランジスタM32のゲートは、トランジスタM36のソースおよびドレインを介して、配線NL21に電氣的に接続される。また、トランジスタM32のゲートは、キャパシタC32を介して、配線OUT32に電氣的に接続される。

[0314]

ここで、レジスタ部71は、トランジスタM25において、配線IN23から配線OUT21に電位Hを伝える際に、しきい値電圧による電位の低下が生じる。そこで、レジスタ部71aのようにブートストラップ回路を採用することで、トランジスタM25において、ブートストラップ容量による容量結合によってオン状態を維持することができる。そのため、しきい値電圧による電位の低下が生じることなく、配線OUT21に電位Hを伝えることができる。

[0315]

同様に、バッファ部72も、トランジスタM31において、配線IN31から配線OUT31に電位Hを伝える際に、しきい値電圧による電位の低下が生じ、かつ、トランジスタM32において、配

線 I N 3 2 から配線 O U T 3 2 に電位 H を伝える際に、しきい値電圧による電位の低下が生じる。そこで、バッファ部 7 2 a のようにブートストラップ回路を採用することで、トランジスタ M 3 1 およびトランジスタ M 3 2 のそれぞれにおいて、ブートストラップ容量による容量結合によってオン状態を維持することができる。そのため、しきい値電圧による電位の低下が生じることなく、配線 O U T 3 1 および配線 O U T 3 2 のそれぞれに電位 H を伝えることができる。

[0316]

図 4 5 A に示す半導体装置 7 0 B は、m 個のレジスタ部 7 1 と、m 個のインバータ部 7 3 と、を有する。また、半導体装置 7 0 B は、m 本の配線 G L c に電氣的に接続される。m 個のレジスタ部 7 1 のそれぞれは、m 本の配線 S R のそれぞれを介して、互いに電氣的に接続される。図 4 5 A では、半導体装置 7 0 B の一部を抜粋して、レジスタ部 7 1_u 乃至レジスタ部 7 1_{u+2} と、インバータ部 7 3_u 乃至インバータ部 7 3_{u+2} と、配線 S R_{u-1} 乃至配線 S R_{u+4} と、配線 G L c_u 乃至配線 G L c_{u+2} と、を図示している。

[0317]

図 4 5 B は、インバータ部 7 3 の構成例を説明する回路図である。図 4 5 C は、インバータ部 7 3 に対応する回路ブロックである。インバータ部 7 3 は、インバータ部 7 3₁ 乃至インバータ部 7 3_m のそれぞれに適用できる。すなわち、例えば、インバータ部 7 3_u において、配線 I N 4 1 は配線 S R_u に電氣的に接続され、配線 I N 4 2 は配線 S R_{u+2} に電氣的に接続され、配線 O U T 4 1 は配線 G L c_u に電氣的に接続される。なお、図 4 5 A および図 4 5 C では、配線 V L D、および配線 V L S の図示を省略している。なお、インバータ部 7 3₁ 乃至インバータ部 7 3_{u-1}、およびインバータ部 7 3_{u+1} 乃至インバータ部 7 3_m についても同様である。

[0318]

つまり、半導体装置 7 0 B も、半導体装置 7 0 A と同様に、レジスタ部 7 1₁ 乃至レジスタ部 7 1_m のそれぞれが順次選択され、選択されたレジスタ部 7 1_u に電氣的に接続されるインバータ部 7 3_u において、配線 G L c_u に所望の電位を与えることができる。なお、半導体装置 7 0 B では、選択されないレジスタ部 7 1_u に電氣的に接続されるインバータ部 7 3_u において、配線 G L c_u に配線 V L D の電位が与えられる。

[0319]

図 4 5 B に示すインバータ部 7 3 は、トランジスタ M 4 1 と、トランジスタ M 4 2 と、トランジスタ M 4 3 と、トランジスタ M 4 4 と、を有する。トランジスタ M 4 1 は、配線 I N 4 2 の電位に応じて、配線 V L D と配線 N L 4 1 との間を、導通状態または非導通状態にする機能を有する。トランジスタ M 4 2 は、配線 I N 4 1 の電位に応じて、配線 V L S と配線 N L 4 1 との間を、導通状態または非導通状態にする機能を有する。トランジスタ M 4 3 は、配線 N L 4 1 の電位に応じて、配線 V L D と配線 O U T 4 1 との間を、導通状態または非導通状態にする機能を有する。トランジスタ M 4 4 は、配線 I N 4 1 の電位に応じて、配線 V L S と配線 O U T 4 1 との間を、導通状態または非導通状態にする機能を有する。

[0320]

図 4 5 D は、図 4 5 B に示すインバータ部 7 3 の動作例を説明するタイミングチャートである。

[0321]

以下の動作の説明において、配線 V L D に、電位 H が与えられ、配線 V L S に、電位 L が与えられるものとする。また、配線 I N 4 1、および配線 I N 4 2 のそれぞれに、電位 H または電位 L のい

れかが与えられるものとする。

[0322]

図45Dに示すタイミングチャートは、動作の期間（期間T74乃至期間T76）ごとに、配線IN41、および配線IN42のそれぞれに与えられる電位（電位Hまたは電位L）を示している。また、配線NL41、および配線OUT41のそれぞれの電位の変化について示している。

[0323]

期間T74において、配線IN41、および配線IN42に電位Lが与えられているとする。また、配線NL41の電位が電位Hであるとする。このとき、トランジスタM43はオン状態（導通状態）であり、トランジスタM44はオフ状態（非導通状態）である。よって、配線OUT41に電位Hが与えられている。なお、以下の動作の説明において、各配線の電位について特に明記が無い場合、直前の期間の電位が維持されるとする。

[0324]

期間T75において、配線IN41に電位Hが与えられることで、配線NL41の電位が電位Lになる。すると、トランジスタM43がオフ状態になり、トランジスタM44がオン状態になる。よって、配線OUT41に電位Lが与えられる。なお、その後、配線IN41に電位Lが与えられることで、トランジスタM44がオフ状態になる。このとき、配線NL41および配線OUT41の電位は維持される。

[0325]

期間T76において、配線IN42に電位Hが与えられることで、配線NL41の電位が電位Hになる。すると、トランジスタM43がオン状態になる。よって、配線OUT41に電位Hが与えられる。なお、その後、配線IN42に電位Lが与えられても、配線NL41および配線OUT41の電位は維持される。

[0326]

図45Eは、インバータ部73の変形例を説明する回路図である。図45Eに示すインバータ部73aは、ブートストラップ回路を有する点が、インバータ部73と異なる。すなわち、インバータ部73aは、インバータ部73に加えて、トランジスタM45と、キャパシタC41と、を有する。なお、キャパシタC41を、ブートストラップ容量という場合がある。

[0327]

トランジスタM45のゲートは、配線VLDに電氣的に接続される。トランジスタM43のゲートは、トランジスタM45のソースおよびドレインを介して、配線NL41に電氣的に接続される。また、トランジスタM43のゲートは、キャパシタC41を介して、配線OUT41に電氣的に接続される。

[0328]

ここで、インバータ部73は、トランジスタM43において、配線VLDから配線OUT41に電位Hを伝える際に、しきい値電圧による電位の低下が生じる。そこで、インバータ部73aのようにブートストラップ回路を採用することで、トランジスタM43において、ブートストラップ容量による容量結合によってオン状態を維持することができる。そのため、しきい値電圧による電位の低下が生じることなく、配線OUT41に電位Hを伝えることができる。

[0329]

本発明の一態様は、表示装置40に半導体装置70Aおよび半導体装置70Bを用いることがで

きる。例えば、表示装置 40 において、ゲートドライバの一部に半導体装置 70A および半導体装置 70B を用いることができる。その際、配線 GLa₁ 乃至配線 GLa_m のそれぞれは、m 行に配置された画素 41 のそれぞれにおいて、画素 41 に半導体装置 20A を用いた場合における配線 GLa に対応する。同様に、配線 GLb₁ 乃至配線 GLb_m のそれぞれは、配線 GLb に対応し、配線 GLc₁ 乃至配線 GLc_m のそれぞれは、配線 GLc に対応する。

[0330]

なお、本発明の一態様は、上述した半導体装置 70A および半導体装置 70B の構成に限定されず、上述した表示装置を実現できる範囲で適宜構成を変更してもよい。

[0331]

[デマルチプレクサ]

図 46A 乃至図 46C は、周辺駆動回路に用いることができる半導体装置の構成例を説明する回路図である。当該半導体装置は、例えば、ソースドライバの一部として用いることができる。また、例えば、デマルチプレクサの一部として用いることができる。

[0332]

図 46A に示す半導体装置 80 は、 $n/2$ 個のセクタ部 81 を有する。また、半導体装置 80 は、配線 SMP1 と、配線 SMP2 と、 $n/2$ 本の配線 SL と、 n 本の配線 DL と、に電氣的に接続される。図 46 では、半導体装置 80 の一部を抜粋して、セクタ部 81₁ およびセクタ部 81₂ と、セクタ部 81 _{$n/2$} と、配線 SMP1 と、配線 SMP2 と、配線 SL₁ および配線 SL₂ と、配線 SL _{$n/2$} と、配線 DL₁ 乃至配線 DL₄ と、配線 DL _{$n-1$} および配線 DL _{n} と、を図示している。なお、 n は 2 以上の整数であり、上述した表示装置 40 においてマトリクス状に配置された画素 41 の列数 n に相当する。

[0333]

図 46B および図 46C は、それぞれ、セクタ部 81 の構成例を説明する、回路図およびブロック図である。セクタ部 81 は、セクタ部 81₁ 乃至セクタ部 81 _{$n/2$} のそれぞれに適用できる。すなわち、例えば、セクタ部 81₁ において、配線 IN51 は配線 SL₁ に電氣的に接続され、配線 SW51 は配線 SMP1 に電氣的に接続され、配線 SW52 は配線 SMP2 に電氣的に接続され、配線 OUT51 は配線 DL₁ に電氣的に接続され、配線 OUT52 は配線 DL₂ に電氣的に接続される。また、例えば、セクタ部 81 _{$n/2$} において、配線 IN51 は配線 SL _{$n/2$} に電氣的に接続され、配線 SW51 は配線 SMP1 に電氣的に接続され、配線 SW52 は配線 SMP2 に電氣的に接続され、配線 OUT51 は配線 DL _{$n-1$} に電氣的に接続され、配線 OUT52 は配線 DL _{n} に電氣的に接続される。なお、セクタ部 81₂ 乃至セクタ部 81 _{$n/2-1$} についても同様である。

[0334]

図 46B に示すセクタ部 81 は、トランジスタ M51 と、トランジスタ M52 と、を有する。トランジスタ M51 は、配線 SW51 の電位に応じて、配線 IN51 と配線 OUT51 との間を、導通状態または非導通状態にする機能を有する。トランジスタ M52 は、配線 SW52 の電位に応じて、配線 IN51 と配線 OUT52 との間を、導通状態または非導通状態にする機能を有する。

[0335]

すなわち、セクタ部 81 は、配線 SW51 の電位および配線 SW52 の電位に応じて、配線 IN51 の電位を、配線 OUT51 および配線 OUT52 のいずれか一に伝える機能を有する。つまり、

セクタ部 8 1 は 1 つの入力（配線 I N 5 1）と、2 つの出力（配線 O U T 5 1 および配線 O U T 5 2）と、を有するともいえる。

[0336]

本発明の一態様は、表示装置 4 0 に半導体装置 8 0 を用いることができる。例えば、表示装置 4 0 において、ソースドライバの一部に半導体装置 8 0 を用いることができる。その際、配線 D L __ 1 乃至配線 D L __ n のそれぞれは、n 列に配置された画素 4 1 のそれぞれにおいて、画素 4 1 に半導体装置 2 0 A を用いた場合における配線 D L に対応する。

[0337]

表示装置 4 0 に半導体装置 8 0 を用いることで、画素 4 1 の列数 n よりも少ない出力数のソースドライバを用いることができる。例えば、上述の半導体装置 8 0 を用いた場合、出力数 $n/2$ のソースドライバを用いればよい。よって、例えば、表示装置の小型化、および低コスト化を図ることができる。また、ソースドライバの出力数よりも多い列数の画素を有する表示装置を駆動することができる。よって、例えば、表示装置の高解像度化を図ることができる。

[0338]

なお、ここでは、半導体装置 8 0 が有するセクタ部 8 1 として、2 つの出力を有する構成を示したが、これに限定されず、3 以上の出力を有する構成としてもよい。例えば、3 つの出力を有する構成とすることで、出力数 $n/3$ のソースドライバを用いることができる。

[0339]

[ソースドライバ]

図 4 7 乃至図 5 0 F は、周辺駆動回路に用いることができる半導体装置の構成例を説明する回路図である。図 5 1 は、当該半導体装置の動作例を説明するタイミングチャートである。当該半導体装置は、例えば、ソースドライバの一部として用いることができる。

[0340]

図 4 7 に示す半導体装置 9 0 は、シフトレジスタ部 9 0 A と、ラッチ部 9 0 B と、ラッチ部 9 0 C と、ソースフォロワ部 9 0 D と、を有する。

[0341]

シフトレジスタ部 9 0 A は、複数の配線 C L K と、複数の配線 P W C と、配線 S P と、に電氣的に接続される。また、シフトレジスタ部 9 0 A は、 n/h 本の配線 S M P（配線 S M P [1 : n/h] と記載する場合がある）を介して、ラッチ部 9 0 B に電氣的に接続される。ラッチ部 9 0 B は、h 本の配線 D A T（配線 D A T [1 : h] と記載する場合がある）に電氣的に接続される。また、ラッチ部 9 0 B は、n 本の配線 L A T 1（配線 L A T 1 [1 : n] と記載する場合がある）を介して、ラッチ部 9 0 C に電氣的に接続される。ラッチ部 9 0 C は、配線 S W 1 と、配線 S W 2 と、に電氣的に接続される。また、ラッチ部 9 0 C は、n 本の配線 L A T 2（配線 L A T 2 [1 : n] と記載する場合がある）を介して、ソースフォロワ部 9 0 D に電氣的に接続される。ソースフォロワ部 9 0 D は、配線 S W 3 と、配線 S W 4 と、配線 S W 5 と、配線 S W 6 と、に電氣的に接続される。また、ソースフォロワ部は、n 本の配線 D L（配線 D L [1 : n] と記載する場合がある）に電氣的に接続される。

[0342]

なお、n は 2 以上の整数であり、例えば、上述した表示装置 4 0 においてマトリクス状に配置された画素 4 1 の列数 n に相当する。また、h は 1 以上の整数であり、例えば、上述した表示装置 4 0 において、表示装置 4 0 の外部から駆動回路部 4 4 に入力されるデータレーン数に相当する。

[0343]

シフトレジスタ部90Aは、複数の配線CLK、複数の配線PWC、および配線SPのそれぞれを介して入力される信号に応じて、配線SMP[1:n/h]に信号を順次出力する機能を有する。複数の配線CLKは、それぞれ、互いに異なる位相で周期的に電位が変化するクロック信号が与えられる配線である。複数の配線PWCは、それぞれ、互いに異なる位相で周期的に電位が変化するクロック信号が与えられる配線である。配線SPは、信号を順次出力する動作を開始するトリガーとなる、スタートパルス信号が与えられる配線である。

[0344]

ラッチ部90Bは、配線SMP[1:n/h]に順次出力される信号をトリガーにして、配線DAT[1:h]を介して入力される電位を格納および保持し、当該電位を配線LAT1[1:n]に出力する機能を有する。すなわち、ラッチ部90Bは、サンプルホールド回路の機能を有する。配線DAT[1:h]は、表示装置40に表示される画像のデータに応じたデータ電位が与えられる配線である。

[0345]

ラッチ部90Cは、配線SW1を介して入力される信号をトリガーにして、配線LAT1[1:n]の電位を格納および保持し、当該電位を配線LAT2[1:n]に出力する機能を有する。すなわち、ラッチ部90Cは、サンプルホールド回路の機能を有する。なお、ラッチ部90Cは、例えば、配線SW2を介して入力される信号に応じて、配線LAT2[1:n]の電位をリセット（初期化）する機能を有してもよい。

[0346]

ソースフォロワ部90Dは、配線LAT2[1:n]の電位に応じた電位を、配線DL[1:n]に出力する機能を有する。ソースフォロワ部90Dは、出力インピーダンスを低くすることで、配線DL[1:n]の負荷（寄生容量）が大きい場合でも、配線LAT2[1:n]の電位の変化に応じて配線DL[1:n]の電位が変化する時間を短くすることができる。すなわち、ソースフォロワ部90Dは、インピーダンス変換の機能を有する。なお、ソースフォロワ部90Dは、配線SW3、および配線SW4のそれぞれを介して入力される信号に応じて、配線LAT2[1:n]からの入力を制御する機能を有してもよい。例えば、配線LAT2[1:n]から入力される電位を補正する機能を有してもよい。また、配線SW5、および配線SW6のそれぞれを介して入力される信号に応じて、配線DL[1:n]への出力を制御する機能を有してもよい。例えば、配線DL[1:n]を任意の電位にプリチャージする機能を有してもよい。

[0347]

次に、シフトレジスタ部90A、ラッチ部90B、ラッチ部90C、およびソースフォロワ部90Dの構成例について説明する。

[0348]

図48Aは、シフトレジスタ部90Aの構成例を説明する回路図である。シフトレジスタ部90Aは、 n/h 個のレジスタ部91を有する。また、シフトレジスタ部90Aは、 n/h 本の配線SMPと、複数の配線CLKと、複数の配線PWCと、配線SPと、に電氣的に接続される。 n/h 個のレジスタ部91のそれぞれは、 n/h 本の配線SRのそれぞれを介して、互いに電氣的に接続される。図48Aでは、シフトレジスタ部90Aの一部を抜粋して、レジスタ部91__1、レジスタ部91__w、およびレジスタ部91__w+1と、配線SR__1、配線SR__2、配線SR__w-1乃至配線S

$R_w + 2$ と、配線 SMP_1 、配線 SMP_w 、および配線 $SMP_w + 1$ と、を図示している。なお、 w は 1 以上 n/h 以下の整数である。

[0349]

図 48B は、レジスタ部 91 の構成例を説明する回路図である。図 48C は、レジスタ部 91 に対応する回路ブロックである。レジスタ部 91 は、レジスタ部 91_1 乃至レジスタ部 91_n/h のそれぞれに適用できる。すなわち、例えば、レジスタ部 91_w において、配線 $IN71$ は配線 $SR_w - 1$ に電氣的に接続され、配線 $IN72$ は配線 $SR_w + 1$ に電氣的に接続され、配線 $IN73$ は複数の配線 CLK のいずれかに電氣的に接続され、配線 $OUT71$ は配線 SR_w に電氣的に接続される。また、配線 $IN7A$ は複数の配線 PWC のいずれかに電氣的に接続され、配線 $OUT7A$ は配線 SMP_w に電氣的に接続される。なお、レジスタ部 91_1 において、配線 $IN71$ は配線 SP に電氣的に接続される。なお、図 48A および図 48C では、配線 VLD 、および配線 VLS の図示を省略している。なお、レジスタ部 91_2 乃至レジスタ部 91_w - 1、およびレジスタ部 91_w + 2 乃至レジスタ部 91_n/h についても同様である。

[0350]

つまり、シフトレジスタ部 90A において、レジスタ部 91_w - 1 における配線 $OUT71$ は、配線 $SR_w - 1$ を介して、レジスタ部 91_w における配線 $IN71$ に電氣的に接続され、レジスタ部 91_w における配線 $OUT71$ は、配線 SR_w を介して、レジスタ部 91_w + 1 における配線 $IN71$ に電氣的に接続される。このような構成とすることで、レジスタ部 91_1 乃至レジスタ部 91_n/h のそれぞれが順次選択され、選択されたレジスタ部 91_w に電氣的に接続される配線 SMP_w に所望の電位を与えることができる。なお、シフトレジスタ部 90A では、選択されないレジスタ部 91_w に電氣的に接続される配線 SMP_w に配線 VLS の電位が与えられる。

[0351]

図 48B に示すレジスタ部 91 は、トランジスタ $M71$ と、トランジスタ $M72$ と、トランジスタ $M73$ と、トランジスタ $M74$ と、トランジスタ $M75$ と、トランジスタ $M76$ と、を有する。トランジスタ $M71$ は、配線 $IN71$ の電位に応じて、配線 VLD と配線 $NL71$ との間を、導通状態または非導通状態にする機能を有する。トランジスタ $M72$ は、配線 $IN72$ の電位に応じて、配線 VLD と配線 $NL72$ との間を、導通状態または非導通状態にする機能を有する。トランジスタ $M73$ は、配線 $NL72$ の電位に応じて、配線 VLS と配線 $NL71$ との間を、導通状態または非導通状態にする機能を有する。トランジスタ $M74$ は、配線 $IN71$ の電位に応じて、配線 VLS と配線 $NL72$ との間を、導通状態または非導通状態にする機能を有する。トランジスタ $M75$ は、配線 $NL71$ の電位に応じて、配線 $IN73$ と配線 $OUT71$ との間を、導通状態または非導通状態にする機能を有する。トランジスタ $M76$ は、配線 $NL72$ の電位に応じて、配線 VLS と配線 $OUT71$ との間を、導通状態または非導通状態にする機能を有する。

[0352]

また、レジスタ部 91 は、トランジスタ $M7A$ と、トランジスタ $M7B$ と、を有する。トランジスタ $M7A$ は、配線 $NL71$ の電位に応じて、配線 $IN7A$ と配線 $OUT7A$ との間を、導通状態または非導通状態にする機能を有する。トランジスタ $M7B$ は、配線 $NL72$ の電位に応じて、配線 VLS と配線 $OUT7A$ との間を、導通状態または非導通状態にする機能を有する。

[0353]

図 48D は、図 48B に示すレジスタ部 91 の動作例を説明するタイミングチャートである。

[0354]

以下の動作の説明において、配線VLDに、電位Hが与えられ、配線VLSに、電位Lが与えられるものとする。また、配線IN71、配線IN72、配線IN73、および配線IN7Aのそれぞれに、電位Hまたは電位Lのいずれかが与えられるものとする。

[0355]

図48Dに示すタイミングチャートは、動作の期間（期間T91乃至期間T93）ごとに、配線IN71、配線IN72、配線IN73、および配線IN7Aのそれぞれに与えられる電位（電位Hまたは電位L）を示している。また、配線NL71、配線NL72、配線OUT71、および配線OUT7Aのそれぞれの電位の変化について示している。

[0356]

期間T91において、配線IN71、および配線IN72に電位Lが与えられているとする。また、配線NL72の電位が電位Hであるとする。そのため、配線NL71に電位Lが与えられているとする。このとき、トランジスタM75、およびトランジスタM7Aのそれぞれはオフ状態（非導通状態）であり、トランジスタM76、およびトランジスタM7Bのそれぞれはオン状態（導通状態）である。よって、配線IN73、および配線IN7Aのそれぞれの電位（電位Hまたは電位L）によらず、配線OUT71、および配線OUT7Aのそれぞれに電位Lが与えられている。なお、以下の動作の説明において、各配線の電位について特に明記が無い場合、直前の期間の電位が維持されるものとする。

[0357]

期間T92において、配線IN71に電位Hが与えられることで、配線NL72の電位が電位Lになり、配線NL71の電位が電位Hになる。すると、トランジスタM75、およびトランジスタM7Aのそれぞれがオン状態になり、トランジスタM76、およびトランジスタM7Bのそれぞれがオフ状態になる。よって、配線IN73、および配線IN7Aのそれぞれの電位（電位Hまたは電位L）が、トランジスタM75、およびトランジスタM7Aのそれぞれを介して、配線OUT71、および配線OUT7Aのそれぞれに与えられる。なお、その後、配線IN71に電位Lが与えられても、配線NL72および配線NL71の電位は維持される。

[0358]

期間T93において、配線IN72に電位Hが与えられることで、配線NL72の電位が電位Hになり、配線NL71の電位が電位Lになる。すると、トランジスタM75、およびトランジスタM7Aのそれぞれがオフ状態になり、トランジスタM76、およびトランジスタM7Bのそれぞれがオン状態になる。よって、配線IN73、および配線IN7Aのそれぞれの電位（電位Hまたは電位L）によらず、配線OUT71、および配線OUT7Aのそれぞれに電位Lが与えられる。なお、その後、配線IN72に電位Lが与えられても、配線NL72および配線NL71の電位は維持される。

[0359]

図48Eは、レジスタ部91の変形例を説明する回路図である。図48Eに示すレジスタ部91aは、ブートストラップ回路を有する点が、レジスタ部91と異なる。すなわち、レジスタ部91aは、レジスタ部91に加えて、トランジスタM77と、キャパシタC71と、を有し、かつ、トランジスタM7Cと、キャパシタC7Aと、を有する。なお、キャパシタC71、およびキャパシタC7Aを、ブートストラップ容量という場合がある。

[0360]

トランジスタM77のゲートは、配線VLDに電氣的に接続される。トランジスタM75のゲート

は、トランジスタM77のソースおよびドレインを介して、配線NL71に電氣的に接続される。また、トランジスタM75のゲートは、キャパシタC71を介して、配線OUT71に電氣的に接続される。

[0361]

トランジスタM7Cのゲートは、配線VLDに電氣的に接続される。トランジスタM7Aのゲートは、トランジスタM7Cのソースおよびドレインを介して、配線NL71に電氣的に接続される。また、トランジスタM7Aのゲートは、キャパシタC7Aを介して、配線OUT7Aに電氣的に接続される。

[0362]

ここで、レジスタ部91は、トランジスタM75において、配線IN73から配線OUT71に電位Hを伝える際に、しきい値電圧による電位の低下が生じる。そこで、レジスタ部91aのようにブートストラップ回路を採用することで、トランジスタM75において、ブートストラップ容量による容量結合によってオン状態を維持することができる。そのため、しきい値電圧による電位の低下が生じることなく、配線OUT71に電位Hを伝えることができる。

[0363]

同様に、レジスタ部91は、トランジスタM7Aにおいて、配線IN7Aから配線OUT7Aに電位Hを伝える際に、しきい値電圧による電位の低下が生じる。そこで、レジスタ部91aのようにブートストラップ回路を採用することで、トランジスタM7Aにおいて、ブートストラップ容量による容量結合によってオン状態を維持することができる。そのため、しきい値電圧による電位の低下が生じることなく、配線OUT7Aに電位Hを伝えることができる。

[0364]

図49は、ラッチ部90B、ラッチ部90C、およびソースフォロワ部90Dの構成例を説明する回路図である。ラッチ部90Bは、n個のラッチユニット部92を有する。ラッチ部90Cは、n個のラッチユニット部93を有する。ソースフォロワ部90Dは、n個のソースフォロワユニット部94を有する。図49では、ラッチ部90Bの一部を抜粋して、ラッチユニット部92__1と、ラッチユニット部92__hと、ラッチユニット部92__n-h+1と、ラッチユニット部92__nと、を図示している。また、ラッチ部90Cの一部を抜粋して、ラッチユニット部93__1と、ラッチユニット部93__hと、ラッチユニット部93__n-h+1と、ラッチユニット部93__nと、を図示している。また、ソースフォロワ部90Dの一部を抜粋して、ソースフォロワユニット部94__1と、ソースフォロワユニット部94__hと、ソースフォロワユニット部94__n-h+1と、ソースフォロワユニット部94__nと、を図示している。また、配線SMP[1:n/h]の一部を抜粋して、配線SMP__1と、配線SMP__n/hと、を図示している。また、配線DAT[1:h]の一部を抜粋して、配線DAT__1と、配線DAT__hと、を図示している。また、配線LAT1[1:n]の一部を抜粋して、配線LAT1__1と、配線LAT1__hと、配線LAT1__n-h+1と、配線LAT1__nと、を図示している。また、配線LAT2[1:n]の一部を抜粋して、配線LAT2__1と、配線LAT2__hと、配線LAT2__n-h+1と、配線LAT2__nと、を図示している。また、配線DL[1:n]の一部を抜粋して、配線DL__1と、配線DL__hと、配線DL__n-h+1と、配線DL__nと、を図示している。

[0365]

なお、本明細書等では、例えば、“[1:n]”、または “[1:h]” などを付記して表した複

数本の配線のうち、任意の1本の配線を表す場合、“__1”、“__n”、または“__h”などを付記する場合がある。

[0366]

n個のラッチユニット部92は、それぞれ、n本の配線LAT1に電氣的に接続される。また、h個のラッチユニット部92をまとめて、n/h本の配線SMPのいずれかに電氣的に接続される。また、h個のラッチユニット部92ごとに、h本の配線DATに電氣的に接続される。例えば、ラッチユニット部92__1は、配線LAT1__1に電氣的に接続され、ラッチユニット部92__hは、配線LAT1__hに電氣的に接続され、ラッチユニット部92__n-h+1は、配線LAT1__n-h+1に電氣的に接続され、ラッチユニット部92__nは、配線LAT1__nに電氣的に接続される。また、例えば、ラッチユニット部92__1およびラッチユニット部92__hは、配線SMP__1に電氣的に接続され、ラッチユニット部92__n-h+1およびラッチユニット部92__nは、配線SMP__n/hに電氣的に接続される。また、例えば、ラッチユニット部92__1およびラッチユニット部92__n-h+1は、配線DAT__1に電氣的に接続され、ラッチユニット部92__hおよびラッチユニット部92__nは、配線DAT__hに電氣的に接続される。

[0367]

n個のラッチユニット部93は、それぞれ、n本の配線LAT1と、n本の配線LAT2と、に電氣的に接続される。また、配線SW1と、配線SW2と、に電氣的に接続される。例えば、ラッチユニット部93__1は、配線LAT1__1と、配線LAT2__1と、配線SW1と、配線SW2と、に電氣的に接続され、ラッチユニット部93__hは、配線LAT1__hと、配線LAT2__hと、配線SW1と、配線SW2と、に電氣的に接続され、ラッチユニット部93__n-h+1は、配線LAT1__n-h+1と、配線LAT2__n-h+1と、配線SW1と、配線SW2と、に電氣的に接続され、ラッチユニット部93__nは、配線LAT1__nと、配線LAT2__nと、配線SW1と、配線SW2と、に電氣的に接続される。

[0368]

n個のソースフォロワユニット部94は、それぞれ、n本の配線LAT2と、n本の配線DLと、に電氣的に接続される。また、配線SW3と、配線SW4と、配線SW5と、配線SW6と、に電氣的に接続される。例えば、ソースフォロワユニット部94__1は、配線LAT2__1と、配線DL__1と、配線SW3と、配線SW4と、配線SW5と、配線SW6と、に電氣的に接続され、ソースフォロワユニット部94__hは、配線LAT2__hと、配線DL__hと、配線SW3と、配線SW4と、配線SW5と、配線SW6と、に電氣的に接続され、ソースフォロワユニット部94__n-h+1は、配線LAT2__n-h+1と、配線DL__n-h+1と、配線SW3と、配線SW4と、配線SW5と、配線SW6と、に電氣的に接続され、ソースフォロワユニット部94__nは、配線LAT2__nと、配線DL__nと、配線SW3と、配線SW4と、配線SW5と、配線SW6と、に電氣的に接続される。

[0369]

図50Aは、ラッチユニット部92の構成例を説明する回路図である。図50Bは、ラッチユニット部92に対応する回路ブロックである。ラッチユニット部92は、ラッチユニット部92__1乃至ラッチユニット部92__nのそれぞれに適用できる。すなわち、例えば、ラッチユニット部92__1において、配線IN81は配線DAT__1に電氣的に接続され、配線SW81は配線SMP__1に電氣的に接続され、配線OUT81は配線LAT1__1に電氣的に接続される。また、例えば、ラッチ

ユニット部 9 2__n において、配線 I N 8 1 は配線 D A T__h に電氣的に接続され、配線 S W 8 1 は配線 S M P__n/h に電氣的に接続され、配線 O U T 8 1 は配線 L A T 1__n に電氣的に接続される。なお、図 4 9 および図 5 0 B では、配線 V L 8 1 の図示を省略している。なお、ラッチユニット部 9 2__2 乃至ラッチユニット部 9 2__n-1 についても同様である。

[0370]

図 5 0 A に示すラッチユニット部 9 2 は、トランジスタ M 8 1 と、キャパシタ C 8 1 と、を有する。トランジスタ M 8 1 は、配線 S W 8 1 の電位に応じて、配線 I N 8 1 と配線 O U T 8 1 との間を、導通状態または非導通状態にする機能を有する。キャパシタ C 8 1 は、例えば、配線 O U T 8 1 がフローティング状態の時に、配線 O U T 8 1 と配線 V L 8 1 との間の電位差（電圧）を保持する機能を有する。

[0371]

すなわち、ラッチユニット部 9 2 は、配線 S W 8 1 の電位に応じて、配線 I N 8 1 の電位を配線 O U T 8 1 に格納する機能と、配線 O U T 8 1 の電位を保持する機能と、を有する。つまり、ラッチユニット部 9 2 は、サンプルホールド回路の機能を有する。

[0372]

図 5 0 C は、ラッチユニット部 9 3 の構成例を説明する回路図である。図 5 0 D は、ラッチユニット部 9 3 に対応する回路ブロックである。ラッチユニット部 9 3 は、ラッチユニット部 9 3__1 乃至ラッチユニット部 9 3__n のそれぞれに適用できる。すなわち、例えば、ラッチユニット部 9 3__1 において、配線 I N 8 2 は配線 L A T 1__1 に電氣的に接続され、配線 S W 8 2 は配線 S W 1 に電氣的に接続され、配線 S W 8 3 は配線 S W 2 に電氣的に接続され、配線 O U T 8 2 は配線 L A T 2__1 に電氣的に接続される。また、例えば、ラッチユニット部 9 3__n において、配線 I N 8 2 は配線 L A T 1__n に電氣的に接続され、配線 S W 8 2 は配線 S W 1 に電氣的に接続され、配線 S W 8 3 は配線 S W 2 に電氣的に接続され、配線 O U T 8 2 は配線 L A T 2__n に電氣的に接続される。なお、図 4 9 および図 5 0 D では、配線 V L 8 2、および配線 V L 8 3 の図示を省略している。なお、ラッチユニット部 9 3__2 乃至ラッチユニット部 9 3__n-1 についても同様である。

[0373]

図 5 0 C に示すラッチユニット部 9 3 は、トランジスタ M 8 2 と、トランジスタ M 8 3 と、キャパシタ C 8 2 と、を有する。トランジスタ M 8 2 は、配線 S W 8 2 の電位に応じて、配線 I N 8 2 と配線 O U T 8 2 との間を、導通状態または非導通状態にする機能を有する。トランジスタ M 8 3 は、配線 S W 8 3 の電位に応じて、配線 V L 8 3 と配線 O U T 8 2 との間を、導通状態または非導通状態にする機能を有する。キャパシタ C 8 2 は、例えば、配線 O U T 8 2 がフローティング状態の時に、配線 O U T 8 2 と配線 V L 8 2 との間の電位差（電圧）を保持する機能を有する。

[0374]

すなわち、ラッチユニット部 9 3 は、配線 S W 8 2 の電位に応じて、配線 I N 8 2 の電位を配線 O U T 8 2 に格納する機能と、配線 O U T 8 2 の電位を保持する機能と、を有する。つまり、ラッチユニット部 9 3 は、サンプルホールド回路の機能を有する。

[0375]

図 5 0 E は、ソースフォロワユニット部 9 4 の構成例を説明する回路図である。図 5 0 F は、ソースフォロワユニット部 9 4 に対応する回路ブロックである。ソースフォロワユニット部 9 4 は、ソースフォロワユニット部 9 4__1 乃至ソースフォロワユニット部 9 4__n のそれぞれに適用できる。

すなわち、例えば、ソースフォロワユニット部 9 4 __ 1 において、配線 I N 8 3 は配線 L A T 2 __ 1 に電氣的に接続され、配線 S W 8 4 は配線 S W 3 に電氣的に接続され、配線 S W 8 5 は配線 S W 4 に電氣的に接続され、配線 S W 8 6 は配線 S W 5 に電氣的に接続され、配線 S W 8 7 は配線 S W 6 に電氣的に接続され、配線 O U T 8 3 は配線 D L __ 1 に電氣的に接続される。また、例えば、ソースフォロワユニット部 9 4 __ n において、配線 I N 8 3 は配線 L A T 2 __ n に電氣的に接続され、配線 S W 8 4 は配線 S W 3 に電氣的に接続され、配線 S W 8 5 は配線 S W 4 に電氣的に接続され、配線 S W 8 6 は配線 S W 5 に電氣的に接続され、配線 S W 8 7 は配線 S W 6 に電氣的に接続され、配線 O U T 8 3 は配線 D L __ n に電氣的に接続される。なお、図 4 9 および図 5 0 F では、配線 V L 8 A、配線 V L 8 B、配線 V L 8 4、および配線 V L 8 5 の図示を省略している。なお、ソースフォロワユニット部 9 4 __ 2 乃至ソースフォロワユニット部 9 4 __ n - 1 についても同様である。

[0376]

図 5 0 E に示すソースフォロワユニット部 9 4 は、トランジスタ M 8 A と、トランジスタ M 8 B と、トランジスタ M 8 4 と、トランジスタ M 8 5 と、トランジスタ M 8 6 と、トランジスタ M 8 7 と、トランジスタ M 8 8 と、キャパシタ C 8 3 と、を有する。

[0377]

トランジスタ M 8 A のゲートは、配線 N L 8 1 に電氣的に接続される。トランジスタ M 8 A のソースおよびドレインの一方は、トランジスタ M 8 B のソースおよびドレインの一方と、配線 N L 8 2 と、に電氣的に接続されるトランジスタ M 8 A のソースおよびドレインの他方は、配線 V L 8 A に電氣的に接続される。トランジスタ M 8 B のソースおよびドレインの他方およびトランジスタ M 8 B のゲートは、配線 V L 8 B に電氣的に接続される。トランジスタ M 8 A とトランジスタ M 8 B との構成は、トランジスタ M 8 A のゲートを入力端子とし、トランジスタ M 8 A のソースおよびドレインの一方を出力端子とする、ソースフォロワの機能を有する。

[0378]

具体的には図 5 0 E に示す構成は、上記図 2 9 B で説明した半導体装置 6 0 S の構成において各スイッチをトランジスタとする構成例に相当する。配線 V L 8 A、配線 V L 8 B、配線 V L 8 4、および配線 V L 8 5 には、V D D (電位 H)、V S S (電位 L)、V x といった電位を与える配線に相当する。トランジスタ M 8 A は、図 2 9 B で説明した半導体装置 6 0 S のトランジスタ M 0 1 に相当する。トランジスタ M 8 B は、図 2 9 B で説明した半導体装置 6 0 S のトランジスタ M 0 2 に相当する。トランジスタ M 8 6 は、図 2 9 B で説明した半導体装置 6 0 S のスイッチ S 0 1 に相当する。トランジスタ M 8 7 は、図 2 9 B で説明した半導体装置 6 0 S のスイッチ S 0 2 に相当する。トランジスタ M 8 5 は、図 2 9 B で説明した半導体装置 6 0 S のスイッチ S 0 7 に相当する。トランジスタ M 8 8 は、図 2 9 B で説明した半導体装置 6 0 S のスイッチ S 0 8 に相当する。トランジスタ M 8 4 は、図 2 9 B で説明した半導体装置 6 0 S のスイッチ S 0 9 に相当する。キャパシタ C 8 3 は、図 2 9 B で説明した半導体装置 6 0 S のキャパシタ C 0 2 に相当する。なおソースフォロワユニット部 9 4 としては、半導体装置 6 0 S の他、半導体装置 6 0 A 乃至 6 0 R を適用することもできる。

[0379]

トランジスタ M 8 4 は、配線 S W 8 5 の電位に応じて、配線 N L 8 2 と配線 I N 8 3 との間を、導通状態または非導通状態にする機能を有する。トランジスタ M 8 5 は、配線 S W 8 7 の電位に応じて、配線 V L 8 4 と配線 N L 8 1 との間を、導通状態または非導通状態にする機能を有する。トランジスタ M 8 8 は、配線 S W 8 4 の電位に応じて、配線 I N 8 3 と配線 N L 8 3 との間を、導通状態または

非導通状態にする機能を有する。キャパシタC 8 3は、例えば、配線NL 8 1がフローティング状態の時に、配線NL 8 1と配線NL 8 3との間の電位差（電圧）を保持する機能を有する。

[0380]

トランジスタM 8 6は、配線SW 8 6の電位に応じて、配線NL 8 2と配線OUT 8 3との間を、導通状態または非導通状態にする機能を有する。トランジスタM 8 7は、配線SW 8 7の電位に応じて、配線VL 8 5と配線OUT 8 3との間を、導通状態または非導通状態にする機能を有する。

[0381]

図51は、半導体装置90の動作例を説明するタイミングチャートである。

[0382]

以下の動作の説明において、複数の配線CLKは、配線CLK__1、配線CLK__2、配線CLK__3、および配線CLK__4と、の4本である（すなわち、4相のクロック信号が与えられる）とし、複数の配線PWCは、配線PWC__1、配線PWC__2、配線PWC__3、および配線PWC__4と、の4本である（すなわち、4相のクロック信号が与えられる）とする。配線CLK__1乃至配線CLK__4、配線PWC__1乃至配線PWC__4、および配線SPのそれぞれに、電位Hまたは電位Lのいずれかが与えられるものとする。また、配線SW1、配線SW2、配線SW3、配線SW4、配線SW5、および配線SW6のそれぞれに、電位Hまたは電位Lのいずれかが与えられるものとする。また、配線VLDに、電位Hが与えられ、配線VLSに、電位Lが与えられるものとする。また、配線VL81、配線VL82、配線VL83、配線VL84、配線VL85、のそれぞれに、定電位（例えば、電位Hと電位Lとの間の電位）が与えられるものとする。また、配線VL8A、および配線VL8Bのそれぞれに、定電位（ソースフォロウユニット部94をソースフォロウとして機能させるための電位）が与えられているものとする。

[0383]

なお、レジスタ部91の動作例（図48D参照）、および、ラッチユニット部93とソースフォロウユニット部94との構成に対応する半導体装置60の動作例（図14乃至図16B、および図24A乃至図25B参照）、のそれぞれの説明を適宜参照できる。

[0384]

図51に示すタイミングチャートは、動作の期間（期間T9Aおよび期間T9B）ごとに、配線CLK__1乃至配線CLK__4、配線PWC__1乃至配線PWC__4、および配線SPのそれぞれに与えられる電位（電位Hまたは電位L）を示している。また、配線SMP[1]、および配線SMP[n/h]のそれぞれの電位の変化について示している。また、配線DAT[1:h]に与えられるデータ電位Vdを示している。また、配線LAT1[1:h]、および配線LAT1[n-h+1:n]のそれぞれの電位の変化について示している。また、配線SW1、配線SW2、配線SW3、配線SW4、配線SW5、および配線SW6のそれぞれに与えられる電位（電位Hまたは電位L）を示している。また、配線LAT2[1:h]、配線LAT2[n-h+1:n]、配線DL[1:h]、および配線DL[n-h+1:n]のそれぞれの電位の変化について示している。

[0385]

なお、本明細書等では、例えば、“[1:n]”を付記して表したn本の配線のうち、任意のh本の配線を表す場合、“[1:h]”、または“[n-h+1:n]”などを付記する場合がある。すなわち、例えば、“[1:h]”を付記した場合、1本目からh本目までのh本の配線を表し、“[n-h+1:n]”を付記した場合、n-h+1本目からn本目までのh本の配線を表す。つまり、例

えば、“ $[1:h]$ ”の記載は、“ $_1$ ”乃至“ $_h$ ”の記載に相当し、“ $[n-h+1:n]$ ”の記載は、“ $_n-h+1$ ”乃至“ $_n$ ”の記載に相当する。また、例えば、“ $[1:n/h]$ ”を付記して表した n/h 本の配線のうち、任意の1本の配線を表す場合、“ $[1]$ ”、または“ $[n/h]$ ”などを付記する場合がある。すなわち、例えば、“ $[1]$ ”を付記した場合、1本目の配線を表し、“ $[n/h]$ ”を付記した場合、 n/h 本目の配線を表す。つまり、例えば、“ $[1]$ ”の記載は、“ $_1$ ”の記載に相当し、“ $[n/h]$ ”の記載は、“ $_n/h$ ”の記載に相当する。

[0386]

期間T9Aでは、シフトレジスタ部90Aによって、配線SMP $[1]$ 乃至配線SMP $[n/h]$ に信号が順次出力される。すると、ラッチ部90Bによって、配線SMP $[1]$ 乃至配線SMP $[n/h]$ に順次出力される信号をトリガーにして、配線DAT $[1:h]$ を介して入力される電位が格納および保持され、当該電位が配線LAT1 $[1:n]$ に出力される。

[0387]

図51では、期間T9Aにおいて、配線SMP $[1]$ に出力される信号をトリガーにして、配線DAT $[1:h]$ を介して入力されるデータ電位 Vd_1 が格納および保持され、配線LAT1 $[1:h]$ に出力される様子と、配線SMP $[n/h]$ に出力される信号をトリガーにして、配線DAT $[1:h]$ を介して入力されるデータ電位 Vd_n/h が格納および保持され、配線LAT1 $[n-h+1:n]$ に出力される様子と、を示している。

[0388]

なお、期間T9Aでは、配線SW1、配線SW2、配線SW3、配線SW4、および配線SW6に電位Lが与えられ、配線SW5に電位Hが与えられているとする。

[0389]

期間T9Bでは、まず、配線SW5に電位Lが与えられ、配線SW6に電位Hが与えられる。すると、ソースフォロワ部90Dによって、配線DL $[1:n]$ が、配線VL85の電位にディスチャージされる（図14Aにおける初期化動作1に相当）。

[0390]

次に、配線SW2に電位Hが与えられ、一定期間後、電位Lが与えられる。この期間では、ラッチ部90Cによって、配線LAT2 $[1:n]$ の電位が、配線VL83の電位にリセット（初期化）される。

[0391]

次に、配線SW4に電位Hが与えられ、一定期間後、電位Lが与えられる。この期間では、ソースフォロワ部90Dにおいて、配線LAT2 $[1:n]$ から入力される電位を補正する動作が行われる（図14Aにおける初期化動作2に相当）。

[0392]

次に、配線SW1に電位Hが与えられ、一定期間後、電位Lが与えられる。また配線SW6に電位Lが与えられる。この期間では、ラッチ部90Cによって、配線LAT1 $_1$ 乃至配線LAT1 $_n$ の電位が格納および保持され、当該電位が配線LAT2 $_1$ 乃至配線LAT2 $_n$ に出力される（図14Aにおける初期化終了動作に相当）。

[0393]

次に、配線SW3および配線SW5に電位Hが与えられる。この期間では、ソースフォロワ部90Dによって、配線LAT2 $_1$ 乃至配線LAT2 $_n$ の電位に応じた電位が、配線DL $_1$ 乃至配線

DL__nに出力される（図14Aにおける信号出力動作に相当）。

[0394]

本発明の一態様は、表示装置40に半導体装置90を用いることができる。例えば、表示装置40において、ソースドライバの一部に半導体装置90を用いることができる。その際、配線DL__1乃至配線DL__nのそれぞれは、n列に配置された画素41のそれぞれにおいて、画素41に半導体装置20Aを用いた場合における配線DLに対応する。

[0395]

表示装置40に半導体装置90を用いることで、表示装置40の外部から入力されるデータライン数を、画素41の列数nよりも少ない数とすることができる。よって、例えば、表示装置の小型化、および低コスト化を図ることができる。

[0396]

なお、本発明の一態様は、上述した半導体装置90の構成に限定されず、上述した表示装置を実現できる範囲で適宜構成を変更してもよい。

[0397]

〔トランジスタの直列接続〕

図52A乃至図52Cは、トランジスタの直列接続について説明する回路図である。

[0398]

本発明の一態様は、画素回路および周辺駆動回路を構成するトランジスタとして、ソースとドレインとの間に1つのゲートを有するシングルゲート型のトランジスタであってもよいし、ダブルゲート型のトランジスタであってもよい。図52Aに、ダブルゲート型のトランジスタTrAの回路記号例を示す。

[0399]

トランジスタTrAは、トランジスタTr1とトランジスタTr2とを直列に接続した構成を有する。図52Aに示すトランジスタTrAでは、トランジスタTr1のソースおよびドレインの一方が、端子Sと電氣的に接続される。また、トランジスタTr1のソースおよびドレインの他方が、トランジスタTr2のソースおよびドレインの一方と電氣的に接続される。また、トランジスタTr2のソースおよびドレインの他方が端子Dと電氣的に接続される。また、図52Aに示すトランジスタTrAでは、トランジスタTr1とトランジスタTr2とのゲートが電氣的に接続され、かつ、端子Gと電氣的に接続される。

[0400]

図52Aに示すトランジスタTrAは、端子Gの電位を変化させることで、端子Sと端子Dとの間の、導通状態または非導通状態を切り換える機能を有する。よって、ダブルゲート型のトランジスタであるトランジスタTrAは、トランジスタTr1とトランジスタTr2とを内在し、かつ、1つのトランジスタとして機能する。すなわち、図52Aにおいて、トランジスタTrAのソースおよびドレインの一方は端子Sと電氣的に接続され、ソースおよびドレインの他方は端子Dと電氣的に接続され、ゲートは端子Gと電氣的に接続されているといえる。

[0401]

また、画素回路および周辺駆動回路を構成するトランジスタとして、トリプルゲート型のトランジスタであってもよい。図52Bに、トリプルゲート型のトランジスタTrBの回路記号例を示す。

[0402]

トランジスタT_rBは、トランジスタT_r1と、トランジスタT_r2と、トランジスタT_r3と、を直列に接続した構成を有する。図5 2 Bに示すトランジスタT_rBでは、トランジスタT_r1のソースおよびドレインの一方が、端子Sと電氣的に接続される。また、トランジスタT_r1のソースおよびドレインの他方が、トランジスタT_r2のソースおよびドレインの一方と電氣的に接続される。また、トランジスタT_r2のソースおよびドレインの他方が、トランジスタT_r3のソースおよびドレインの一方と電氣的に接続される。また、トランジスタT_r3のソースおよびドレインの他方が、端子Dと電氣的に接続される。また、図5 2 Bに示すトランジスタT_rBでは、トランジスタT_r1と、トランジスタT_r2と、トランジスタT_r3と、のゲートが電氣的に接続され、かつ、端子Gと電氣的に接続される。

[0403]

図5 2 Bに示すトランジスタT_rBは、端子Gの電位を変化させることで、端子Sと端子Dとの間の、導通状態または非導通状態を切り換える機能を有する。よって、トリプルゲート型のトランジスタであるトランジスタT_rBは、トランジスタT_r1と、トランジスタT_r2と、トランジスタT_r3と、を内在し、かつ、1つのトランジスタとして機能する。すなわち、図5 2 Bにおいて、トランジスタT_rBのソースおよびドレインの一方は端子Sと電氣的に接続され、ソースおよびドレインの他方は端子Dと電氣的に接続され、ゲートは端子Gと電氣的に接続されているといえる。

[0404]

また、画素回路および周辺駆動回路を構成するトランジスタとして、4つ以上のトランジスタを直列に接続した構成であってもよい。図5 2 Cに示すトランジスタT_rCは、6つのトランジスタ（トランジスタT_r1乃至トランジスタT_r6）のそれぞれを、直列に接続した構成を有する。また、図5 2 Cに示すトランジスタT_rCでは、6つのトランジスタのそれぞれのゲートが電氣的に接続され、かつ、端子Gと電氣的に接続される。

[0405]

図5 2 Cに示すトランジスタT_rCは、端子Gの電位を変化させることで、端子Sと端子Dとの間の、導通状態または非導通状態を切り換える機能を有する。よって、トランジスタT_rCは、トランジスタT_r1乃至トランジスタT_r6を内在し、かつ、1つのトランジスタとして機能する。すなわち、図5 2 Cにおいて、トランジスタT_rCのソースおよびドレインの一方は端子Sと電氣的に接続され、ソースおよびドレインの他方は端子Dと電氣的に接続され、ゲートは端子Gと電氣的に接続されているといえる。

[0406]

トランジスタT_rA、トランジスタT_rB、およびトランジスタT_rCのように、複数のゲートを有し、かつ、複数のゲートが電氣的に接続されているトランジスタを、「マルチゲート型のトランジスタ」、または「マルチゲートトランジスタ」と呼ぶ場合がある。

[0407]

本発明の一態様は、マルチゲートトランジスタを用いることで、実質的にチャネル長が長いトランジスタを実現することができる。よって、オフ電流の低減、およびドレイン耐圧の向上（すなわち信頼性の向上）を図ることができる。また、飽和性が高い特性を得ることができる。このような飽和性が高いトランジスタを用いることで、例えば、理想的な電流源回路、および非常に高い抵抗値をもつ能動負荷などを実現することができる。よって、例えば、特性のよい差動回路、およびカレントミラー回路などを実現することができる。

[0408]

本発明の一態様は、上述したような様々な要素回路を構成するトランジスタとして、縦型のOSトランジスタを用いることができる。各要素回路を構成するトランジスタの一部または全部に、縦型のOSトランジスタを用いることで、当該回路の占有面積を低減することができる。それによって、例えば、表示装置の狭額縁化、高解像度化、および高精細化などを図ることができる。

[0409]

なお、本発明の一態様に係る半導体装置および表示装置は、本実施の形態で説明した半導体装置および表示装置に限定されない。本実施の形態で例示した構成例、動作例、およびそれらに対応する図面等は、少なくともその一部を、本明細書等に記載する他の構成例、他の動作例、他の図面、および他の実施の形態等と適宜組み合わせることができる。

[0410]

(実施の形態2)

本実施の形態では、本発明の一態様の半導体装置について、図53乃至図63を用いて説明する。

[0411]

本発明の一態様は、トランジスタと、第1の絶縁層と、を有する半導体装置である。

[0412]

トランジスタは、第1の導電層と、第1の絶縁層を介して第1の導電層と重なる領域を有する第2の導電層と、半導体層と、ゲート絶縁層と、ゲート電極と、を有する。第2の導電層は、第1の導電層と重なる領域に第1の開口を有する。第1の絶縁層は、第1の開口と重なる領域に第1の導電層に達する第2の開口を有する。半導体層は、第1の開口及び第2の開口において、第1の導電層の上面、第1の絶縁層の側面、及び第2の導電層の側面と接する。半導体層上にゲート絶縁層が設けられ、ゲート絶縁層上にゲート電極が設けられる。当該トランジスタにおいて、第1の導電層はソース電極及びドレイン電極の一方として機能し、第2の導電層は他方として機能する。当該トランジスタは、ソース電極、チャネル形成領域を有する層、及びドレイン電極を、重ねて設けることができるため、占有面積を小さくすることができる。また、半導体層の第1の絶縁層と接する領域は、チャネル形成領域として機能する。これにより、トランジスタのチャネル長を露光装置の限界解像度よりも小さくすることができ、オン電流の大きいトランジスタとすることができる。

[0413]

半導体層は、金属酸化物を有することが好ましい。また、第1の絶縁層は、酸素を放出する材料を用いることが好ましい。これにより、第1の絶縁層から半導体層（特に、チャネル形成領域）に酸素を供給することができ、半導体層の酸素欠損（ V_O : Oxygen Vacancy）を低減することができる。

[0414]

チャネル長の小さいトランジスタにおいて、第1の絶縁層から半導体層に供給される酸素の量は多いことが好ましい。また、第1の絶縁層の酸素の拡散係数は大きいことが好ましい。具体的には、第1の絶縁層の350℃における酸素の拡散係数は、 $5 \times 10^{-12} \text{ cm}^2/\text{sec}$ 以上であることが好ましい。これにより、第1の絶縁層中の酸素の拡散速度が速くなり、半導体層に効果的に酸素を供給することができる。したがって、チャネル長の小さいトランジスタにおいても、良好な電気特性と高い信頼性を両立させることができる。

[0415]

<構成例 1>

本発明の一態様である半導体装置について、説明する。半導体装置 10 の上面図(平面図ともいう)を、図 53A に示す。図 53A に示す一点鎖線 A1-A2 における切断面の断面図を図 53B に示し、一点鎖線 B1-B2 における切断面の断面図を図 53C に示す。なお、図 53A において、半導体装置 10 の構成要素の一部(絶縁層など)を省略している。半導体装置の上面図については、以降の図面においても図 53A と同様に、構成要素の一部を省略する。

[0416]

半導体装置 10 は、トランジスタ 100 と、トランジスタ 200 と、キャパシタ 150 と、絶縁層 110 と、を有する。トランジスタ 100、トランジスタ 200、及びキャパシタ 150 は、基板 102 上に設けられる。トランジスタ 100 とトランジスタ 200 とは異なる構造を有する。また、トランジスタ 100、トランジスタ 200、及びキャパシタ 150 は、一部の工程を共通にして形成することができる。

[0417]

トランジスタ 100 は、導電層 104 と、絶縁層 106 と、半導体層 108 と、導電層 112a と、導電層 112b と、を有する。トランジスタ 100 において、導電層 104 はゲート電極(第 1 のゲート電極ともいえる)として機能し、絶縁層 106 の一部はゲート絶縁層(第 1 のゲート絶縁層ともいえる)として機能する。導電層 112a はソース電極及びドレイン電極の一方として機能し、導電層 112b は他方として機能する。トランジスタ 100 を構成する各層は、単層構造であってもよく、積層構造であってもよい。

[0418]

基板 102 上に導電層 112a が設けられ、導電層 112a 上に絶縁層 110 が設けられる。絶縁層 110 は、導電層 112a の上面及び側面を覆うように設けられる。絶縁層 110 は、導電層 112a と重なる領域に、導電層 112a に達する開口 141 を有する。開口 141 において、導電層 112a が露出するともいえる。

[0419]

絶縁層 110 上に、導電層 112b が設けられる。導電層 112b は、絶縁層 110 を介して導電層 112a と重なる領域を有する。導電層 112b は、導電層 112a と重なる領域に開口 143 を有する。開口 143 は、開口 141 と重なる領域に設けられる。

[0420]

開口 141 及び開口 143 は上面が円形または概略円形の柱状形状を有する。このような構成にすることで、例えば、半導体装置の微細化、高集積化、高密度化、及び小型化などを図ることができる。なお、開口 141 及び開口 143 の側面は、導電層 112a の上面に対して垂直または概略垂直であることが好ましい。

[0421]

半導体層 108 の少なくとも一部は、開口 141 及び開口 143 を覆うように設けられる。半導体層 108 は、導電層 112b の上面及び側面、絶縁層 110 の側面、並びに、導電層 112a の上面、と接する領域を有する。半導体層 108 は、開口 141 及び開口 143 を介して、導電層 112a と電氣的に接続される。半導体層 108 は、導電層 112b の上面及び側面、絶縁層 110 の側面、並びに、導電層 112a の上面、の形状に沿った形状を有する。半導体層 108 は、絶縁層 110 を介して導電層 112a と重なる領域を有する。絶縁層 110 は、導電層 112a と半導体層 108 とに

挟持される領域を有するともいえる。つまり、半導体層 108 の一部は、開口 141 及び開口 143 の内部に設けられるともいえる。

[0422]

半導体層 108 の導電層 112a と接する領域はソース領域及びドレイン領域の一方として機能し、導電層 112b と接する領域は他方として機能する。半導体層 108 において、ソース領域とドレイン領域との間にチャンネル形成領域が設けられる。

[0423]

絶縁層 106 の少なくとも一部は、開口 141 及び開口 143 を覆うように設けられる。絶縁層 106 は、半導体層 108、導電層 112b、及び絶縁層 110 の上に設けられる。絶縁層 106 は、半導体層 108 の上面及び側面、導電層 112b の上面及び側面、並びに、絶縁層 110 の上面、と接する領域を有する。絶縁層 106 は、半導体層 108 の上面及び側面、導電層 112b の上面及び側面、並びに、絶縁層 110 の上面、の形状に沿った形状を有する。

[0424]

導電層 104 は、絶縁層 106 上に設けられ、絶縁層 106 の上面と接する領域を有する。導電層 104 は、絶縁層 106 を介して、半導体層 108 と重なる領域を有する。導電層 104 は、絶縁層 106 の上面の形状に沿った形状を有する。なお、導電層 104 が開口 141 及び開口 143 を埋め込むように設けられた構成であってもよい。

[0425]

トランジスタ 100 は、半導体層 108 よりも上方にゲート電極を有する、いわゆるトップゲート型のトランジスタである。さらに、半導体層 108 の下面が、ソース電極及びドレイン電極として機能する、導電層 112a 及び導電層 112b と接することから、TGBC (Top Gate Bottom Contact) 型のトランジスタといえることができる。また、トランジスタ 100 は、被形成面である基板 102 の表面に対してソース電極とドレイン電極とが異なる高さに位置し、基板 102 の表面に対して垂直方向または概略垂直方向にドレイン電流が流れる。トランジスタ 100 において、縦方向または概略縦方向にドレイン電流が流れるということもできる。そのため、本発明の一態様であるトランジスタは、例えば、縦型のトランジスタ、縦型トランジスタ、縦チャンネル型トランジスタ、縦型チャンネルトランジスタ、または VFET (Vertical Field Effect Transistor) などといえることができる。

[0426]

トランジスタ 100 は、導電層 112a と導電層 112b との間に設けられる絶縁層 110 (具体的には、絶縁層 110b) の厚さでチャンネル長を制御することができる。したがって、トランジスタの作製に用いる露光装置の限界解像度よりも小さなチャンネル長を有するトランジスタを精度高く作製できる。また、複数のトランジスタ 100 間の特性ばらつきも低減される。よって、トランジスタ 100 を含む半導体装置の動作が安定し、信頼性を高めることができる。また、特性ばらつきが減ると、半導体装置の回路設計の自由度が高くなり、動作電圧を低減できる。よって、半導体装置の消費電力を低減できる。

[0427]

トランジスタ 100 は、ソース電極、チャンネル形成領域を有する層、及びドレイン電極を、重ねて設けることができるため、チャンネル形成領域を有する層を平面状に配置した、いわゆるプレーナ型トランジスタと比較して、占有面積を大幅に縮小できる。

[0428]

導電層112a、導電層112b、及び導電層104は、それぞれ、配線として機能することができ、トランジスタ100はこれらの配線が重なる領域に設けることができる。つまり、トランジスタ100及び配線を有する回路において、トランジスタ100及び配線の占有面積を縮小することができる。したがって、回路の占有面積を縮小することができ、小型の半導体装置とすることができる。

[0429]

トランジスタ200は、導電層204と、導電層212aと、導電層212bと、絶縁層106と、半導体層208と、絶縁層120と、導電層202と、を有する。トランジスタ200において、導電層204はゲート電極（第1のゲート電極ともいえる）として機能し、絶縁層106の一部はゲート絶縁層（第1のゲート絶縁層ともいえる）として機能する。導電層202はバックゲート電極（第2のゲート電極ともいえる）として機能し、絶縁層120の一部はバックゲート絶縁層（第2のゲート絶縁層ともいえる）として機能する。導電層212aはソース電極及びドレイン電極の一方として機能し、導電層212bは他方として機能する。トランジスタ200を構成する各層は、単層構造であってもよく、積層構造であってもよい。なお、トランジスタ200は、導電層202を有さなくてもよい。

[0430]

半導体層208のうち、ソース電極とドレイン電極との間において、ゲート絶縁層を介してゲート電極と重なる領域の全体がチャネル形成領域として機能する。半導体層208は、チャネル形成領域を挟む一対の領域208Lと、その外側に一対の領域208Dを有する。

[0431]

領域208L及び領域208Dは、不純物元素を含む領域である。当該不純物元素として、水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、ヒ素、アルミニウム、マグネシウム、シリコン、及び貴ガスの、一または複数を用いることができる。なお、貴ガスの代表例として、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノンがある。不純物元素として、特に、ホウ素、リン、アルミニウム、マグネシウム、及びシリコンの、一または複数を用いることが好ましい。

[0432]

導電層204、導電層212a、及び導電層212bをマスクとして、半導体層208に不純物元素を供給（添加、または注入ともいう）する。これにより、半導体層208の、導電層204、導電層212a、導電層212b、及び絶縁層106のいずれとも重ならない領域に、領域208Dが形成され、導電層204、導電層212a、及び導電層212bのいずれとも重ならず、かつ、絶縁層106と重なる領域に、領域208Lが形成される。

[0433]

半導体層208のうち、導電層212aと接する領域、及び当該領域に隣接する領域208Dは、ソース領域及びドレイン領域の一方として機能する。半導体層208のうち、導電層212bと接する領域、及び当該領域に隣接する領域208Dは、ソース領域及びドレイン領域の他方として機能する。

[0434]

絶縁層110上に導電層202が設けられ、導電層202上に絶縁層120が設けられる。絶縁層120は、導電層202の上面及び側面を覆うように設けられる。絶縁層120は、導電層202の端部より突出した部分を有する。絶縁層120の端部は、絶縁層110の上面と接する。

[0435]

絶縁層120上に半導体層208が設けられる。半導体層208は、絶縁層120を介して、導電層202と重なる領域を有する。半導体層208は、半導体層108と同じ材料を用いることができる。また、半導体層208は、半導体層108と同じ工程で形成することができる。例えば、半導体層108及び半導体層208となる膜を形成し、当該膜を加工することにより、半導体層108及び半導体層208を形成できる。

[0436]

半導体層208上に絶縁層106が設けられる。絶縁層106の一部はトランジスタ100のゲート絶縁層として機能し、他の一部はトランジスタ200のゲート絶縁層として機能する。絶縁層106は、半導体層208と重なる領域に開口147a及び開口147bを有する。

[0437]

絶縁層106上に導電層204、導電層212a、及び導電層212bが設けられる。導電層204は、絶縁層106を介して、半導体層208と重なる領域を有する。また、導電層204は、半導体層208を介して、導電層202と重なる領域を有する。導電層212a及び導電層212bは、開口147a及び開口147bを覆うように設けられる。導電層212aは、開口147aを介して、半導体層208と電氣的に接続され、導電層212bは、開口147bを介して、半導体層208と電氣的に接続される。導電層204、導電層212a、及び導電層212bは、導電層104と同じ材料を用いることができる。また、導電層204、導電層212a、及び導電層212bは、導電層104と同じ工程で形成することができる。例えば、導電層104、導電層204、導電層212a、及び導電層212bとなる膜を形成し、当該膜を加工することにより、導電層104、導電層204、導電層212a、及び導電層212bを形成できる。

[0438]

トランジスタ200は、半導体層208を平面状に配置した、プレーナ型のトランジスタである。また、半導体層208よりも上方にゲート電極を有する、いわゆるトップゲート型のトランジスタである。例えば、ゲート電極として機能する導電層204をマスクに不純物元素を半導体層208に添加することにより、自己整合的にソース領域及びドレイン領域として機能する領域208Dを形成することができる。トランジスタ200は、TGSA (Top Gate Self-Aligned) 型のトランジスタということができる。

[0439]

トランジスタ200は、導電層204の長さでチャンネル長を制御することができる。したがって、トランジスタ200のチャンネル長は、トランジスタの作製に用いる露光装置の限界解像度以上の値となる。つまり、トランジスタ100のチャンネル長より、トランジスタ200のチャンネル長を長くすることができる。チャンネル長を長くすることにより、飽和性の高いトランジスタとすることができる。

[0440]

チャンネル長の短いトランジスタ100と、チャンネル長の長いトランジスタ200を、一部の工程を共通にして同じ基板上に形成することができる。例えば、大きいオン電流が求められるトランジスタにトランジスタ100を適用し、高い飽和性が求められるトランジスタにトランジスタ200を適用することにより、高い性能の半導体装置とすることができる。

[0441]

例えば、本発明の一態様の半導体装置を表示装置の画素回路に適用する場合、画素回路の占有面積

を縮小することができ、高精細の表示装置とすることができる。また、例えば、本発明の一態様の半導体装置を表示装置の駆動回路（例えば、ゲート線駆動回路及びソース線駆動回路の、一方または双方）に適用する場合、駆動回路の占有面積を縮小することができ、狭額縁の表示装置とすることができる。

[0442]

キャパシタ150は、一对の電極として機能する導電層112b及び導電層202、並びに、絶縁層120、を有する。導電層112bは、トランジスタ100のソース電極及びドレイン電極の他方として機能するとともに、キャパシタ150の一对の電極の一方として機能する。導電層202は、トランジスタ200のバックゲート電極として機能するとともに、キャパシタ150の一对の電極の他方として機能する。絶縁層120の導電層112bと導電層202に挟持される領域は、キャパシタ150の誘電体として機能する。導電層112bと導電層202とを異なる工程で形成することにより、これらの導電層を一对の電極として有するキャパシタ150を形成することができる。また、導電層112bと導電層202を異なる工程で形成することにより、異なる材料を用いることができ、材料の選択の幅を広げることができる。

[0443]

図53A等では、キャパシタ150が導電層112b、導電層202、及び絶縁層120で構成される例を挙げて説明したが、キャパシタ150の構成は特に限定されない。キャパシタ150の他の構成として、例えば、導電層212a（または導電層212b）、導電層112b、及び絶縁層106で構成される例が挙げられる。また、例えば、導電層202、導電層112a、及び絶縁層110で構成される例が挙げられる。また、半導体装置10は、キャパシタ150を有さなくてもよい。なお、導電層112b、導電層202、及び絶縁層120で構成されるキャパシタ150を設けない場合、導電層112bと導電層202とを同じ工程で形成してもよい。

[0444]

図53A等では、トランジスタ100のソース電極及びドレイン電極の他方が、キャパシタ150の一对の電極の一方と電気的に接続され、トランジスタ200のソース電極及びドレイン電極の一方が、キャパシタ150の一对の電極の他方と電気的に接続される構成を示したが、トランジスタ100、トランジスタ200、及びキャパシタ150の電気的な接続関係は特に限定されない。

[0445]

トランジスタ100、トランジスタ200、及びキャパシタ150を覆うように、絶縁層195が設けられる。絶縁層195は、トランジスタ100、トランジスタ200、及びキャパシタ150の保護層として機能する。

[0446]

半導体層108及び半導体層208に用いる半導体材料は、特に限定されない。例えば、単体元素よりなる半導体、または化合物半導体を用いることができる。単体元素よりなる半導体として、例えば、シリコン、及びゲルマニウムが挙げられる。化合物半導体として、例えば、ヒ化ガリウム、及びシリコンゲルマニウムが挙げられる。その他、化合物半導体として、例えば、有機半導体、窒化物半導体、及び酸化物半導体が挙げられる。なお、これらの半導体材料に、ドーパントとして不純物が含まれてもよい。

[0447]

半導体層108及び半導体層208に用いる半導体材料の結晶性は特に限定されず、非晶質半導

体、単結晶性半導体、または単結晶以外の結晶性を有する半導体（微結晶半導体、多結晶半導体、または一部に結晶領域を有する半導体）のいずれを用いてもよい。単結晶半導体または結晶性を有する半導体を用いると、トランジスタ特性の劣化を抑制できるため好ましい。

[0448]

半導体層108及び半導体層208は、それぞれ、シリコンを用いることができる。シリコンとして、単結晶シリコン、多結晶シリコン、微結晶シリコン、及び非晶質シリコンが挙げられる。多結晶シリコンとして、例えば、低温ポリシリコン（LTPS: Low Temperature Poly Silicon）が挙げられる。チャネル形成領域に非晶質シリコンを用いたトランジスタは、大型のガラス基板上に形成でき、かつ、低コストで作製することができる。チャネル形成領域に多結晶シリコンを用いたトランジスタは、電界効果移動度が高く、高速動作が可能である。また、チャネル形成領域に微結晶シリコンを用いたトランジスタは、非晶質シリコンを用いたトランジスタより電界効果移動度が高く、高速動作が可能である。

[0449]

半導体層108及び半導体層208は、それぞれ、半導体特性を示す金属酸化物（酸化物半導体ともいう）を有することが好ましい。

[0450]

半導体層108及び半導体層208に用いる金属酸化物のバンドギャップは、それぞれ、2.0 eV以上が好ましく、2.5 eV以上がより好ましい。

[0451]

酸化物半導体を用いたトランジスタ（以下、OSトランジスタと記す）は、非晶質シリコンを用いたトランジスタと比較して電界効果移動度が極めて高い。また、OSトランジスタは、オフ電流が著しく小さく、当該トランジスタと直列に接続された容量に蓄積した電荷を長期間にわたって保持することが可能である。また、OSトランジスタを適用することで、半導体装置の消費電力を低減することができる。

[0452]

[トランジスタ100]

トランジスタ100の詳細な構成について、図53A乃至図53C、図54A、及び図54Bを用いて説明する。図54A及び図54Bは、図53A及び図53Bに示すトランジスタ100の拡大図である。

[0453]

絶縁層110は、1層以上の無機絶縁膜を有することが好ましい。無機絶縁膜に用いることができる材料として、例えば、酸化物、窒化物、酸化窒化物、及び窒化酸化物が挙げられる。酸化物として、例えば、酸化シリコン、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタル、酸化セリウム、ガリウム亜鉛酸化物、及びハフニウムアルミネートが挙げられる。窒化物として、例えば、窒化シリコン、及び窒化アルミニウムが挙げられる。酸化窒化物として、例えば、酸化窒化シリコン、酸化窒化アルミニウム、酸化窒化ガリウム、酸化窒化イットリウム、及び酸化窒化ハフニウムが挙げられる。窒化酸化物として、例えば、窒化酸化シリコン、及び窒化酸化アルミニウムが挙げられる。

[0454]

なお、本明細書等において、酸化窒化物とは、その組成として窒素よりも酸素の含有量が多い材料を指す。窒化酸化物とは、その組成として酸素よりも窒素の含有量が多い材料を指す。

[0455]

トランジスタ100において、絶縁層110は、半導体層108と接する領域を有する。半導体層108に金属酸化物を用いる場合、半導体層108と絶縁層110との界面特性を向上させるため、絶縁層110の半導体層108と接する領域の少なくとも一部は酸素を有することが好ましい。具体的には、絶縁層110における半導体層108のチャネル形成領域と接する領域は、酸素を有することが好ましい。絶縁層110における半導体層108のチャネル形成領域と接する領域に、酸化物及び酸化窒化物の一以上を用いることができる。

[0456]

絶縁層110は、積層構造を有することが好ましい。図53B等では、絶縁層110が、絶縁層110aと、絶縁層110a上の絶縁層110bと、絶縁層110b上の絶縁層110cと、を有する例を示している。

[0457]

半導体層108の絶縁層110bと接する領域は、チャネル形成領域として機能する。絶縁層110bは酸素を有することが好ましく、前述の酸化物及び酸化窒化物の、いずれか一つまたは複数を用いることが好ましい。具体的には、絶縁層110bには、酸化シリコン及び酸化窒化シリコンの、一方または双方を用いることができる。

[0458]

絶縁層110bには、加熱により酸素を放出する膜を用いるとより好ましい。トランジスタ100の作製工程中にかかる熱により、絶縁層110bが酸素を放出することで、半導体層108に酸素を供給することができる。絶縁層110bから半導体層108、特にチャネル形成領域に酸素を供給することで、酸素欠損(V_o)が修復され、酸素欠損(V_o)を低減することができる。したがって、良好な電気特性を示し、かつ、信頼性の高いトランジスタとすることができる。

[0459]

例えば、酸素を含む雰囲気における加熱処理、または、酸素を含む雰囲気におけるプラズマ処理を行うことで、絶縁層110bに酸素を供給することができる。また、絶縁層110bの上面に、スパッタリング法により、酸素を含む雰囲気で酸化物膜を形成することで酸素を供給してもよい。その後、当該酸化物膜を除去してもよい。

[0460]

絶縁層110bは、スパッタリング法、またはプラズマ化学気相堆積(PECVD: Plasma Enhanced Chemical Vapor Deposition)法などの成膜方法で形成することが好ましい。特に、スパッタリング法を用い、成膜ガスに水素ガスを用いない方法で形成することで、水素の含有量が極めて少ない膜とすることができる。そのため、チャネル形成領域に水素が供給されることを抑制し、トランジスタ100の電気特性の安定化を図ることができる。

[0461]

絶縁層110bにおいて、物質が拡散しやすいことが好ましい。絶縁層110bにおける物質の拡散係数が大きいことが好ましいともいえる。特に、絶縁層110bは、酸素が拡散しやすいことが好ましい。つまり、絶縁層110bにおける酸素の拡散係数が大きいことが好ましい。絶縁層110bに含まれる酸素は、絶縁層110b中を拡散し、絶縁層110bと半導体層108との界面を介して、

半導体層 108 に供給される。酸素が拡散しやすい絶縁層 110b とすることにより、絶縁層 110b に含まれる酸素を効率よく半導体層 108（特に、チャネル形成領域）へ供給することができる。
[0462]

絶縁層 110b の 350℃における酸素の拡散係数は、 $5 \times 10^{-12} \text{ cm}^2/\text{sec}$ 以上が好ましく、さらには $1 \times 10^{-11} \text{ cm}^2/\text{sec}$ 以上が好ましく、さらには $5 \times 10^{-11} \text{ cm}^2/\text{sec}$ 以上が好ましく、さらには $1 \times 10^{-10} \text{ cm}^2/\text{sec}$ 以上が好ましい。これにより、絶縁層 110b に含まれる酸素を効率よく半導体層 108 へ供給することができる。拡散係数は大きいことが好ましいため、特に上限は設けない。拡散係数の算出には、例えば、昇温脱離ガス分析法（TDS: Thermal Desorption Spectroscopy）を用いることができる。または、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）を用いてもよい。

[0463]

ここで、半導体層 108 に導電率の高い材料を用いることで、オン電流の大きいトランジスタとすることができる。しかしながら、導電率の高い材料を用いると酸素欠損（ V_o ）が形成されやすく、チャネル形成領域の酸素欠損（ V_o ）が多くなると、トランジスタのしきい値電圧がシフトし、ゲート電圧が 0V 時に流れるドレイン電流（以下、カットオフ電流とも記す）が大きくなってしまう場合がある。例えば、nチャネル型トランジスタでは、しきい値電圧がマイナス側にシフトすることで、カットオフ電流が大きくなってしまう場合がある。絶縁層 110b を設けることにより、少なくとも半導体層 108 の絶縁層 110b と接する領域、つまりチャネル形成領域に酸素が供給され、チャネル形成領域の酸素欠損（ V_o ）を低減することができる。これにより、しきい値電圧がシフトすることが抑制され、小さいカットオフ電流と、大きいオン電流が両立したトランジスタとすることができる。したがって、低い消費電力と高い性能が両立した半導体装置とすることができる。

[0464]

半導体層 108 の導電層 112a と接する領域は、トランジスタ 100 のソース領域及びドレイン領域の一方として機能し、導電層 112b と接する領域は他方として機能する。ソース領域及びドレイン領域は、チャネル形成領域と比較して電気抵抗が低い領域である。ソース領域及びドレイン領域は、チャネル形成領域と比較してキャリア濃度が高い領域、または酸素欠陥密度が高い領域ともいえる。

[0465]

絶縁層 110a は、絶縁層 110b と導電層 112a との間に設けられる。絶縁層 110c は、絶縁層 110b と導電層 112b との間に設けられる。絶縁層 110a 及び絶縁層 110c は、それぞれ、自身からの不純物（例えば、水素及び水）の放出が少なく、かつ、不純物が透過しにくいことが好ましい。これにより、絶縁層 110a 及び絶縁層 110c に含まれる不純物が、チャネル形成領域に拡散することを抑制できる。したがって、良好な電気特性を示し、かつ、信頼性の高いトランジスタとすることができる。

[0466]

絶縁層 110a 及び絶縁層 110c は、それぞれ、酸素が透過しにくい膜を用いることが好ましい。これにより、絶縁層 110b に含まれる酸素が、絶縁層 110a を介して、導電層 112a に拡散することを抑制できる。同様に、絶縁層 110b に含まれる酸素が、絶縁層 110c を介して、導電層 112b に拡散することを抑制できる。これにより、導電層 112a 及び導電層 112b の電気抵抗

が高くなることを抑制できる。それとともに、絶縁層 110b に含まれる酸素が絶縁層 110a 側、及び絶縁層 110c 側に拡散することが抑制されるため、絶縁層 110b からチャネル形成領域へ供給される酸素の量が増え、チャネル形成領域の酸素欠損 (V_o) 及び V_oH を低減することができる。

[0467]

絶縁層 110a 及び絶縁層 110c のそれぞれに酸素が拡散しにくい膜を用いることにより、絶縁層 110b から、チャネル形成領域に効果的に酸素を供給することができる。なお、絶縁層 110a 及び絶縁層 110c の、一方または双方を設けない構成としてもよい。

[0468]

絶縁層 110a 及び絶縁層 110c は、それぞれ、窒素を有することが好ましく、前述の窒化物及び窒化酸化物の、いずれか一つまたは複数を用いることが好ましい。絶縁層 110a 及び絶縁層 110c は、それぞれ、例えば、窒化シリコンまたは窒化酸化シリコンを用いることができる。または、絶縁層 110a 及び絶縁層 110c の、一方または双方に酸化物及び酸化窒化物の、いずれか一つまたは複数を用いてもよい。絶縁層 110a 及び絶縁層 110c は、それぞれ、例えば、酸化アルミニウムを用いることができる。なお、絶縁層 110a は絶縁層 110c と同じ材料を用いてもよく、異なる材料を用いてもよい。

[0469]

なお、本明細書等において、異なる材料とは、構成元素の一部または全てが異なる材料、または構成元素が同じで組成が異なる材料をいう。

[0470]

絶縁層 110a の厚さ T_{110a} は、例えば、3 nm 以上、5 nm 以上、10 nm 以上、20 nm 以上、50 nm 以上、または 70 nm 以上であって、1 μ m 未満、500 nm 以下、400 nm 以下、300 nm 以下、200 nm 以下、150 nm 以下、または 120 nm 以下とすることができる。厚さ T_{110a} は、図 54B に示すように、断面視における絶縁層 110a の被形成面（ここでは、導電層 112a の上面）と絶縁層 110b の下面との最短距離とすることができる。

[0471]

絶縁層 110a の厚さ T_{110a} が厚いと、絶縁層 110a から放出される不純物の量が多くなり、チャネル形成領域に拡散する不純物の量が多くなってしまう場合がある。一方、厚さ T_{110a} が薄いと、絶縁層 110b に含まれる酸素が絶縁層 110a を介して、導電層 112a 側に拡散し、チャネル形成領域に供給される酸素の量が減ってしまう場合がある。厚さ T_{110a} を前述の範囲とすることにより、チャネル形成領域の酸素欠損 (V_o) 及び V_oH を低減できる。また、絶縁層 110b に含まれる酸素によって導電層 112a が酸化され、導電層 112a の電気抵抗が高くなることを抑制できる。

[0472]

絶縁層 110c の厚さ T_{110c} は、例えば、3 nm 以上、5 nm 以上、10 nm 以上、15 nm 以上、または 20 nm 以上であって、1 μ m 以下、500 nm 以下、300 nm 以下、200 nm 以下、150 nm 以下、120 nm 以下、または 100 nm 以下とすることができる。厚さ T_{110c} は、図 54B に示すように、断面視における絶縁層 110c の被形成面（ここでは、絶縁層 110b の上面）と導電層 112b の下面との最短距離とすることができる。

[0473]

絶縁層 110c の厚さ T110c が厚いと、絶縁層 110c から放出される不純物の量が多くなり、チャネル形成領域に拡散する不純物の量が多くなってしまう場合がある。一方、厚さ T110c が薄いと、絶縁層 110b に含まれる酸素が絶縁層 110c を介して、導電層 112b 側に拡散し、チャネル形成領域に供給される酸素の量が減ってしまう場合がある。厚さ T110c を前述の範囲とすることにより、チャネル形成領域の酸素欠損 (V_o) 及び V_oH を低減できる。また、絶縁層 110b に含まれる酸素によって導電層 112b が酸化され、導電層 112b の電気抵抗が高くなることを抑制できる。

[0474]

半導体層 108 の絶縁層 110a と接する領域、及び、絶縁層 110c と接する領域、の少なくとも一つは、チャネル形成領域と比較して電気抵抗が低い領域（以下、低抵抗領域とも記す）であってよい。当該領域は、チャネル形成領域と比較してキャリア濃度が高い領域、または酸素欠陥密度が高い領域ともいえる。絶縁層 110a に不純物（例えば、水及び水素）を放出する材料を用いることで、絶縁層 110a と接する領域を低抵抗領域とすることができる。半導体層 108 は、導電層 112a と接する領域（ソース領域及びドレイン領域の一方）とチャネル形成領域との間に、低抵抗領域を有する構成とすることができる。同様に、絶縁層 110c に不純物を放出する材料を用いることで、絶縁層 110c と接する領域を低抵抗領域とすることができる。半導体層 108 は、導電層 112b と接する領域（ソース領域及びドレイン領域の他方）とチャネル形成領域との間に、低抵抗領域を有する構成とすることができる。低抵抗領域は、ドレイン電界を緩和するためのバッファ領域として機能することができる。なお、これらの低抵抗領域が、ソース領域またはドレイン領域として機能してもよい。

[0475]

ドレイン領域とチャネル形成領域との間に低抵抗領域を設けることにより、ドレイン領域近傍に高い電界が生じにくくなり、ホットキャリアの発生を抑制し、トランジスタの劣化を抑制することができる。例えば、導電層 112a がドレイン電極として機能し、導電層 112b がソース電極として機能する場合、半導体層 108 の絶縁層 110a と接する領域を低抵抗領域とすることにより、ドレイン領域近傍に高い電界が生じにくくなり、ホットキャリアの発生を抑制し、トランジスタの劣化を抑制することができる。導電層 112a がソース電極として機能し、導電層 112b がドレイン電極として機能する場合、半導体層 108 の絶縁層 110c と接する領域を低抵抗領域とすることにより、ドレイン領域近傍に高い電界が生じにくくなり、ホットキャリアの発生を抑制し、トランジスタの劣化を抑制することができる。

[0476]

前述したように、絶縁層 110a 及び絶縁層 110c から放出される不純物の量が多すぎると、チャネル形成領域に不純物が拡散してしまう恐れがある。絶縁層 110a 及び絶縁層 110c に不純物を放出する材料を用いる場合であっても、放出される不純物の量は少ないことが好ましい。

[0477]

なお、絶縁層 110 は、少なくとも絶縁層 110b を有することが好ましい。例えば、絶縁層 110a 及び絶縁層 110c の、一方及び双方を有さない構成としてもよい。また、絶縁層 110 を 2 層、または 4 層以上の積層構造としてもよく、単層構造としてもよい。

[0478]

開口 141 及び開口 143 の上面形状に限定はなく、例えば、円形、楕円形、三角形、四角形（長

方形、菱形、及び正方形を含む)、五角形などの多角形、またはこれら多角形の角が丸い形状とすることができる。なお、多角形は、凹多角形(少なくとも一つの内角が180度を超える多角形)及び凸多角形(全ての内角が180度以下である多角形)のどちらであってもよい。図53A等 to 示すように、開口141及び開口143の上面形状は、それぞれ、円形であることが好ましい。開口の上面形状を円形とすることにより、開口を形成する際の加工精度を高めることができ、微細なサイズの開口を形成することができる。なお、本明細書等において、円形とは真円に限定されない。

[0479]

開口141及び開口143の上面形状が円形または概略円形になるように形成することで、半導体層108、絶縁層106、及び導電層104は、同心円状に設けられる。これにより、導電層104と半導体層108の距離が均一または概略均一になるため、半導体層108にゲート電界を均一または概略均一に印加することができる。

[0480]

本明細書等において、開口141の上面形状とは、絶縁層110の開口141側の上面端部の形状を指す。また、開口143の上面形状とは、導電層112bの開口143側の下面端部の形状を指す。

[0481]

図53A等 to 示すように、開口141の上面形状と開口143の上面形状とは互いに一致または概略一致させることができる。このとき、図53B及び図53C等 to 示すように、導電層112bの開口143側の下面端部は、絶縁層110の開口141側の上面端部と一致または概略一致することが好ましい。導電層112bの下面とは、絶縁層110側の面を指す。絶縁層110の上面とは、導電層112b側の面を指す。

[0482]

なお、開口141の上面形状と開口143の上面形状とは互いに一致しなくてもよい。また、開口141と開口143の上面形状が円形であるとき、開口141と開口143は同心円状であってもよく、同心円状でなくてもよい。

[0483]

トランジスタ100のチャネル長及びチャネル幅について、図54A及び図54Bを用いて説明する。図54A及び図54Bは、図53A及び図53Bに示すトランジスタ100の拡大図である。

[0484]

図54Bでは、トランジスタ100のチャネル長 L_{100} を破線の両矢印で示している。トランジスタ100のチャネル長 L_{100} は、断面視における絶縁層110bの開口141側の側面の長さに対応する。つまり、チャネル長 L_{100} は、絶縁層110bの厚さ T_{110b} 、及び絶縁層110bの開口141側の側面と絶縁層110bの被形成面(ここでは、絶縁層110aの上面)とのなす角の角度 θ_{110} で決まる。したがって、チャネル長 L_{100} を露光装置の限界解像度よりも小さな値とすることができ、微細なサイズのトランジスタを実現することができる。具体的には、従来のフラットパネルディスプレイの量産用の露光装置(例えば、最小線幅 $2\mu\text{m}$ または $1.5\mu\text{m}$ 程度)では実現が困難な、極めて小さいチャネル長のトランジスタを実現することができる。また、最先端のLSI技術で用いられる極めて高額な露光装置を用いることなく、チャネル長が10nm未満のトランジスタを実現することもできる。

[0485]

チャネル長 L_{100} は、例えば、1nm以上、5nm以上、7nm以上、または10nm以上であ

って、 $3\mu\text{m}$ 未満、 $2.5\mu\text{m}$ 以下、 $2\mu\text{m}$ 以下、 $1.5\mu\text{m}$ 以下、 $1.2\mu\text{m}$ 以下、 $1\mu\text{m}$ 以下、 500nm 以下、 300nm 以下、 200nm 以下、 100nm 以下、 60nm 以下、 50nm 以下、 40nm 以下、 30nm 以下、 20nm 以下、または 10nm 以下とすることができる。例えば、チャンネル長 $L100$ を、 100nm 以上 $1\mu\text{m}$ 以下とすることもできる。

[0486]

チャンネル長 $L100$ を小さくすることにより、トランジスタ 100 のオン電流を大きくすることができる。トランジスタ 100 を用いることにより、高速動作が可能な回路を作製することができる。さらには回路の占有面積を縮小することが可能となる。したがって、小型の半導体装置とすることができる。例えば、本発明の一態様の半導体装置を大型の表示装置、または高精細な表示装置に適用する際、配線数が増加した場合においても、各配線における信号遅延を低減することができ、表示ムラを抑制することができる。また、回路の占有面積を縮小できるため、表示装置の額縁を狭くすることができる。

[0487]

絶縁層 $110b$ の厚さ $T110b$ 及び角度 $\theta110$ を調整することにより、チャンネル長 $L100$ を制御することができる。なお、図54Bでは、絶縁層 $110b$ の厚さ $T110b$ を一点鎖線の両矢印で示している。

[0488]

絶縁層 $110b$ の厚さ $T110b$ は、例えば、 1nm 以上、 5nm 以上、 7nm 以上、または 10nm 以上であって、 $3\mu\text{m}$ 未満、 $2.5\mu\text{m}$ 以下、 $2\mu\text{m}$ 以下、 $1.5\mu\text{m}$ 以下、 $1.2\mu\text{m}$ 以下、 $1\mu\text{m}$ 以下、 500nm 以下、 300nm 以下、 200nm 以下、 100nm 以下、 60nm 以下、 50nm 以下、 40nm 以下、 30nm 以下、 20nm 以下、または 10nm 以下とすることができる。

[0489]

絶縁層 110 の開口 141 側の側面は、垂直形状、またはテーパ形状であることが好ましい。角度 $\theta110$ は、 90 度以下であることが好ましい。角度 $\theta110$ を小さくすることにより、絶縁層 110 上に形成される層（例えば、半導体層 108 ）の被覆性を高めることができる。また、角度 $\theta110$ が小さいほど、チャンネル長 $L100$ を大きくすることができ、角度 $\theta110$ が大きいほど、チャンネル長 $L100$ を小さくすることができる。

[0490]

角度 $\theta110$ は、例えば、 30 度以上、 35 度以上、 40 度以上、 45 度以上、 50 度以上、 55 度以上、 60 度以上、 65 度以上、または 70 度以上であって、 90 度以下、 85 度以下、または 80 度以下とすることができる。角度 $\theta110$ は、 75 度以下、 70 度以下、 65 度以下、または 60 度以下としてもよい。

[0491]

なお、図54B等では、断面視において、絶縁層 110 の開口 141 側の側面の形状が直線である構成を示しているが、本発明の一態様はこれに限られない。断面視において、絶縁層 110 の開口 141 側の側面の形状は曲線であってもよく、または、側面の形状が直線である領域と曲線である領域の双方を有してもよい。

[0492]

ここで、導電層 $112b$ は、開口 141 の内部に設けないことが好ましい。具体的には、導電層 1

12bは、絶縁層110の開口141側の側面と接する領域を有さないことが好ましい。導電層112bを開口141の内側にも設ける場合、トランジスタ100のチャネル長 L_{100} が絶縁層110bの側面の長さより短くなり、チャネル長 L_{100} の制御が困難になってしまう場合がある。したがって、開口143の上面形状が開口141の上面形状と一致、または、上面視において開口143が開口141を包含することが好ましい。

[0493]

図54A及び図54Bでは、開口141の幅 D_{141} を二点鎖線の両矢印で示している。図54Aでは、開口141の上面形状が円形である例を示す。このとき、幅 D_{141} は当該円の直径に相当し、トランジスタ100のチャネル幅 W_{100} は当該円の円周の長さとなる。すなわち、チャネル幅 W_{100} は、 $\pi \times D_{141}$ となる。このように、開口141の上面形状が円形であると、他の形状に比べて、チャネル幅 W_{100} の小さいトランジスタを実現できる。

[0494]

なお、開口141の上面形状が円形以外（例えば、概略円形、または角が丸い四角形など）である場合、例えば、上面形状の最大幅を幅 D_{141} とすればよい。

[0495]

開口141の幅 D_{141} は、深さ方向で変化する場合がある。開口141の幅 D_{141} として、例えば、断面視における絶縁層110b（または絶縁層110）の最も高い位置の径、最も低い位置の径、及びこれらの中間点の位置の径の3つの平均値を用いることができる。または、開口141の径として、例えば、断面視における絶縁層110b（または絶縁層110）の最も高い位置の径、最も低い位置の径、またはこれらの中間点の位置の径の、いずれかの径を用いてもよい。

[0496]

フォトリソグラフィ法を用いて開口141を形成する場合、開口141の幅 D_{141} は露光装置の限界解像度以上となる。従来のフラットパネルディスプレイの量産用の露光装置を用いる場合、幅 D_{141} は、例えば、200nm以上、300nm以上、400nm以上、または500nm以上であって、5 μ m未満、4.5 μ m以下、4 μ m以下、3.5 μ m以下、3 μ m以下、2.5 μ m以下、2 μ m以下、1.5 μ m以下、または1 μ m以下とすることができる。または、最先端のLSI技術で用いられる極めて高額な露光装置を用いる場合、幅 D_{141} は、例えば、5nm以上、10nm以上、または20nm以上であって、100nm以下、60nm以下、50nm以下、40nm以下、または30nm以下とすることができる。

[0497]

トランジスタ100のチャネル長 L_{100} は、少なくともトランジスタ100のチャネル幅 W_{100} よりも小さいことが好ましい。トランジスタ100のチャネル長 L_{100} は、トランジスタ100のチャネル幅 W_{100} に対し、0.1倍以上0.99倍以下、好ましくは0.5倍以上0.8倍以下である。このような構成にすることで、良好な電気特性及び高い信頼性を有するトランジスタを実現できる。

[0498]

なお、トランジスタ100のチャネル長 L_{100} を小さくする場合、絶縁層110a及び絶縁層110cは、それぞれ、自身から放出される水素の量がより少ない材料を用いることが好ましい。絶縁層110a及び絶縁層110cに少量でも水素を放出する材料を用いる場合は、これらの厚さが薄いことが好ましい。例えば、チャネル長 L_{100} を100nm以下とする場合、絶縁層110aの厚

さT110a及び絶縁層110cの厚さT110cは、それぞれ、1nm以上、3nm以上、または5nm以上であって、50nm以下、40nm以下、30nm以下、20nm以下、15nm以下、または10nm以下が好ましい。これにより、チャネル形成領域に拡散する不純物の量を少なくすることができ、チャネル長L100が短い場合においても良好な電気特性を示し、かつ、信頼性の高いトランジスタとすることができる。

[0499]

なお、ここでは半導体層108の絶縁層110bと接する領域がチャネル形成領域として機能する構成を例に挙げて説明したが、本発明の一態様はこれに限られない。半導体層108の絶縁層110aと接する領域もチャネル形成領域として機能してもよい。同様に、絶縁層110cと接する領域もチャネル形成領域として機能してもよい。

[0500]

図53B等では、トランジスタ100において、半導体層108、絶縁層106、及び導電層104が、開口141及び開口143を覆う例を示しているが、本発明の一態様はこれに限られない。絶縁層110と、導電層112aとによって段差が形成され、当該段差に沿って半導体層108、絶縁層106、及び導電層104が設けられる構成としてもよい。

[0501]

[トランジスタ200]

次に、トランジスタ200の詳細な構成について、図55A乃至図55Cを用いて説明する。図55A乃至図55Cは、図53A乃至図53Cに示すトランジスタ200の拡大図である。

[0502]

トランジスタ200のチャネル長は、一対の領域208Dの間において、半導体層208と導電層204とが重なる領域の長さとなる。図55A及び図55Bは、トランジスタ200のチャネル長L200を破線の両矢印で示している。トランジスタ200のチャネル長L200は、導電層204の長さで決まり、トランジスタの作製に用いる露光装置の限界解像度以上の値となる。例えば、チャネル長L200を、 $1.5\mu\text{m}$ 以上とすることができる。チャネル長を長くすることにより、飽和性の高いトランジスタとすることができる。

[0503]

トランジスタ200のバックゲート電極として機能する導電層202は、チャネル形成領域の端部を越えて延在することが好ましい。つまり、導電層202のサイズは、チャネル形成領域のサイズよりも大きいことが好ましい。具体的には、導電層202は、チャネル長方向において、導電層204の端部よりも突出した部分を有することが好ましい。

[0504]

なお、本明細書等では説明を容易にするため、半導体層208の導電層204と重畳する部分をチャネル形成領域として説明するが、実際には導電層204と重畳せずに、導電層202と重畳する部分にもチャネルが形成されうる。

[0505]

トランジスタ200のチャネル幅は、チャネル長方向と直交する方向における、半導体層208と導電層204の重なる領域の幅となる。図55A及び図55Cは、トランジスタ200のチャネル幅W200を一点鎖線の両矢印で示している。

[0506]

前述したように、トランジスタ100のチャネル長L100は露光装置の限界解像度よりも小さな値とすることができ、トランジスタ200のチャネル長L200は露光装置の限界解像度以上の値とすることができる。例えば、大きいオン電流が求められるトランジスタにトランジスタ100を適用し、高い飽和性が求められるトランジスタにトランジスタ200を適用することにより、それぞれのトランジスタの利点を生かした高い性能の半導体装置10とすることができる。さらに、トランジスタ100とトランジスタ200とを一部の工程を共通にして形成することができる。具体的には、半導体層108及び半導体層208は、同じ工程で形成することができる。絶縁層106の一部はトランジスタ100のゲート絶縁層として機能し、絶縁層106の他の一部はトランジスタ200のゲート絶縁層として機能する。導電層104、導電層204、導電層212a、及び導電層212bは、同じ工程で形成することができる。したがって、半導体装置10の生産性を高め、製造コストを低くすることができる。

[0507]

図55A及び図55Cに示すように、トランジスタ200のチャネル幅方向において、導電層204及び導電層202が、半導体層208の端部よりも外側に突出していることが好ましい。このとき、図55Cに示すように、半導体層208のチャネル幅方向の全体が、絶縁層106及び絶縁層120を介して、導電層204と導電層202とに覆われた構成となる。このような構成とすることで、半導体層208を一对のゲート電極によって生じる電界で、電氣的に取り囲むことができる。

[0508]

図55A及び図55Cでは、導電層204と導電層202とが電氣的に接続されない構成を示している。一对のゲート電極の一方に定電位を与え、他方にトランジスタ200を駆動するための信号を与えてもよい。このとき、トランジスタ200において、他方のゲート電極に与える信号で駆動する際に、一方のゲート電極に与える電位によって、しきい値電圧を制御することができる。

[0509]

導電層204と導電層202とが電氣的に接続されてもよい。導電層204と導電層202とに同じ電位を与えることにより、半導体層208にチャネルを誘起させるための電界を効果的に印加できるため、トランジスタ200のオン電流を増大させることができる。そのため、トランジスタ200を微細にすることも可能となる。例えば、絶縁層106及び絶縁層120に導電層202に達する開口を設け、当該開口を覆うように導電層204を形成することができる。

[0510]

導電層202は、導電層212aまたは導電層212bと電氣的に接続されてもよい。例えば、絶縁層120に導電層202に達する開口を設け、当該開口を覆うように導電層212aまたは導電層212bを形成することができる。

[0511]

導電層202の上面及び側面に接して設けられる絶縁層120は、絶縁層110に用いることができる材料を用いることができる。

[0512]

絶縁層120は、積層構造を有することが好ましい。図55B等では、絶縁層120が、絶縁層120aと、絶縁層120a上の絶縁層120bと、の積層構造を有する構成を示している。絶縁層120a及び絶縁層120bは、それぞれ、絶縁層110に用いることができる材料を用いることができる。

[0513]

半導体層208のチャネル形成領域と接する絶縁層120bには、加熱により酸素を放出する膜を用いるとより好ましい。トランジスタ200の作製工程中にかかる熱により、絶縁層120bが酸素を放出することで、半導体層208、特に半導体層208のチャネル形成領域に酸素を供給することができる。絶縁層120bに含まれる酸素は、絶縁層120b中を拡散し、絶縁層120bと半導体層208との界面を介して、半導体層208に供給される。絶縁層120bから半導体層208、特にチャネル形成領域に酸素を供給することで、酸素欠損(V_o)が修復され、酸素欠損(V_o)を低減することができる。したがって、良好な電気特性を示し、かつ、信頼性の高いトランジスタとすることができる。

[0514]

絶縁層120bの350℃における酸素の拡散係数は、 $1 \times 10^{-12} \text{ cm}^2/\text{sec}$ 以上が好ましく、さらには $5 \times 10^{-12} \text{ cm}^2/\text{sec}$ 以上が好ましい。

[0515]

絶縁層120bは、絶縁層110bに用いることができる材料を用いることができる。絶縁層120bは、酸素を有することが好ましく、酸化物及び酸化窒化物の一以上を用いることができる。具体的には、絶縁層120bは、例えば、酸化シリコンまたは酸化窒化シリコンを用いることができる。

[0516]

ここで、チャネル長が短いトランジスタ100と比較して、チャネル長が長いトランジスタ200は、チャネル形成領域の酸素欠損(V_o)及び V_oH が電気特性へ与える影響は小さい。したがって、絶縁層110bから半導体層108に供給される酸素の量と比較して、絶縁層120bから半導体層208に供給される酸素の量は少なくともよい。絶縁層110bから放出される酸素の量と比較して、絶縁層120bから放出される酸素の量は少なくともよい。

[0517]

絶縁層120bにおける物質の拡散係数と比較して、絶縁層110bにおける物質の拡散係数が大きいことが好ましい。特に、絶縁層120bにおける酸素の拡散係数と比較して、絶縁層110bにおける酸素の拡散係数は大きいことが好ましい。これにより、チャネル長が短いトランジスタ100においても、良好な電気特性を示し、かつ、信頼性の高いトランジスタとすることができる。

[0518]

導電層202と接する絶縁層120aは、導電層202に含まれる金属元素が拡散しにくい材料を用いることが好ましい。これにより、導電層202に含まれる金属元素が、絶縁層120を介して半導体層208のチャネル形成領域に拡散することを抑制できる。

[0519]

絶縁層120aは、絶縁層110a及び絶縁層110cに用いることができる材料を用いることが好ましい。絶縁層120aは、窒素を有することが好ましく、窒化物及び窒化酸化物の一以上を用いることができる。具体的には、絶縁層120aは、例えば、窒化シリコンを用いることができる。または、絶縁層120aに酸化物及び酸化窒化物の、いずれか一つまたは複数を用いてもよい。絶縁層120aは、例えば、酸化アルミニウムを用いることができる。なお、絶縁層120a、絶縁層110a、及び絶縁層110cは互いに同じ材料を用いてもよく、異なる材料を用いてもよい。

[0520]

絶縁層120aは、自身からの不純物(例えば、水及び水素)の放出が少ないことが好ましい。こ

れにより、絶縁層 120a に含まれる不純物が絶縁層 120b を介して、半導体層 208 のチャネル形成領域に拡散することを抑制でき、良好な電気特性を示し、かつ、信頼性の高いトランジスタとすることができる。

[0521]

なお、ここでは絶縁層 120 を 2 層の積層構造で示しているが、本発明の一態様はこれに限られない。絶縁層 120 を 3 層以上の積層構造としてもよく、単層構造としてもよい。

[0522]

絶縁層 120 は、少なくとも半導体層 208 のチャネル形成領域と接する領域に設けられ、かつ、導電層 202 の上面及び側面を覆うように設けられることが好ましい。図 55B 等では、半導体層 208 が、絶縁層 120 の端部より突出した部分を有する構成を示している。半導体層 208 は、絶縁層 120 の側面と接する領域を有する。半導体層 208 の端部の一部は絶縁層 120 の上面と接し、他の一部は絶縁層 110 の上面と接する。半導体層 208 の下面の一部が絶縁層 120 の上面と接し、他の一部が絶縁層 110 の上面と接するともいえる。または、絶縁層 120 を半導体層 208 が設けられる領域に設け、半導体層 208 の下面の全体が絶縁層 120 の上面と接する構成としてもよい。

[0523]

なお、図 55B 等では、半導体層 208 の厚さが場所によらず均一である例を示すが、本発明の一態様はこれに限られない。半導体層 208 の絶縁層 106 と重なる領域と、重ならない領域と、で厚さが異なってもよい。例えば、開口 147a 及び開口 147b の形成の際、半導体層 208 の一部が除去され、半導体層 208 の絶縁層 106 と重ならない領域の厚さが、重なる領域の厚さより薄くなる場合がある。または、半導体層 208 の、絶縁層 106、導電層 212a、及び導電層 212b のいずれかと重なる領域と、これらのいずれとも重ならない領域と、で厚さが異なってもよい。例えば、導電層 212a 及び導電層 212b の形成の際、半導体層 208 の一部が除去され、半導体層 208 の、絶縁層 106、導電層 212a、及び導電層 212b のいずれとも重ならない領域の厚さが、これらのいずれかと重なる領域の厚さより薄くなる場合がある。または、半導体層 208 の絶縁層 106 と重なる領域と、絶縁層 106、導電層 212a、及び導電層 212b のいずれかと重なる領域と、これらのいずれとも重ならない領域と、で厚さが異なってもよい。

[0524]

半導体層 208 において、領域 208D はチャネル形成領域と比較して電気抵抗が低い領域である。領域 208D はチャネル形成領域と比較してキャリア濃度が高い領域、酸素欠陥密度が高い領域、または不純物濃度が高い領域ともいえる。

[0525]

領域 208L は、チャネル形成領域と比較して電気抵抗が同程度または低い領域である。領域 208L は、チャネル形成領域と比較してキャリア濃度が同程度または高い領域、酸素欠陥密度が同程度または高い領域、または不純物濃度が同程度または高い領域ともいうことができる。さらに、領域 208L は、領域 208D と比較して電気抵抗が同程度または高い領域である。領域 208L は、領域 208D と比較してキャリア濃度が同程度または低い領域、酸素欠陥密度が同程度または低い領域、または不純物濃度が同程度または低い領域ともいうことができる。

[0526]

領域 208L は、ドレイン電界を緩和するためのバッファ領域として機能する。領域 208L は、

導電層 204 とは重畳しない領域であるため、導電層 204 にゲート電圧が与えられた場合にもチャネルはほとんど形成されない領域である。領域 208L は、キャリア濃度がチャネル形成領域と比較して高いことが好ましい。これにより、領域 208L を LDD (Lightly Doped Drain) 領域として機能させることができる。チャネル形成領域と領域 208D との間に、LDD 領域として機能する領域 208L を設けることにより、高いドレイン耐圧を有するトランジスタ 200 を実現することができる。

[0527]

半導体層 208 におけるキャリア濃度は、チャネル形成領域が最も低く、領域 208L、領域 208D の順に高くなるような分布を有していることが好ましい。チャネル形成領域と領域 208D との間に領域 208L が設けられることで、例えば、作製工程中に領域 208D から水素などの不純物が拡散する場合であっても、チャネル形成領域のキャリア濃度を極めて低く保つことができる。

[0528]

なお、領域 208L 中のキャリア濃度は均一でなくてもよく、領域 208D 側からチャネル形成領域にかけてキャリア濃度が小さくなるような勾配を有している場合がある。例えば、領域 208L 中の水素濃度または酸素欠損の濃度の、いずれか一方または両方が、領域 208D 側からチャネル形成領域側にかけて濃度が小さくなるような勾配を有してもよい。

[0529]

また、不純物元素を半導体層 208 に添加して領域 208L 及び領域 208D を形成する際、当該不純物元素が、導電層 104 をマスクとして、絶縁層 106 を介して、半導体層 108 に供給されてもよい。これにより、半導体層 108 の導電層 104 と重ならない領域に、領域 108L が形成される。なお、トランジスタ 100 において、半導体層 108 の導電層 112b と接する領域は、ソース領域またはドレイン領域として機能する。領域 108L は、当該ソース領域またはドレイン領域の一部に形成される。なお、領域 108L の不純物元素の濃度は、領域 208L の不純物元素の濃度と異なってもよい。また、領域 108L は形成されなくてもよい。例えば、導電層 104 が、半導体層 108 の端部まで延伸して覆う場合、半導体層 108 の全体が導電層 104 でマスクされるため、不純物元素が半導体層 108 に供給されず、領域 108L が形成されない。

[0530]

導電層 212a 及び導電層 212b の端部の一部は、図 55A 及び図 55B に示すように、開口 147a 及び開口 147b の内側に位置することが好ましい。言い換えると、開口 147a 及び開口 147b において、導電層 212a 及び導電層 212b の端部の一部が、半導体層 208 と接することが好ましい。これにより、導電層 212a と接する領域と、一対の領域 208D の一方と、を隣接させ、同様に導電層 212b と接する領域と、一対の領域 208D の他方と、を隣接させることができる。

[0531]

なお、開口 147a 及び開口 147b の上面形状は特に限定されない。開口 147a 及び開口 147b の上面形状は、開口 141 及び開口 143 に適用できる形状とすることができる。図 55A 等では、開口 147a 及び開口 147b の上面形状が、開口 141 及び開口 143 の上面形状と異なり、角が丸い四角形である構成を示しているが、本発明の一態様はこれに限られない。開口 147a 及び開口 147b の上面形状が、開口 141 及び開口 143 の上面形状と同じであってもよい。

[0532]

また、ここでは導電層 212a 及び導電層 212b を導電層 204 と同じ工程で形成する構成を示したが、本発明の一態様はこれに限られない。導電層 212a 及び導電層 212b を、導電層 204 と異なる工程で形成してもよい。例えば、絶縁層 106 上に導電層 104 及び導電層 204 を形成し、不純物元素を、導電層 204 をマスクとして、半導体層 208 に供給することにより、ソース領域及びドレイン領域を形成する。導電層 104 及び導電層 204 の上に、絶縁層 195 を形成し、絶縁層 106 及び絶縁層 195 に、ソース領域に達する開口及びドレイン領域に達する開口を形成し、かつ、これらの開口を覆うように、導電層 212a 及び導電層 212b を形成することができる。

[0533]

[半導体層 108、半導体層 208]

半導体層 108 及び半導体層 208 に用いることができる金属酸化物について、具体的に説明する。金属酸化物として、例えば、インジウム酸化物、ガリウム酸化物、及び亜鉛酸化物が挙げられる。金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。また、金属酸化物は、インジウムと、元素Mと、亜鉛と、の中から選ばれる、二または三を有することが好ましい。なお、元素Mは、酸素との結合エネルギーが高い金属元素または半金属元素であり、例えば、酸素との結合エネルギーがインジウムよりも高い金属元素または半金属元素である。元素Mとして、具体的には、アルミニウム、ガリウム、スズ、イットリウム、チタン、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、ジルコニウム、モリブデン、ハフニウム、タンタル、タングステン、ランタン、セリウム、ネオジム、マグネシウム、カルシウム、ストロンチウム、バリウム、ホウ素、シリコン、ゲルマニウム、及びアンチモンなどが挙げられる。金属酸化物が有する元素Mは、上記元素のいずれか一種または複数種であることが好ましく、アルミニウム、ガリウム、スズ、及びイットリウムから選ばれた、一種または複数種であることがより好ましく、ガリウム及びスズの、一種または複数種がさらに好ましい。なお、本明細書等において、金属元素と半金属元素とをまとめて「金属元素」と呼ぶことがあり、本明細書等に記載の「金属元素」には半金属元素が含まれることがある。

[0534]

半導体層 108 及び半導体層 208 は、それぞれ、例えば、インジウム酸化物 (In 酸化物)、インジウム亜鉛酸化物 (In-Zn 酸化物)、インジウムスズ酸化物 (In-Sn 酸化物、または ITO とも記す)、インジウムチタン酸化物 (In-Ti 酸化物)、インジウムガリウム酸化物 (In-Ga 酸化物)、インジウムタングステン酸化物 (In-W 酸化物、または IWO とも記す)、インジウムガリウムアルミニウム酸化物 (In-Ga-Al 酸化物)、インジウムガリウムスズ酸化物 (In-Ga-Sn 酸化物)、ガリウム亜鉛酸化物 (Ga-Zn 酸化物、または GZO とも記す)、アルミニウム亜鉛酸化物 (Al-Zn 酸化物、または AZO とも記す)、インジウムアルミニウム亜鉛酸化物 (In-Al-Zn 酸化物、または IAZO とも記す)、インジウムスズ亜鉛酸化物 (In-Sn-Zn 酸化物、または ITZO (登録商標) とも記す)、インジウムチタン亜鉛酸化物 (In-Ti-Zn 酸化物)、インジウムガリウム亜鉛酸化物 (In-Ga-Zn 酸化物、または IGZO とも記す)、インジウムガリウムスズ亜鉛酸化物 (In-Ga-Sn-Zn 酸化物、または IGZTO とも記す)、またはインジウムガリウムアルミニウム亜鉛酸化物 (In-Ga-Al-Zn 酸化物、IGAZO、IGZAO、または IAGZO とも記す)、などを用いることができる。または、シリコンを含むインジウムスズ酸化物 (ITSO とも記す)、ガリウムスズ酸化物 (Ga-Sn 酸化物)、またはアルミニウムスズ酸化物 (Al-Sn 酸化物) などを用いることができる。なお、インジウム酸化物などに代表される Zn を含まない材料は、Si プロセスとの親和性が高いため好適である。一方で、Zn を

含む材料は、結晶性を高めることができるため好適である。

[0535]

金属酸化物に含まれる全ての金属元素の原子数の和に対するインジウムの原子数の割合を高くすることにより、トランジスタの電界効果移動度を高めることができる。また、オン電流が大きいトランジスタを実現できる。

[0536]

なお、金属酸化物は、インジウムに換えて、または、インジウムに加えて、周期の数が大きい金属元素の一種または複数種を有してもよい。金属元素の軌道の重なりが大きいほど、金属酸化物におけるキャリア伝導は大きくなる傾向がある。よって、周期の数が大きい金属元素を有することで、トランジスタの電界効果移動度を高めることができる場合がある。周期の数が大きい金属元素として、第5周期に属する金属元素、及び第6周期に属する金属元素などが挙げられる。当該金属元素として、具体的には、イットリウム、ジルコニウム、銀、カドミウム、スズ、アンチモン、バリウム、鉛、ビスマス、ランタン、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、及びユウロピウムなどが挙げられる。なお、ランタン、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、及びユウロピウムは、軽希土類元素と呼ばれる。

[0537]

金属酸化物は、非金属元素の一種または複数種を有してもよい。金属酸化物が非金属元素を有することで、キャリア濃度の増加、または、バンドギャップの縮小、などが生じ、トランジスタの電界効果移動度を高めることができる場合がある。非金属元素として、例えば、炭素、窒素、リン、硫黄、セレン、フッ素、塩素、臭素、及び水素などが挙げられる。

[0538]

金属酸化物に含まれる全ての金属元素の原子数の和に対する亜鉛の原子数の割合を高くすることにより、結晶性の高い金属酸化物となり、金属酸化物中の不純物の拡散を抑制できる。したがって、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0539]

金属酸化物に含まれる全ての金属元素の原子数の和に対する元素Mの原子数の割合を高くすることにより、金属酸化物に酸素欠損 (V_o) が形成されることを抑制できる。したがって、酸素欠損 (V_o) に起因するキャリア生成が抑制され、オフ電流が小さいトランジスタとすることができる。また、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0540]

半導体層108及び半導体層208に適用する金属酸化物の組成により、トランジスタの電気特性、及び信頼性が異なる。したがって、トランジスタに求められる電気特性、及び信頼性に応じて金属酸化物の組成を異ならせることにより、優れた電気特性と高い信頼性とを両立した半導体装置とすることができる。

[0541]

金属酸化物が I_n-M-Z_n 酸化物の場合、当該 I_n-M-Z_n 酸化物における I_n の原子数比はMの原子数比以上であることが好ましい。このような I_n-M-Z_n 酸化物の金属元素の原子数比として、例えば、 $I_n:M:Z_n=1:1:1$ 、 $I_n:M:Z_n=1:1:1.2$ 、 $I_n:M:Z_n=2:1:3$ 、 $I_n:M:Z_n=3:1:2$ 、 $I_n:M:Z_n=4:2:3$ 、 $I_n:M:Z_n=4:2:4.1$ 、 $I_n:M:Z_n=5:1:3$ 、 $I_n:M:Z_n=5:1:6$ 、 $I_n:M:Z_n=5:1:$

7、 $I n : M : Z n = 5 : 1 : 8$ 、 $I n : M : Z n = 6 : 1 : 6$ 、 $I n : M : Z n = 10 : 1 : 1$ 、 $I n : M : Z n = 10 : 1 : 3$ 、 $I n : M : Z n = 10 : 1 : 4$ 、 $I n : M : Z n = 10 : 1 : 6$ 、 $I n : M : Z n = 10 : 1 : 7$ 、 $I n : M : Z n = 10 : 1 : 8$ 、 $I n : M : Z n = 5 : 2 : 5$ 、 $I n : M : Z n = 10 : 1 : 10$ 、 $I n : M : Z n = 20 : 1 : 10$ 、 $I n : M : Z n = 40 : 1 : 10$ 、及びこれらの近傍の組成が挙げられる。なお、近傍の組成とは、所望の原子数比のプラスマイナス30%の範囲を含む。金属酸化物中のインジウムの原子数比を大きくすることで、トランジスタのオン電流、または電界効果移動度などを高めることができる。

[0542]

$I n - M - Z n$ 酸化物における $I n$ の原子数比は M の原子数比未満であってもよい。このような $I n - M - Z n$ 酸化物の金属元素の原子数比として、例えば、 $I n : M : Z n = 1 : 3 : 2$ 、 $I n : M : Z n = 1 : 3 : 3$ 、 $I n : M : Z n = 1 : 3 : 4$ 、及びこれらの近傍の組成が挙げられる。金属酸化物中の M の原子数の割合を大きくすることで、酸素欠損(V_o)の生成を抑制することができる。

[0543]

なお、元素 M として複数の金属元素を有する場合は、当該金属元素の原子数の割合の合計を、元素 M の原子数の割合とすることができる。

[0544]

本明細書等において、含有される全ての金属元素の原子数の和に対するインジウムの原子数の割合を、インジウムの含有率と記す場合がある。他の金属元素においても同様である。

[0545]

半導体層108及び半導体層208にインジウムの含有率が高い材料を用いることで、トランジスタのオン電流、または電界効果移動度などを高めることができる。さらに、元素 M を有することで、酸素欠損(V_o)の生成を抑制することができる。元素 M の含有率(含有される全ての金属元素の原子数の和に対する元素 M の原子数の割合)は、0.1%以上3%以下が好ましく、さらには0.1%以上2%以下が好ましい。これにより、電気特性が良好なトランジスタとすることができる。例えば、 $I n : M : Z n = 40 : 1 : 10$ 、及びその近傍の金属酸化物を用いることが好ましい。元素 M は、上記元素のいずれか一種または複数種であることが好ましく、アルミニウム、ガリウム、スズ、及びイットリウムから選ばれた、一種または複数種であることがより好ましい。具体的には、 $I n : S n : Z n = 40 : 1 : 10$ 、及びその近傍の金属酸化物を用いることができる。または、 $I n : A l : Z n = 40 : 1 : 10$ 、及びその近傍の金属酸化物を用いることができる。

[0546]

ここで、半導体層108及び半導体層208に多結晶構造の金属酸化物を用いると、結晶粒界が再結合中心となり、キャリアが捕獲されることにより、トランジスタのオン電流が小さくなってしまう場合がある。多結晶構造になりやすい組成の金属酸化物を用いる場合、結晶化を阻害する元素を含むことが好ましい。例えば、インジウムスズ酸化物(ITO)と比較して、シリコンを含むインジウムスズ酸化物($ITSO$)は多結晶構造になりづらいため、半導体層108及び半導体層208に用いることができる。 $ITSO$ を用いる場合、シリコンの含有率(含有される全ての金属元素の原子数の和に対するシリコンの原子数の割合)は、1%以上20%以下が好ましく、さらには3%以上20%以下が好ましく、さらには3%以上15%以下が好ましく、さらには5%以上15%以下が好ましい。具体的には、 $I n : S n : S i = 45 : 5 : 4$ 、 $I n : S n : S i = 95 : 5 : 8$ 、及びこれらの近傍の金属酸化物を用いることができる。

[0547]

半導体層108及び半導体層208の組成の分析には、例えば、エネルギー分散型X線分光法（EDX: Energy Dispersive X-ray Spectrometry）、X線光電子分光法（XPS: X-ray Photoelectron Spectrometry）、誘導結合プラズマ質量分析法（ICP-MS: Inductively Coupled Plasma-Mass Spectrometry）、または誘導結合高周波プラズマ発光分光法（ICP-AES: Inductively Coupled Plasma-Atomic Emission Spectrometry）を用いることができる。または、これらの手法を複数組み合わせる分析を行ってもよい。なお、含有率が低い元素は、分析精度の影響により、実際の含有率と分析によって得られた含有率とが異なる場合がある。例えば、元素Mの含有率が低い場合、分析によって得られた元素Mの含有率が、実際の含有率より低くなる場合がある。

[0548]

金属酸化物の形成には、スパッタリング法、または原子層堆積（ALD: Atomic Layer Deposition）法を用いることができる。なお、金属酸化物をスパッタリング法で形成する場合、形成後の金属酸化物の組成はスパッタリングターゲットの組成と異なる場合がある。特に、亜鉛は、形成後の金属酸化物における含有率が、スパッタリングターゲットと比較して50%程度にまで減少する場合がある。

[0549]

半導体層108及び半導体層208は、それぞれ、2以上の金属酸化物層を有する積層構造としてもよい。半導体層108及び半導体層208のそれぞれが有する2以上の金属酸化物層は、組成が互いに同じまたは概略同じであってもよい。組成が同じ金属酸化物層の積層構造とすることで、例えば、同じスパッタリングターゲットを用いて形成できるため、製造コストを削減できる。

[0550]

半導体層108及び半導体層208のそれぞれが有する2以上の金属酸化物層は、組成が互いに異なってもよい。例えば、 $In:M:Zn=1:3:4$ [原子数比] もしくはその近傍の組成の第1の金属酸化物層と、当該第1の金属酸化物層上に設けられる $In:M:Zn=1:1:1$ [原子数比] もしくはその近傍の組成の第2の金属酸化物層と、の積層構造を用いることができる。また、元素Mとして、ガリウム、アルミニウム、またはスズを用いることが特に好ましい。第1の金属酸化物層と第2の金属酸化物層とにおける元素Mは、同じであってもよく、互いに異なってもよい。例えば、第1の金属酸化物層と第2の金属酸化物層とは、互いに組成が異なるIGZO層であってもよい。

[0551]

例えば、 $In:Zn=4:1$ [原子数比] もしくはその近傍の組成の第1の金属酸化物層と、当該第1の金属酸化物層上に設けられる $In:M:Zn=1:1:1$ [原子数比] もしくはその近傍の組成の第2の金属酸化物層と、の積層構造を用いることができる。

[0552]

例えば、インジウム酸化物、インジウムガリウム酸化物、及びIGZOの中から選ばれるいずれか一と、IAZO、IAGZO、及びITZO（登録商標）の中から選ばれるいずれか一と、の積層構造を用いてもよい。

[0553]

なお、第1の金属酸化物を有する第1の金属酸化物層と、第2の金属酸化物を有する第2の金属酸

化物層と、の積層構造とし、第1の金属酸化物の組成と第2の金属酸化物の組成とが同じまたは概略同じである場合、第1の金属酸化物層と第2の金属酸化物層との境界（界面）を明確に確認することが難しい場合がある。

[0554]

半導体層108及び半導体層208は、結晶性を有する金属酸化物を用いることが好ましい。結晶性を有する金属酸化物の構造として、例えば、CAAC (c-axis aligned crystal) 構造、多結晶構造、及び微結晶 (nc: nano-crystal) 構造が挙げられる。結晶性を有する金属酸化物層を用いることにより、半導体層108中及び半導体層208中の欠陥準位密度を低減でき、信頼性の高い半導体装置を実現できる。

[0555]

チャネル形成領域に結晶性が高い金属酸化物を用いることで、チャネル形成領域中の欠陥準位密度を低減できる。一方、結晶性の低い金属酸化物を用いることで、大きな電流を流すことができるトランジスタを実現することができる。

[0556]

金属酸化物をスパッタリング法により形成する場合、形成時の基板温度が高いほど、結晶性の高い金属酸化物を形成することができる。形成時の基板温度は、例えば、形成時に基板が置かれるステージの温度により調整できる。また、形成に用いる成膜ガス全体に対する酸素ガスの流量の割合（以下、酸素流量比ともいう）、または処理室内の酸素分圧が高いほど、結晶性の高い金属酸化物を形成することができる。

[0557]

半導体層108及び半導体層208の結晶性は、例えば、X線回折 (XRD: XRay Diffraction) パターン、透過型電子顕微鏡 (TEM: Transmission Electron Microscope) 像、または電子線回折 (ED: Electron Diffraction) パターンにより解析できる。または、これらの手法を複数組み合わせることで分析を行ってもよい。

[0558]

半導体層108及び半導体層208に金属酸化物を用いる場合、チャネル形成領域の V_{OH} をできる限り低減し、高純度真性または実質的に高純度真性にするのが好ましい。このように、 V_{OH} が十分低減された金属酸化物を得るには、金属酸化物中の水及び水素などの不純物を除去すること（脱水、または脱水素化処理と記載する場合がある。）、並びに、金属酸化物に酸素を供給して酸素欠損 (V_o) を修復すること、が重要である。 V_{OH} などの不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。なお、金属酸化物に酸素を供給して酸素欠損 (V_o) を修復することを、加酸素化処理と記す場合がある。

[0559]

半導体層108及び半導体層208に金属酸化物を用いる場合、チャネル形成領域のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域のキャリア濃度の下限値について限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0560]

OSトランジスタは、放射線照射による電気特性の変動が小さい、つまり放射線に対する耐性が高

いため、放射線が入射しうる環境においても用いることができる。OSトランジスタは、放射線に対する信頼性が高いともいえる。例えば、X線のフラットパネルディテクタの画素回路に、OSトランジスタを用いることができる。また、OSトランジスタは、宇宙空間で使用する半導体装置に用いることができる。放射線として、電磁放射線（例えば、X線、及びガンマ線）、及び粒子放射線（例えば、アルファ線、ベータ線、陽子線、及び中性子線）が挙げられる。

[0561]

半導体層108及び半導体層208は、それぞれ、半導体として機能する層状物質を有してもよい。層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合またはイオン結合によって形成される層が、ファンデルワールス結合のような、共有結合またはイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝導性が高い。半導体として機能し、かつ、2次元電気伝導性の高い材料をチャネル形成領域に用いることで、オン電流が大きいトランジスタを提供することができる。

[0562]

上記層状物質として、例えば、グラフェン、シリセン、及びカルコゲン化合物などが挙げられる。カルコゲン化合物は、カルコゲン（第16族に属する元素）を含む化合物である。また、カルコゲン化合物として、遷移金属カルコゲナイド、及び13族カルコゲナイドなどが挙げられる。トランジスタのチャネル形成領域として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的には MoS_2 ）、セレン化モリブデン（代表的には MoSe_2 ）、モリブデンテルル（代表的には MoTe_2 ）、硫化タングステン（代表的には WS_2 ）、セレン化タングステン（代表的には WSe_2 ）、タングステンテルル（代表的には WTe_2 ）、硫化ハフニウム（代表的には HfS_2 ）、セレン化ハフニウム（代表的には HfSe_2 ）、硫化ジルコニウム（代表的には ZrS_2 ）、及びセレン化ジルコニウム（代表的には ZrSe_2 ）などが挙げられる。

[0563]

[導電層112a、導電層112b、導電層104、導電層204、導電層212a、導電層212b、導電層202]

導電層112a、導電層112b、導電層104、導電層204、導電層212a、導電層212b、及び導電層202は、それぞれ、単層構造でもよく、2層以上の積層構造であつてもよい。導電層112a、導電層112b、導電層104、導電層204、導電層212a、導電層212b、及び導電層202に用いることができる材料として、それぞれ、例えば、クロム、銅、アルミニウム、金、銀、亜鉛、タンタル、チタン、タングステン、マンガン、ニッケル、鉄、コバルト、モリブデン、及びニオブの、一または複数、並びに、前述した金属の一または複数を成分とする合金、が挙げられる。導電層112a、導電層112b、導電層104、導電層204、導電層212a、導電層212b、及び導電層202には、それぞれ、銅、銀、金、及びアルミニウムのうち、一または複数を含む、低抵抗な導電材料を用いることができる。特に、銅またはアルミニウムは量産性に優れるため好ましい。

[0564]

導電層112a、導電層112b、導電層104、導電層204、導電層212a、導電層212b、及び導電層202には、それぞれ、導電性を有する金属酸化物（酸化物導電体）を用いることができる。酸化物導電体（OC:Oxide Conductor）として、例えば、酸化インジウム、酸化亜鉛、 In-Sn 酸化物（ITO）、 In-Zn 酸化物、 In-W 酸化物、 In-W-Zn 酸化

物、In-Ti 酸化物、In-Ti-Sn 酸化物、In-Sn-Si 酸化物（シリコンを含むITO、またはITSOともいう）、ガリウムを添加した酸化亜鉛、及びIn-Ga-Zn 酸化物が挙げられる。特にインジウムを含む導電性酸化物は、導電性が高いため好ましい。

[0565]

半導体特性を有する金属酸化物に酸素欠損を形成し、当該酸素欠損に水素を添加すると、伝導帯近傍にドナー準位が形成される。この結果、金属酸化物は、導電性が高くなり導電体化する。導電体化された金属酸化物を、酸化物導電体とすることができる。

[0566]

導電層112a、導電層112b、導電層104、導電層204、導電層212a、導電層212b、及び導電層202は、それぞれ、前述の酸化物導電体（金属酸化物）を含む導電膜と、金属または合金を含む導電膜と、の積層構造としてもよい。金属または合金を含む導電膜を用いることで、配線抵抗を小さくすることができる。

[0567]

導電層112a、導電層112b、導電層104、導電層204、導電層212a、導電層212b、及び導電層202は、それぞれ、Cu-X合金膜（Xは、Mn、Ni、Cr、Fe、Co、Mo、Ta、またはTi）を適用してもよい。Cu-X合金膜を用いることで、ウェットエッチング法により加工できるため、製造コストを削減できる。

[0568]

なお、導電層112a、導電層112b、導電層104、導電層204、導電層212a、導電層212b、及び導電層202は互いに同じ材料を用いてもよく、異なる材料を用いてもよい。

[0569]

導電層112a及び導電層112bは、半導体層108と接する領域を有する。半導体層108として金属酸化物を用いる場合、導電層112a及び導電層112bに酸化されやすい金属（例えば、アルミニウム）を用いると、導電層112aと半導体層108との間、及び、導電層112bと半導体層108との間、に絶縁性の酸化物（例えば、酸化アルミニウム）が形成され、これらの導通を妨げる恐れがある。そのため、導電層112a及び導電層112bには、酸化されにくい導電材料、酸化されても電気抵抗が低く保たれる導電材料、または酸化物導電材料を用いることが好ましい。

[0570]

導電層112a及び導電層112bには、それぞれ、例えば、チタン、窒化タンタル、窒化チタン、チタンとアルミニウムとを含む窒化物、タンタルとアルミニウムとを含む窒化物、ルテニウム、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムとを含む酸化物、または、ランタンとニッケルとを含む酸化物、を用いることが好ましい。これらは、酸化されにくい導電材料、または酸化されても電気抵抗が低く保たれる材料であるため、好ましい。なお、導電層112aが積層構造である場合、少なくとも半導体層108と接する層に、酸化されにくい導電材料を用いることが好ましい。

[0571]

導電層112a及び導電層112bには、それぞれ、前述の酸化物導電体を用いることができる。具体的には、酸化インジウム、酸化亜鉛、ITO、In-Zn 酸化物、In-W 酸化物、In-W-Zn 酸化物、In-Ti 酸化物、In-Ti-Sn 酸化物、シリコンを含むIn-Sn 酸化物、またはガリウムを添加した酸化亜鉛などの導電性酸化物を用いることができる。

[0572]

導電層 112a 及び導電層 112b には、それぞれ、窒化物導電体を用いてもよい。窒化物導電体として、例えば、窒化タンタル、及び窒化チタンが挙げられる。

[0573]

ここで、キャパシタ 150 において、絶縁層 120b 上に導電層 112b が設けられる。前述したように、導電層 112b には、酸化されにくい導電材料、酸化されても電気抵抗が低く保たれる導電材料、または酸化物導電材料を用いることが好ましい。さらに、絶縁層 110b から放出される酸素の量と比較して、絶縁層 120b から放出される酸素の量は少ない。したがって、絶縁層 120b と接する領域を有する導電層 112b が酸化され、導電層 112b の電気抵抗が高くなってしまう恐れは少ない。

[0574]

導電層 112a、導電層 112b、及び導電層 104 は、それぞれ、積層構造を有してもよい。例えば、導電層 112a が 2 層構造であってもよい。すなわち、導電層 112a が、例えば、導電層 112a__1 (図示しない) と、導電層 112a__1 上の導電層 112a__2 (図示しない) と、の積層構造を有する構成であってもよい。

[0575]

半導体層 108 と接する領域を有する導電層 112a__2 には、酸化されにくい導電材料、酸化されても電気抵抗が低く保たれる導電材料、または酸化物導電材料を用いることが好ましい。導電層 112a__2 に用いることができる材料は、導電層 112a に係る記載を参照できる。

[0576]

導電層 112a__1 は、半導体層 108 と接する領域を有さないため、用いる材料は特に限定されない。例えば、導電層 112a__1 は、導電層 112a__2 より電気抵抗率の低い材料を用いることが好ましい。これにより、導電層 112a の電気抵抗を低くすることができる。例えば、導電層 112a__2 に In-Sn-Si 酸化物 (ITSO) を、導電層 112a__1 に銅またはタングステンを用いることができる。

[0577]

なお、導電層 112a__1 の厚さと導電層 112a__2 の厚さとが、同じまたは概略同じであってもよいし、異なってもよい。例えば、導電層 112a__1 に導電層 112a__2 より電気抵抗率の低い材料を用い、さらに、導電層 112a__1 の厚さを導電層 112a__2 の厚さより厚くしてもよい。これにより、導電層 112a の電気抵抗を低くすることができる。

[0578]

また、導電層 112a__2 の端部は、導電層 112a__1 の端部と一致または概略一致していてもよいし、一致していなくてもよい。例えば、導電層 112a__2 が導電層 112a__1 を覆うように設けることができる。すなわち、導電層 112a__2 は、導電層 112a__1 の上面及び側面と接する。導電層 112a__2 は、導電層 112a__1 の端部より突出した部分を有するともいえる。

[0579]

なお、前述した導電層 112a の構成は、他の構成例にも適用できる。

[0580]

[絶縁層 106]

絶縁層 106 は、単層構造でもよく、2 層以上の積層構造であってもよい。絶縁層 106 は、1 層以上の無機絶縁膜を有することが好ましい。無機絶縁膜に用いることができる材料として、例えば、

酸化物、窒化物、酸化窒化物、及び窒化酸化物が挙げられる。絶縁層 106 は、絶縁層 110 に用いることができる材料を用いることができる。

[0581]

絶縁層 106 は、半導体層 108 及び半導体層 208 と接する領域を有する。半導体層 108 及び半導体層 208 に金属酸化物を用いる場合、絶縁層 106 を構成する膜のうち、少なくとも半導体層 108 及び半導体層 208 と接する膜には、前述の酸化物及び酸化窒化物のいずれかを用いることが好ましい。また、絶縁層 106 には、加熱により酸素を放出する膜を用いるとより好ましい。

[0582]

具体的には、絶縁層 106 が単層構造の場合、絶縁層 106 には、酸化物または酸化窒化物を用いることが好ましい。具体的には、絶縁層 106 は、酸化シリコンまたは酸化窒化シリコンを用いることができる。

[0583]

絶縁層 106 を積層構造とする場合、半導体層 108 及び半導体層 208 と接する側の絶縁膜は、酸化物または酸化窒化物を有し、導電層 104 及び導電層 204 と接する側の絶縁膜は、窒化物または窒化酸化物を有することが好ましい。当該酸化物または酸化窒化物として、例えば、酸化シリコンまたは酸化窒化シリコンを用いることができる。当該窒化物または窒化酸化物として、窒化シリコンまたは窒化酸化シリコンを用いることができる。

[0584]

窒化シリコン、及び窒化酸化シリコンは、自身からの不純物（例えば、水及び水素）の放出が少なく、酸素及び水素が透過しにくい特徴を有するため、絶縁層 106 として用いることができる。不純物が絶縁層 106 から半導体層 108 及び半導体層 208 に拡散することが抑制されることで、トランジスタの電気特性を良好とし、かつ、信頼性を高めることができる。

[0585]

なお、微細なトランジスタにおいて、ゲート絶縁層の厚さが薄くなると、リーク電流が大きくなってしまう場合がある。ゲート絶縁層に、比誘電率の高い材料（high-k 材料ともいう）を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。絶縁層 106 に用いることができる high-k 材料として、例えば、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、並びに、シリコン及びハフニウムを有する窒化物、が挙げられる。

[0586]

[絶縁層 195]

トランジスタ 100、トランジスタ 200、及びキャパシタ 150 の保護層として機能する絶縁層 195 は、不純物が拡散しにくい材料を用いることが好ましい。絶縁層 195 を設けることにより、当該トランジスタに、外部から不純物が拡散することを効果的に抑制でき、半導体装置の信頼性を高めることができる。不純物として、例えば、水及び水素が挙げられる。

[0587]

絶縁層 195 は、無機材料を有する絶縁層、または有機材料を有する絶縁層とすることができる。絶縁層 195 は、例えば、酸化物、酸化窒化物、窒化酸化物、または窒化物の無機材料を用いることができる。より具体的には、窒化シリコン、窒化酸化シリコン、酸化窒化シリコン、酸化アルミニウ

ム、酸化窒化アルミニウム、窒化アルミニウム、酸化ハフニウム、及びハフニウムアルミネートの、一または複数を用いることができる。有機材料として、例えば、アクリル樹脂、及びポリイミド樹脂の、一または複数を用いることができる。有機材料は感光性の材料を用いてもよい。また、前述の絶縁膜を2以上積層して用いてもよい。絶縁層195は、無機材料を有する絶縁層と、有機材料を有する絶縁層と、の積層構造としてもよい。

[0588]

[基板102]

基板102の材質に大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有している必要がある。基板102として、例えば、シリコン、または炭化シリコンを材料とした単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどを材料とした化合物半導体基板、SOI基板、ガラス基板、石英基板、サファイア基板、セラミックス基板、または有機樹脂基板を用いてもよい。また、基板102には、半導体素子が設けられていてもよい。なお、半導体基板、及び絶縁性基板の形状は円形であってもよく、角形であってもよい。

[0589]

基板102として、可撓性基板を用い、可撓性基板上に直接、トランジスタ100などを形成してもよい。または、基板102とトランジスタ100などとの間に剥離層を設けてもよい。剥離層を設けることにより、その上に半導体装置を一部あるいは全部完成させた後、基板102より分離し、他の基板に転載することができる。その際、トランジスタ100などを耐熱性の劣る基板、または可撓性基板にも転載できる。

[0590]

本発明の一態様は、例えば、実施の形態1に示した半導体装置60において、当該半導体装置60を構成する各トランジスタの少なくとも一に、トランジスタ100のような縦型のトランジスタを適用することが好ましい。なお、例えば、駆動トランジスタ及び負荷トランジスタ（トランジスタM01及びトランジスタM02）にトランジスタ200を適用し、キャパシタC01にキャパシタ150を適用してもよい。

[0591]

<構成例2>

本発明の一態様である半導体装置に適用できるトランジスタ100Aの断面図を、図56に示す。トランジスタ100Aは、バックゲートを有する点で、図53B等 to 示すトランジスタ100と主に異なる。なお、前述のトランジスタ100に係る記載を参照できるため、詳細な説明は省略する。

[0592]

トランジスタ100Aは、導電層112aと、導電層103と、絶縁層107と、絶縁層110と、半導体層108と、導電層112bと、絶縁層106と、導電層104と、を有する。トランジスタ100Aを構成する各層は、単層構造であってもよく、積層構造であってもよい。

[0593]

導電層112aは、基板102上に設けられる。導電層112aは、トランジスタ100Aのソース電極及びドレイン電極の一方として機能する。

[0594]

絶縁層107は、導電層112a上に位置する。絶縁層107は、導電層112aの上面及び側面を覆うように設けられる。

[0595]

導電層103は、絶縁層107上に位置する。導電層112aと導電層103とは、絶縁層107によって互いに電氣的に絶縁される。導電層103には、導電層112aと重なる領域に絶縁層107に達する開口148が設けられる。

[0596]

絶縁層110は、絶縁層107及び導電層103の上に設けられる。絶縁層110は、導電層103の上面及び側面、並びに、絶縁層107の上面、を覆うように設けられる。

[0597]

絶縁層110は、積層構造を有することが好ましい。図56では、絶縁層110が、絶縁層110aと、絶縁層110a上の絶縁層110bと、絶縁層110b上の絶縁層110cと、の積層構造を有する例を示している。

[0598]

絶縁層110aは、絶縁層107及び導電層103の上に位置する。絶縁層110aは、導電層103の上面及び側面を覆うように設けられる。また、絶縁層110aは、開口148の一部を覆うように設けられる。絶縁層110aは、開口148を介して、絶縁層107と接する。

[0599]

絶縁層110a上に絶縁層110bが設けられ、絶縁層110b上に絶縁層110cが設けられる。絶縁層107、及び絶縁層110には、導電層112aに達する開口141が設けられる。

[0600]

導電層112bは、絶縁層110c上に位置する。導電層112bには、開口141と重なる開口143が設けられる。導電層112bは、トランジスタ100Aのソース電極及びドレイン電極の他方として機能する。導電層112bは、絶縁層107、及び絶縁層110を介して、導電層112aと重なる領域を有する。

[0601]

本明細書等において、開口148の上面形状とは、導電層103の開口148側の上面端部の形状、または下面端部の形状を指す。なお、開口141及び開口143と同様に、開口148の上面形状に限定はない。

[0602]

開口141と開口148との上面形状が円形であるとき、開口141と開口148とは同心円状であることが好ましい。これにより、断面視における半導体層108と導電層103との間の最短距離を開口141の左右で等しくできる。また、開口141と開口148とは同心円状とならない場合もある。

[0603]

半導体層108は、導電層112aの上面、絶縁層107の側面、絶縁層110の側面、並びに、導電層112bの上面及び側面、と接する。半導体層108は、開口141及び開口143を覆うように設けられる。半導体層108は、絶縁層107、及び絶縁層110における開口141側の側面、及び、導電層112bにおける開口143側の端部（上面の一部及び開口143側の側面ともいえる）、に接して設けられる。半導体層108は、開口141及び開口143を介して、導電層112aと接する。

[0604]

図56では、半導体層108の端部が、導電層112bの上面に接している例を示すが、本発明の一態様はこれに限られない。半導体層108が導電層112bの端部を覆い、半導体層108の端部が絶縁層110cの上面に接してもよい。

[0605]

絶縁層106は、絶縁層110c、半導体層108、及び導電層112bの上に位置する。絶縁層106は、半導体層108を介して、開口141及び開口143を覆うように設けられる。絶縁層106の一部は、トランジスタ100Aのゲート絶縁層として機能する。

[0606]

導電層104は、絶縁層106上に位置する。導電層104は、絶縁層106を介して、半導体層108と重なる。導電層104は、トランジスタのゲート電極として機能する。

[0607]

トランジスタ100Aにおいて、半導体層108には、絶縁層106を介して導電層104と重なり、かつ、絶縁層110の一部（特に、絶縁層110a、及び絶縁層110b）を介して導電層103と重なる領域が存在する。言い換えると、半導体層108には、絶縁層106を介して導電層104に挟まれ、かつ、絶縁層110の一部（特に、絶縁層110a、及び絶縁層110b）を介して導電層103に挟まれる領域が存在する。

[0608]

導電層103は、トランジスタ100Aのバックゲート電極として機能する。また、絶縁層110の一部は、トランジスタ100Aのバックゲート絶縁層として機能する。

[0609]

トランジスタ100Aにバックゲート電極を設けることで、半導体層108のバックチャネル側の電位が固定され、トランジスタ100Aの飽和性を高めることができる。

[0610]

トランジスタ100Aは、バックゲート電極を有するため、半導体層108のバックチャネル側の電位を固定でき、しきい値電圧がシフトすることを抑制できる。ここで、トランジスタのしきい値電圧がシフトすると、ゲート電圧が0V時に流れるドレイン電流（以下、カットオフ電流とも記す）が大きくなってしまう場合がある。トランジスタ100Aのしきい値電圧がシフトすることを抑制することにより、カットオフ電流が小さいトランジスタとすることができる。なお、カットオフ電流が小さいことをノーマリーオフと記す場合がある。

[0611]

なお、図56では、半導体層108、絶縁層106、及び導電層104が、開口141及び開口143を覆う例を示しているが、本発明の一態様はこれに限られない。絶縁層107、絶縁層110、及び導電層112bと、導電層112aと、によって段差が形成され、当該段差に沿って半導体層108、絶縁層106、及び導電層104が設けられる構成としてもよい。

[0612]

<構成例3>

本発明の一態様である半導体装置に適用できるトランジスタ100B1の、開口141の中心を通る縦断面の断面図を、図57Aに示す。また、トランジスタ100B1の、開口143の導電層112bを含む横断面を上面側から見た断面図を、図57Bに示す。

[0613]

トランジスタ100B1は、絶縁層110の開口141側の側面が垂直形状である点で、図53B等を示すトランジスタ100と主に異なる。すなわち、トランジスタ100B1は、図54Bにおいて、角度 $\theta 110$ を90度とした構成である。また、トランジスタ100B1は、絶縁層110が1層である点、導電層104が開口141及び開口143を埋め込むように設けられた構成である点、及び導電層104が半導体層108の端部まで延伸して覆う（すなわち、領域108Lが形成されない）構成である点で、図53B等を示すトランジスタ100と主に異なる。なお、前述のトランジスタ100に係る記載を参照できるため、詳細な説明は省略する。

[0614]

<構成例4>

本発明の一態様である半導体装置に適用できるトランジスタ100B2の、開口141の中心を通り、かつ導電層112bを含む縦断面の断面図を、図58Aに示す。また、トランジスタ100B2の、開口143の導電層112bを含む横断面を上面側から見た断面図を、図58Bに示す。トランジスタ100B2は、トランジスタ100B1と比較して、導電層112aを有さない点、絶縁層105上に設けられる点、及び導電層112bに換えて導電層112b1と導電層112b2を有する点、半導体層108の形状が異なる点で、主に相違している。導電層112b1は、ソース電極及びドレイン電極一方として機能し、導電層112b2は他方として機能する。

[0615]

半導体層108は環状の形状を有する。具体的には、開口141及び開口143において、導電層112b1の側面に接する領域と、導電層112b2の側面に接する領域と、絶縁層110の側面に接する領域と、を有する。ここでは、半導体層108が導電層112b1及び導電層112b2の上面と接しない構成としている。このような形状の半導体層108は、例えば異方性のエッチングにより加工することで形成することができる。

[0616]

図58Bに示すように、導電層112b1及び導電層112b2の幅H112bは、開口141及び開口143の幅D141よりも小さい。このとき、開口141及び開口143の周方向が、トランジスタ100B2のチャネル長方向に相当する。ここでは、半導体層108が環状の形状を有するため、導電層112b1から導電層112b2への電流経路（すなわちチャネル）が2つ存在する。なお、半導体層108は、導電層112b1と導電層112b2の両方と接する構成とすればよく、必ずしも環状の形状とする必要はない。

[0617]

チャネル長は、開口141及び開口143の形状、及び大きさによって制御することができる。例えば、チャネル長を大きくしたい場合には、開口141及び開口143の周長を長くすればよい。また、上面視において開口141及び開口143が円形である例について示したが、本発明の一態様はこれに限られるものではない。上面視において開口141及び開口143が、円形その他、例えば、楕円形、または角の丸い四角形などとすることができる。また、例えば、正三角形、正方形、及び正五角形をはじめとした正多角形、または正多角形以外の多角形としてもよい。また、例えば、星形多角形などの、少なくとも一つの内角が180度を超える多角形である、凹多角形とすると、チャネル幅を大きくできる。そのほか、例えば、楕円形、角の丸い多角形、または直線と曲線とを組み合わせた閉曲線などとすることができる。このとき、開口141及び開口143の最大幅は、開口141及び開口143の最上部の形状に合わせて適宜算出するとよい。例えば、上面視において開口が正方形ま

たは長方形である場合、開口141及び開口143の最大幅は、開口141及び開口143の最上部の対角線の長さとするとい。

[0618]

また、図58Aに示すように、半導体層108の高さがトランジスタ100B2のチャネル幅W100となる。そのため、トランジスタ100B2のチャネル幅W100は、絶縁層110の厚さによって制御することができる。そのため、トランジスタ100B2のチャネル幅をフォトリソグラフィの露光限界以下の非常に微細な構造（例えば、1nm以上、5nm以上、7nm以上、または10nm以上であって、3 μ m未満、2.5 μ m以下、2 μ m以下、1.5 μ m以下、1.2 μ m以下、1 μ m以下、500nm以下、300nm以下、200nm以下、100nm以下、60nm以下、50nm以下、40nm以下、30nm以下、20nm以下、または10nm以下）にすることができる。

[0619]

トランジスタ100B2は、被形成面である基板102の表面に対してソース電極とドレイン電極とが同じ高さに位置し、基板102の表面に対して平行方向または概略平行方向にドレイン電流が流れる。トランジスタ100B2において、横方向または概略横方向にドレイン電流が流れるということもできる。そのため、本発明の一態様であるトランジスタ100B2は、例えば、VLFET (Vertical Lateral Field Effect Transistor) などということができる。

[0620]

トランジスタ100B1は、チャネル長を極めて小さく、かつチャネル幅を大きくできるトランジスタである。よって、高いオン電流を実現することができる。一方、トランジスタ100B2は、チャネル幅を極めて小さく、かつチャネル長を大きくできるトランジスタである。よって、例えば、適度なオン電流を実現することができるため、飽和領域において、ゲート電圧に応じてドレイン電流を細かく制御することが容易となる。また、例えば、ドレイン誘起障壁低下 (DIBL: Drain Induced Barrier Lowering) などの短チャネル効果の低減を図ることができる。トランジスタ100B1とトランジスタ100B2とは、作製工程の一部を兼ねることができ、同一基板上に作り分けることができる。例えば、表示装置においては、トランジスタ100B2を、発光素子に流れる電流を制御するための駆動トランジスタに適用し、トランジスタ100B1を、スイッチとして機能するトランジスタに適用することができる。

[0621]

本発明の一態様は、例えば、実施の形態1に示した半導体装置60において、スイッチとして機能するトランジスタにトランジスタ100B1を適用し、駆動トランジスタ（トランジスタM01）及び負荷トランジスタ（トランジスタM02）にトランジスタ100B2を適用することができる。

[0622]

また、例えば、実施の形態1に示した半導体装置20Aにおいて、スイッチとして機能するトランジスタにトランジスタ100B1を適用し、駆動トランジスタ（トランジスタM01）にトランジスタ100B2を適用することができる。

[0623]

なお図58Aおよび図58Bでは、絶縁層105上に半導体層108が設けられていない構成について説明したが、他の構成でもよい。例えば、図59Aおよび図59Bに図示するトランジスタ1

00B3のように、絶縁層105上に半導体層108が設けられる構成としてもよい。

[0624]

図59Aおよび図59Bに図示するトランジスタ100B3の構成とすることで、開口141及び開口143の周長に応じたチャネル長となる部分のみならず、絶縁層105と接する領域の半導体層をチャネル形成領域として用いることができる。そのため、トランジスタの占有面積のさらなる縮小を図ることができる。

[0625]

<構成例5>

本発明の一態様である半導体装置に適用できるトランジスタ100Cの等価回路図を、図60Aに示す。トランジスタ100Cは、トランジスタ100__1乃至トランジスタ100__p（pは2以上の整数）を有するトランジスタ群である。トランジスタ100__1乃至トランジスタ100__pは並列接続され、トランジスタ100Cは1つのトランジスタとみなすことができる。

[0626]

トランジスタ100__1乃至トランジスタ100__pのゲート電極は、互いに電氣的に接続される。トランジスタ100__1乃至トランジスタ100__pのソース電極は、互いに電氣的に接続される。トランジスタ100__1乃至トランジスタ100__pのドレイン電極は、互いに電氣的に接続される。

[0627]

なお、図60Aは、トランジスタ100__1乃至トランジスタ100__pをnチャネル型で示しているが、本発明の一態様はこれに限られない。トランジスタ100__1乃至トランジスタ100__pをpチャネル型としてもよい。

[0628]

pが4の場合を例に挙げて、具体的に説明する。本発明の一態様であるトランジスタ100Cの等価回路図を、図60Bに示す。トランジスタ100Cの上面図を、図60Cに示す。図60Cに示す一点鎖線A3-A4における切断面の断面図を図61に示す。

[0629]

トランジスタ100Cは、トランジスタ100__1乃至トランジスタ100__4を有する。トランジスタ100__1乃至トランジスタ100__4は、それぞれ、前述のトランジスタ100の構成を適用することができる。なお、ここではトランジスタ100を例に挙げて説明するが、本発明の一態様はこれに限られない。トランジスタ100__1乃至トランジスタ100__4に、トランジスタ100A、トランジスタ100B1、及びトランジスタ100B2のいずれかを適用してもよい。

[0630]

図60C等では、トランジスタ100__1乃至トランジスタ100__4を2行2列に配置する構成を示しているが、トランジスタの配置は特に限定されない。例えば、トランジスタ100__1乃至トランジスタ100__4を1行4列に配置してもよい。トランジスタの配置はマトリクス状であってもよく、マトリクス状でなくてもよい。

[0631]

トランジスタ100__1乃至トランジスタ100__4は、それぞれ、導電層104と、絶縁層106と、半導体層108と、導電層112aと、導電層112bと、を有する。導電層104は、トランジスタ100__1乃至トランジスタ100__4のゲート電極として機能する。絶縁層106の一

部は、トランジスタ100__1乃至トランジスタ100__4のゲート絶縁層として機能する。導電層112aは、トランジスタ100__1乃至トランジスタ100__4のソース電極及びドレイン電極の他方として機能し、導電層112bは一方として機能する。

[0632]

なお、トランジスタ100__1乃至トランジスタ100__4のそれぞれが有する、開口141__1乃至開口141__4、及び、開口143__1乃至開口143__4、については、開口141及び開口143の記載を参照できるため、詳細な説明は省略する。

[0633]

ここで、トランジスタ100Cを1つのトランジスタとみなす場合、当該トランジスタのチャネル幅は、トランジスタ100__1乃至トランジスタ100__4のそれぞれのチャネル幅の和となる。例えば、開口141__1乃至開口141__4の上面形状が円形の場合、開口141__1乃至開口141__4のそれぞれの幅を幅D141とすると、トランジスタ100Cはチャネル幅が“ $D141 \times \pi \times 4$ ”のトランジスタとみなすことができる（図54A及び図54B参照）。p個のトランジスタで構成されるトランジスタ100Cは、チャネル幅が“ $D141 \times \pi \times p$ ”のトランジスタとみなすことができる。なお、トランジスタ100Cは、チャネル長L100のトランジスタとみなすことができる（図54B参照）。複数のトランジスタを並列接続させることにより、チャネル幅が大きくなり、オン電流を大きくすることができる。また、並列接続させるトランジスタの数（p）を調整することで、チャネル幅を異ならせることができる。所望のオン電流となるように並列接続させるトランジスタの数（p）を決めればよい。

[0634]

なお、図60C等では、トランジスタ100__1乃至トランジスタ100__4が半導体層108を共有する構成を示しているが、本発明の一態様はこれに限られない。トランジスタ100__1乃至トランジスタ100__4ごとに半導体層108が分離した構成としてもよい。

[0635]

なお、構成例5で示したトランジスタ100Cの構成は、他の構成例にも適用できる。例えば、トランジスタ100Cを、図53乃至図58に示す半導体装置が有するトランジスタの、一または複数に適用してもよい。

[0636]

<構成例6>

本発明の一態様である半導体装置に適用できるトランジスタ100Dの等価回路図を、図62Aに示す。トランジスタ100Dは、トランジスタ100__1乃至トランジスタ100__q（qは2以上の整数）を有するトランジスタ群である。トランジスタ100__1乃至トランジスタ100__qは直列接続され、トランジスタ100Dは1つのトランジスタとみなすことができる。

[0637]

なお、図62Aは、トランジスタ100__1乃至トランジスタ100__qをnチャネル型で示しているが、本発明の一態様はこれに限られない。トランジスタ100__1乃至トランジスタ100__qをpチャネル型としてもよい。

[0638]

qが4の場合を例に挙げて、具体的に説明する。本発明の一態様であるトランジスタ100Dの等価回路図を、図62Bに示す。トランジスタ100Dの上面図を、図62Cに示す。図62Cに示す

一点鎖線A5－A6における切断面の断面図を、図63に示す。

[0639]

トランジスタ100Dは、トランジスタ100__1乃至トランジスタ100__4を有する。トランジスタ100__1乃至トランジスタ100__4は、それぞれ、前述のトランジスタ100の構成を適用することができる。なお、ここではトランジスタ100を例に挙げて説明するが、本発明の一態様はこれに限られない。トランジスタ100__1乃至トランジスタ100__4に、トランジスタ100A、トランジスタ100B1、及びトランジスタ100B2のいずれかを適用してもよい。

[0640]

図62C等では、トランジスタ100__1乃至トランジスタ100__4を2行2列に配置する構成を示しているが、トランジスタの配置は特に限定されない。例えば、トランジスタ100__1乃至トランジスタ100__4を1行4列に配置してもよい。トランジスタの配置はマトリクス状であってもよく、マトリクス状でなくてもよい。

[0641]

トランジスタ100__1は、導電層104と、絶縁層106と、半導体層108__1と、導電層112aと、導電層112bと、を有する。導電層112aは、トランジスタ100__1のソース電極及びドレイン電極の一方として機能し、導電層112bは、他方として機能する。

[0642]

トランジスタ100__2は、導電層104と、絶縁層106と、半導体層108__2と、導電層112aと、導電層112cと、を有する。導電層112aは、トランジスタ100__2のソース電極及びドレイン電極の一方として機能し、導電層112cは、他方として機能する。導電層112aは、トランジスタ100__1とトランジスタ100__2とで共有される。

[0643]

トランジスタ100__3は、導電層104と、絶縁層106と、半導体層108__3と、導電層112cと、導電層112dと、を有する。導電層112cは、トランジスタ100__3のソース電極及びドレイン電極の一方として機能し、導電層112dは、他方として機能する。導電層112cは、トランジスタ100__2とトランジスタ100__3とで共有される。

[0644]

トランジスタ100__4は、導電層104と、絶縁層106と、半導体層108__4と、導電層112dと、導電層112eと、を有する。導電層112dは、トランジスタ100__4のソース電極及びドレイン電極の一方として機能し、導電層112eは、他方として機能する。導電層112dは、トランジスタ100__3とトランジスタ100__4とで共有される。

[0645]

なお、トランジスタ100__1乃至トランジスタ100__4のそれぞれが有する、開口141__1乃至開口141__4、及び、開口143__1乃至開口143__4、については、開口141及び開口143の記載を参照できるため、詳細な説明は省略する。

[0646]

トランジスタ100__1のソース電極及びドレイン電極の一方は、トランジスタ100__2のソース電極及びドレイン電極の一方と電氣的に接続される。トランジスタ100__2のソース電極及びドレイン電極の他方は、トランジスタ100__3のソース電極及びドレイン電極の一方と電氣的に接続される。トランジスタ100__3のソース電極及びドレイン電極の他方は、トランジスタ10

0__4のソース電極及びドレイン電極の一方と電氣的に接続される。

[0647]

ここで、トランジスタ100Dを1つのトランジスタとみなす場合、当該トランジスタのチャンネル長は、トランジスタ100__1乃至トランジスタ100__4のそれぞれのチャンネル長の和となる。例えば、トランジスタ100__1乃至トランジスタ100__4のそれぞれのチャンネル長をチャンネル長L100とすると、トランジスタ100Dはチャンネル長が“ $L100 \times 4$ ”のトランジスタとみなすことができる（図54B参照）。q個のトランジスタで構成されるトランジスタ100Dは、チャンネル長が“ $L100 \times q$ ”のトランジスタとみなすことができる。なお、トランジスタ100Dは、チャンネル幅W100のトランジスタとみなすことができる（図54A及び図54B参照）。複数のトランジスタを直列接続させることにより、チャンネル長が長くなり、飽和性を高めることができる。また、直列接続させるトランジスタの数（q）を調整することで、チャンネル長を異ならせることができる。所望の飽和性となるように直列接続させるトランジスタの数（q）を決めればよい。

[0648]

なお、構成例6で示したトランジスタ100Dの構成は、他の構成例にも適用できる。例えば、トランジスタ100Dを、図53乃至図58に示す半導体装置が有するトランジスタの、一または複数に適用してもよい。

[0649]

また、トランジスタ100Dを、トランジスタ100Cが有する各トランジスタに適用してもよい。つまり、並列接続されたトランジスタ群が、さらに直列接続（以下、直並列接続ともいう）された構成とすることができる。または、トランジスタ100Cを、トランジスタ100Dが有する各トランジスタに適用してもよい。つまり、直列接続されたトランジスタ群が、さらに並列接続（以下、並直列接続ともいう）された構成とすることができる。

[0650]

本発明の一態様は、例えば、実施の形態1に示した表示装置40において、周辺駆動回路を構成するトランジスタとして、トランジスタ100C及びトランジスタ100Dの一方または双方を用いることができる。

[0651]

本実施の形態に示す構成等は、他の実施の形態に示した構成等と適宜組み合わせる用いることができる。また、本明細書等において、1つの実施の形態の中に、複数の構成例が示される場合、それらの構成例を適宜組み合わせる用いることが可能である。

[0652]

（実施の形態3）

本実施の形態では、本発明の一態様の表示装置について、図64乃至図66を用いて説明する。本実施の形態の表示装置は、例えば、解像度の高い表示装置または大型の表示装置とすることができる。また、本実施の形態の表示装置は、例えば、高精細な表示装置とすることができる。

[0653]

本発明の一態様の半導体装置は、表示装置、または当該表示装置を有するモジュールに用いることができる。当該表示装置を有するモジュールとして、当該表示装置にフレキシブルプリント回路基板（FPC:Flexible printed circuit）もしくはTCP（Tape Carrier Package）などのコネクタが取り付けられたモジュール、または、COG（Ch

i p O n G l a s s) 方式もしくはCOF (C h i p O n F i l m) 方式などにより集積回路 (I C) が実装されたモジュール、などが挙げられる。

[0 6 5 4]

本実施の形態の表示装置はタッチパネルとしての機能を有していてもよい。例えば、表示装置には、指などの被検知体の近接または接触を検知できる様々な検知素子 (センサ素子ともいえる) を適用することができる。

[0 6 5 5]

センサの方式として、例えば、静電容量方式、抵抗膜方式、表面弾性波方式、赤外線方式、光学方式、及び感圧方式が挙げられる。

[0 6 5 6]

静電容量方式として、例えば、表面型静電容量方式、及び投影型静電容量方式がある。また、投影型静電容量方式として、例えば、自己容量方式、及び相互容量方式がある。相互容量方式を用いると、同時多点検出が可能となるため好ましい。

[0 6 5 7]

タッチパネルとして、例えば、アウトセル型、オンセル型、及びインセル型が挙げられる。なお、インセル型のタッチパネルは、表示素子 (表示デバイスともいう) を支持する基板及び対向基板のうち、一方または双方に、検知素子を構成する電極が設けられた構成をいう。

[0 6 5 8]

< 表示装置の構成例 1 >

図 6 4 A に、表示装置 5 0 A の斜視図を示す。

[0 6 5 9]

表示装置 5 0 A は、基板 1 5 2 と基板 1 5 1 とが貼り合わされた構成を有する。図 6 4 A では、基板 1 5 2 を破線で示している。

[0 6 6 0]

表示装置 5 0 A は、表示部 1 6 2、接続部 1 4 0、回路部 1 6 4、回路部 1 6 3、及び導電層 1 6 5 などを有する。図 6 4 A では、表示装置 5 0 A に F P C 1 7 2 が実装されている例を示している。そのため、図 6 4 A に示す構成は、表示装置 5 0 A と、I C と、F P C と、を有する表示モジュールということもできる。

[0 6 6 1]

接続部 1 4 0 は、表示部 1 6 2 の外側に設けられる。接続部 1 4 0 は、表示部 1 6 2 の一边または複数の辺に沿って設けることができる。接続部 1 4 0 は、単数であっても複数であってもよい。図 6 4 A では、表示部の四辺を囲むように接続部 1 4 0 が設けられている例を示す。接続部 1 4 0 では、表示素子の共通電極と、導電層と、が電氣的に接続されており、共通電極に電位を供給することができる。

[0 6 6 2]

回路部 1 6 4 は、例えば、走査線駆動回路 (ゲートドライバ、またはスキャンドライバともいう) を有する。また、回路部 1 6 3 は、例えば、信号線駆動回路 (ソースドライバ、またはデータドライバともいう) を有する。

[0 6 6 3]

導電層 1 6 5 は、表示部 1 6 2、回路部 1 6 4、及び回路部 1 6 3 に、信号及び電力を供給する機

能を有する。当該信号及び電力は、FPC172を介して、表示装置50Aの外部から導電層165に入力される。

[0664]

本発明の一態様の半導体装置は、例えば、表示装置50Aの表示部162、回路部164、及び回路部163の少なくとも一に適用することができる。

[0665]

例えば、本発明の一態様の半導体装置を表示装置の画素回路に適用する場合、当該画素回路の占有面積を縮小することができ、高精細の表示装置とすることができる。例えば、精細度が300ppi以上、500ppi以上、1000ppi以上、2000ppi以上、または3000ppi以上の表示装置を実現できる。

[0666]

また、例えば、本発明の一態様の半導体装置を表示装置の駆動回路（例えば、走査線駆動回路及び信号線駆動回路の、一方または双方）に適用する場合、当該駆動回路の占有面積を縮小することができ、狭額縁の表示装置とすることができる。

[0667]

また、本発明の一態様の半導体装置は、電気特性が良好であるため、表示装置に用いることで表示装置の信頼性を高めることができる。

[0668]

本発明の一態様は、表示装置50Aに、例えば、実施の形態1に示した表示装置40などを適用することができる。その場合、表示部162は表示部42に相当し、回路部164は駆動回路部43に相当し、回路部163は駆動回路部44に相当する。

[0669]

表示部162は、表示装置50Aにおける画像を表示する領域であり、周期的に配列された複数の画素210を有する。図64Aには、1つの画素210の拡大図を示している。

[0670]

図64Aに示す画素210は、赤色（R）の光を呈する画素230R、緑色（G）の光を呈する画素230G、及び青色（B）の光を呈する画素230Bを有する。画素230R、画素230G、及び画素230Bで1つの画素210を構成することで、フルカラー表示を実現できる。画素230R、画素230G、及び画素230Bは、それぞれ、副画素として機能する。図64Aに示す表示装置50Aでは、副画素として機能する画素230R、画素230B、及び画素230Gをストライプ配列で配置する例を示している。なお、1つの画素210を構成する副画素の数は3つに限られず、4つ以上としてもよい。例えば、R、G、B、及び白色（W）のそれぞれの光を呈する4つの副画素を有してもよい。または、R、G、B、及び黄色（Y）のそれぞれの光を呈する4つの副画素を有してもよい。

[0671]

なお、本明細書等では、赤色の光に係る要素に識別用の符号“R”を付し、緑色の光に係る要素に識別用の符号“G”を付し、青色の光に係る要素に識別用の符号“B”を付すことで、それぞれの事柄を説明する場合がある。また、それらの識別用の符号を付さないことで、共通の事柄を説明する場合がある。例えば、複数ある画素230を区別する必要があるときには、画素230R、画素230G、または画素230Bと示す場合がある。また、例えば、画素230R、画素230G、及び画素

230Bを区別する必要がないときには、単に画素230と示す場合がある。

[0672]

画素230R、画素230G、及び画素230Bは、それぞれ、表示素子と、当該表示素子の駆動を制御する回路（画素回路）と、を有する。

[0673]

なお、図64B乃至図64Fに示すように、本実施の形態の表示装置における画素の配列に特に限定はなく、様々な配列を適用することができる。画素の配列として、例えば、ストライプ配列（図64B参照）、Sストライプ配列（図64C参照）、デルタ配列（図64D参照）、ジグザグ配列（図64E参照）、及びペンタイル配列（図64F参照）などが挙げられる。また、例えば、モザイク配列、ダイヤモンド配列、及びベイヤー配列などが挙げられる。

[0674]

また、図64B乃至図64Fにおいて、各副画素（画素230R、画素230G、及び画素230B）の上面形状として、例えば、三角形、四角形（長方形、及び正方形を含む）、五角形などの多角形、これら多角形の角が丸い形状、楕円形、及び円形などが挙げられる。ここで、各副画素の上面形状は、各副画素が有する表示素子の表示領域の上面形状に相当する。各副画素の上面形状及びサイズは、それぞれ独立に決定することができる。なお、画素230R、画素230G、及び画素230Bのそれぞれの配置を、適宜入れ替えてもよい。また、表示素子と、画素回路と、のそれぞれは、同じ配列でもよいし、異なる配列でもよい。

[0675]

ここで、ペンタイル配列は、疑似的に精細度を高める特殊な画素配列である。そのため、表示装置において、例えばストライプ配列などを採用することが好ましい。本発明の一態様は、画素回路を構成するトランジスタの一部または全部に、例えば、実施の形態2で説明したトランジスタ100などの構成を適用することで、画素回路の占有面積を縮小することができる。よって、表示装置の精細度を下げずに、画素配列をペンタイル配列から、例えばストライプ配列などにすることができる。

[0676]

表示素子として、様々な素子を用いることができ、例えば、液晶素子及び発光素子が挙げられる。その他、シャッター方式または光干渉方式のMEMS（Micro Electro Mechanical Systems）素子、または、マイクロカプセル方式、電気泳動方式、エレクトロウェットティング方式、または電子粉流体（登録商標）方式などを適用した表示素子、などを用いることもできる。また、光源と、量子ドット材料による色変換技術と、を用いたQLED（Quantum-dot LED）を用いてもよい。

[0677]

液晶素子を用いた表示装置として、例えば、透過型の液晶表示装置、反射型の液晶表示装置、及び半透過型の液晶表示装置が挙げられる。

[0678]

液晶素子を用いた表示装置に用いることができるモードとして、例えば、垂直配向（VA: Vertical Alignment）モード、FFS（Fringe Field Switching）モード、IPS（In-Plane-Switching）モード、TN（Twisted Nematic）モード、ASM（Axially Symmetric aligned Micro-cell）モード、OCB（Optically Compensated Birefrin

gence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モード、ECB (Electrically Controlled Birefringence) モード、及びゲストホストモードが挙げられる。VAモードとして、例えば、MVA (Multi-Domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、及びASV (Advanced Super View) モードが挙げられる。

[0679]

液晶素子に用いることができる液晶材料として、例えば、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶 (PDLC: Polymer Dispersed Liquid Crystal)、高分子ネットワーク型液晶 (PNLC: Polymer Network Liquid Crystal)、強誘電性液晶、及び反強誘電性液晶が挙げられる。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相、またはブルー相などを示す。また、液晶材料として、ポジ型の液晶及びネガ型の液晶のどちらを用いてもよく、適用するモード、または設計に応じて選択できる。

[0680]

発光素子として、例えば、LED (Light Emitting Diode)、有機EL (Electro Luminescence) 素子 (OLED (Organic LED) ともいう)、及び半導体レーザなどの自発光型の発光素子が挙げられる。LEDとして、例えば、ミニLED、またはマイクロLEDなどを用いることができる。

[0681]

発光素子が有する発光物質として、例えば、蛍光を発する物質 (蛍光材料)、燐光を発する物質 (燐光材料)、熱活性化遅延蛍光を示す物質 (熱活性化遅延蛍光 (Thermally activated delayed fluorescence: TADF) 材料)、及び無機化合物 (量子ドット材料など) が挙げられる。

[0682]

発光素子の発光色は、赤外、赤、緑、青、シアン、マゼンタ、黄、または白などとすることができる。また、発光素子にマイクロキャビティ構造を付与することにより色純度を高めることができる。

[0683]

発光素子が有する一対の電極のうち、一方の電極は陽極 (アノード電極ともいう) として機能し、他方の電極は陰極 (カソード電極ともいう) として機能する。

[0684]

本実施の形態では、主に、表示素子として発光素子を用いる場合を例に挙げて説明する。特に、発光素子として有機EL素子を用いる場合を例に挙げて説明する。よって、本発明の一態様は、有機EL素子を用いた表示装置である。

[0685]

なお、本発明の一態様の表示装置は、発光素子が形成されている基板とは反対方向に光を射出する上面射出型 (トップエミッション型)、発光素子が形成されている基板側に光を射出する下面射出型 (ボトムエミッション型)、両面に光を射出する両面射出型 (デュアルエミッション型) のいずれであつてもよい。

[0686]

本発明の一態様の半導体装置は、占有面積を小さくできるため、ボトムエミッション構造の表示装置において画素の開口率を高めることができる。例えば、開口率が50%以上、55%以上、または60%以上の表示装置を実現できる。

[0687]

なお、本明細書等において、開口率とは、画素の面積に対する光が射出する領域の面積の割合を指す。

[0688]

<表示装置の構成例2>

図65Aに、表示装置50Aの、FPC172を含む領域の一部、回路部164の一部、表示部162の一部、接続部140の一部、及び、端部を含む領域の一部をそれぞれ切断したときの断面の一例を示す。なお、回路部163については、回路部164の記載を参照できる。

[0689]

図65Aに示す表示装置50Aは、基板151と基板152との間に、トランジスタ205D、トランジスタ205R、トランジスタ205G、トランジスタ207G、トランジスタ207B、発光素子130R、発光素子130G、及び発光素子130Bなどを有する。発光素子130Rは、赤色の光を呈する画素230Rが有する表示素子であり、発光素子130Gは、緑色の光を呈する画素230Gが有する表示素子であり、発光素子130Bは、青色の光を呈する画素230Bが有する表示素子である。なお、発光素子130R、発光素子130G、及び発光素子130Bに共通の事柄を説明するときには、単に発光素子130と示す場合がある。

[0690]

表示装置50Aには、SBS(Side By Side)構造が適用されている。SBS構造は、発光素子ごとに材料及び構成を最適化することができるため、材料及び構成の選択の自由度が高まり、発光強度の向上及び信頼性の向上を図ることが容易となる。

[0691]

表示装置50Aは、トップエミッション型である。トップエミッション型は、トランジスタなどを発光素子の発光領域と重ねて配置できるため、ボトムエミッション型に比べて画素の開口率を高めることができる。

[0692]

トランジスタ205D、トランジスタ205R、トランジスタ205G、トランジスタ207G、及びトランジスタ207Bは、いずれも基板151上に形成されている。これらのトランジスタは、一部の工程を共通にして作製することができる。

[0693]

トランジスタ205D、トランジスタ205R、トランジスタ205G、トランジスタ207G、及びトランジスタ207Bのいずれか一以上に、前述のトランジスタ100、トランジスタ100A、トランジスタ100B1、トランジスタ100B2、トランジスタ100C、トランジスタ100D、及びトランジスタ200の、一種または複数種を適用することができる。図65Aは、トランジスタ205D、トランジスタ205R、及びトランジスタ205Gに、前述のトランジスタ100を適用し、トランジスタ207G、及びトランジスタ207Bに、前述のトランジスタ200を適用した構成例を示している。

[0694]

表示部162に設けられるトランジスタに、前述のトランジスタ100、トランジスタ100A、トランジスタ100B1、トランジスタ100B2、トランジスタ100C、及びトランジスタ100Dの、一種または複数種を用いることで、高精細な表示装置とすることができる。また、発光素子130の駆動トランジスタに、飽和性の高いトランジスタ200を用いることができる。これにより、信頼性の高い表示装置とすることができる。

[0695]

回路部164に、前述のトランジスタ100、トランジスタ100A、トランジスタ100B1、トランジスタ100B2、トランジスタ100C、及びトランジスタ100Dの、一種または複数種を用いることで、高速に動作する表示装置とすることができる。表示部162に設けられるトランジスタと比較して、回路部164に設けられるトランジスタは大きいオン電流が必要とされる場合がある。回路部164には、チャンネル長の短いトランジスタを用いることが好ましい。例えば、回路部164には、前述のトランジスタ100、トランジスタ100A、トランジスタ100B1、トランジスタ100B2、トランジスタ100C、及びトランジスタ100Dの、一種または複数種を用いることができる。回路部164にトランジスタ100、トランジスタ100A、トランジスタ100B1、トランジスタ100B2、トランジスタ100C、及びトランジスタ100Dの、一種または複数種を用いることにより、占有面積を縮小することができ、狭額縁の表示装置とすることができる。なお、回路部164にトランジスタ200を用いてもよい。

[0696]

なお、本実施の形態の表示装置が有するトランジスタは、本発明の一態様の半導体装置が有するトランジスタのみに限定されない。例えば、本発明の一態様の半導体装置が有するトランジスタと、他の構造のトランジスタと、を組み合わせてもよい。本実施の形態の表示装置は、例えば、プレーナ型のトランジスタ、スタガ型のトランジスタ、及び逆スタガ型のトランジスタのいずれか一以上を有してもよい。本実施の形態の表示装置が有するトランジスタは、トップゲート型またはボトムゲート型のいずれとしてもよい。または、チャンネルが形成される半導体層の上下にゲートが設けられていてもよい。

[0697]

トランジスタ205D、トランジスタ205R、トランジスタ205G、トランジスタ207G、及びトランジスタ207Bには、OSトランジスタを用いることができる。

[0698]

本実施の形態の表示装置は、Siトランジスタを有していてもよい。

[0699]

画素回路に含まれる発光素子の発光強度を高くする場合、発光素子に流す電流量を大きくする必要がある。そのためには、画素回路に含まれている駆動トランジスタのドレインソース間電圧を高くする必要がある。OSトランジスタは、Siトランジスタと比較して、ドレインソース間において耐圧が高いため、OSトランジスタのドレインソース間には高い電圧を印加することができる。したがって、画素回路に含まれる駆動トランジスタをOSトランジスタとすることで、発光素子に流れる電流量を大きくし、発光素子の発光強度を高くすることができる。

[0700]

トランジスタが飽和領域で動作する場合において、OSトランジスタは、Siトランジスタよりも、

ゲートソース間電圧の変化に対して、ドレインからソースに流れる電流の変化を小さくすることができる。このため、画素回路に含まれる駆動トランジスタとしてOSトランジスタを適用することによって、ゲートソース間電圧の変化によって、ドレインからソースに流れる電流を細かく定めることができるため、発光素子に流れる電流量を制御することができる。このため、画素回路における階調数を多くすることができる。

[0701]

トランジスタが飽和領域で動作するときに流れる電流の飽和性において、OSトランジスタは、ドレインソース間電圧が徐々に高くなった場合においても、Siトランジスタよりも安定した電流（飽和電流）を流すことができる。そのため、OSトランジスタを駆動トランジスタとして用いることで、例えば、発光素子の電流－電圧特性にばらつきが生じた場合においても、発光素子に安定した電流を流すことができる。つまり、OSトランジスタは、飽和領域で動作する場合において、ドレインソース間電圧を変化させても、ドレインからソースに流れる電流がほぼ変化しないため、発光素子の発光強度を安定させることができる。

[0702]

回路部164が有するトランジスタと、表示部162が有するトランジスタとは、同じ構造であってもよく、異なる構造であってもよい。回路部164が有する複数のトランジスタの構造は、全て同じであってもよく、2種類以上であってもよい。同様に、表示部162が有する複数のトランジスタの構造は、全て同じであってもよく、2種類以上であってもよい。

[0703]

表示部162が有するトランジスタの全てをOSトランジスタとしてもよく、表示部162が有するトランジスタの全てをSiトランジスタとしてもよく、表示部162が有するトランジスタの一部をOSトランジスタとし、残りをSiトランジスタとしてもよい。

[0704]

例えば、表示部162にLTPSトランジスタとOSトランジスタとの双方を用いることで、消費電力が低く、駆動能力の高い表示装置を実現することができる。例えば、配線間の導通または非導通を制御するためのスイッチとして機能するトランジスタなどにOSトランジスタを適用し、電流を制御するトランジスタなどにLTPSトランジスタを適用する構成が挙げられる。

[0705]

例えば、表示部162が有するトランジスタの一は、発光素子に流れる電流を制御するためのトランジスタとして機能し、駆動トランジスタとも呼ぶことができる。駆動トランジスタのソースおよびドレインの一方は、発光素子の画素電極と電気的に接続される。当該駆動トランジスタには、LTPSトランジスタを用いることができる。これにより、画素回路において発光素子に流れる電流を大きくできる。

[0706]

一方、表示部162が有するトランジスタの他の一は、画素の選択または非選択を制御するためのスイッチとして機能し、選択トランジスタとも呼ぶことができる。選択トランジスタのゲートはゲート線（走査線）と電気的に接続され、ソースおよびドレインの一方は、ソース線（信号線）と電気的に接続される。選択トランジスタには、OSトランジスタを適用することが好ましい。これにより、リフレッシュレートを著しく小さく（例えば1Hz以下）しても、画素の階調を維持することができるため、静止画を表示する際にドライバ（駆動回路）を停止することで、消費電力を低減することができる。

できる。

[0707]

トランジスタ205D、トランジスタ205R、トランジスタ205G、トランジスタ207G、及びトランジスタ207Bを覆うように、絶縁層195が設けられ、絶縁層195上に絶縁層235が設けられている。

[0708]

絶縁層235上に、発光素子130R、発光素子130G、及び発光素子130Bが設けられている。

[0709]

発光素子130Rは、絶縁層235上の画素電極111Rと、画素電極111R上のEL層113Rと、EL層113R上の共通電極115と、を有する。図65Aに示す発光素子130Rは、赤色(R)の光を発する。EL層113Rは、赤色の光を発する発光層を有する。

[0710]

発光素子130Gは、絶縁層235上の画素電極111Gと、画素電極111G上のEL層113Gと、EL層113G上の共通電極115と、を有する。図65Aに示す発光素子130Gは、緑色(G)の光を発する。EL層113Gは、緑色の光を発する発光層を有する。

[0711]

発光素子130Bは、絶縁層235上の画素電極111Bと、画素電極111B上のEL層113Bと、EL層113B上の共通電極115と、を有する。図65Aに示す発光素子130Bは、青色(B)の光を発する。EL層113Bは、青色の光を発する発光層を有する。

[0712]

なお、図65Aでは、EL層113R、EL層113G、及びEL層113Bを全て同じ厚さで示すが、これに限られない。EL層113R、EL層113G、及びEL層113Bのそれぞれの厚さは異なってもよい。例えば、EL層113R、EL層113G、及びEL層113Bは、それぞれの発する光が強まる光路長となるように、厚さを設定することが好ましい。これにより、マイクロキャビティ構造を実現し、各発光素子から射出される光の色純度を高めることができる。

[0713]

画素電極111Rは、絶縁層106、絶縁層195、及び絶縁層235に設けられた開口を介して、トランジスタ205Rが有する導電層112bと電氣的に接続されている。同様に、画素電極111Gは、トランジスタ205Gが有する導電層112bと電氣的に接続され、画素電極111Bは、トランジスタ205B（図示しない）が有する導電層112bと電氣的に接続されている。

[0714]

画素電極111R、画素電極111G、及び画素電極111Bのそれぞれの端部は、絶縁層237によって覆われている。絶縁層237は、隔壁として機能する。絶縁層237は、無機絶縁材料及び有機絶縁材料の、一方または双方を用いて、単層構造または積層構造で設けることができる。絶縁層237には、例えば、絶縁層195に用いることができる材料、及び絶縁層235に用いることができる材料を適用できる。絶縁層237により、画素電極と共通電極とを電氣的に絶縁することができる。また、絶縁層237により、隣接する発光素子同士を電氣的に絶縁することができる。

[0715]

絶縁層237は、少なくとも表示部162に設けられる。絶縁層237は、表示部162だけでな

く、接続部 140 及び回路部 164 に設けられていてもよい。また、絶縁層 237 は、表示装置 50A の端部にまで設けられていてもよい。

[0716]

共通電極 115 は、発光素子 130R、発光素子 130G、及び発光素子 130B に共通して設けられる一続きの膜である。複数の発光素子が共通して有する共通電極 115 は、接続部 140 に設けられた導電層 123 と電氣的に接続される。導電層 123 には、画素電極 111R、画素電極 111G、及び画素電極 111B と同じ材料、及び同じ工程で形成された導電層を用いることが好ましい。

[0717]

本発明の一態様の表示装置において、画素電極と共通電極とのうち、光を取り出す側の電極には、可視光を透過する導電膜を用いることが好ましい。また、光を取り出さない側の電極には、可視光を反射する導電膜を用いることが好ましい。

[0718]

光を取り出さない側の電極にも可視光を透過する導電膜を用いてもよい。この場合、反射層と、EL 層との間に当該電極を配置することが好ましい。つまり、EL 層の発光は、当該反射層によって反射されて、表示装置から取り出されてもよい。

[0719]

発光素子の一对の電極を形成する材料として、金属、合金、電気伝導性化合物、及びこれらの混合物などを適宜用いることができる。当該材料として、具体的には、アルミニウム、マグネシウム、チタン、クロム、マンガン、鉄、コバルト、ニッケル、銅、ガリウム、亜鉛、インジウム、スズ、モリブデン、タンタル、タングステン、パラジウム、金、白金、銀、イットリウム、及びネオジムなどの金属、並びに、これらを適宜組み合わせる含む合金、が挙げられる。また、当該材料として、インジウムスズ酸化物 (In-Sn 酸化物、または ITO ともいう)、In-Si-Sn 酸化物 (ITSO ともいう)、インジウム亜鉛酸化物 (In-Zn 酸化物)、及び In-W-Zn 酸化物などを挙げることができる。また、当該材料として、アルミニウムとニッケルとランタンとの合金 (Al-Ni-La) などのアルミニウムを含む合金 (アルミニウム合金)、並びに、銀とマグネシウムとの合金、及び銀とパラジウムと銅との合金 (Ag-Pd-Cu、または APC とも記す) などの銀を含む合金、が挙げられる。その他、当該材料として、上記例示のない元素周期表の第 1 族または第 2 族に属する元素 (例えば、リチウム、セシウム、カルシウム、及びストロンチウム)、ユウロピウム、及びイッテルビウムなどの希土類金属、これらを適宜組み合わせる含む合金、並びに、グラフェン、などが挙げられる。

[0720]

発光素子には、微小光共振器 (マイクロキャビティ) 構造が適用されていることが好ましい。したがって、発光素子が有する一对の電極の一方は、可視光に対する透過性及び反射性を有する電極 (半透過・半反射電極) であることが好ましく、他方は、可視光に対する反射性を有する電極 (反射電極) であることが好ましい。発光素子がマイクロキャビティ構造を有することで、発光層から得られる発光を両電極間で共振させ、発光素子から射出される光を強めることができる。

[0721]

透明電極の光の透過率は、40%以上とする。例えば、発光素子の透明電極には、可視光 (波長 400nm 以上 750nm 未満の光) の透過率が 40%以上である電極を用いることが好ましい。半透過・半反射電極の可視光の反射率は、10%以上 95%以下、好ましくは 30%以上 80%以下とす

る。反射電極の可視光の反射率は、40%以上100%未満、好ましくは70%以上100%未満とする。また、これらの電極の抵抗率は、 $1 \times 10^{-2} \Omega \text{ cm}$ 以下が好ましい。

[0722]

EL層113R、EL層113G、及びEL層113Bは、それぞれ、島状に設けられている。図65Aでは、隣り合うEL層113Rの端部とEL層113Gの端部とが重なっており、隣り合うEL層113Gの端部とEL層113Bの端部とが重なっており、隣り合うEL層113Rの端部とEL層113Bの端部とが重なっている。メタルマスク（またはファインメタルマスク）を用いて島状のEL層を成膜する場合、図65Aに示すように、隣り合うEL層の端部同士が重なることがあるが、これに限られない。つまり、隣り合うEL層同士は重ならず、互いに離隔されていてもよい。また、表示装置において、隣り合うEL層同士が重なっている部分と、隣り合うEL層同士が重ならず離隔されている部分と、の双方が存在してもよい。

[0723]

EL層113R、EL層113G、及びEL層113Bは、それぞれ、少なくとも発光層を有する。発光層は、1種または複数種の発光物質を有する。発光物質として、青色、紫色、青紫色、緑色、黄緑色、黄色、橙色、または赤色などの発光色を呈する物質を適宜用いる。また、発光物質として、近赤外光を発する物質を用いることもできる。

[0724]

発光物質として、蛍光材料、燐光材料、TADF材料、及び量子ドット材料などが挙げられる。

[0725]

発光層は、発光物質（ゲスト材料）に加えて、1種または複数種の有機化合物（ホスト材料、及びアシスト材料など）を有していてもよい。1種または複数種の有機化合物として、正孔輸送性の高い物質（正孔輸送性材料）及び電子輸送性の高い物質（電子輸送性材料）の一方または双方を用いることができる。また、1種または複数種の有機化合物として、バイポーラ性の物質（電子輸送性及び正孔輸送性が高い物質）、またはTADF材料を用いてもよい。

[0726]

発光層は、例えば、燐光材料と、励起錯体を形成しやすい組み合わせである正孔輸送性材料及び電子輸送性材料と、を有することが好ましい。このような構成とすることにより、励起錯体から発光物質（燐光材料）へのエネルギー移動であるExTET（Exciplex-Triplet Energy Transfer）を用いた発光を効率よく得ることができる。発光物質の最も低エネルギー側の吸収帯の波長と重なるような発光を呈する励起錯体を形成するような組み合わせを選択することで、エネルギー移動がスムーズとなり、効率よく発光を得ることができる。この構成により、発光素子の高効率、低電圧駆動、かつ長寿命を同時に実現できる。

[0727]

EL層は、発光層の他に、正孔注入性の高い物質を含む層（正孔注入層）、正孔輸送性材料を含む層（正孔輸送層）、電子ブロック性の高い物質を含む層（電子ブロック層）、電子注入性の高い物質を含む層（電子注入層）、電子輸送性材料を含む層（電子輸送層）、及び正孔ブロック性の高い物質を含む層（正孔ブロック層）のうち、一つまたは複数を含むことができる。その他、EL層は、バイポーラ性の物質及びTADF材料の、一方または双方を含んでもよい。

[0728]

発光素子には低分子化合物及び高分子化合物のいずれを用いることもでき、無機化合物を含んで

いてもよい。発光素子を構成する層は、それぞれ、蒸着法（真空蒸着法を含む）、転写法、印刷法、インクジェット法、または塗布法などの方法で形成することができる。

[0729]

発光素子には、シングル構造（発光ユニットを1つだけ有する構造）を適用してもよく、タンデム構造（発光ユニットを複数有する構造）を適用してもよい。発光ユニットは、少なくとも1層の発光層を有する。タンデム構造は、複数の発光ユニットが電荷発生層を介して直列に接続された構成である。電荷発生層は、一対の電極間に電圧を印加したときに、2つの発光ユニットの一方に電子を注入し、他方に正孔を注入する機能を有する。タンデム構造とすることで、高い発光強度で発光が可能な発光素子とすることができる。また、タンデム構造は、シングル構造と比べて、同じ発光強度を得るために必要な電流を小さくすることができるため、信頼性を高めることができる。なお、タンデム構造をスタック構造と呼んでもよい。

[0730]

図65Aにおいて、タンデム構造の発光素子を用いる場合、EL層113Rは、赤色の光を発する発光ユニットを複数有する構造であり、EL層113Gは、緑色の光を発する発光ユニットを複数有する構造であり、EL層113Bは、青色の光を発する発光ユニットを複数有する構造であると好ましい。

[0731]

発光素子130R、発光素子130G、及び発光素子130Bの上には、保護層131が設けられている。保護層131と基板152とは、接着層142を介して接着されている。基板152には、遮光層117が設けられている。発光素子の封止には、例えば、固体封止構造または中空封止構造が適用できる。図65Aでは、基板152と基板151との間の空間が、接着層142で充填されており、固体封止構造が適用されている。または、当該空間を不活性ガス（窒素またはアルゴンなど）で充填する、中空封止構造を適用してもよい。このとき、接着層142は、発光素子と重ならないように設けられていてもよい。また、当該空間を、枠状に設けられた接着層142とは異なる樹脂で充填してもよい。

[0732]

保護層131は、少なくとも表示部162に設けられており、表示部162全体を覆うように設けられていることが好ましい。保護層131は、表示部162だけでなく、接続部140及び回路部164を覆うように設けられていることが好ましい。また、保護層131は、表示装置50Aの端部にまで設けられていることが好ましい。一方で、接続部197には、FPC172と導電層166とを電氣的に接続させるため、保護層131が設けられていない部分が生じる。

[0733]

発光素子130R、発光素子130G、及び発光素子130Bの上に保護層131を設けることで、発光素子の信頼性を高めることができる。

[0734]

保護層131は単層構造でもよく、2層以上の積層構造であってもよい。また、保護層131の導電性は問わない。保護層131として、絶縁膜、半導体膜、及び導電膜の少なくとも一種を用いることができる。

[0735]

保護層131が無機膜を有することで、共通電極115の酸化を防止すること、及び発光素子に不

純物（水分及び酸素など）が入り込むことを抑制するなど、発光素子の劣化を抑制し、かつ、表示装置の信頼性を高めることができる。

[0736]

保護層131には無機絶縁膜を用いることができる。無機絶縁膜に用いることができる材料として、例えば、酸化物、窒化物、酸化窒化物、及び窒化酸化物が挙げられる。これらの無機絶縁膜の具体例は、前述の通りである。特に、保護層131は、窒化物または窒化酸化物を有することが好ましく、窒化物を有することがより好ましい。

[0737]

保護層131には、ITO、In-Zn酸化物、Ga-Zn酸化物、Al-Zn酸化物、またはIGZOなどを含む無機膜を用いることもできる。当該無機膜は、高抵抗であることが好ましく、具体的には、共通電極115よりも高抵抗であることが好ましい。当該無機膜は、さらに窒素を含んでもよい。

[0738]

発光素子の発光を、保護層131を介して取り出す場合、保護層131は、可視光に対する透過性が高いことが好ましい。例えば、ITO、IGZO、及び酸化アルミニウムは、それぞれ、可視光に対する透過性が高い無機材料であるため、好ましい。

[0739]

保護層131として、例えば、酸化アルミニウム膜と、酸化アルミニウム膜上の窒化シリコン膜と、の積層構造、または、酸化アルミニウム膜と、酸化アルミニウム膜上のIGZO膜と、の積層構造を用いることができる。当該積層構造を用いることで、不純物（水及び酸素など）がEL層側に入り込むことを抑制できる。

[0740]

さらに、保護層131は、有機膜を有していてもよい。例えば、保護層131は、有機膜と無機膜との双方を有していてもよい。保護層131に用いることができる有機膜として、例えば、絶縁層235に用いることができる有機絶縁膜などが挙げられる。

[0741]

基板151において、基板152と重ならない領域に、接続部197が設けられている。接続部197では、導電層165が、導電層166及び接続層242を介してFPC172と電氣的に接続されている。導電層165は、導電層112bと同じ導電膜を加工して得られた導電層の単層構造である一例を示す。導電層166は、画素電極111R、画素電極111G、及び画素電極111Bと同一の導電膜を加工して得られた導電層の単層構造である一例を示す。接続部197の上面では、導電層166が露出している。これにより、接続部197とFPC172とを接続層242を介して電氣的に接続することができる。

[0742]

表示装置50Aは、トップエミッション型である。発光素子が発する光は、基板152側に射出される。基板152には、可視光に対する透過性が高い材料を用いることが好ましい。画素電極111R、画素電極111G、及び画素電極111Bは可視光を反射する材料を含み、対向電極（共通電極115）は可視光を透過する材料を含む。

[0743]

基板152の基板151側の面には、遮光層117を設けることが好ましい。遮光層117は、隣

り合う発光素子の間、接続部 140、及び回路部 164などに設けることができる。

[0744]

基板 152の基板 151側の面、または保護層 131上に、カラーフィルタなどの着色層を設けてもよい。発光素子に重ねてカラーフィルタを設けると、画素から射出される光の色純度を高めることができる。

[0745]

着色層は特定の波長域の光を選択的に透過し、他の波長域の光を吸収する有色層である。例えば、赤色の波長域の光を透過する赤色（R）のカラーフィルタ、緑色の波長域の光を透過する緑色（G）のカラーフィルタ、及び、青色の波長域の光を透過する青色（B）のカラーフィルタ、などを用いることができる。各着色層には、金属材料、樹脂材料、顔料、及び染料のうち、一つまたは複数を用いることができる。着色層は、印刷法、インクジェット法、または、フォトリソグラフィ法を用いたエッチング法、などでそれぞれ所望の位置に形成する。

[0746]

基板 152の外側（基板 151とは反対側の面）には各種光学部材を配置することができる。光学部材として、例えば、偏光板、位相差板、光拡散層（拡散フィルムなど）、反射防止層、及び集光フィルムが挙げられる。また、基板 152の外側には、ゴミの付着を抑制する帯電防止膜、汚れを付着しにくくする撥水性の膜、使用に伴う傷の発生を抑制するハードコート膜、及び衝撃吸収層などの表面保護層を配置してもよい。例えば、表面保護層として、ガラス層またはシリカ層（ SiO_x 層）を設けることで、表面汚染及び傷の発生を抑制することができ、好ましい。また、表面保護層として、DLC（ダイヤモンドライクカーボン）、酸化アルミニウム（ AlO_x ）、ポリエステル系材料、またはポリカーボネート系材料などを用いてもよい。なお、表面保護層には、可視光に対する透過率が高い材料を用いることが好ましい。また、表面保護層には、硬度が高い材料を用いることが好ましい。

[0747]

基板 151及び基板 152として、それぞれ、ガラス、石英、セラミックス、サファイア、樹脂、金属、合金、及び半導体などを用いることができる。発光素子からの光を取り出す側の基板には、当該光を透過する材料を用いる。基板 151及び基板 152に可撓性を有する材料を用いると、表示装置の可撓性を高め、フレキシブルディスプレイ（例えば、ベンダブルディスプレイ、フォルダブルディスプレイ、ローラブルディスプレイ、スライダブルディスプレイ、及びストレッチャブルディスプレイなど）を実現することができる。また、基板 151及び基板 152の少なくとも一方として偏光板を用いてもよい。

[0748]

基板 151及び基板 152として、それぞれ、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）などのポリエステル樹脂、ポリアクリロニトリル樹脂、アクリル樹脂、ポリイミド樹脂、ポリメチルメタクリレート樹脂、ポリカーボネート（PC）樹脂、ポリエーテルスルホン（PES）樹脂、ポリアミド樹脂（ナイロン、及びアラミドなど）、ポリシロキサン樹脂、シクロオレフィン樹脂、ポリスチレン樹脂、ポリアミドイミド樹脂、ポリウレタン樹脂、ポリ塩化ビニル樹脂、ポリ塩化ビニリデン樹脂、ポリプロピレン樹脂、ポリテトラフルオロエチレン（PTFE）樹脂、ABS樹脂、及びセルロースナノファイバーなどを用いることができる。基板 151及び基板 152の少なくとも一方に、可撓性を有する程度の厚さのガラスを用いてもよい。

[0749]

なお、表示装置に円偏光板を重ねる場合、表示装置が有する基板には、光学等方性の高い基板を用いることが好ましい。光学等方性が高い基板は、複屈折が小さい（複屈折量が小さい、ともいえる）。光学等方性が高いフィルムとして、トリアセチルセルロース（TAC、またはセルローストリアセテートともいう）フィルム、シクロオレフィンポリマー（COP）フィルム、シクロオレフィンコポリマー（COC）フィルム、及びアクリルフィルムなどが挙げられる。

[0750]

接着層142として、紫外線硬化型などの光硬化型接着剤、反応硬化型接着剤、熱硬化型接着剤、及び嫌気型接着剤などの各種硬化型接着剤を用いることができる。これら接着剤として、エポキシ樹脂、アクリル樹脂、シリコーン樹脂、フェノール樹脂、ポリイミド樹脂、イミド樹脂、PVC（ポリビニルクロライド）樹脂、PVB（ポリビニルブチラル）樹脂、及びEVA（エチレンビニルアセテート）樹脂などが挙げられる。特に、エポキシ樹脂などの透湿性が低い材料が好ましい。また、二液混合型の樹脂を用いてもよい。また、接着シートなどを用いてもよい。

[0751]

接続層242として、異方性導電フィルム（ACF: Anisotropic Conductive Film）、及び異方性導電ペースト（ACP: Anisotropic Conductive Paste）などを用いることができる。

[0752]

<表示装置の構成例3>

図65Bに、表示装置50Bの表示部162の断面の一例を示す。表示装置50Bは、各色の副画素に、共通のEL層113を有する発光素子と、着色層（カラーフィルタなど）と、が用いられている点で、表示装置50Aと主に異なる。図65Bに示す構成は、図65Aに示す、FPC172を含む領域、回路部164、表示部162の基板151から絶縁層235までの積層構造、接続部140、及び端部の構成と、組み合わせることができる。なお、以降の表示装置の説明では、先に説明した表示装置と同様の部分については説明を省略することがある。

[0753]

図65Bに示す表示装置50Bは、発光素子130R、発光素子130G、発光素子130B、赤色の光を透過する着色層132R、緑色の光を透過する着色層132G、及び、青色の光を透過する着色層132B、などを有する。

[0754]

発光素子130Rは、画素電極111Rと、画素電極111R上のEL層113と、EL層113上の共通電極115と、を有する。発光素子130Rの発光は、着色層132Rを介して表示装置50Bの外部に赤色の光として取り出される。

[0755]

発光素子130Gは、画素電極111Gと、画素電極111G上のEL層113と、EL層113上の共通電極115と、を有する。発光素子130Gの発光は、着色層132Gを介して表示装置50Bの外部に緑色の光として取り出される。

[0756]

発光素子130Bは、画素電極111Bと、画素電極111B上のEL層113と、EL層113上の共通電極115と、を有する。発光素子130Bの発光は、着色層132Bを介して表示装置50Bの外部に青色の光として取り出される。

[0757]

発光素子130R、発光素子130G、及び発光素子130Bは、EL層113と、共通電極115と、をそれぞれ共有して有する。各色の副画素に共通のEL層113を設ける構成は、各色の副画素にそれぞれ異なるEL層を設ける構成に比べて、作製工程数の削減が可能である。

[0758]

例えば、図65Bに示す発光素子130R、発光素子130G、及び発光素子130Bは、白色の光を発する。発光素子130R、発光素子130G、及び発光素子130Bが発する白色の光が、着色層132R、着色層132G、及び着色層132Bを透過することで、所望の色の光を得ることができる。

[0759]

白色の光を発する発光素子は、2つ以上の発光層を含むことが好ましい。2つの発光層を用いて白色の光を得る場合、2つの発光層の発光色が補色の関係となるような発光層を選択すればよい。例えば、第1の発光層の発光色と第2の発光層の発光色とが補色の関係になるようにすることで、発光素子全体として白色発光する構成を得ることができる。また、3つ以上の発光層を用いて白色発光を得る場合、3つ以上の発光層の発光色が合わさることで、発光素子全体として白色発光する構成とすればよい。

[0760]

EL層113は、例えば、青色の光を発する発光物質を有する発光層、及び、青色よりも長波長の可視光を発する発光物質を有する発光層、を有することが好ましい。EL層113は、例えば、黄色の光を発する発光層、及び、青色の光を発する発光層、を有することが好ましい。または、EL層113は、例えば、赤色の光を発する発光層、緑色の光を発する発光層、及び、青色の光を発する発光層、を有することが好ましい。

[0761]

白色の光を発する発光素子には、タンデム構造を用いることが好ましい。具体的には、黄色（Y）の光を発する発光ユニットと、青色（B）の光を発する発光ユニットと、を有する2段タンデム構造、赤色（R）の光と緑色（G）の光とを発する発光ユニットと、青色の光を発する発光ユニットと、を有する2段タンデム構造、青色の光を発する発光ユニットと、黄色、黄緑色、または緑色の光を発する発光ユニットと、青色の光を発する発光ユニットと、をこの順で有する3段タンデム構造、または、青色の光を発する発光ユニットと、黄色、黄緑色、または緑色の光と赤色の光とを発する発光ユニットと、青色の光を発する発光ユニットと、をこの順で有する3段タンデム構造、などを適用することができる。例えば、発光ユニットの積層数と色の順番として、陽極側から、B、Yの2段構造、B、X（発光ユニットX）の2段構造、B、Y、Bの3段構造、及び、B、X、Bの3段構造、が挙げられ、発光ユニットXにおける発光層の積層数と色の順番として、陽極側から、R、Yの2層構造、R、Gの2層構造、G、Rの2層構造、G、R、Gの3層構造、及び、R、G、Rの3層構造、などが挙げられる。また、2つの発光層の間に他の層が設けられていてもよい。

[0762]

なお、マイクロキャビティ構造を適用することで、白色の光を発する構成の発光素子は、赤色、緑色、または青色などの特定の波長の光が強められて発光する場合もある。

[0763]

または、例えば、図65Bに示す発光素子130R、発光素子130G、及び発光素子130Bは、

青色の光を発する。このとき、EL層113は、青色の光を発する発光層を1層以上有する。青色の光を呈する画素230Bにおいては、発光素子130Bが発する青色の光を取り出すことができる。また、赤色の光を呈する画素230R、及び緑色の光を呈する画素230Gにおいては、発光素子130Rまたは発光素子130Gと、基板152との間に、色変換層を設けることで、発光素子130Rまたは発光素子130Gが発する青色の光をより長波長の光に変換し、赤色または緑色の光を取り出すことができる。さらに、発光素子130R上には、色変換層と基板152との間に着色層132Rを設け、発光素子130G上には、色変換層と基板152との間に着色層132Gを設けることが好ましい。発光素子が発する光の一部は、色変換層で変換されずにそのまま透過してしまうことがある。色変換層を透過した光を、着色層を介して取り出すことで、所望の色の光以外を着色層で吸収し、副画素が呈する光の色純度を高めることができる。

[0764]

<表示装置の構成例4>

図66Aに示す表示装置50Eは、MML（メタルマスクレス）構造が適用された表示装置の一例である。つまり、表示装置50Eは、メタルマスク（またはファインメタルマスク）を用いずに作製された発光素子を有する。なお、基板151から絶縁層235までの積層構造、及び保護層131から基板152までの積層構造は、表示装置50Aと同様のため、説明を省略する。

[0765]

なお、MML（メタルマスクレス）構造の発光素子は、メタルマスクを用いることなく製造することができる。そのため、メタルマスクの合わせ精度に起因する精細度の上限を超えた表示装置を実現することができる。また、メタルマスクの製造に係る設備、及びメタルマスクの洗浄工程を不要にすることができる。また、表示装置の大量生産を図ることができる。

[0766]

また、MML（メタルマスクレス）構造を採用することで、微細な発光素子を集積した表示装置を実現することができる。そのため、例えば、ペンタイル配列などの特殊な画素配列を適用することで疑似的に精細度を高めることなく、R、G、Bをそれぞれ一方に配列させた、いわゆるストライプ配列を適用し、かつ、精細度が、500ppi以上、1000ppi以上、2000ppi以上、3000ppi以上、または5000ppi以上の表示装置を実現できる。

[0767]

図66Aにおいて、絶縁層235上に、発光素子130R、発光素子130G、及び発光素子130Bが設けられている。

[0768]

発光素子130Rは、絶縁層235上の導電層124Rと、導電層124R上の導電層126Rと、導電層126R上の層133Rと、層133R上の共通層114と、共通層114上の共通電極115と、を有する。図66Aに示す発光素子130Rは、赤色（R）の光を発する。層133Rは、赤色の光を発する発光層を有する。発光素子130Rにおいて、層133R、及び共通層114をまとめてEL層と呼ぶことができる。また、導電層124R及び導電層126Rのうち、一方または双方を画素電極と呼ぶことができる。

[0769]

発光素子130Gは、絶縁層235上の導電層124Gと、導電層124G上の導電層126Gと、導電層126G上の層133Gと、層133G上の共通層114と、共通層114上の共通電極11

5と、を有する。図66Aに示す発光素子130Gは、緑色（G）の光を発する。層133Gは、緑色の光を発する発光層を有する。発光素子130Gにおいて、層133G、及び共通層114をまとめてEL層と呼ぶことができる。また、導電層124G及び導電層126Gのうち、一方または双方を画素電極と呼ぶことができる。

[0770]

発光素子130Bは、絶縁層235上の導電層124Bと、導電層124B上の導電層126Bと、導電層126B上の層133Bと、層133B上の共通層114と、共通層114上の共通電極115と、を有する。図66Aに示す発光素子130Bは、青色（B）の光を発する。層133Bは、青色の光を発する発光層を有する。発光素子130Bにおいて、層133B、及び共通層114をまとめてEL層と呼ぶことができる。また、導電層124B及び導電層126Bのうち、一方または双方を画素電極と呼ぶことができる。

[0771]

本明細書等では、発光素子が有するEL層のうち、発光素子ごとに島状に設けられた層を層133B、層133G、または層133Rと示し、複数の発光素子が共有して有する層を共通層114と示す。なお、本明細書等において、共通層114を含めず、層133R、層133G、及び層133Bを指して、島状のEL層、または島状に形成されたEL層などと呼ぶ場合もある。

[0772]

層133R、層133G、及び層133Bは、互いに離隔されている。EL層を発光素子ごとに島状に設けることで、隣接する発光素子間のリーク電流を抑制することができる。これにより、クロストークに起因した意図しない発光を防ぐことができ、コントラストの極めて高い表示装置を実現できる。

[0773]

なお、図66Aでは、層133R、層133G、及び層133Bを全て同じ厚さで示すが、これに限られない。層133R、層133G、及び層133Bのそれぞれの厚さは異なってもよい。

[0774]

導電層124Rは、絶縁層106、絶縁層195、及び絶縁層235に設けられた開口を介して、トランジスタ205Rが有する導電層112bと電氣的に接続されている。同様に、導電層124Gは、トランジスタ205Gが有する導電層112bと電氣的に接続され、導電層124Bは、トランジスタ205Bが有する導電層112bと電氣的に接続されている。

[0775]

導電層124R、導電層124G、及び導電層124Bは、絶縁層235に設けられた開口を覆うように形成される。導電層124R、導電層124G、及び導電層124Bの凹部には、それぞれ、層128が埋め込まれている。

[0776]

層128は、導電層124R、導電層124G、及び導電層124Bの凹部を平坦化する機能を有する。導電層124R、導電層124G、及び導電層124B、並びに、層128、の上には、導電層124R、導電層124G、及び導電層124Bと電氣的に接続される、導電層126R、導電層126G、及び導電層126Bが設けられている。したがって、導電層124R、導電層124G、及び導電層124Bの凹部と重なる領域も発光領域として使用でき、画素の開口率を高めることができる。導電層124R及び導電層126Rに反射電極として機能する導電層を用いることが好ま

しい。

[0777]

層128は、絶縁層であってもよく、導電層であってもよい。層128には、各種無機絶縁材料、有機絶縁材料、及び導電材料を適宜用いることができる。特に、層128は、絶縁材料を用いて形成されることが好ましく、有機絶縁材料を用いて形成されることが特に好ましい。層128には、例えば、前述の絶縁層237に用いることができる有機絶縁材料を適用することができる。

[0778]

図66Aでは、層128の上面が平坦部を有する例を示すが、層128の形状は、特に限定されない。層128の上面は、凸曲面、凹曲面、及び平面の少なくとも一つを有することができる。

[0779]

層128の上面の高さと、導電層124Rの上面の高さと、は、一致または概略一致していてもよく、互いに異なってもよい。例えば、層128の上面の高さは、導電層124Rの上面の高さより低くてもよく、高くてもよい。

[0780]

導電層126Rの端部は、導電層124Rの端部と揃っていてもよく、導電層124Rの端部の側面を覆っていてもよい。導電層124R及び導電層126Rのそれぞれの端部は、テーパ形状を有することが好ましい。具体的には、導電層124R及び導電層126Rのそれぞれの端部はテーパ角が0度より大きく90度未満のテーパ形状を有することが好ましい。画素電極の端部がテーパ形状を有する場合、画素電極の側面に沿って設けられる層133Rは、傾斜部を有する。画素電極の側面をテーパ形状とすることで、画素電極の側面に沿って設けられるEL層の被覆性を良好にすることができる。

[0781]

導電層124G及び導電層126G、並びに、導電層124B及び導電層126Bについては、導電層124R及び導電層126Rと同様であるため詳細な説明は省略する。

[0782]

導電層126Rの上面及び側面は、層133Rによって覆われている。同様に、導電層126Gの上面及び側面は、層133Gによって覆われており、導電層126Bの上面及び側面は、層133Bによって覆われている。したがって、導電層126R、導電層126G、及び導電層126Bが設けられている領域全体を、発光素子130R、発光素子130G、及び発光素子130Bの発光領域として用いることができるため、画素の開口率を高めることができる。

[0783]

層133R、層133G、及び層133Bのそれぞれの、上面の一部及び側面は、絶縁層125及び絶縁層127によって覆われている。層133R、層133G、及び層133B、並びに、絶縁層125及び絶縁層127、の上に、共通層114が設けられ、共通層114上に共通電極115が設けられている。共通層114及び共通電極115は、それぞれ、複数の発光素子に共通して設けられるひと続きの膜である。

[0784]

図66Aにおいて、導電層126Rと層133Rとの間には、図65A等を示す絶縁層237が設けられていない。つまり、表示装置50Eには、画素電極に接し、かつ、画素電極の上面端部を覆う絶縁層（隔壁、バンク、またはスペーサなどともいう）が設けられていない。そのため、隣り合う発

光素子の間隔を極めて狭くすることができる。したがって、高精細、かつ、高解像度の表示装置とすることができる。また、当該絶縁層を形成するためのマスク（例えばフォトマスク）も不要となり、表示装置の製造コストを削減することができる。

[0785]

前述の通り、層133R、層133G、及び層133Bは、それぞれ、発光層を有する。層133R、層133G、及び層133Bは、それぞれ、発光層と、発光層上のキャリア輸送層（電子輸送層または正孔輸送層）と、を有することが好ましい。または、層133R、層133G、及び層133Bは、それぞれ、発光層と、発光層上のキャリアブロック層（正孔ブロック層または電子ブロック層）と、を有することが好ましい。または、層133R、層133G、及び層133Bは、それぞれ、発光層と、発光層上のキャリアブロック層と、キャリアブロック層上のキャリア輸送層と、を有することが好ましい。層133R、層133G、及び層133Bの表面は、表示装置の作製工程中に露出するため、キャリア輸送層及びキャリアブロック層の、一方または双方を発光層上に設けることで、発光層が最表面に露出することを抑制し、発光層が受けるダメージを低減することができる。これにより、発光素子の信頼性を高めることができる。

[0786]

共通層114は、例えば、電子注入層、または正孔注入層を有する。または、共通層114は、電子輸送層と電子注入層とを積層して有していてもよく、正孔輸送層と正孔注入層とを積層して有していてもよい。共通層114は、発光素子130R、発光素子130G、及び発光素子130Bで共有されている。

[0787]

層133R、層133G、及び層133Bのそれぞれの側面は、絶縁層125によって覆われている。絶縁層127は、絶縁層125を介して、層133R、層133G、及び層133Bのそれぞれの側面を覆っている。

[0788]

層133R、層133G、及び層133Bの側面（さらには、上面の一部）が、絶縁層125及び絶縁層127の少なくとも一方によって覆われていることで、共通層114（または共通電極115）が、画素電極、並びに、層133R、層133G、及び層133Bの側面、と接することを抑制し、発光素子のショートを抑制することができる。これにより、発光素子の信頼性を高めることができる。

[0789]

絶縁層125は、層133R、層133G、及び層133Bのそれぞれの側面と接することが好ましい。絶縁層125が層133R、層133G、及び層133Bと接する構成とすることで、層133R、層133G、及び層133Bの膜剥がれを防止でき、発光素子の信頼性を高めることができる。

[0790]

絶縁層127は、絶縁層125の凹部を充填するように、絶縁層125上に設けられる。絶縁層127は、絶縁層125の側面の少なくとも一部を覆うことが好ましい。

[0791]

絶縁層125及び絶縁層127を設けることで、隣り合う島状の層の間を埋めることができるため、島状の層上に設ける層（例えば、キャリア注入層、及び共通電極など）の被形成面の高低差の大きな凹凸を低減し、より平坦にすることができる。したがって、キャリア注入層及び共通電極などの被覆性を高めることができる。

[0792]

共通層114及び共通電極115は、層133R、層133G、層133B、絶縁層125、及び絶縁層127の上に設けられる。絶縁層125及び絶縁層127を設ける前の段階では、画素電極及び島状のEL層が設けられる領域と、画素電極及び島状のEL層が設けられない領域（発光素子間の領域）と、に起因する段差が生じている。本発明の一態様の表示装置は、絶縁層125及び絶縁層127を有することで当該段差を平坦化させることができ、共通層114及び共通電極115の被覆性を向上させることができる。したがって、段切れによる接続不良を抑制することができる。また、段差によって共通電極115が局所的に薄膜化して電気抵抗が上昇することを抑制することができる。

[0793]

絶縁層127の上面は、より平坦性の高い形状を有することが好ましい。絶縁層127の上面は、平面、凸曲面、及び凹曲面のうち、少なくとも一つを有していてもよい。例えば、絶縁層127の上面は、曲率半径の大きい凸曲面形状を有することが好ましい。

[0794]

絶縁層125には無機絶縁膜を用いることができる。無機絶縁膜に用いることができる材料として、例えば、酸化物、窒化物、酸化窒化物、及び窒化酸化物が挙げられる。これらの無機絶縁膜の具体例は、前述の通りである。絶縁層125は単層構造であってもよく積層構造であってもよい。特に、酸化アルミニウムは、エッチングにおいて、EL層との選択比が高く、後述する絶縁層127の形成において、EL層を保護する機能を有するため、好ましい。特にALD法により形成した酸化アルミニウム膜、酸化ハフニウム膜、または酸化シリコン膜などの無機絶縁膜を絶縁層125に適用することで、ピンホールが少なく、EL層を保護する機能に優れた絶縁層125を形成することができる。また、絶縁層125は、ALD法により形成した膜と、スパッタリング法により形成した膜と、の積層構造としてもよい。絶縁層125は、例えば、ALD法によって形成された酸化アルミニウム膜と、スパッタリング法によって形成された窒化シリコン膜と、の積層構造であってもよい。

[0795]

絶縁層125は、水及び酸素の少なくとも一方に対するバリア絶縁層としての機能を有することが好ましい。絶縁層125は、水及び酸素の少なくとも一方の拡散を抑制する機能を有することが好ましい。また、絶縁層125は、水及び酸素の少なくとも一方を捕獲、または固着する（ゲッタリングともいう）機能を有することが好ましい。

[0796]

絶縁層125が、バリア絶縁層としての機能を有することで、外部から各発光素子に拡散しうる不純物（代表的には、水及び酸素の少なくとも一方）の侵入を抑制することが可能な構成となる。当該構成とすることで、信頼性の高い発光素子、さらには、信頼性の高い表示装置を提供することができる。

[0797]

絶縁層125は、不純物濃度が低いことが好ましい。これにより、絶縁層125からEL層に不純物が混入し、EL層が劣化することを抑制することができる。また、絶縁層125において、不純物濃度を低くすることで、水及び酸素の少なくとも一方に対するバリア性を高めることができる。例えば、絶縁層125は、水素濃度及び炭素濃度の一方、好ましくは双方が十分に低いことが望ましい。

[0798]

絶縁層 1 2 5 上に設けられる絶縁層 1 2 7 は、隣接する発光素子間に形成された絶縁層 1 2 5 の高低差の大きな凹凸を平坦化する機能を有する。換言すると、絶縁層 1 2 7 を有することで共通電極 1 1 5 を形成する面の平坦性を向上させる効果を奏する。

[0799]

絶縁層 1 2 7 として、有機材料を有する絶縁層を用いることができる。有機材料として、感光性の有機樹脂を用いることが好ましく、例えば、アクリル樹脂を含む感光性の樹脂組成物を用いることが好ましい。なお、本明細書等において、アクリル樹脂とは、ポリメタクリル酸エステル、またはメタクリル樹脂のみを指すものではなく、広義のアクリル系ポリマー全体を指す場合がある。

[0800]

絶縁層 1 2 7 として、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、イミド樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シリコーン樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、及びこれら樹脂の前駆体などを用いてもよい。また、絶縁層 1 2 7 として、ポリビニルアルコール (PVA)、ポリビニルブチラール、ポリビニルピロリドン、ポリエチレングリコール、ポリグリセリン、プルラン、水溶性のセルロース、及びアルコール可溶性のポリアミド樹脂などの有機材料を用いてもよい。また、感光性の樹脂としてフォトレジストを用いてもよい。感光性の有機樹脂として、ポジ型の材料及びネガ型の材料のどちらを用いてもよい。

[0801]

絶縁層 1 2 7 には可視光を吸収する材料を用いてもよい。絶縁層 1 2 7 が発光素子からの発光を吸収することで、発光素子から絶縁層 1 2 7 を介して隣接する発光素子に光が漏れること (迷光) を抑制することができる。これにより、表示装置の表示品位を高めることができる。また、表示装置に偏光板を用いなくても、表示品位を高めることができるため、表示装置の軽量化及び薄型化を図ることができる。

[0802]

可視光を吸収する材料として、黒色などの顔料を含む材料、染料を含む材料、光吸収性を有する樹脂材料 (例えばポリイミドなど)、及び、カラーフィルタに用いることのできる樹脂材料 (カラーフィルタ材料)、が挙げられる。特に、2色または3色以上のカラーフィルタ材料を、積層または混合した樹脂材料を用いると、可視光の遮蔽効果を高めることができるため好ましい。特に3色以上のカラーフィルタ材料を混合させることで、黒色または黒色近傍の樹脂層とすることが可能となる。

[0803]

<表示装置の構成例 5>

図 6 6 B に、表示装置 5 0 F の表示部 1 6 2 の断面の一例を示す。表示装置 5 0 F は、各色の副画素に、層 1 3 3 R、層 1 3 3 G、及び層 1 3 3 B のそれぞれを有する発光素子と、着色層 (カラーフィルタなど) と、が用いられている点で、表示装置 5 0 E と主に異なる。図 6 6 B に示す構成は、図 6 6 A に示す、FPC 1 7 2 を含む領域、回路部 1 6 4、表示部 1 6 2 の基板 1 5 1 から絶縁層 2 3 5 までの積層構造、接続部 1 4 0、及び端部の構成と、組み合わせることができる。

[0804]

図 6 6 B に示す表示装置 5 0 F は、発光素子 1 3 0 R、発光素子 1 3 0 G、発光素子 1 3 0 B、赤色の光を透過する着色層 1 3 2 R、緑色の光を透過する着色層 1 3 2 G、及び、青色の光を透過する着色層 1 3 2 B、などを有する。

[0805]

発光素子130Rの発光は、着色層132Rを介して表示装置50Fの外部に赤色の光として取り出される。同様に、発光素子130Gの発光は、着色層132Gを介して表示装置50Fの外部に緑色の光として取り出される。発光素子130Bの発光は、着色層132Bを介して表示装置50Fの外部に青色の光として取り出される。

[0806]

発光素子130R、発光素子130G、及び発光素子130Bは、それぞれ、層133R、層133G、及び層133Bを有する。層133R、層133G、及び層133Bは、同じ材料を用いて、同じ工程で形成される。また、層133R、層133G、及び層133Bは、互いに離隔されている。EL層を発光素子ごとに島状に設けることで、隣接する発光素子間のリーク電流を抑制することができる。これにより、クロストークに起因した意図しない発光を防ぐことができ、コントラストの極めて高い表示装置を実現できる。

[0807]

例えば、図66Bに示す発光素子130R、発光素子130G、及び発光素子130Bは、白色の光を発する。発光素子130R、発光素子130G、及び発光素子130Bが発する白色の光が、着色層132R、着色層132G、及び着色層132Bを透過することで、所望の色の光を得ることができる。

[0808]

または、例えば、図66Bに示す発光素子130R、発光素子130G、及び発光素子130Bは、青色の光を発する。このとき、層133R、層133G、及び層133Bは、青色の光を発する発光層を1層以上有する。青色の光を呈する画素230Bにおいては、発光素子130Bが発する青色の光を取り出すことができる。また、赤色の光を呈する画素230R、及び緑色の光を呈する画素230Gにおいては、発光素子130Rまたは発光素子130Gと、基板152との間に、色変換層を設けることで、発光素子130Rまたは発光素子130Gが発する青色の光をより長波長の光に変換し、赤色または緑色の光を取り出すことができる。さらに、発光素子130R上には、色変換層と基板152との間に着色層132Rを設け、発光素子130G上には、色変換層と基板152との間に着色層132Gを設けることが好ましい。色変換層を透過した光を、着色層を介して取り出すことで、所望の色の光以外を着色層で吸収し、副画素が呈する光の色純度を高めることができる。

[0809]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

[0810]

(実施の形態4)

本実施の形態では、チャネル形成領域に酸化物半導体を含むトランジスタ（OSトランジスタ）について、説明する。なお、OSトランジスタの説明において、チャネル形成領域にシリコンを含むトランジスタ（Siトランジスタともいう）との比較についても簡単に説明する。

[0811]

[OSトランジスタ]

OSトランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のチャネル形成領域のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{17} \text{ cm}^{-3}$ 未満、より好ましくは $1 \times 10^{16} \text{ cm}^{-3}$ 未満、さらに好ましくは $1 \times 10^{13} \text{ cm}^{-3}$ 未満、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、かつ、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上である。なお、酸化物半

導体中のキャリア濃度を低くする場合、当該酸化物半導体中の不純物濃度を低くすることで、当該酸化物半導体中の欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを、高純度真性または実質的に高純度真性という。なお、キャリア濃度の低い酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ場合がある。

[0812]

また、高純度真性または実質的に高純度真性である酸化物半導体は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0813]

したがって、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、例えば、水素または窒素などが挙げられる。なお、酸化物半導体中の不純物とは、例えば、酸化物半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物といえる。

[0814]

また、OSトランジスタは、酸化物半導体中のチャネル形成領域に不純物または酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、OSトランジスタは、酸化物半導体中の酸素欠損に水素が入った欠陥（以下、 V_OH と呼ぶ場合がある）を形成し、キャリアとなる電子を生成する場合がある。また、OSトランジスタは、チャネル形成領域に V_OH が形成されると、チャネル形成領域中のドナー濃度が増加する場合がある。これによって、OSトランジスタは、チャネル形成領域中のドナー濃度が増加するにつれ、しきい値電圧がばらつくことがある。このため、OSトランジスタは、酸化物半導体中のチャネル形成領域に酸素欠損が含まれていると、ノーマリーオン特性（ゲート電圧が0Vの時にドレイン電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャネル形成領域では、不純物、酸素欠損、および V_OH は、できる限り低減されていることが好ましい。

[0815]

また、酸化物半導体のバンドギャップは、シリコンのバンドギャップ（代表的には1.1eV）よりも大きいことが好ましく、好ましくは2eV以上、より好ましくは2.5eV以上、さらに好ましくは3.0eV以上である。シリコンよりも、バンドギャップの大きい酸化物半導体を用いることで、トランジスタのオフ電流（ I_{off} とも呼称する）を低減することができる。

[0816]

また、Siトランジスタでは、トランジスタの微細化が進むにつれて、短チャネル効果（ショートチャネル効果：Short Channel Effect：SCEともいう）が発現する。そのため、Siトランジスタでは、微細化が困難となる。短チャネル効果が発現する要因の一つとして、シリコンのバンドギャップが小さいことが挙げられる。一方、OSトランジスタは、バンドギャップの大きい半導体材料である、酸化物半導体を用いるため、短チャネル効果の抑制を図ることができる。別言すると、OSトランジスタは、短チャネル効果がない、または短チャネル効果が極めて少ないトランジスタである。

[0817]

なお、短チャネル効果とは、トランジスタの微細化（チャネル長の縮小）に伴って顕在化する電気特性の劣化である。短チャネル効果の具体例としては、例えば、しきい値電圧の低下、サブスレッショルドスイング値（S値と表記することがある）の増大、および漏れ電流の増大などがある。ここで、S値とは、サブスレッショルド領域において、ドレイン電圧が一定で、ドレイン電流を1桁変化させる際の、ゲート電圧の変化量をいう。

[0818]

また、短チャネル効果に対する耐性の指標として、特性長（Characteristic Length）が広く用いられている。特性長とは、チャネル形成領域のポテンシャルの曲がりやすさの指標である。特性長が小さいほどポテンシャルが急峻に立ち上がるため、短チャネル効果に強いといえる。

[0819]

OSトランジスタは蓄積型のトランジスタであり、Siトランジスタは反転型のトランジスタである。したがって、OSトランジスタは、Siトランジスタと比較して、ソース領域ーチャネル形成領域間の特性長、およびドレイン領域ーチャネル形成領域間の特性長が小さい。したがって、OSトランジスタは、Siトランジスタよりも短チャネル効果に強い。すなわち、チャネル長の短いトランジスタを作製したい場合においては、OSトランジスタは、Siトランジスタよりも好適である。

[0820]

チャネル形成領域がi型または実質的にi型となるまで酸化物半導体のキャリア濃度を下げた場合においても、短チャネルのトランジスタでは、Conduction-Band-Lowering（CBL）効果により、チャネル形成領域の伝導帯下端が下がるため、ソース領域またはドレイン領域と、チャネル形成領域と、の間の伝導帯下端のエネルギー差は、0.1 eV以上0.2 eV以下まで小さくなる可能性がある。これにより、OSトランジスタは、チャネル形成領域が n^- 型の領域となり、ソース領域およびドレイン領域のそれぞれが n^+ 型の領域となる、 $n^+/n^-/n^+$ の蓄積型junction-lessトランジスタ構造、または、 $n^+/n^-/n^+$ の蓄積型non-junctionトランジスタ構造、と捉えることもできる。

[0821]

OSトランジスタは、上記の構造とすることで、微細化または高集積化しても、良好な電気特性を有することができる。例えば、OSトランジスタは、ゲート長が、20 nm以下、15 nm以下、10 nm以下、7 nm以下、または6 nm以下であって、かつ、1 nm以上、3 nm以上、または5 nm以上であって、良好な電気特性を得ることができる。一方で、Siトランジスタは、短チャネル効果が発現するため、20 nm以下、または15 nm以下のゲート長とすることが困難な場合がある。したがって、OSトランジスタは、Siトランジスタと比較して、チャネル長の短いトランジスタに用いることができる。なお、ゲート長とは、トランジスタ動作時にキャリアがチャネル形成領域内部を移動する方向における、ゲート電極の長さであり、トランジスタの平面視における、ゲート電極の底面の幅をいう。

[0822]

また、OSトランジスタを微細化することで、トランジスタの高周波特性を向上させることができる。具体的には、トランジスタの遮断周波数を向上させることができる。OSトランジスタのゲート長が上記範囲のいずれかである場合、トランジスタの遮断周波数を、例えば室温環境下で、50 GHz

z 以上、好ましくは 100GHz 以上、さらに好ましくは 150GHz 以上とすることができる。

[0823]

以上の説明の通り、OS トランジスタは、Si トランジスタと比較し、オフ電流が小さい、かつ、チャネル長の短いトランジスタの作製が可能である、といった優れた効果を有する。

[0824]

本実施の形態に示す構成、構造、または方法等は、他の実施の形態等に示す構成、構造、または方法等と適宜組み合わせる用いることができる。

[0825]

(実施の形態 5)

本実施の形態では、本発明の一態様の電子機器について、図 67 乃至図 69 を用いて説明する。

[0826]

本実施の形態の電子機器は、表示部に、本発明の一態様の表示装置、または本発明の一態様の半導体装置を用いた表示装置を有する。本発明の一態様の表示装置は、高精細化及び高解像度化が容易である。したがって、様々な電子機器の表示部に用いることができる。

[0827]

なお、本発明の一態様の半導体装置は、電子機器の表示部以外に適用することもできる。例えば、電子機器の制御部などに、本発明の一態様の半導体装置を用いることで、低消費電力化が可能となり好ましい。

[0828]

電子機器として、例えば、テレビジョン装置、デスクトップ型もしくはノート型のパーソナルコンピュータ、コンピュータ用などのモニタ、デジタルサイネージ、及び、パチンコ機などの大型ゲーム機、などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、及び、音響再生装置、などが挙げられる。

[0829]

特に、本発明の一態様の表示装置は、精細度を高めることが可能なため、比較的小さな表示部を有する電子機器に用いることができる。このような電子機器として、例えば、腕時計型の情報端末機、及びブレスレット型の情報端末機などの手首に装着可能なウェアラブル機器、並びに、ヘッドマウントディスプレイなどの VR 向け機器、メガネ型の AR 向け機器、SR (Substitutional Reality、代替現実) 向け機器、及び MR (Mixed Reality、複合現実) 向け機器などの頭部に装着可能なウェアラブル機器、などが挙げられる。

[0830]

本発明の一態様の表示装置は、HD (画素数 1280×720)、FHD (画素数 1920×1080)、WQHD (画素数 2560×1440)、WQXGA (画素数 2560×1600)、4K (画素数 3840×2160)、または 8K (画素数 7680×4320) といった極めて高い解像度を有していることが好ましい。特に 4K、8K、またはそれ以上の解像度とすることが好ましい。また、本発明の一態様の表示装置における画素密度 (精細度) は、100ppi 以上が好ましく、300ppi 以上が好ましく、500ppi 以上がより好ましく、1000ppi 以上がより好ましく、2000ppi 以上がより好ましく、3000ppi 以上がより好ましく、5000ppi 以上がより好ましく、7000ppi 以上がさらに好ましい。このように高い解像度及び高い精細度の、一方また

は双方を有する表示装置を用いることで、臨場感及び奥行き感などをより高めることが可能となる。また、本発明の一態様の表示装置の画面比率（アスペクト比）については、特に限定はない。例えば、表示装置は、1 : 1（正方形）、4 : 3、16 : 9、または16 : 10など様々な画面比率に対応することができる。

[0831]

本実施の形態の電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい、または赤外線を、検知、検出、または測定する機能を含むもの）を有してもよい。

[0832]

本実施の形態の電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、及びテキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付、または時刻などを表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、及び、記録媒体に記録されているプログラムまたはデータを読み出す機能、などを有することができる。

[0833]

図67A乃至図67Dを用いて、頭部に装着可能なウェアラブル機器の一例を説明する。これらウェアラブル機器は、ARのコンテンツを表示する機能、VRのコンテンツを表示する機能、SRのコンテンツを表示する機能、及びMRのコンテンツを表示する機能のうち、少なくとも一つを有する。電子機器が、AR、VR、SR、及びMRなどの少なくとも一つのコンテンツを表示する機能を有することで、使用者の没入感を高めることが可能となる。

[0834]

図67Aに示す電子機器700A、及び図67Bに示す電子機器700Bは、それぞれ、一对の表示パネル751と、一对の筐体721と、通信部（図示しない）と、一对の装着部723と、制御部（図示しない）と、撮像部（図示しない）と、一对の光学部材753と、フレーム757と、一对の鼻パッド758と、を有する。

[0835]

表示パネル751には、本発明の一態様の表示装置を適用することができる。したがって、極めて精細度の高い表示が可能な電子機器とすることができる。

[0836]

電子機器700A及び電子機器700Bは、それぞれ、光学部材753の表示領域756に、表示パネル751で表示した画像を投影することができる。光学部材753は透光性を有するため、使用者は光学部材753を通して視認される透過像に重ねて、表示領域に表示された画像を見ることができる。したがって、電子機器700A及び電子機器700Bは、それぞれ、AR表示が可能な電子機器である。

[0837]

電子機器700A及び電子機器700Bには、撮像部として、前方を撮像することのできるカメラが設けられていてもよい。また、電子機器700A及び電子機器700Bは、それぞれ、ジャイロセンサなどの加速度センサを備えることで、使用者の頭部の向きを検知して、その向きに応じた画像を表示領域756に表示することもできる。

[0838]

通信部は無線通信機を有し、当該無線通信機により映像信号などを供給することができる。なお、

無線通信機に換えて、または無線通信機に加えて、映像信号及び電源電位が供給されるケーブルを接続可能なコネクタを備えていてもよい。

[0839]

電子機器700A及び電子機器700Bには、バッテリーが設けられており、無線及び有線の、一方または双方によって充電することができる。

[0840]

筐体721には、タッチセンサモジュールが設けられていてもよい。タッチセンサモジュールは、筐体721の外側の面がタッチされることを検出する機能を有する。タッチセンサモジュールにより、使用者のタップ操作またはスライド操作などを検出し、様々な処理を実行することができる。例えば、タップ操作によって動画の一時停止または再開などの処理を実行することが可能となり、スライド操作により、早送りまたは早戻しの処理を実行することなどが可能となる。また、2つの筐体721のそれぞれにタッチセンサモジュールを設けることで、操作の幅を広げることができる。

[0841]

タッチセンサモジュールとして、様々なタッチセンサを適用することができる。例えば、静電容量方式、抵抗膜方式、赤外線方式、電磁誘導方式、表面弾性波方式、または光学方式など、種々の方式を採用することができる。特に、静電容量方式または光学方式のセンサを、タッチセンサモジュールに適用することが好ましい。

[0842]

光学方式のタッチセンサを用いる場合には、受光素子として、光電変換素子を用いることができる。光電変換素子の活性層には、無機半導体及び有機半導体の、一方または双方を用いることができる。

[0843]

図67Cに示す電子機器800A、及び図67Dに示す電子機器800Bは、それぞれ、一对の表示部820と、筐体821と、通信部822と、一对の装着部823と、制御部824と、一对の撮像部825と、一对のレンズ832と、を有する。

[0844]

表示部820には、本発明の一態様の表示装置を適用することができる。したがって、極めて精細度の高い表示が可能な電子機器とすることができる。これにより、使用者に高い没入感を感じさせることができる。

[0845]

表示部820は、筐体821の内部の、レンズ832を通して視認できる位置に設けられる。また、一对の表示部820に異なる画像を表示させることで、視差を用いた3次元表示を行うこともできる。

[0846]

電子機器800A及び電子機器800Bは、それぞれ、VR向けの電子機器ということができる。電子機器800Aまたは電子機器800Bを装着した使用者は、レンズ832を通して、表示部820に表示される画像を視認することができる。

[0847]

電子機器800A及び電子機器800Bは、それぞれ、レンズ832及び表示部820が、使用者の目の位置に応じて最適な位置となるように、これらの左右の位置を調整可能な機構を有していることが好ましい。また、レンズ832と表示部820との距離を変えることで、ピントを調整する機

構を有していることが好ましい。

[0848]

装着部823により、使用者は電子機器800Aまたは電子機器800Bを頭部に装着することができる。なお、図67C等においては、メガネのつる（テンプルともいう）のような形状として例示しているがこれに限定されない。装着部823は、使用者が装着できればよく、例えば、ヘルメット型またはバンド型の形状としてもよい。

[0849]

撮像部825は、外部の情報を取得する機能を有する。撮像部825が取得したデータは、表示部820に出力することができる。撮像部825には、イメージセンサを用いることができる。また、望遠及び広角などの複数の画角に対応可能なように複数のカメラを設けてもよい。

[0850]

なお、ここでは撮像部825を有する例を示したが、対象物の距離を測定することのできる測距センサ（以下、検知部とも呼ぶ）を設ければよい。すなわち、撮像部825は、検知部の一態様である。検知部として、例えばイメージセンサ、またはライダー（L I D A R : L i g h t D e t e c t i o n a n d R a n g i n g）などの距離画像センサを用いることができる。カメラによって得られた画像と、距離画像センサによって得られた画像と、を用いることにより、より多くの情報を取得し、より高精度なジェスチャー操作を可能とすることができる。

[0851]

電子機器800Aは、骨伝導イヤフォンとして機能する振動機構を有してもよい。例えば、表示部820、筐体821、及び装着部823のいずれか一または複数に、当該振動機構を有する構成を適用することができる。これにより、別途、ヘッドフォン、イヤフォン、またはスピーカなどの音響機器を必要とせず、電子機器800Aを装着しただけで映像と音声を楽しむことができる。

[0852]

電子機器800A及び電子機器800Bは、それぞれ、入力端子を有してもよい。入力端子には、映像出力機器などからの映像信号、及び、電子機器内に設けられるバッテリーを充電するための電力、などを供給するケーブルを接続することができる。

[0853]

本発明の一態様の電子機器は、イヤフォン750と無線通信を行う機能を有してもよい。イヤフォン750は、通信部（図示しない）を有し、無線通信機能を有する。イヤフォン750は、無線通信機能により、電子機器から情報（例えば音声データ）を受信することができる。例えば、図67Aに示す電子機器700Aは、無線通信機能によって、イヤフォン750に情報を送信する機能を有する。また、例えば、図67Cに示す電子機器800Aは、無線通信機能によって、イヤフォン750に情報を送信する機能を有する。

[0854]

電子機器がイヤフォン部を有してもよい。図67Bに示す電子機器700Bは、イヤフォン部727を有する。例えば、イヤフォン部727と制御部とは、互いに有線接続されている構成とすることができる。イヤフォン部727と制御部とをつなぐ配線の一部は、筐体721または装着部723の内部に配置されていてもよい。

[0855]

同様に、図67Dに示す電子機器800Bは、イヤフォン部827を有する。例えば、イヤフォン

部 8 2 7 と制御部 8 2 4 とは、互いに有線接続されている構成とすることができる。イヤフォン部 8 2 7 と制御部 8 2 4 とをつなぐ配線の一部は、筐体 8 2 1 または装着部 8 2 3 の内部に配置されていてもよい。また、イヤフォン部 8 2 7 と装着部 8 2 3 とがマグネットを有してもよい。これにより、イヤフォン部 8 2 7 を装着部 8 2 3 に磁力によって固定することができ、収納が容易となり好ましい。

[0856]

なお、電子機器は、イヤフォンまたはヘッドフォンなどを接続することができる音声出力端子を有してもよい。また、電子機器は、音声入力端子及び音声入力機構の、一方または双方を有してもよい。音声入力機構として、例えば、マイクなどの集音装置を用いることができる。電子機器が音声入力機構を有することで、電子機器に、いわゆるヘッドセットとしての機能を付与してもよい。

[0857]

このように、本発明の一態様の電子機器は、メガネ型（電子機器 7 0 0 A 及び電子機器 7 0 0 B など）と、ゴーグル型（電子機器 8 0 0 A 及び電子機器 8 0 0 B など）と、のどちらも好適である。

[0858]

本発明の一態様の電子機器は、有線または無線によって、イヤフォンに情報を送信することができる。

[0859]

図 6 8 A に示す電子機器 6 5 0 0 は、スマートフォンとして用いることのできる携帯情報端末機である。

[0860]

電子機器 6 5 0 0 は、筐体 6 5 0 1、表示部 6 5 0 2、電源ボタン 6 5 0 3、ボタン 6 5 0 4、スピーカ 6 5 0 5、マイク 6 5 0 6、カメラ 6 5 0 7、及び光源 6 5 0 8などを有する。表示部 6 5 0 2 はタッチパネル機能を備える。

[0861]

表示部 6 5 0 2 に、本発明の一態様の表示装置を適用することができる。

[0862]

図 6 8 B は、筐体 6 5 0 1 のマイク 6 5 0 6 側の端部を含む断面概略図である。

[0863]

筐体 6 5 0 1 の表示面側には透光性を有する保護部材 6 5 1 0 が設けられ、筐体 6 5 0 1 と保護部材 6 5 1 0 とに囲まれた空間内に、表示パネル 6 5 1 1、光学部材 6 5 1 2、タッチセンサパネル 6 5 1 3、プリント基板 6 5 1 7、及びバッテリー 6 5 1 8 などが配置されている。

[0864]

保護部材 6 5 1 0 には、表示パネル 6 5 1 1、光学部材 6 5 1 2、及びタッチセンサパネル 6 5 1 3 が接着層（図示しない）により固定されている。

[0865]

表示部 6 5 0 2 よりも外側の領域において、表示パネル 6 5 1 1 の一部が折り返されており、当該折り返された部分に F P C 6 5 1 5 が接続されている。F P C 6 5 1 5 には、I C 6 5 1 6 が実装されている。F P C 6 5 1 5 は、プリント基板 6 5 1 7 に設けられた端子に接続されている。

[0866]

表示パネル 6 5 1 1 には、本発明の一態様のフレキシブルディスプレイを適用することができる。

そのため、極めて軽量の電子機器を実現できる。また、表示パネル6511が極めて薄いため、電子機器の厚さを抑えつつ、大容量のバッテリー6518を搭載することもできる。また、表示パネル6511の一部を折り返して、画素部の裏側にFPC6515との接続部を配置することにより、狭額縁の電子機器を実現できる。

[0867]

図68Cにテレビジョン装置の一例を示す。テレビジョン装置7100は、筐体7101に表示部7000が組み込まれている。ここでは、スタンド7103により筐体7101を支持した構成を示している。

[0868]

表示部7000に、本発明の一態様の表示装置を適用することができる。

[0869]

図68Cに示すテレビジョン装置7100の操作は、筐体7101が備える操作スイッチ、及び、別体のリモコン操作機7111、により行うことができる。または、表示部7000にタッチセンサを備えていてもよく、指などで表示部7000に触れることでテレビジョン装置7100を操作してもよい。リモコン操作機7111は、当該リモコン操作機7111から出力する情報を表示する表示部を有してもよい。リモコン操作機7111が備える操作キーまたはタッチパネルにより、チャンネル及び音量の操作を行うことができ、表示部7000に表示される映像を操作することができる。

[0870]

なお、テレビジョン装置7100は、受信機及びモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができる。また、モデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者へのみ）または双方向（送信者と受信者との間、または受信者同士など）の情報通信を行うことも可能である。

[0871]

図68Dに、ノート型パーソナルコンピュータの一例を示す。ノート型パーソナルコンピュータ7200は、筐体7211、キーボード7212、ポインティングデバイス7213、及び外部接続ポート7214などを有する。筐体7211に、表示部7000が組み込まれている。

[0872]

表示部7000に、本発明の一態様の表示装置を適用することができる。

[0873]

図68E及び図68Fに、デジタルサイネージの一例を示す。

[0874]

図68Eに示すデジタルサイネージ7300は、筐体7301、表示部7000、及びスピーカ7303などを有する。さらに、LEDランプ、操作キー（電源スイッチ、または操作スイッチを含む）、接続端子、各種センサ、及びマイクロフォンなどを有することができる。

[0875]

図68Fは、円柱状の柱7401に取り付けられたデジタルサイネージ7400である。デジタルサイネージ7400は、柱7401の曲面に沿って設けられた表示部7000を有する。

[0876]

図68E及び図68Fにおいて、表示部7000に、本発明の一態様の表示装置を適用することができる。

[0877]

表示部7000が広いほど、一度に提供できる情報量を増やすことができる。また、表示部7000が広いほど、人の目につきやすく、例えば、広告の宣伝効果を高めることができる。

[0878]

表示部7000にタッチパネルを適用することで、表示部7000に画像または動画を表示するだけでなく、使用者が直感的に操作することができ、好ましい。また、路線情報または交通情報などの情報を提供するための用途に用いる場合には、直感的な操作によりユーザビリティを高めることができる。

[0879]

図68E及び図68Fに示すように、デジタルサイネージ7300またはデジタルサイネージ7400は、使用者が所持するスマートフォンなどの情報端末機7311または情報端末機7411と無線通信により連携可能であることが好ましい。例えば、表示部7000に表示される広告の情報を、情報端末機7311または情報端末機7411の画面に表示させることができる。また、情報端末機7311または情報端末機7411を操作することで、表示部7000の表示を切り替えることができる。

[0880]

デジタルサイネージ7300またはデジタルサイネージ7400に、情報端末機7311または情報端末機7411の画面を操作手段（コントローラ）としたゲームを実行させることもできる。これにより、不特定多数の使用者が同時にゲームに参加し、楽しむことができる。

[0881]

図69A乃至図69Gに示す電子機器は、筐体9000、表示部9001、スピーカ9003、操作キー9005（電源スイッチ、または操作スイッチを含む）、接続端子9006、センサ9007（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい、または赤外線を検知、検出、または測定する機能を含むもの）、及びマイクロフォン9008などを有する。

[0882]

図69A乃至図69Gにおいて、表示部9001に、本発明の一態様の表示装置を適用することができる。

[0883]

図69A乃至図69Gに示す電子機器は、様々な機能を有する。例えば、様々な情報（静止画、動画、及びテキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付、または時刻などを表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、及び、記録媒体に記録されているプログラムまたはデータを読み出して処理する機能、などを有することができる。なお、電子機器の機能はこれらに限られず、様々な機能を有することができる。電子機器は、複数の表示部を有してもよい。また、電子機器にカメラなどを設け、静止画または動画を撮影し、かつ、記録媒体（外部またはカメラに内蔵）に保存する機能、及び、撮影した画像を表示部に表示する機能、などを有してもよい。

[0884]

図69A乃至図69Gに示す電子機器の詳細について、以下説明を行う。

[0885]

図69Aは、携帯情報端末9101を示す斜視図である。携帯情報端末9101は、例えば、スマートフォンとして用いることができる。なお、携帯情報端末9101は、スピーカ9003、接続端子9006、及びセンサ9007などを設けてもよい。また、携帯情報端末9101は、文字及び画像情報をその複数の面に表示することができる。図69Aでは、3つのアイコン9050を表示した例を示している。また、破線の矩形で示す情報9051を表示部9001の他の面に表示することもできる。情報9051の一例として、電子メール、SNS、または電話などの着信の通知、並びに、電子メールまたはSNSなどの、題名、送信者名、及び日時、などがある。また、時刻、バッテリーの残量、及び電波強度などがある。または、情報9051が表示されている位置にはアイコン9050などを表示してもよい。

[0886]

図69Bは、携帯情報端末9102を示す斜視図である。携帯情報端末9102は、表示部9001の3面以上に情報を表示する機能を有する。ここでは、情報9052、情報9053、及び情報9054がそれぞれ異なる面に表示されている例を示す。例えば、使用者は、洋服の胸ポケットに携帯情報端末9102を収納した状態で、携帯情報端末9102の上方から観察できる位置に表示された情報9053を確認することもできる。例えば、使用者は、携帯情報端末9102をポケットから取り出すことなく表示を確認し、電話を受けるか否かを判断できる。

[0887]

図69Cは、タブレット端末9103を示す斜視図である。タブレット端末9103は、一例として、移動電話、電子メール、文章閲覧及び作成、音楽再生、インターネット通信、及びコンピュータゲームなどの種々のアプリケーションの実行が可能である。タブレット端末9103は、筐体9000の正面に表示部9001、カメラ9002、マイクロフォン9008、及びスピーカ9003を有し、筐体9000の左側面に操作用のボタンとしての操作キー9005を有し、かつ、筐体9000の底面に接続端子9006を有する。

[0888]

図69Dは、腕時計型の携帯情報端末9200を示す斜視図である。携帯情報端末9200は、例えば、スマートウォッチ（登録商標）として用いることができる。また、表示部9001はその表示面が湾曲して設けられ、湾曲した表示面に沿って表示を行うことができる。また、携帯情報端末9200は、例えば、無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、携帯情報端末9200は、接続端子9006により、他の情報端末と相互にデータ伝送を行うこと、及び、充電を行うこと、もできる。なお、充電動作は無線給電により行ってもよい。

[0889]

図69E乃至図69Gは、折り畳み可能な携帯情報端末9201を示す斜視図である。なお、図69Eは携帯情報端末9201を展開した状態の斜視図であり、図69Gは折り畳んだ状態の斜視図であり、図69Fは図69Eと図69Gとの一方から他方に変化する途中の状態の斜視図である。携帯情報端末9201は、折り畳んだ状態では可搬性に優れ、展開した状態では継ぎ目のない広い表示領域により表示の一覧性に優れる。携帯情報端末9201が有する表示部9001は、ヒンジ9055によって連結された3つの筐体9000に支持されている。例えば、表示部9001は、曲率半径0.1mm以上150mm以下で曲げることができる。

[0890]

本実施の形態に示す構成等は、他の実施の形態等に示した構成等と適宜組み合わせる用いることができる。

[0891]

(本明細書等の記載に関する付記)

以上の実施の形態、及び実施の形態における各構成の説明について、以下に付記する。

[0892]

各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

[0893]

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、及び／又は、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、又は置き換えなどを行うことができる。

[0894]

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

[0895]

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、及び／又は、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることができる。

[0896]

また本明細書等において、ブロック図では、構成要素を機能毎に分類し、互いに独立したブロックとして示している。しかしながら実際の回路等においては、構成要素を機能毎に切り分けることが難しく、一つの回路に複数の機能が係わる場合、または複数の回路にわたって一つの機能が関わる場合があり得る。そのため、ブロック図のブロックは、明細書で説明した構成要素に限定されず、状況に応じて適切に言い換えることができる。

[0897]

また、図面において、大きさ、層の厚さ、又は領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期すために模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

[0898]

本明細書等において、トランジスタの接続関係を説明する際、「ソース又はドレインの一方」（又は第1電極、又は第1端子）、「ソース又はドレインの他方」（又は第2電極、又は第2端子）という表記を用いる。これは、トランジスタのソースとドレインは、トランジスタの構造又は動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子、またはソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。

[0899]

また、本明細書等において「電極」または「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」または「配線」の用語は、複数の「電極」または「配線」が一体となって形成されている場合なども含む。

[0900]

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電圧（接地電圧）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも0Vを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

[0901]

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

[0902]

本明細書等において、スイッチとは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。または、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

[0903]

本明細書等において、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとの間の距離をいう。

[0904]

本明細書等において、チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。

[0905]

本明細書等において、「AとBとが接続されている」とは、AとBとが電氣的に接続されているものを含む。ここで、「AとBとが電氣的に接続されている」とは、AとBとの間で電気信号の伝達が可能である接続をいう。よって、AとBとが一または複数の対象物を介して電気信号の伝達が可能な状態で接続されている場合も含む。「対象物」とは、スイッチ、トランジスタ等の素子、あるいは当該素子を含む回路等を指す。なお、言い換えると、「AとBとが電氣的に接続されている」とは、AとBとの間に電気信号の伝達経路が形成可能なことを示すものである。よって、「AとBとが電氣的に接続されている」において、AとBとの間に介在する対象物の動作状態を考慮する必要はない。例えば、AとBとの間に対象物としてスイッチが介在し、当該スイッチがオン状態になる事でAとBが導通状態になりえる場合、当該スイッチがオン状態またはオフ状態のどちらの状態であっても、「AとBとが電氣的に接続されている」と見なされる。

[0906]

なお、「AとBとが電氣的に接続されている」には、AとBとが直接接続されているものを含む。ここで、「AとBとが直接接続されている」とは、上記対象物を介さず、AとBとの間で、配線（ま

たは電極)等を通じて電気信号の伝達可能な状態をいう。

[符号の説明]

[0907]

40 : 表示装置、41 : 画素、42 : 表示部、44 : 駆動回路部、60 : 半導体装置、DL : 配線

請求の範囲

[請求項 1]

第 1 トランジスタ、第 1 スイッチ、第 2 スイッチ、および信号線を有し、
前記第 1 トランジスタは、ゲートに与えられた入力電圧に応じた出力電圧を前記第 1 スイッチを介して前記信号線に与える機能を有し、
前記第 2 スイッチは、前記信号線の電位を初期化する初期化動作を行う機能を有し、
前記第 1 スイッチは、前記出力電圧を前記信号線に与える信号出力動作を行う機能を有する、
半導体装置。

[請求項 2]

第 1 トランジスタ、第 2 トランジスタ、第 1 スイッチ、第 2 スイッチ、第 1 電源線、第 2 電源線、および信号線を有し、
前記第 1 トランジスタは、ゲートに与えられた入力電圧に応じた出力電圧を前記第 1 スイッチを介して前記信号線に与える機能を有し、
前記第 1 トランジスタのソースおよびドレインの一方は、前記第 1 電源線に電氣的に接続され、
前記第 2 トランジスタのソースおよびドレインの一方は、前記第 1 トランジスタのソースおよびドレインの他方に電氣的に接続され、
前記第 2 トランジスタのゲート、およびソースおよびドレインの他方は、前記第 2 電源線に電氣的に接続され、
前記第 2 スイッチは、前記信号線の電位を初期化する初期化動作を行う機能を有し、
前記第 1 スイッチは、前記初期化動作に続いて前記出力電圧を前記信号線に与える信号出力動作を行う機能を有する、
半導体装置。

[請求項 3]

第 1 トランジスタ、第 2 トランジスタ、第 1 スイッチ、第 2 スイッチ、第 1 電源線、第 2 電源線、および信号線を有し、
前記第 1 トランジスタは、ゲートに与えられた入力電圧に応じた出力電圧を前記第 1 スイッチを介して前記信号線に与える機能を有し、
前記第 1 トランジスタのソースおよびドレインの一方は、前記第 1 電源線に電氣的に接続され、
前記第 2 トランジスタのソースおよびドレインの一方は、前記第 1 トランジスタのソースおよびドレインの他方に電氣的に接続され、
前記第 2 トランジスタのソースおよびドレインの他方は、前記第 2 電源線に電氣的に接続され、
前記第 2 トランジスタのゲートは、前記第 2 トランジスタのしきい値電圧を保持する第 1 キャパシタに電氣的に接続され、
前記第 2 スイッチは、前記信号線の電位を初期化する初期化動作を行う機能を有し、
前記第 1 スイッチは、前記初期化動作に続いて前記出力電圧を前記信号線に与える信号出力動作を行う機能を有する、
半導体装置。

[請求項 4]

請求項 3 において、

前記第 1 トランジスタのゲートは、前記第 1 トランジスタのしきい値電圧を保持する第 2 キャパ

シタの一方の電極に電氣的に接続され、

前記入力電圧を与える配線は、前記第2キャパシタの他方の電極に電氣的に接続される、
半導体装置。

[請求項5]

請求項2または請求項3において、

前記第1トランジスタおよび前記第2トランジスタはそれぞれ、半導体層を有し、
前記半導体層は、酸化物半導体を有する、
半導体装置。

[請求項6]

請求項5において、

前記半導体層の少なくとも一部は、絶縁層に形成された開口の内部に設けられる、
半導体装置。

[請求項7]

請求項2または請求項3に記載の半導体装置と、画素と、を有し、

前記画素は、第3トランジスタを有し、

前記第3トランジスタのソースおよびドレインの一方は、前記信号線に電氣的に接続される、
表示装置。

[請求項8]

請求項7において、

前記第3トランジスタは、半導体層を有し、

前記半導体層は、酸化物半導体を含む、

表示装置。

[請求項9]

請求項7において、

前記半導体層の少なくとも一部は、絶縁層に形成された開口の内部に設けられる、
表示装置。

図1A

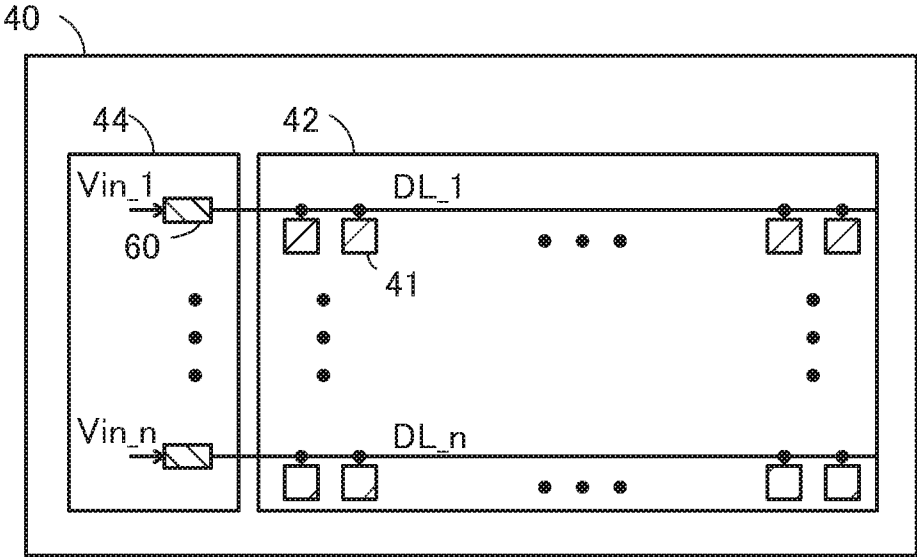


図1B

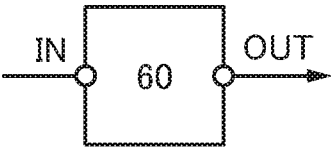


図1C

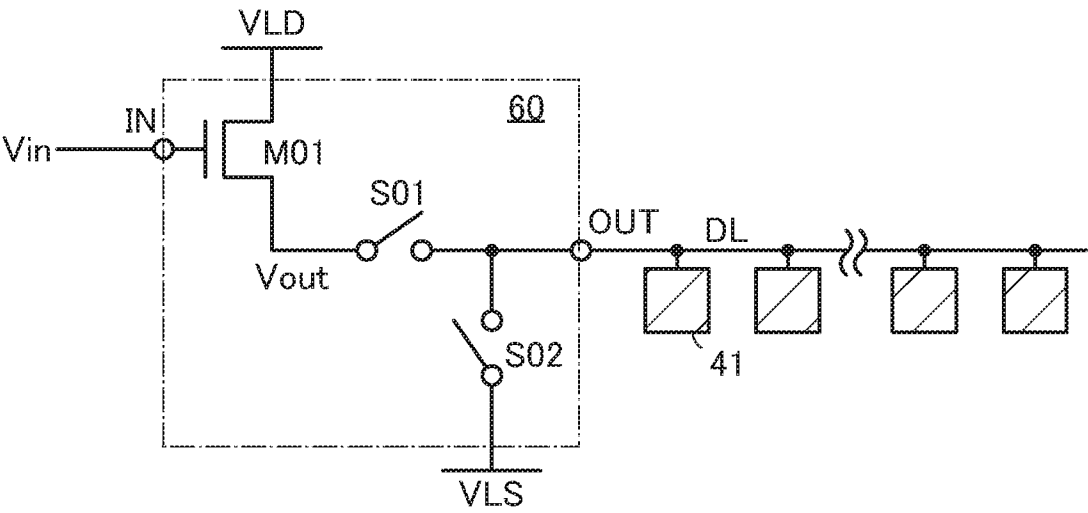


図2A

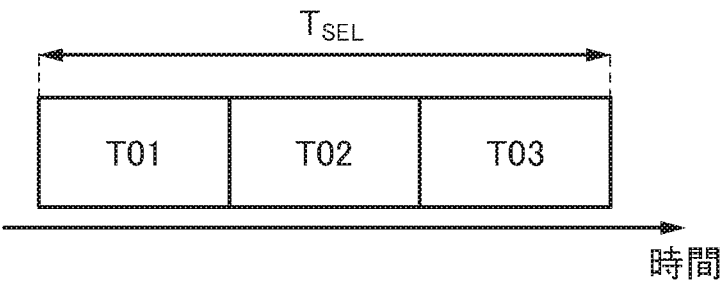


図2B

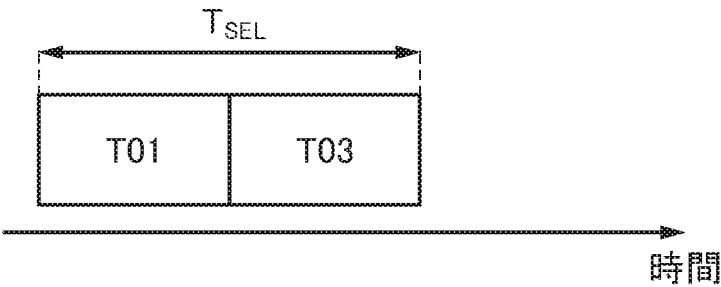


图3A

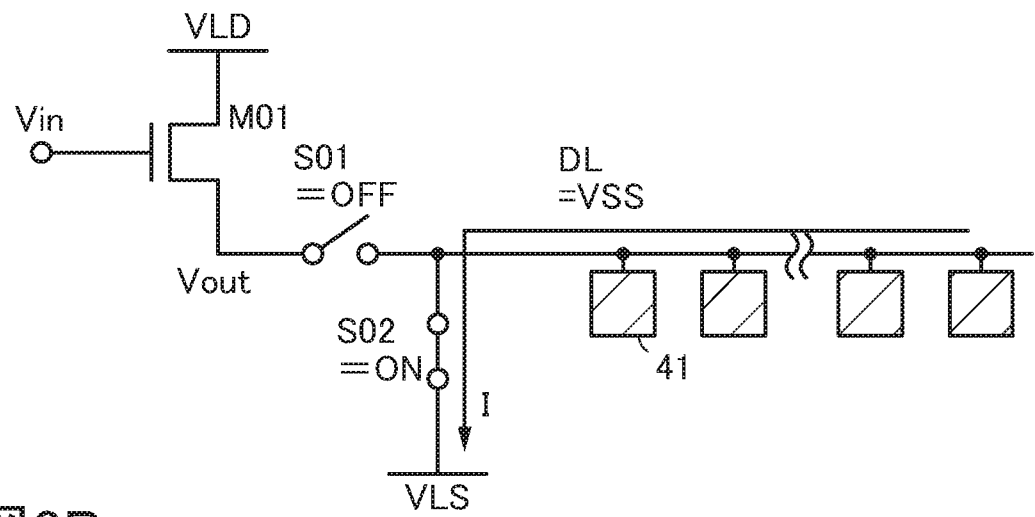


图3B

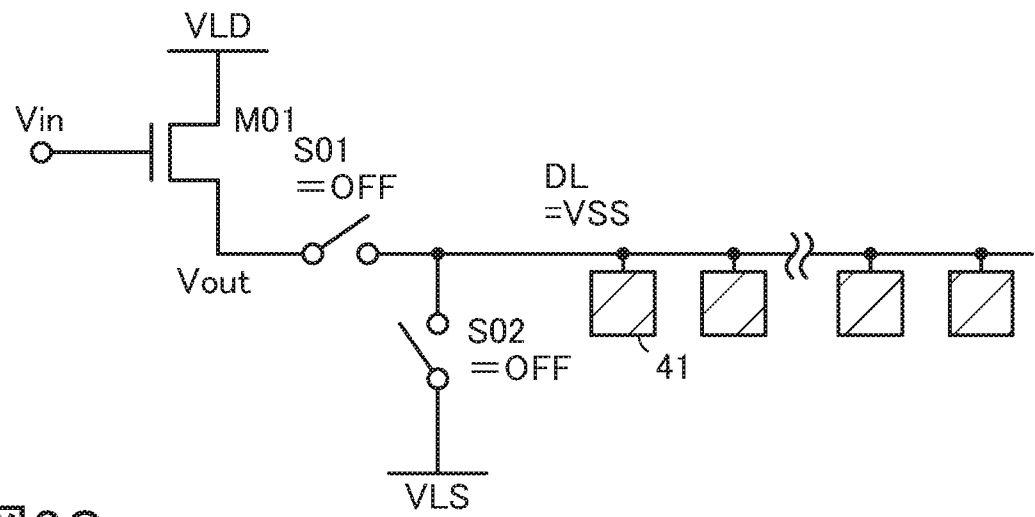


图3C

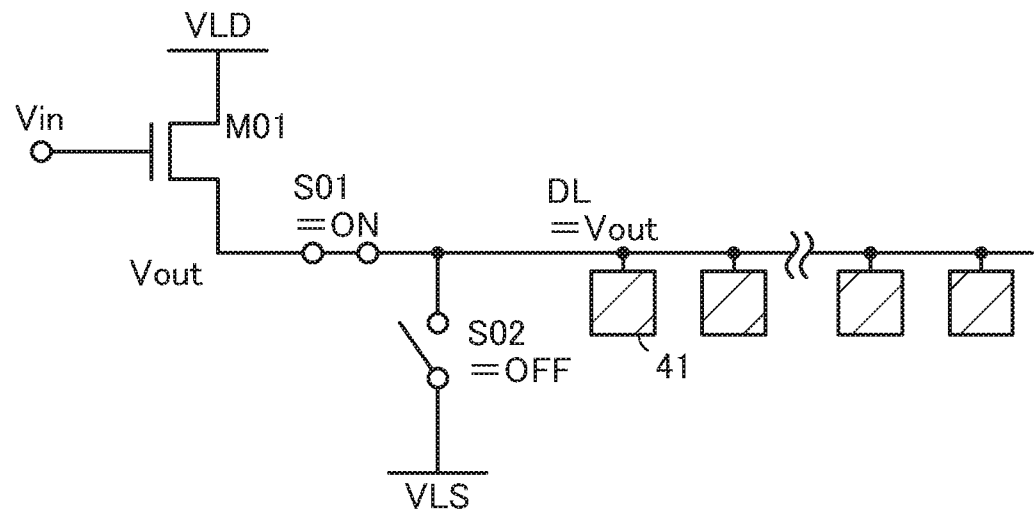


図4A

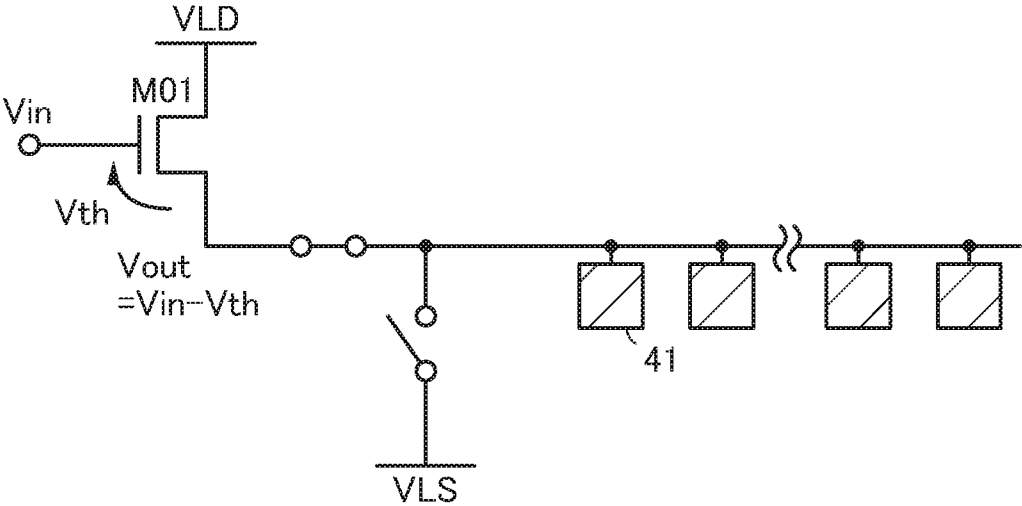


図4B

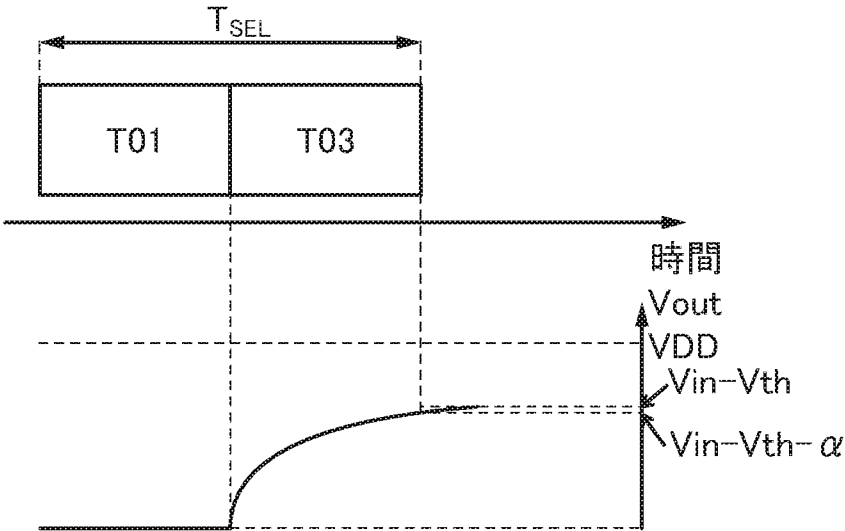


図4C

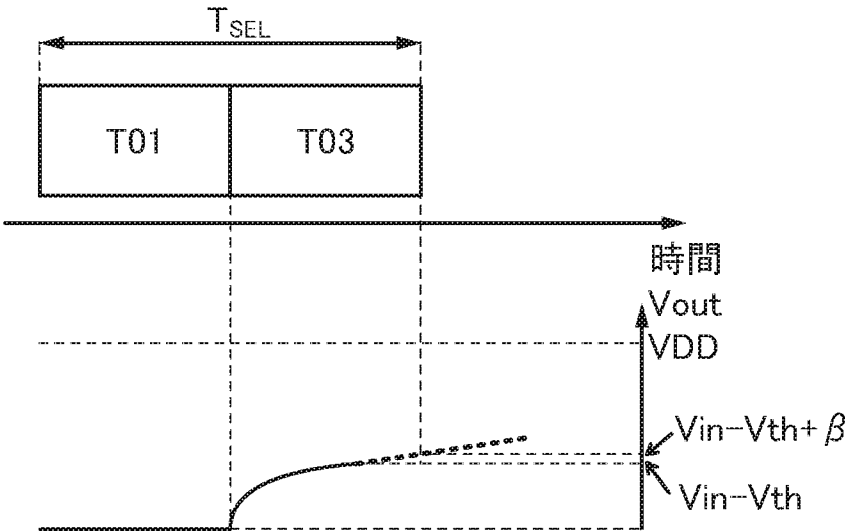


図5A

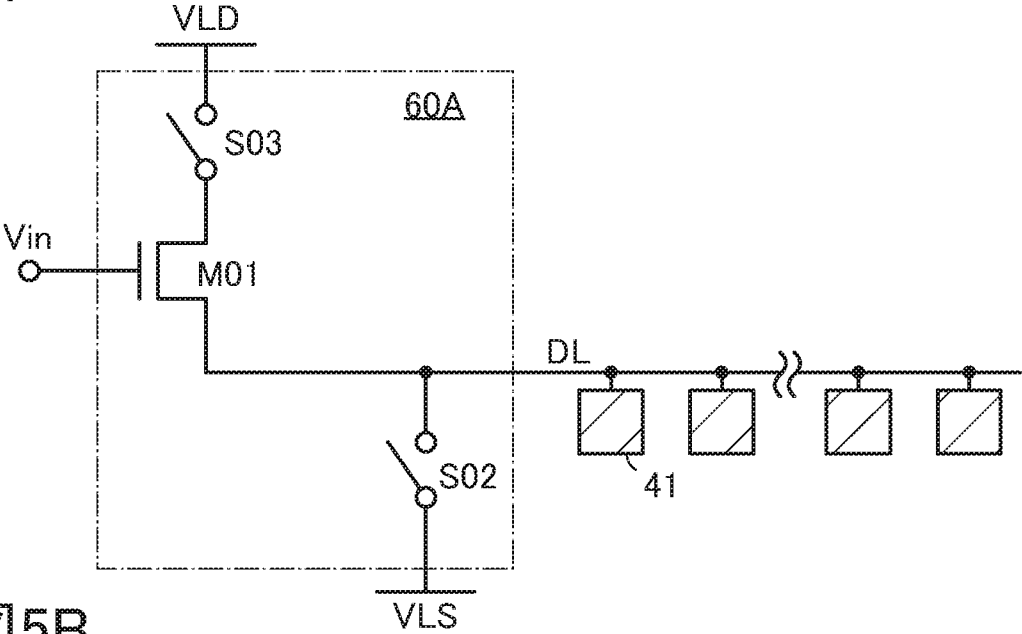


図5B

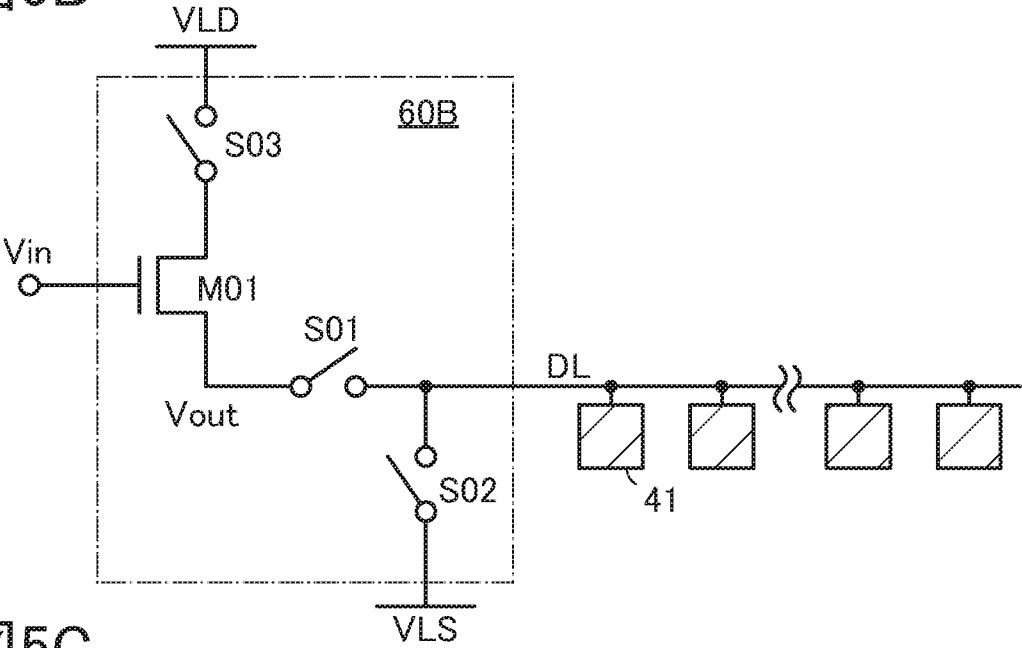


図5C

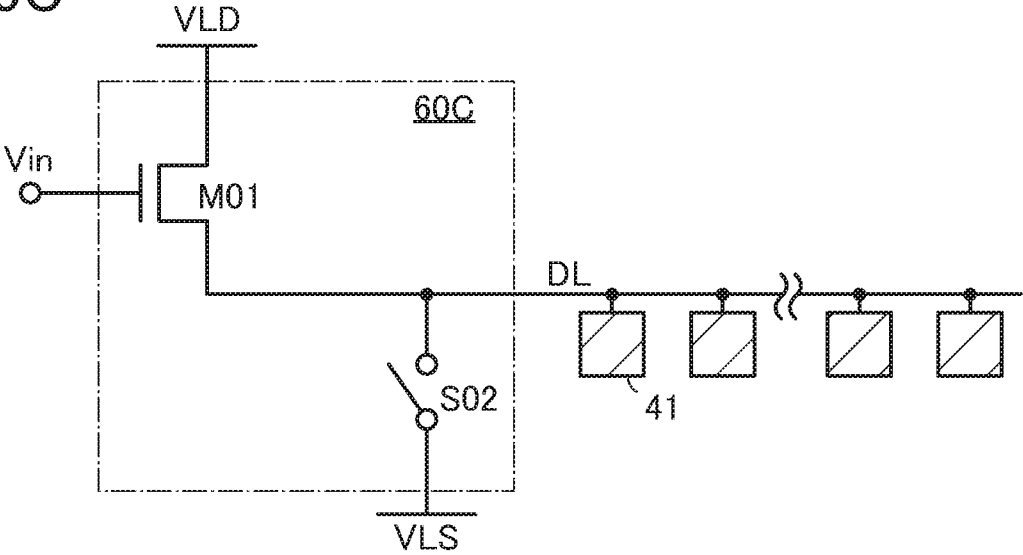


図6A

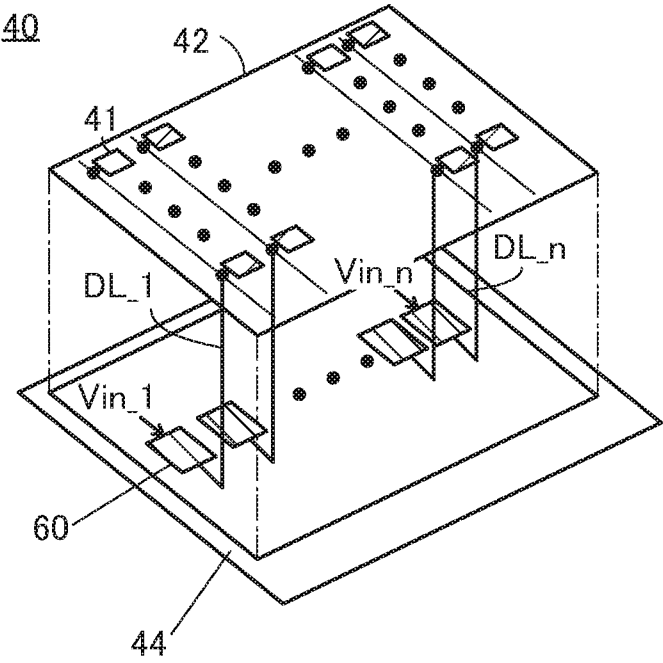
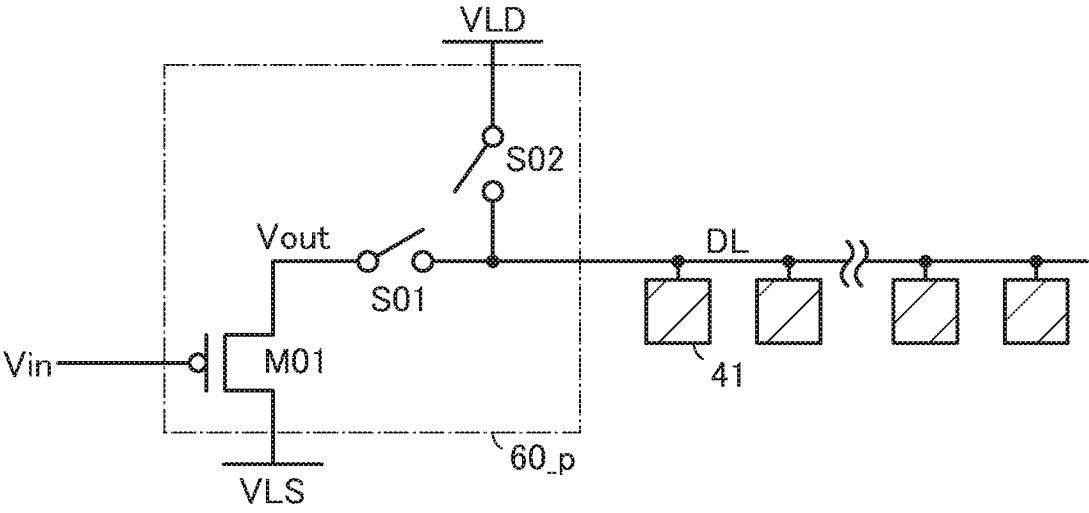


図6B



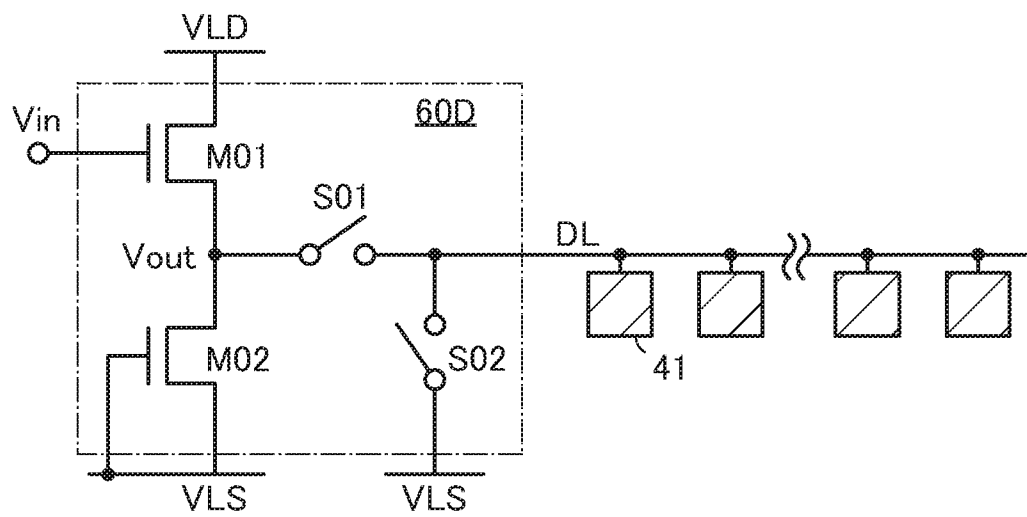


図8A

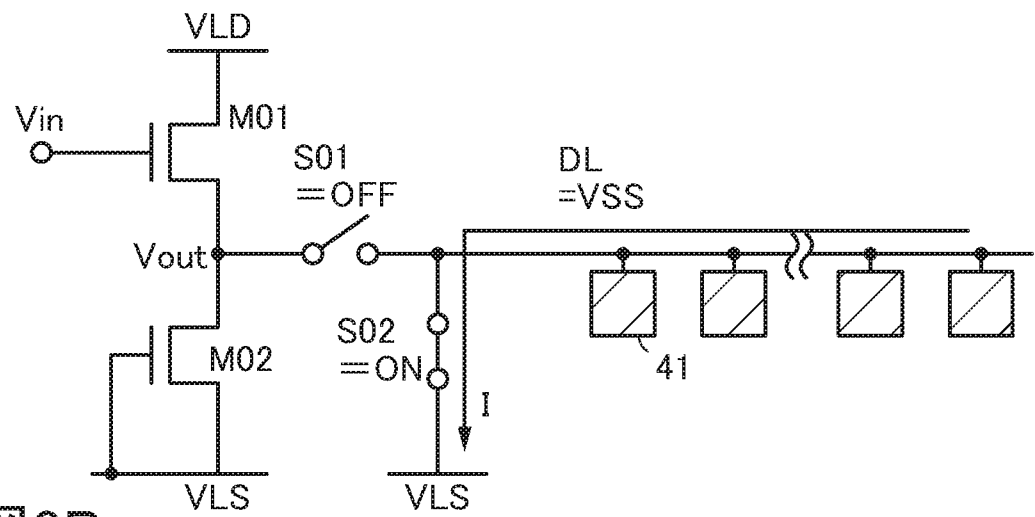


図8B

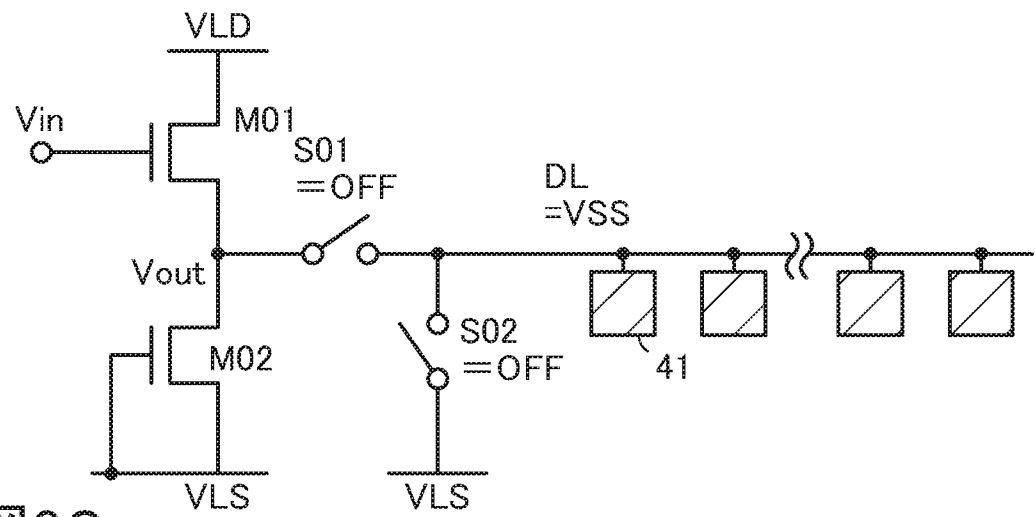
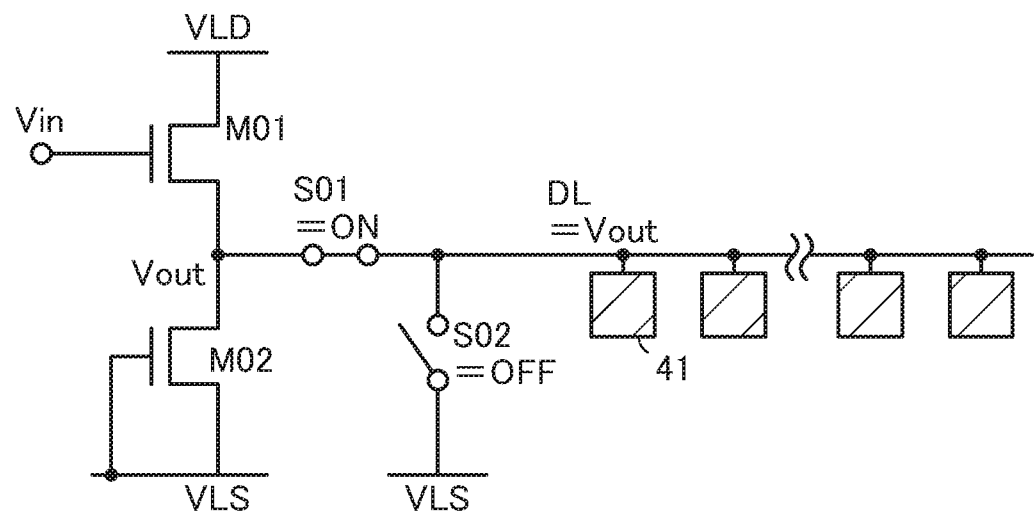


図8C



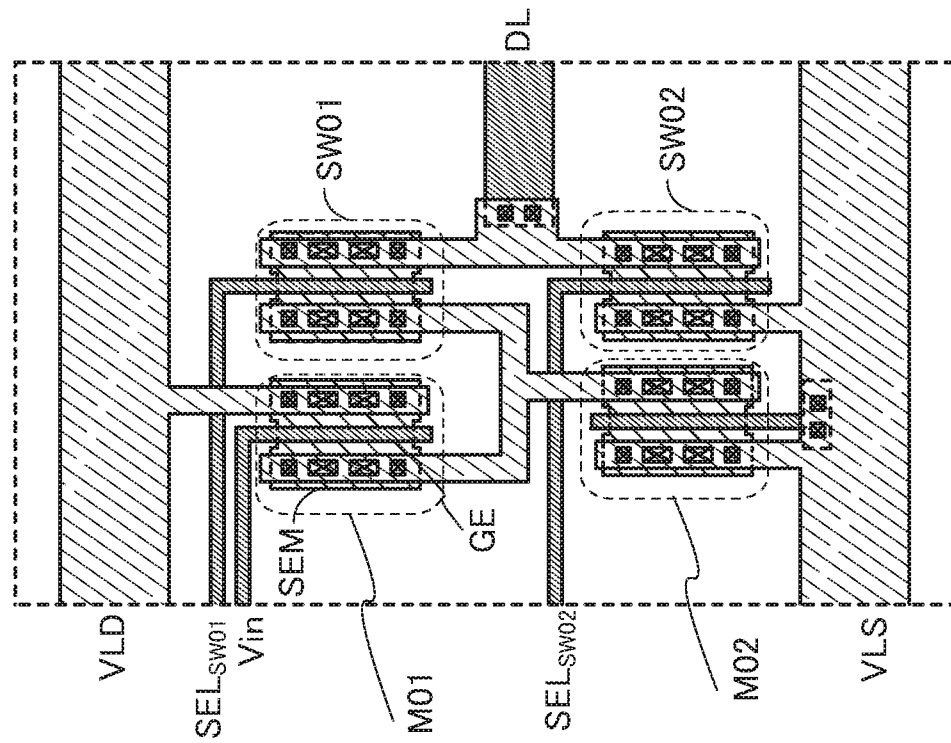
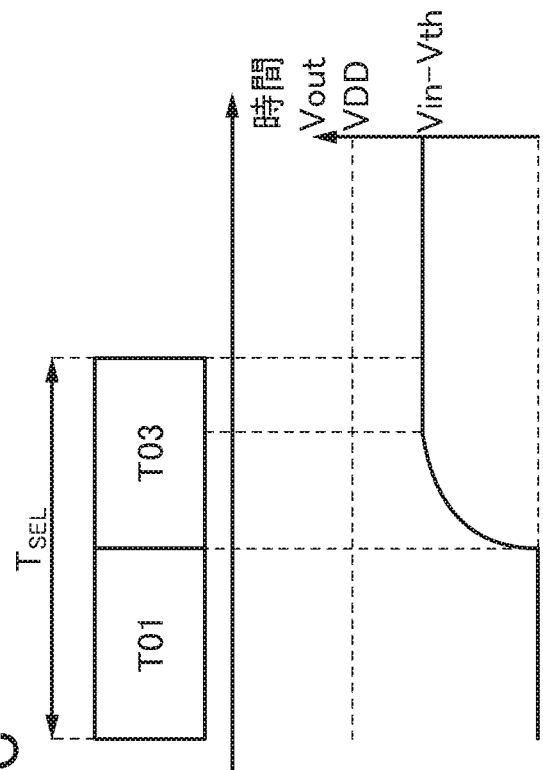
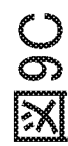
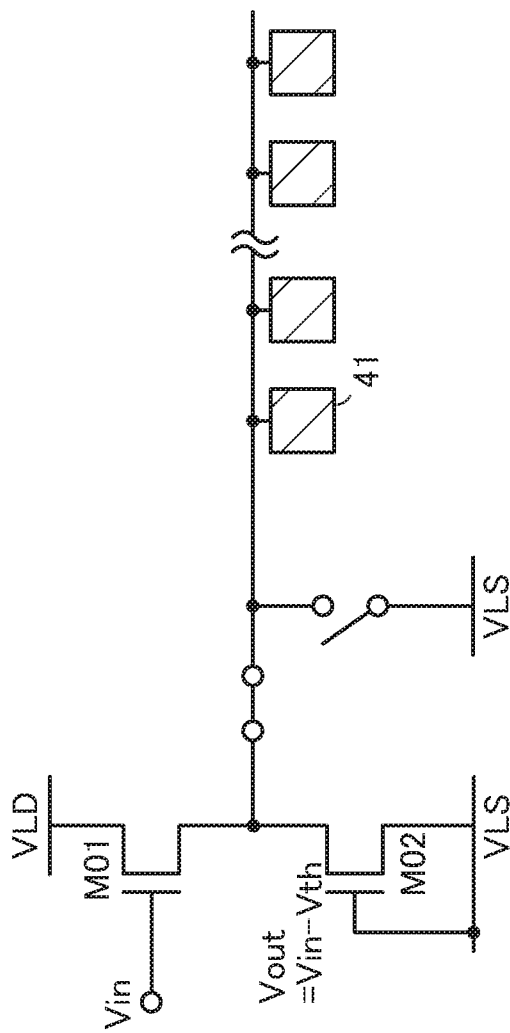


図10A

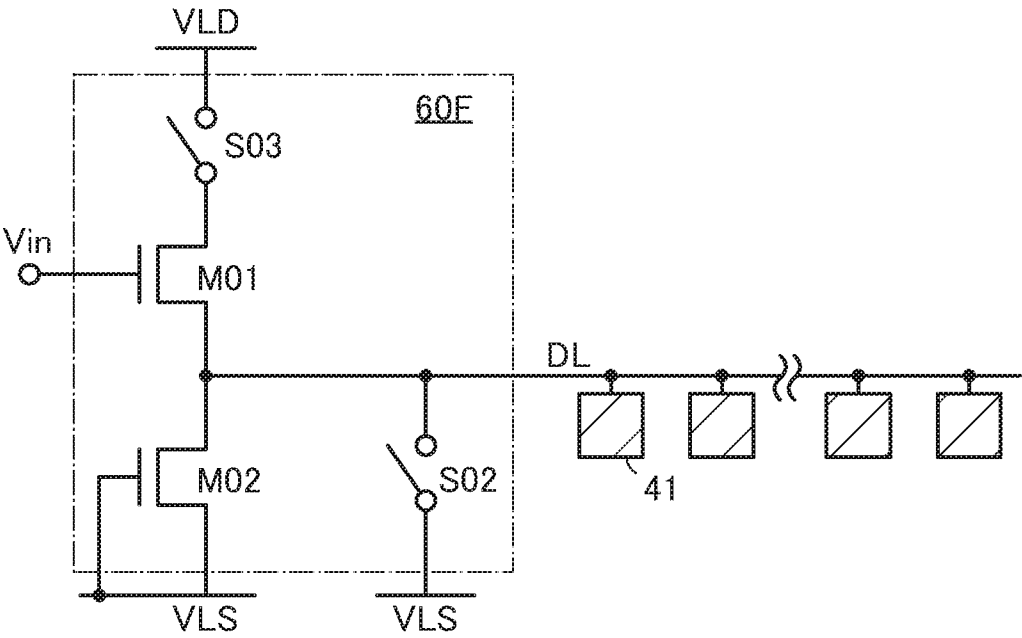


図10B

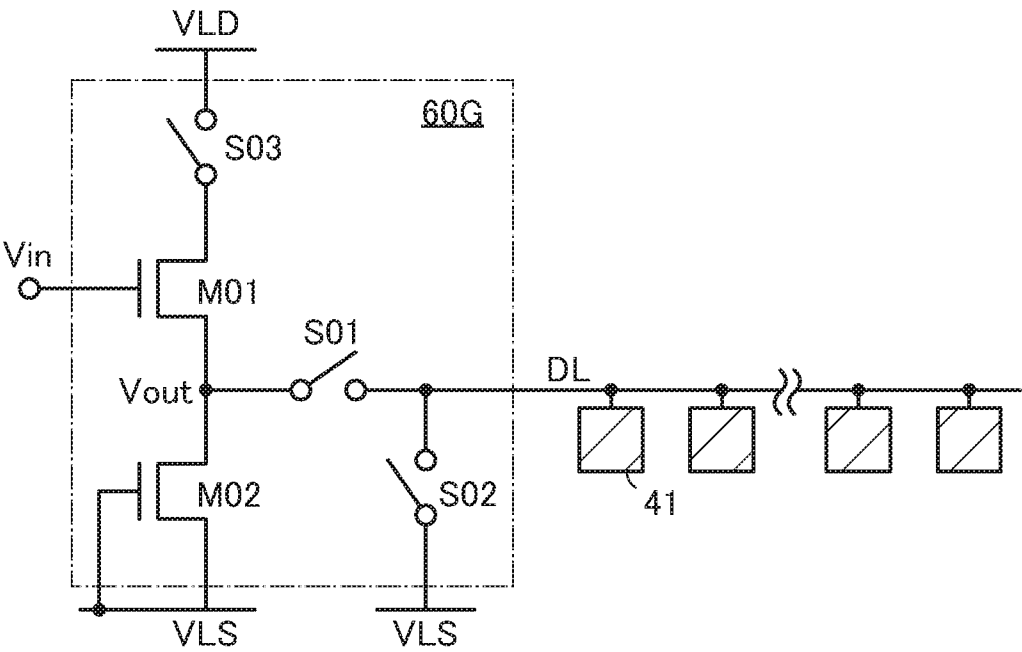


図11A

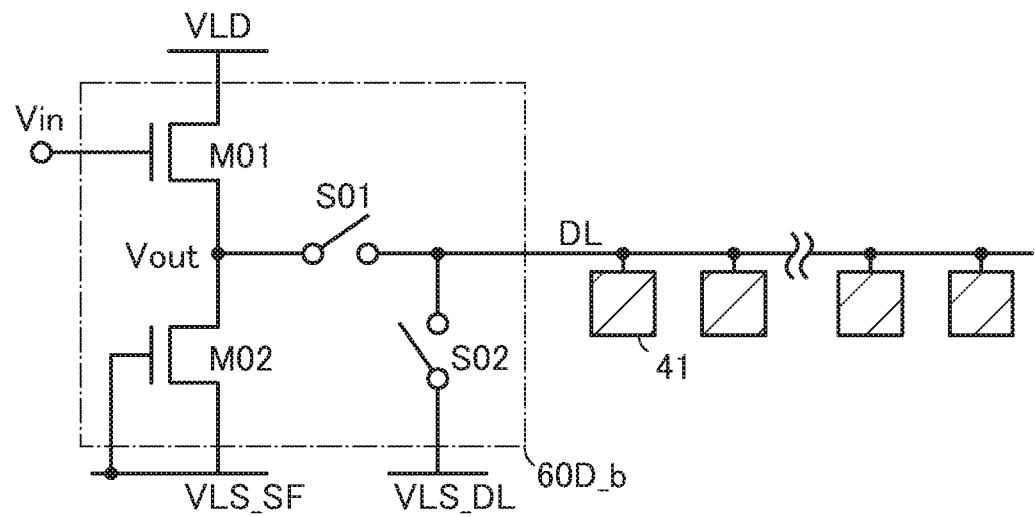


図11B

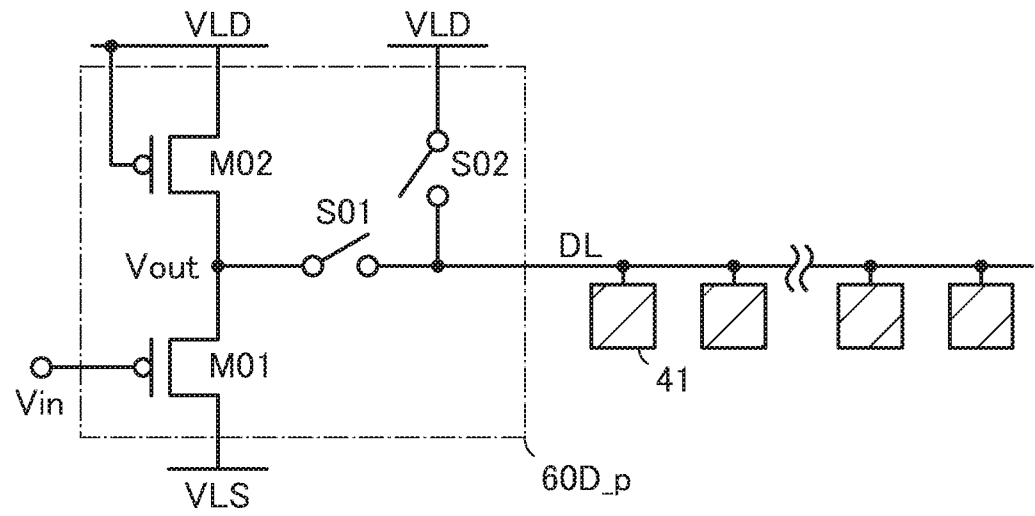


図12A

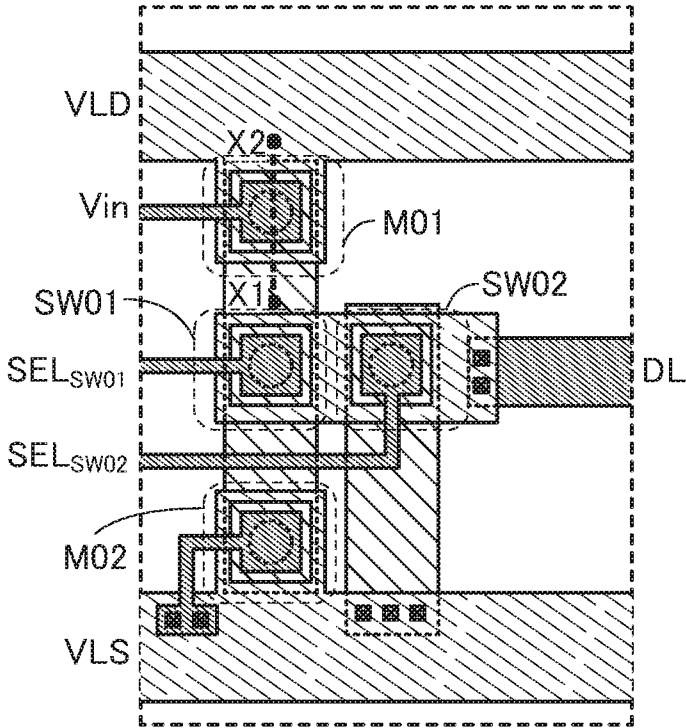
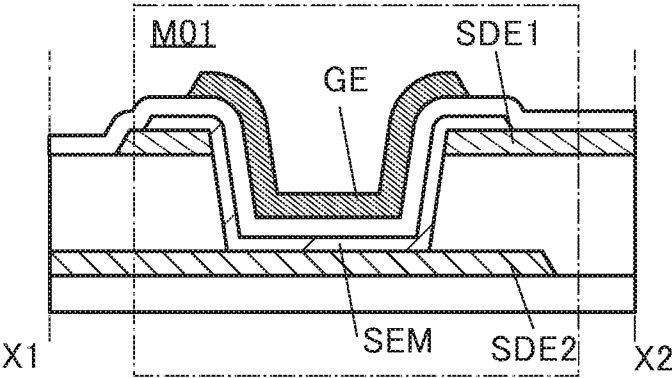


図12B



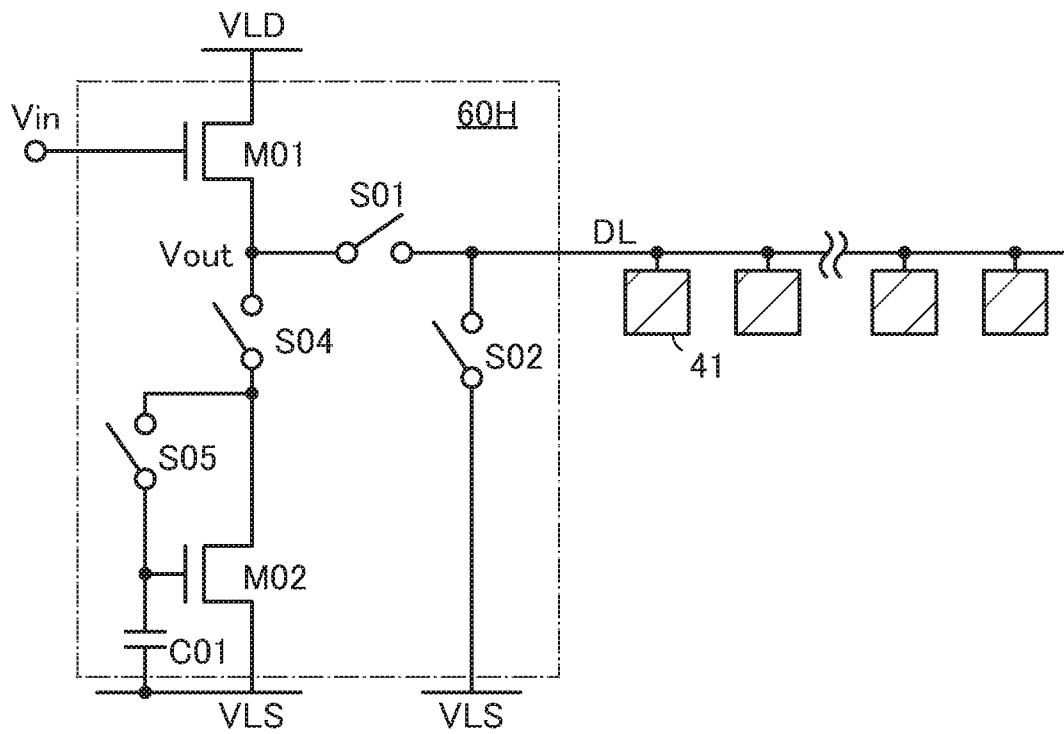


図14A

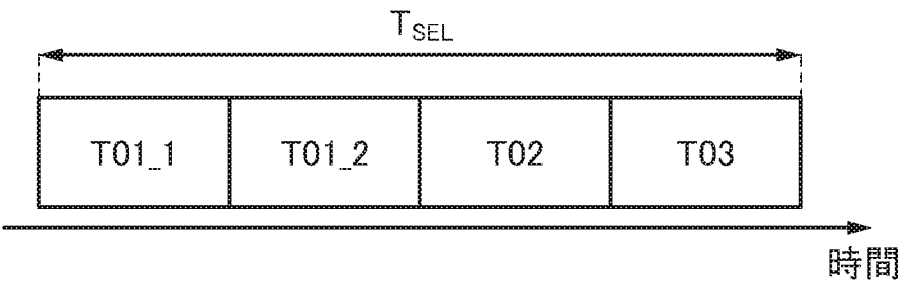


図14B

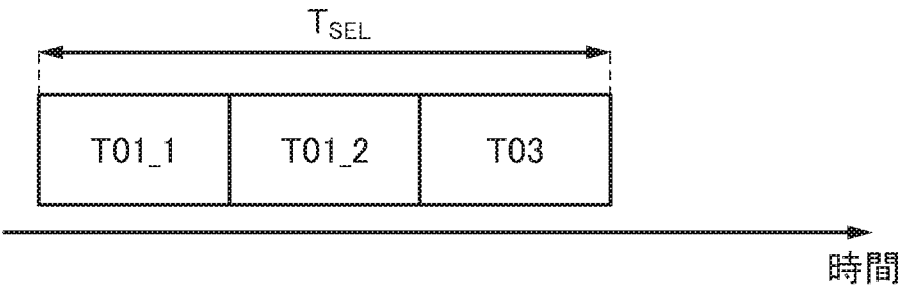


図15A

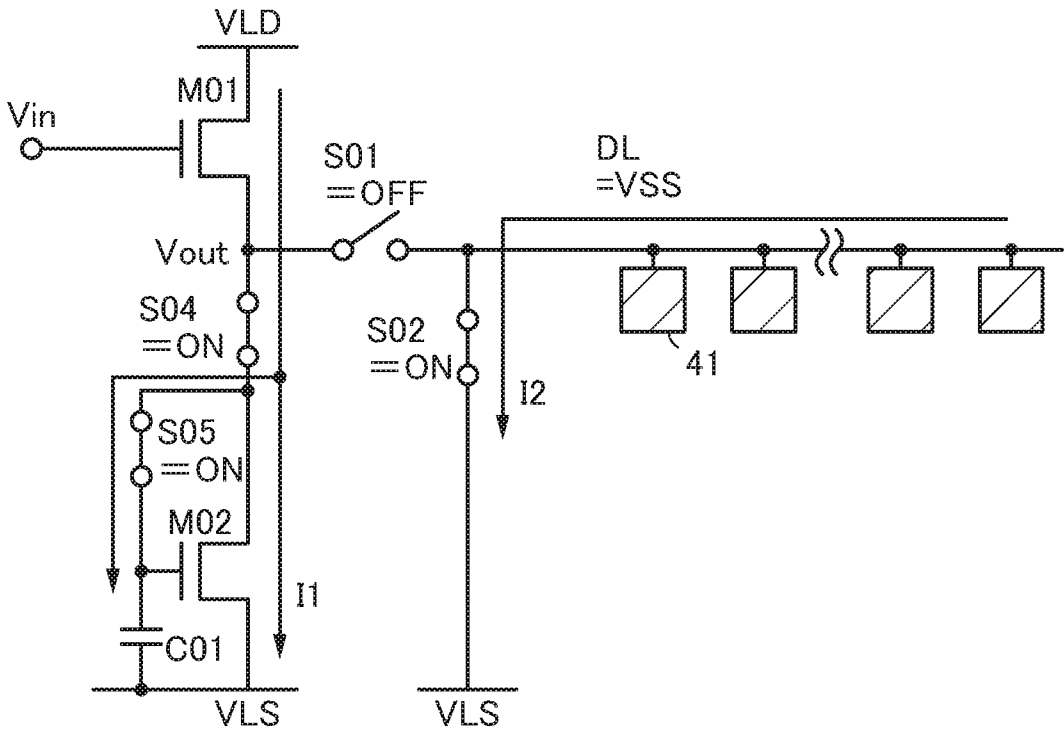


図15B

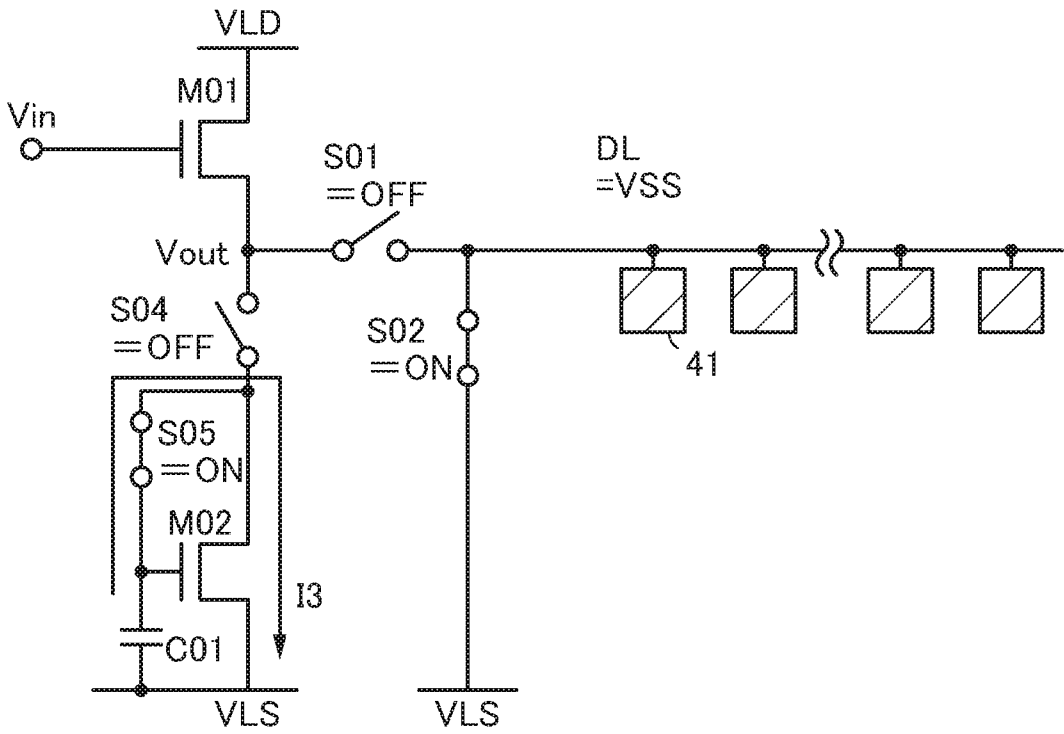


図16A

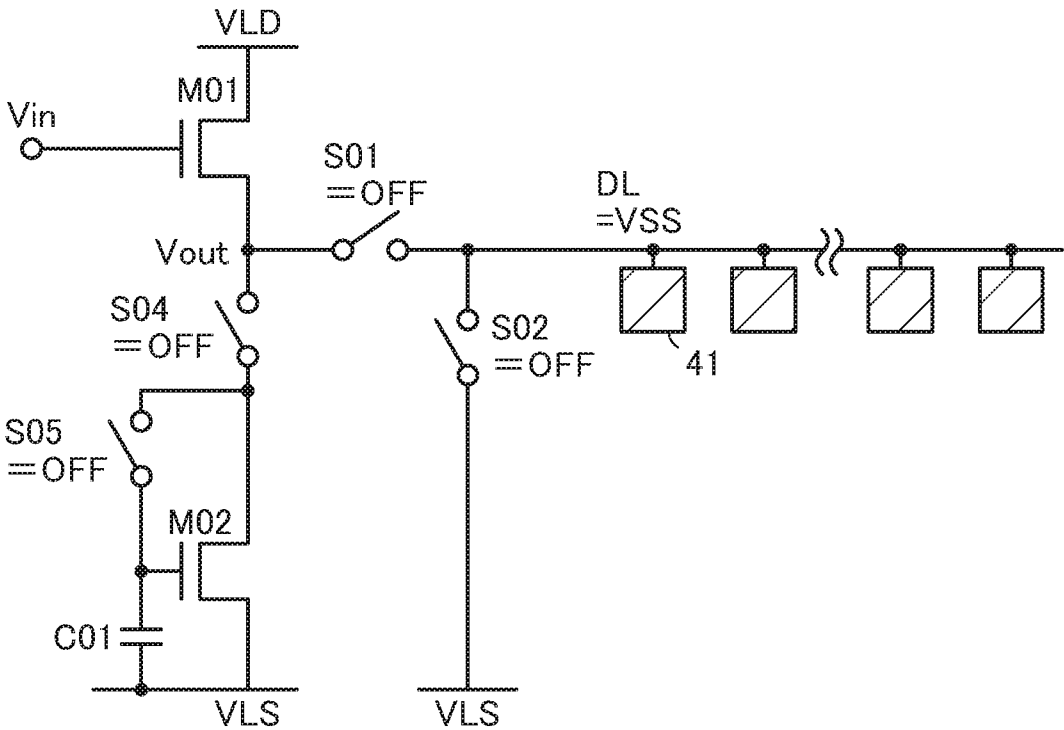


図16B

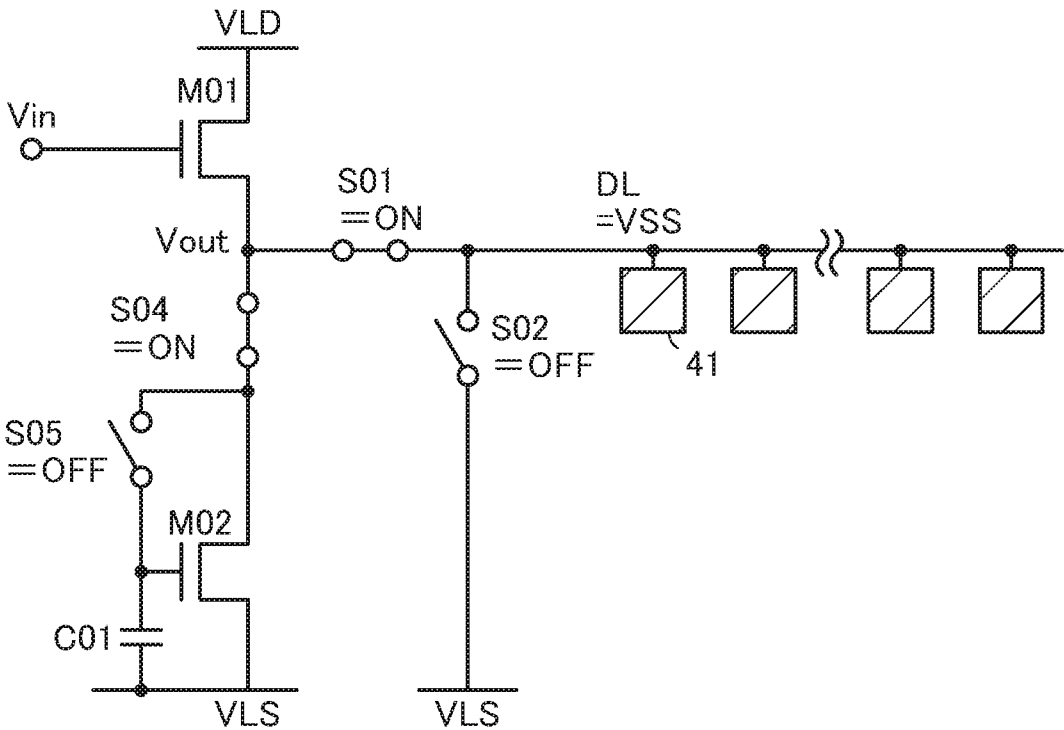


図17A

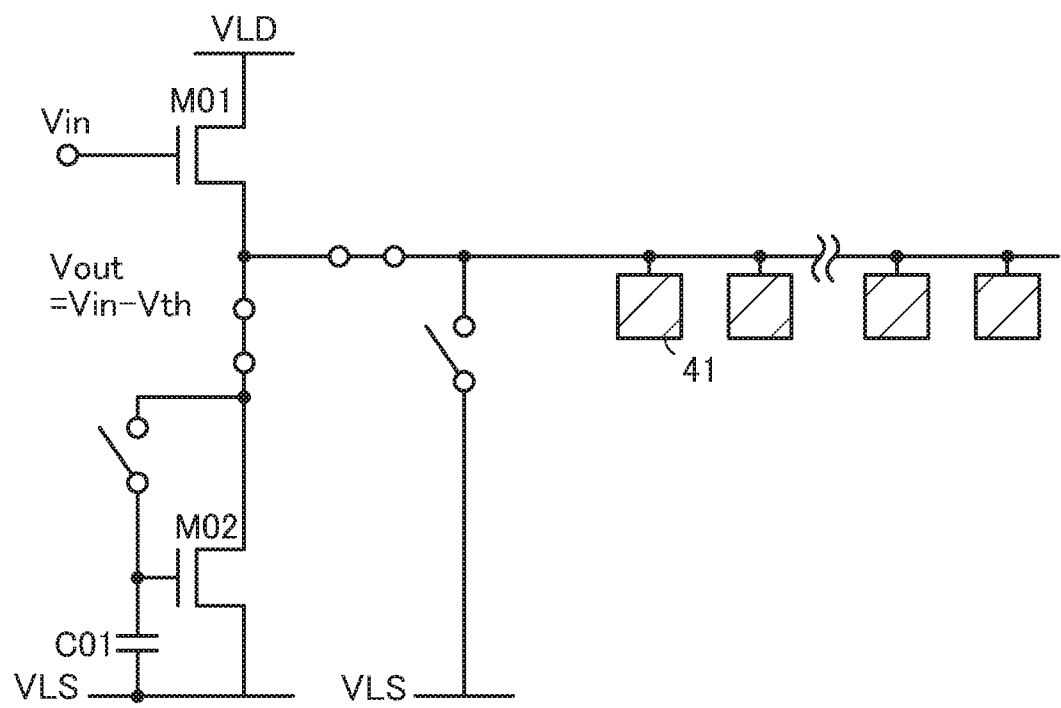
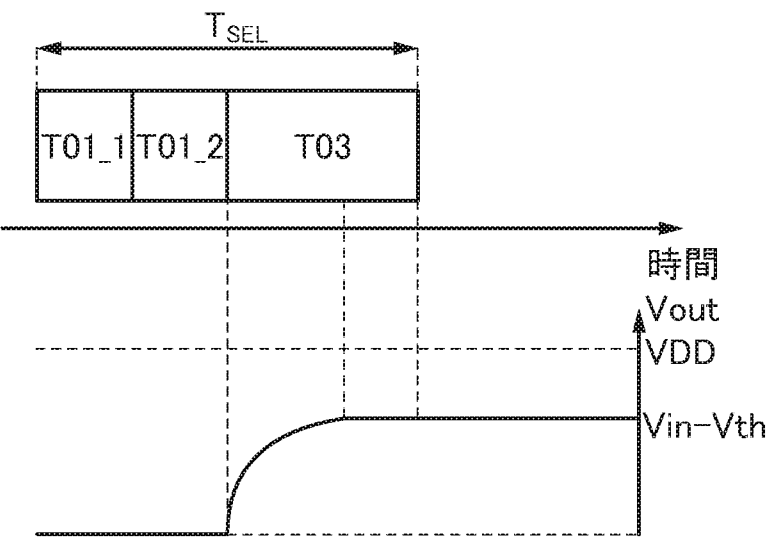


図17B



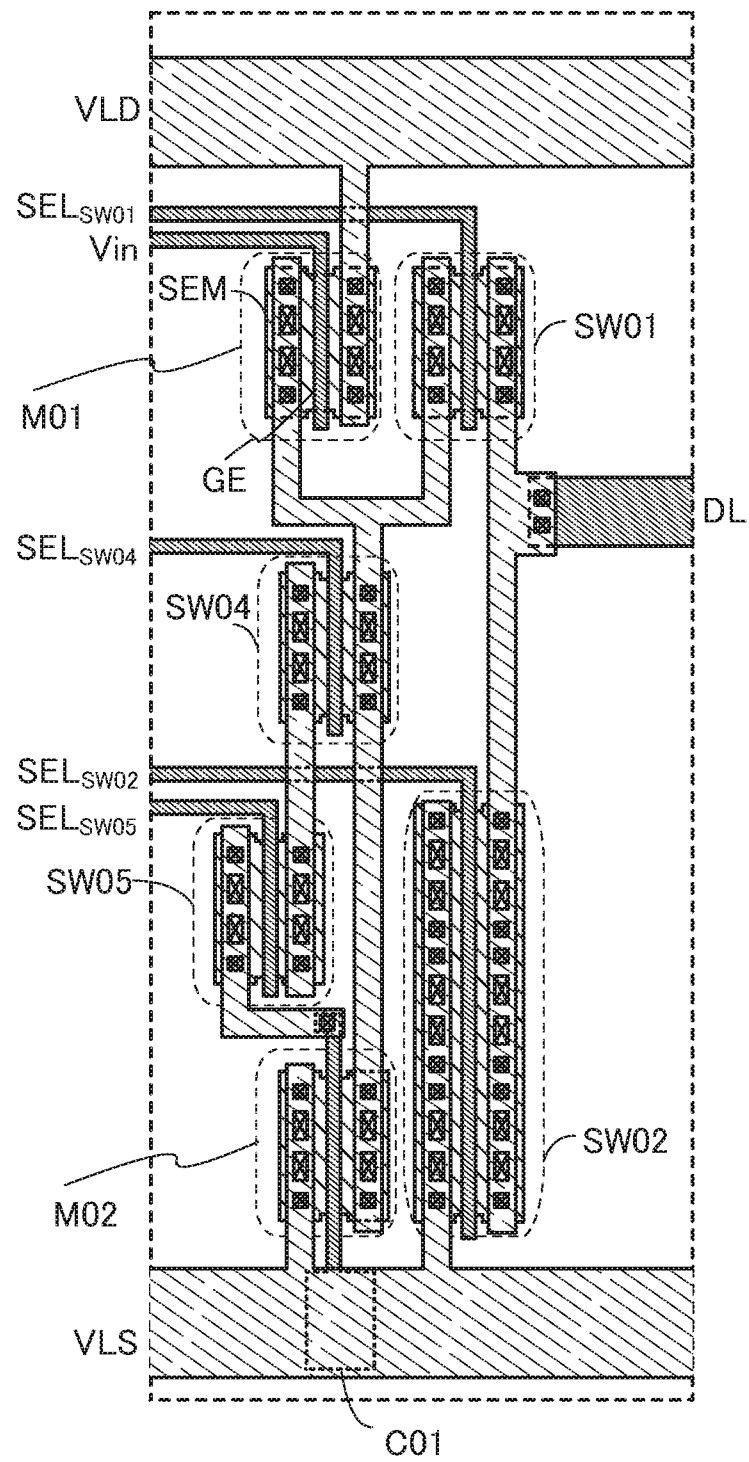


図 19A

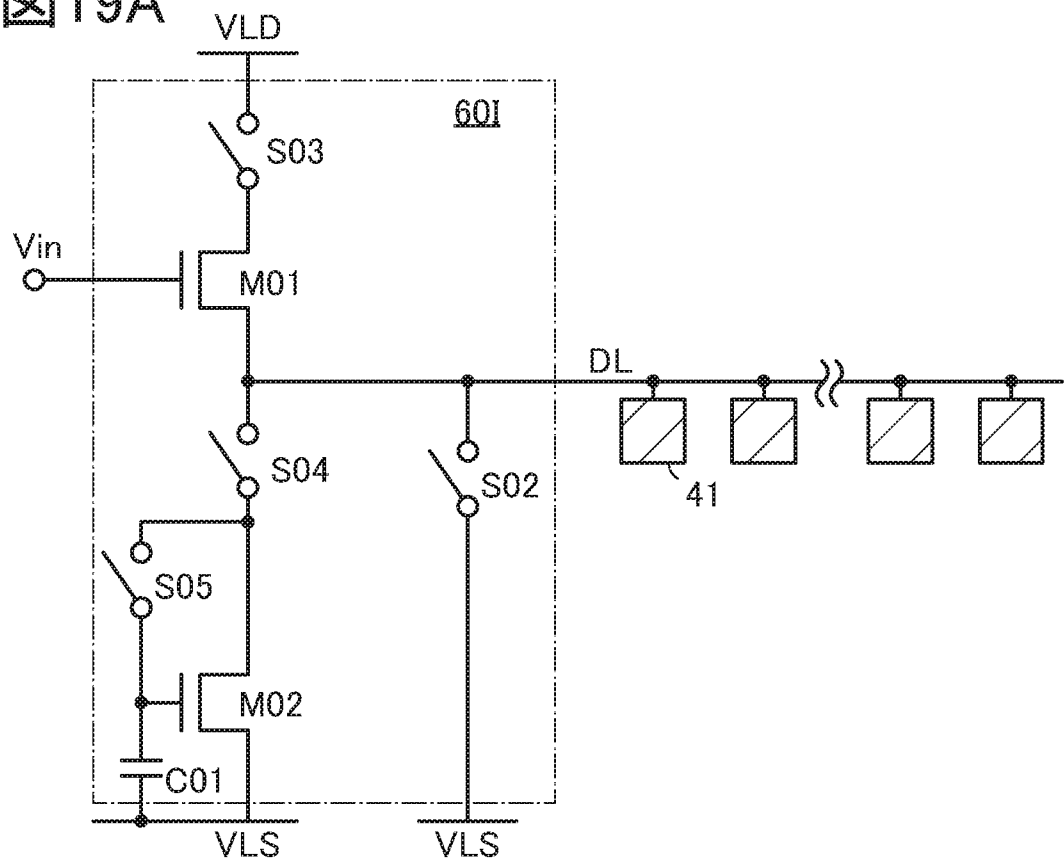


図 19B

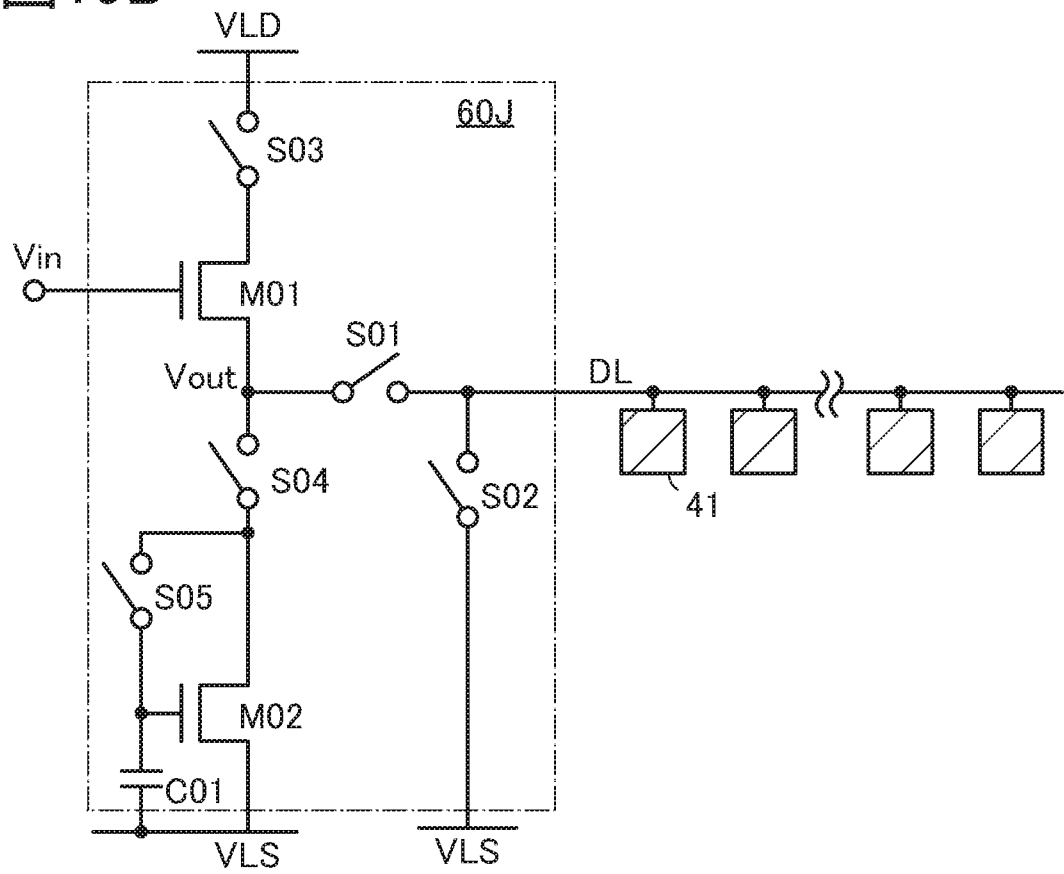


図20A

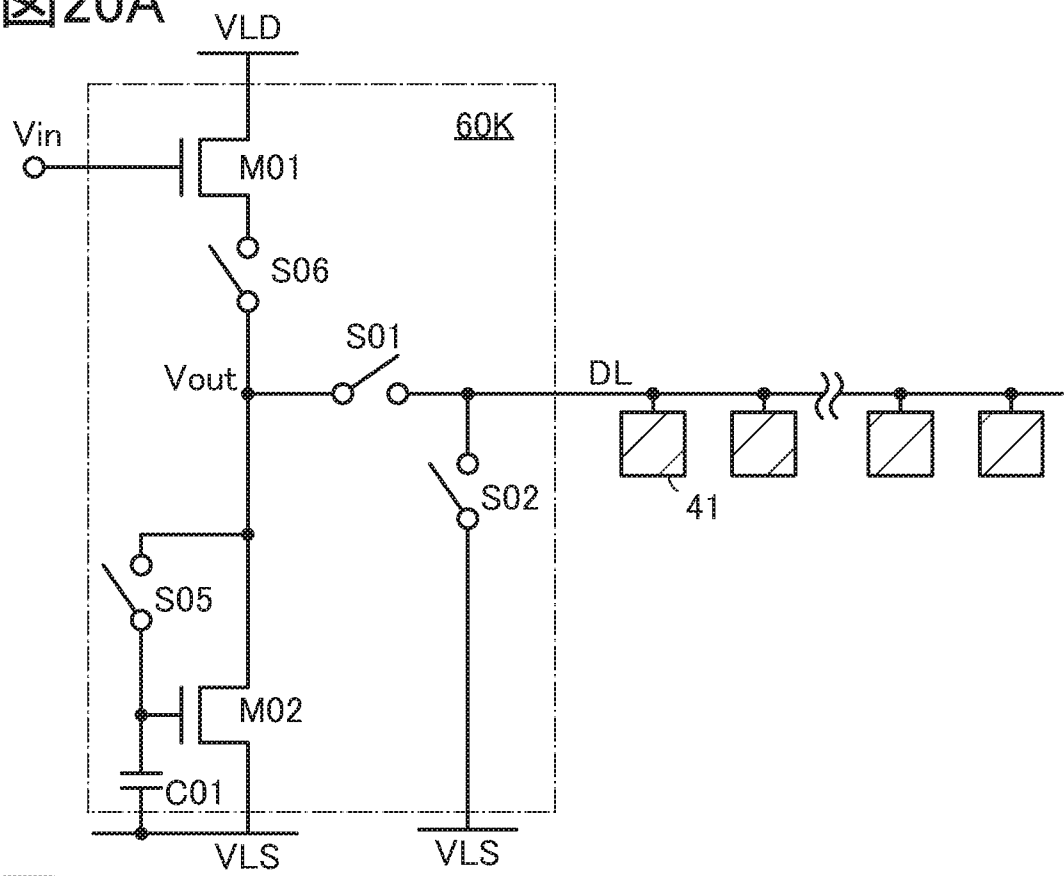


図20B

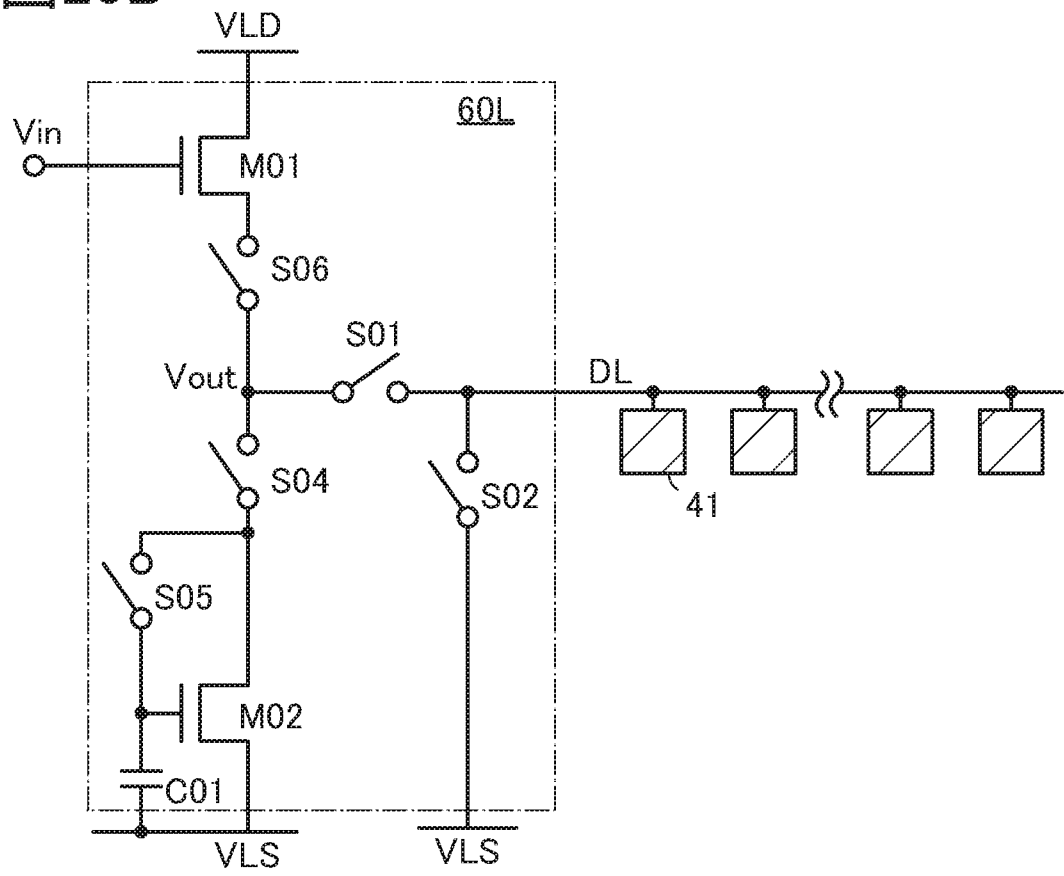


図21A

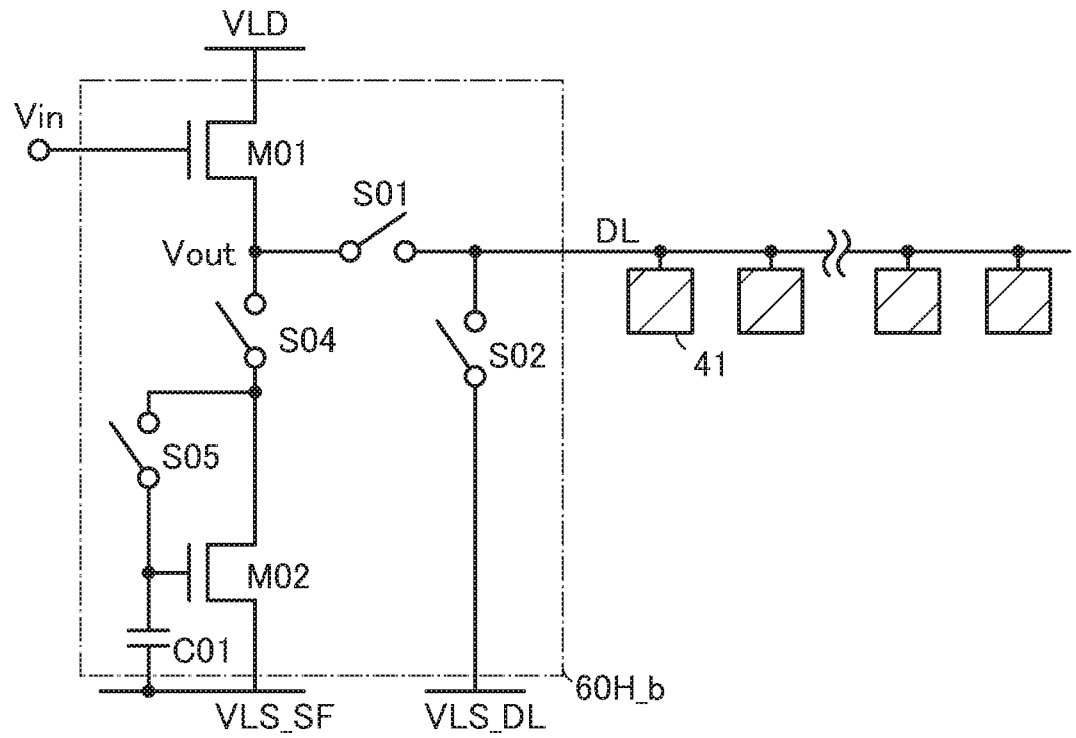


図21B

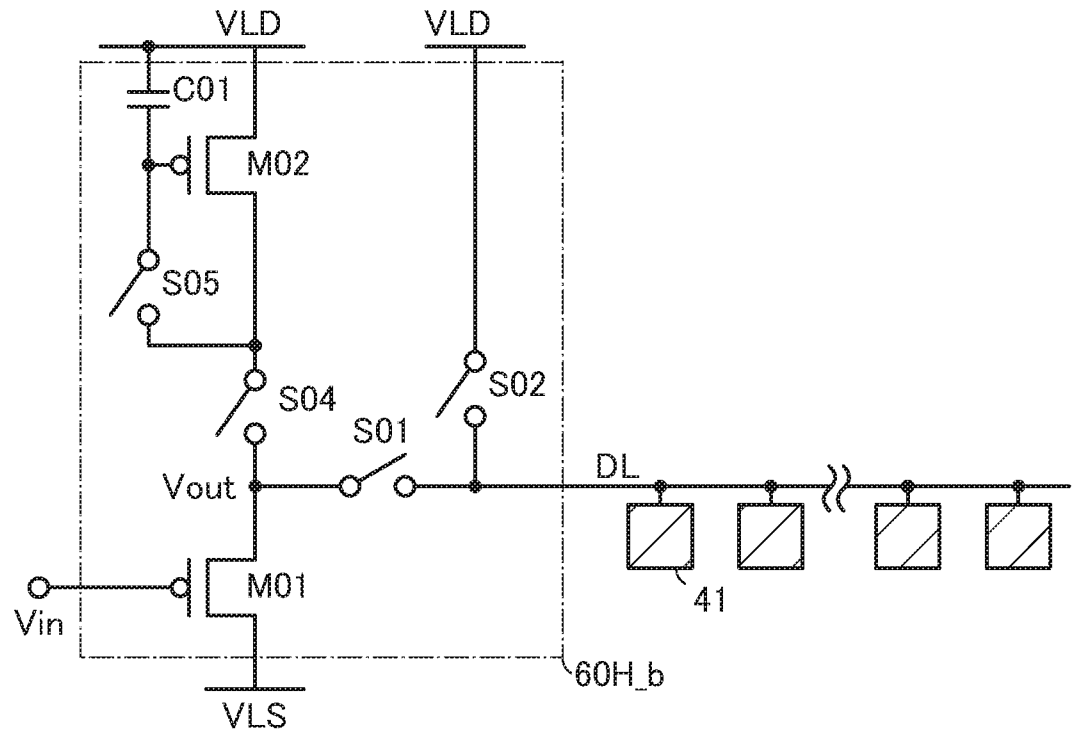


図22A

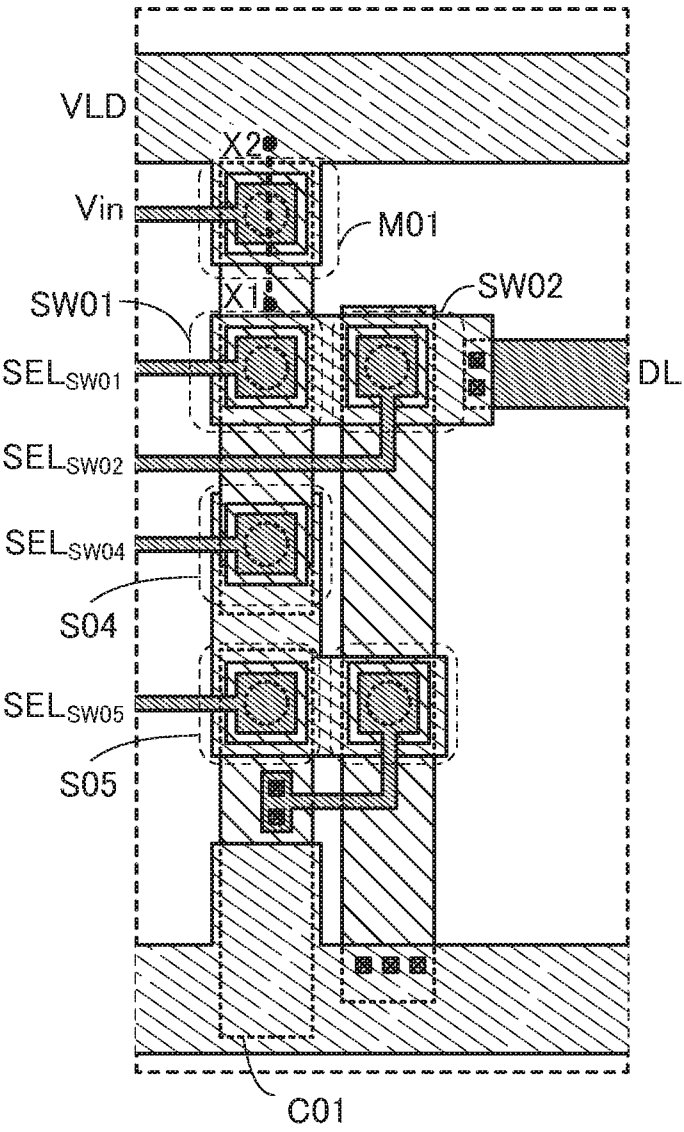
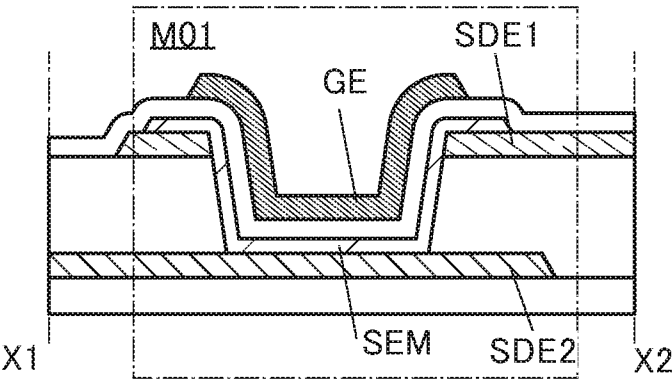


図22B



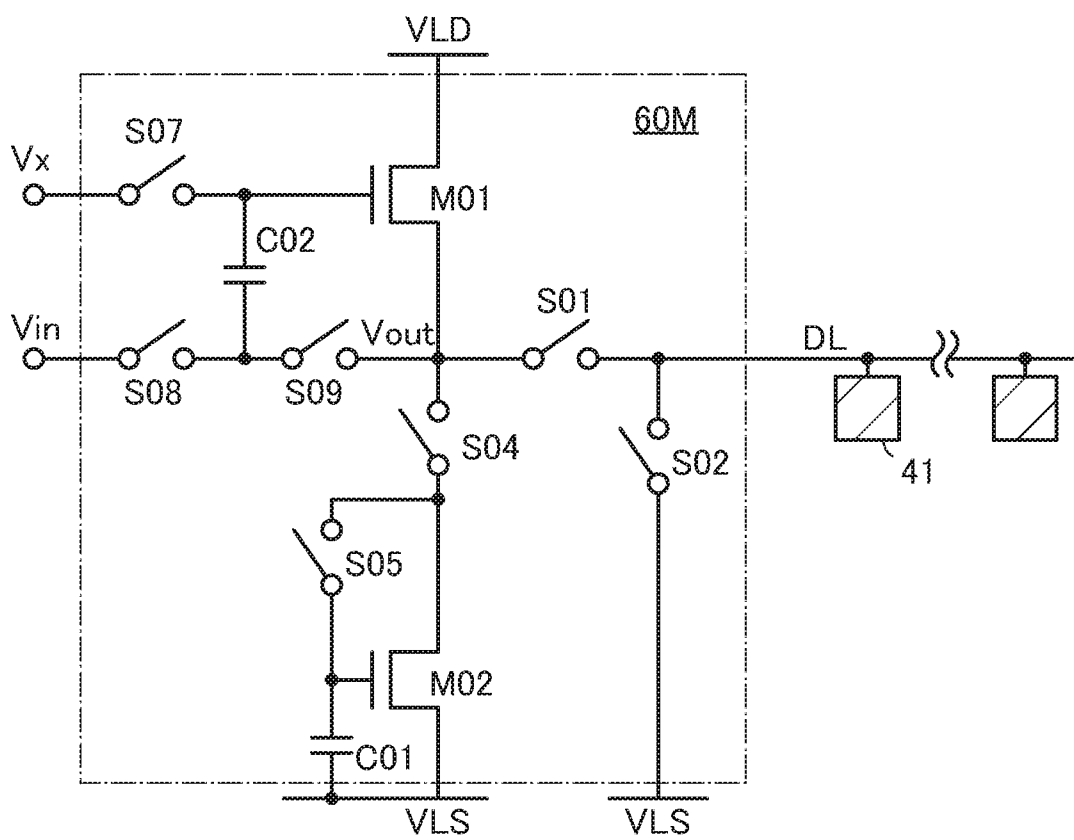


图24A

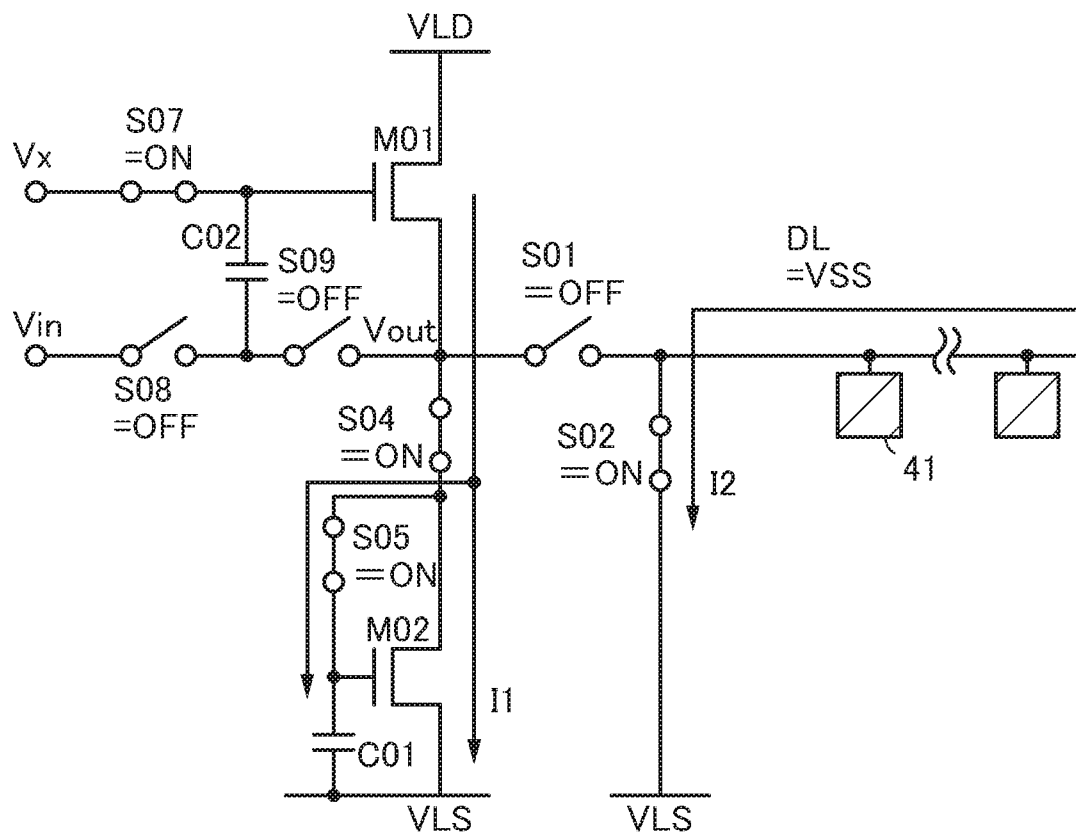


图24B

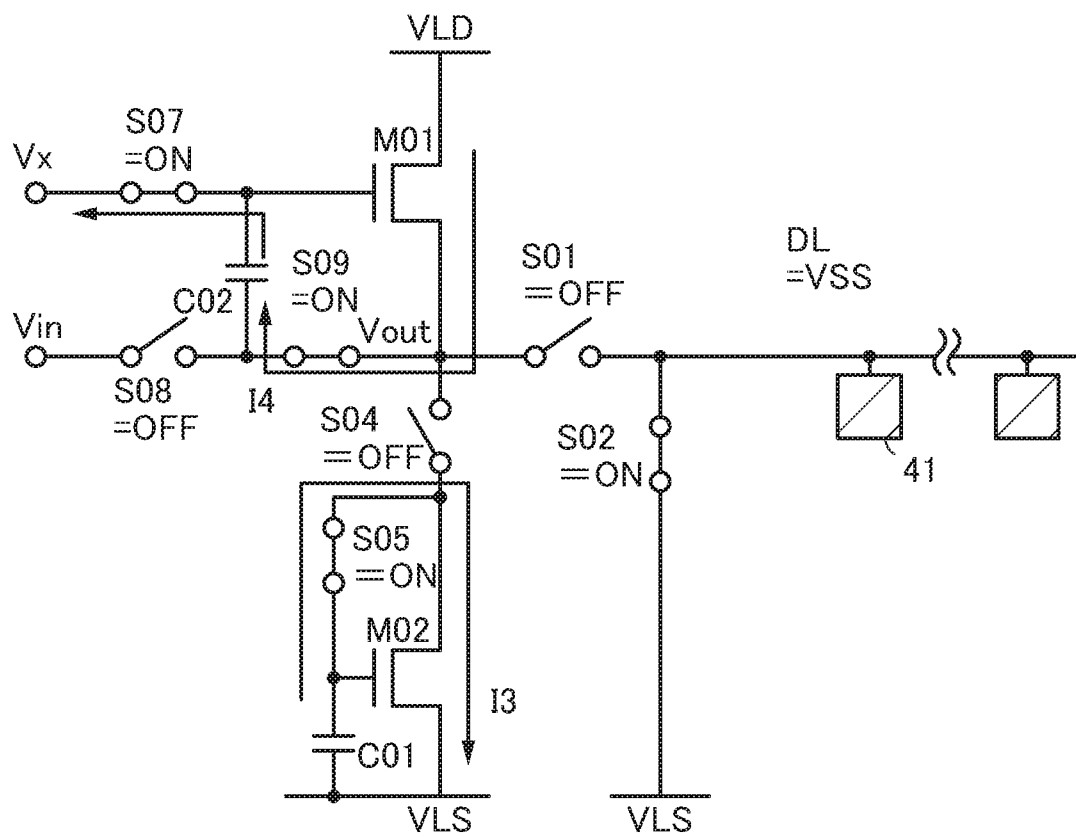


图 27A

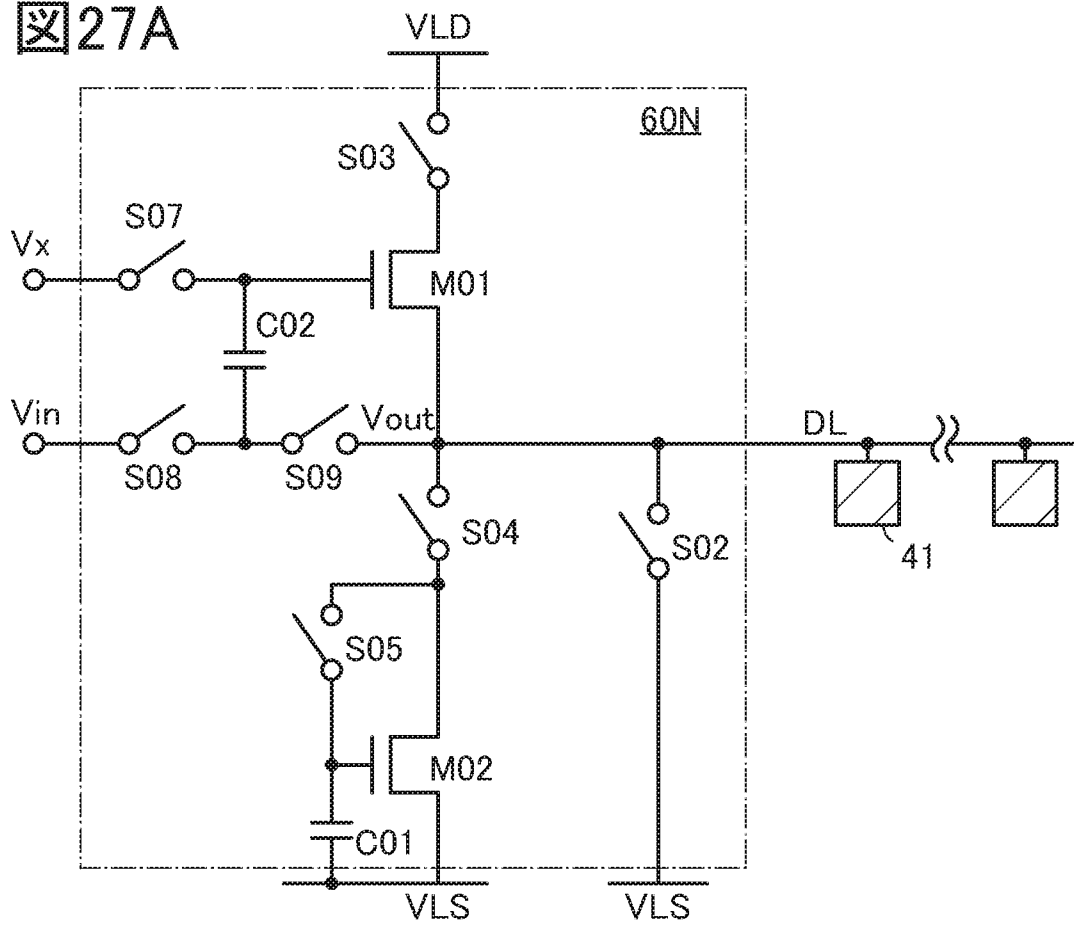
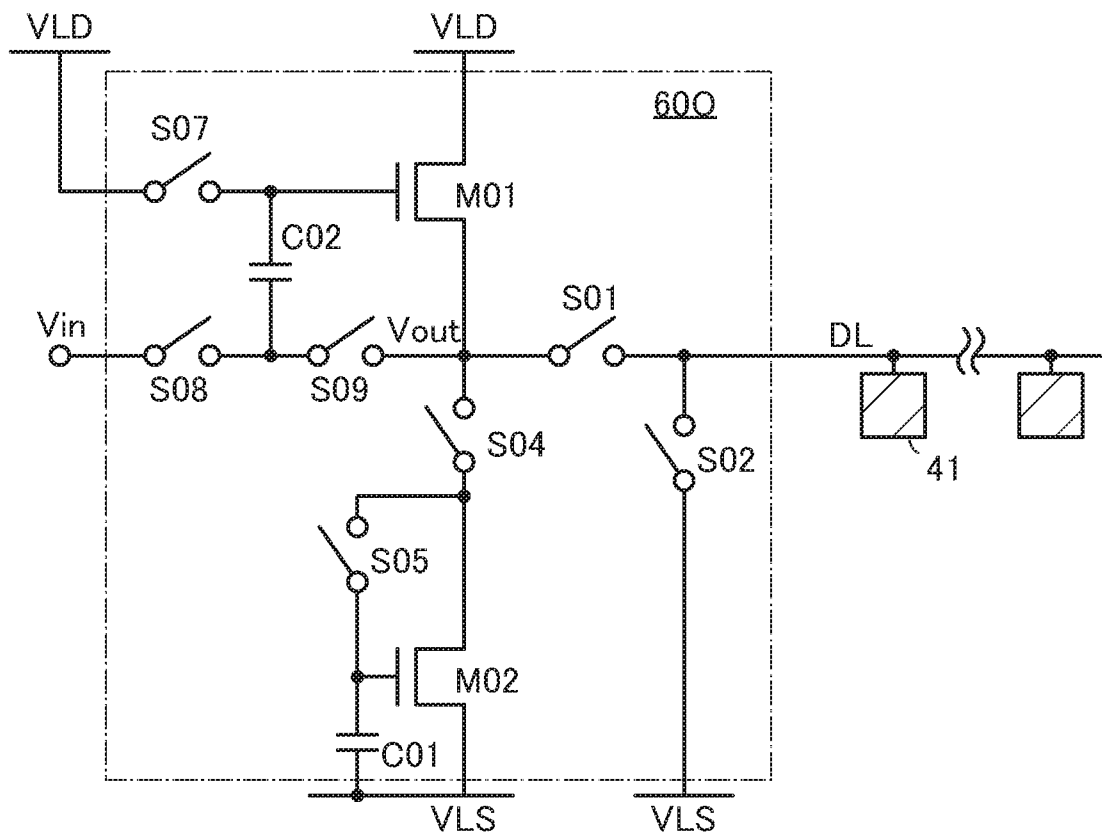
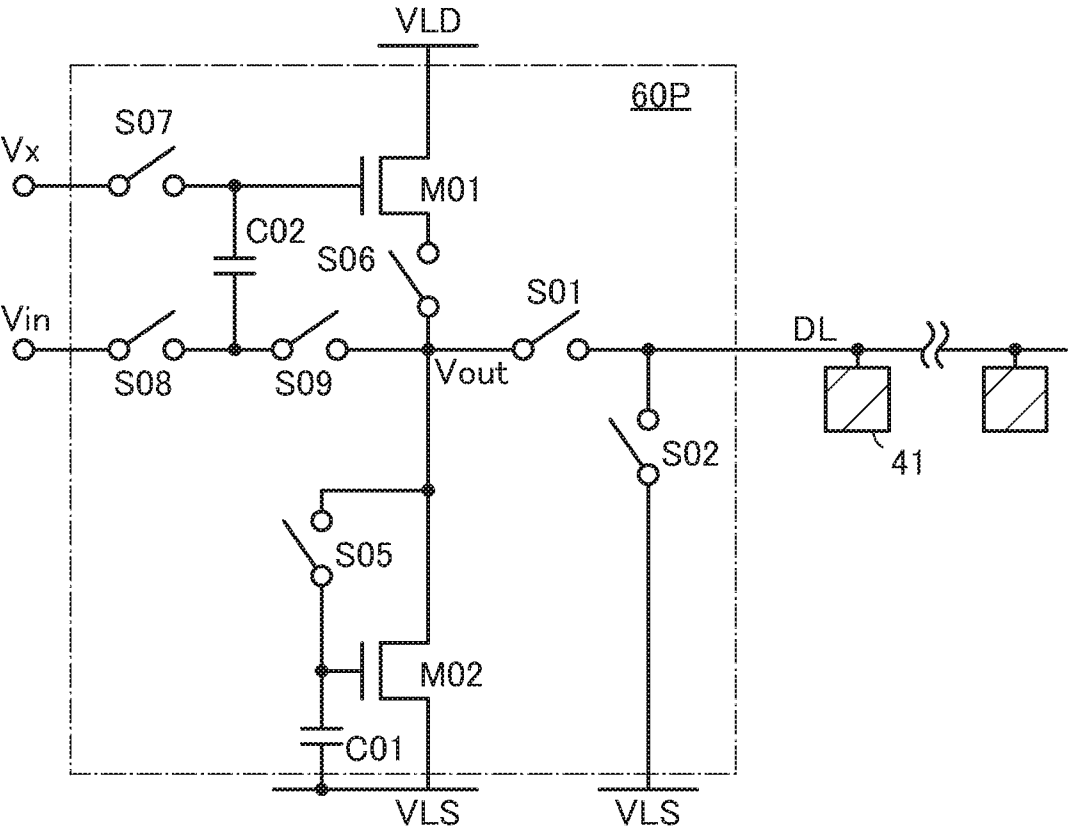


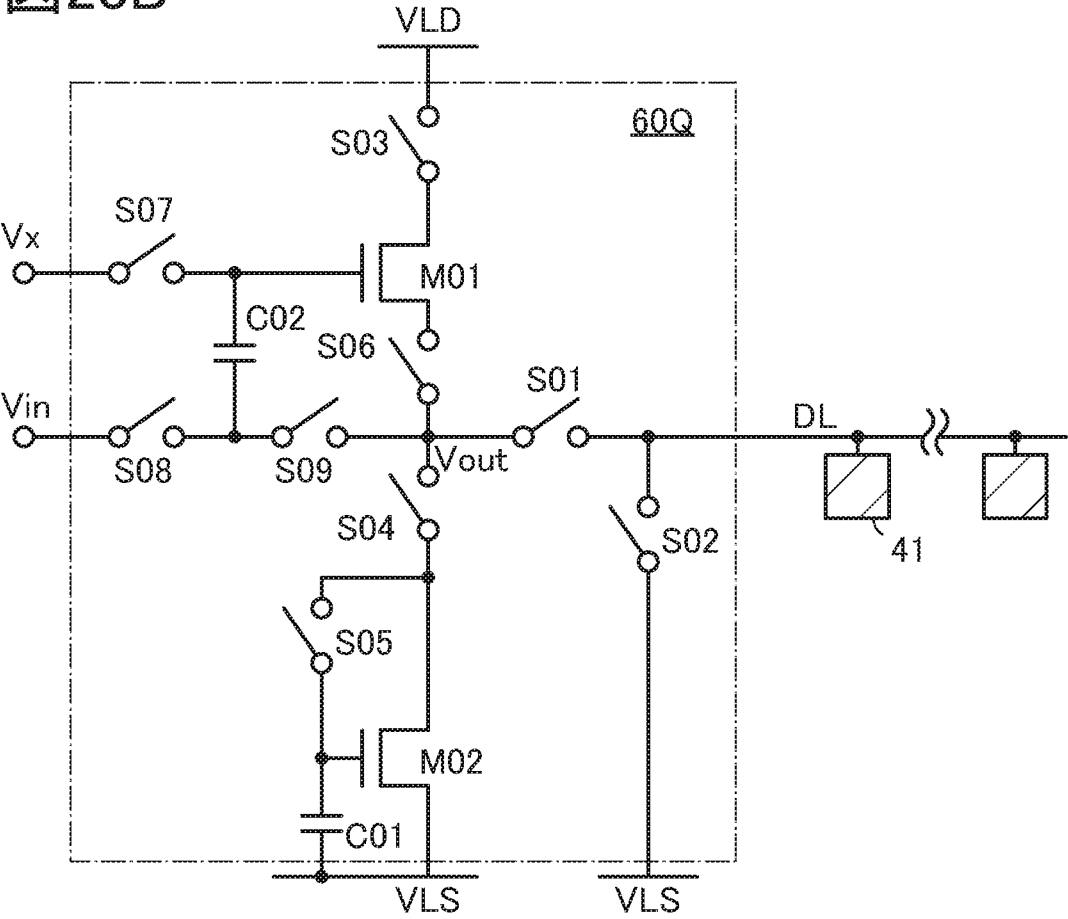
图 27B



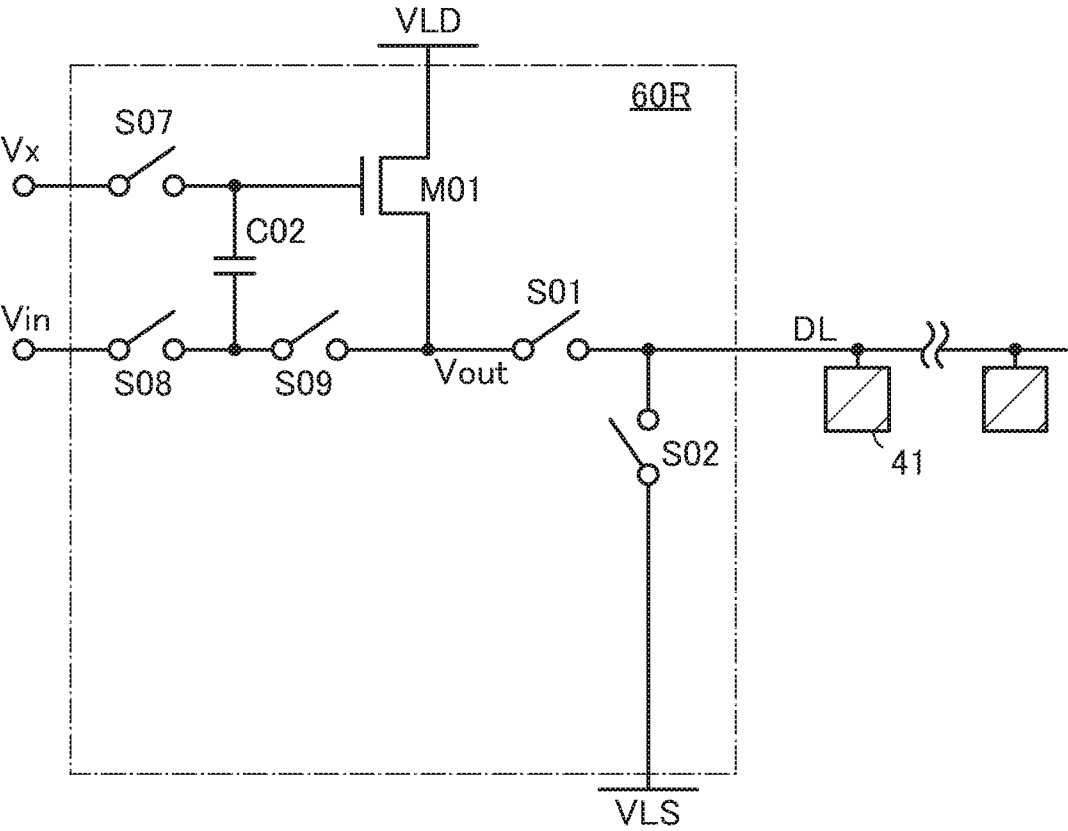
28A



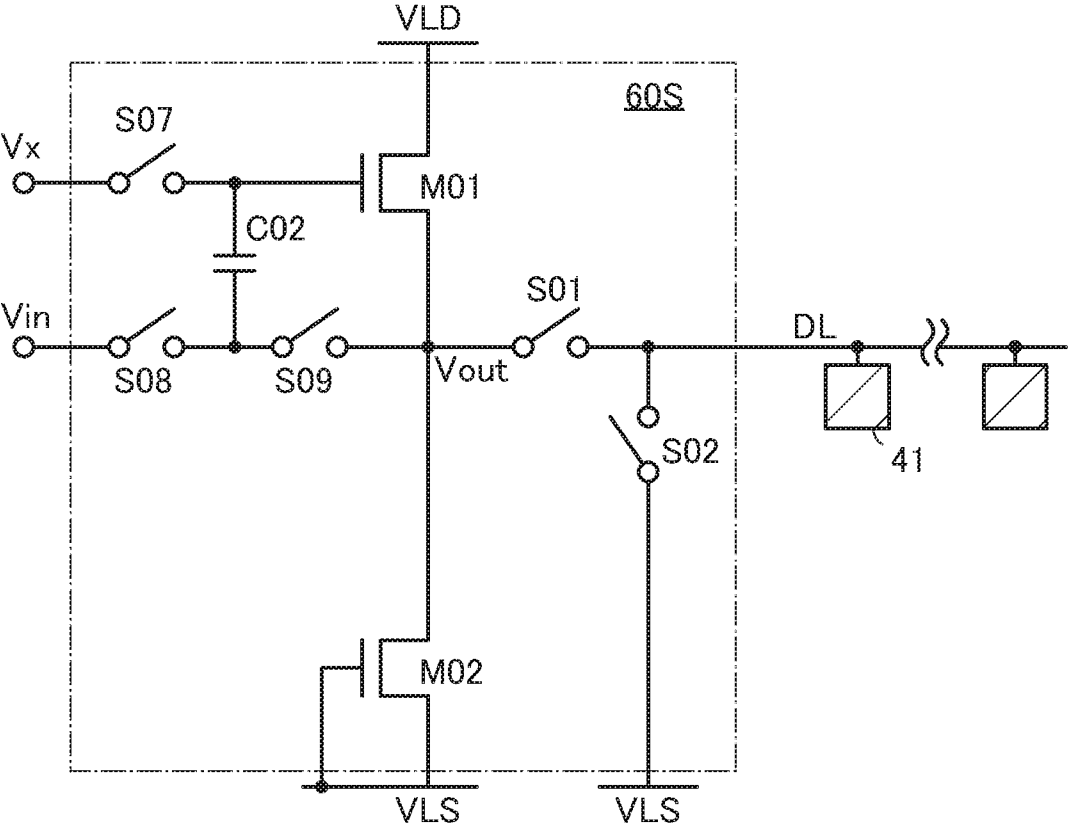
28B

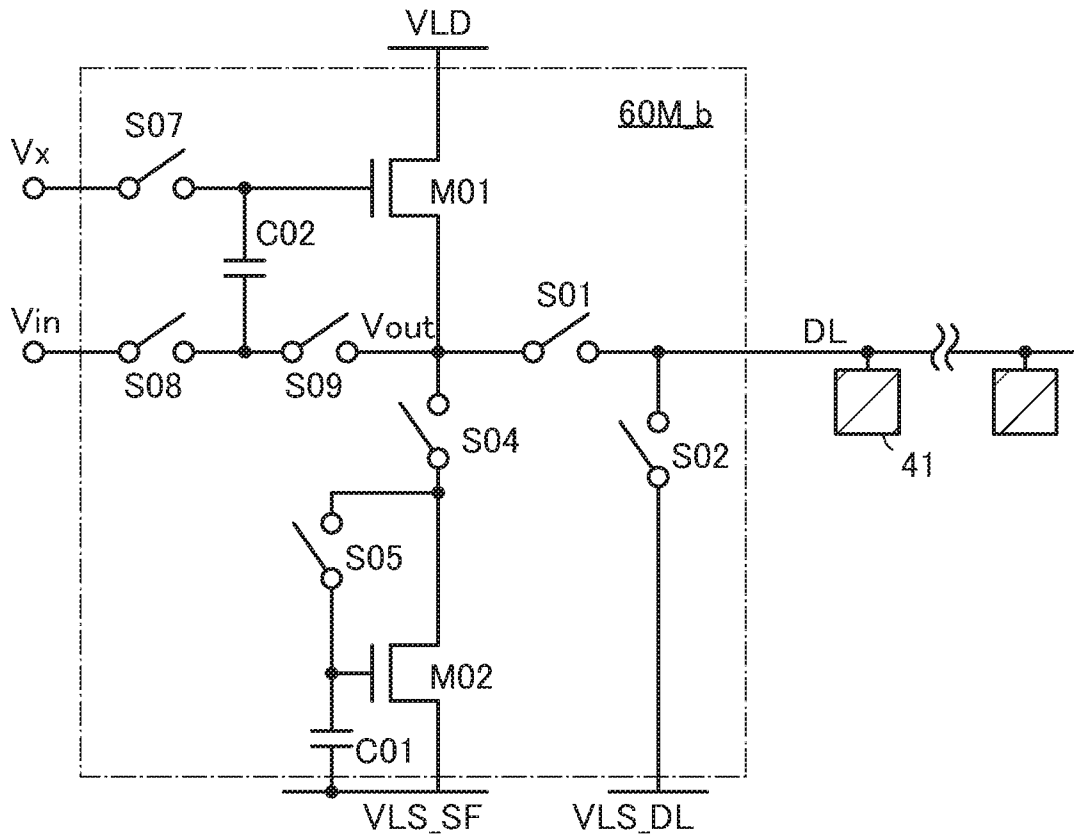


29A



29B





30B

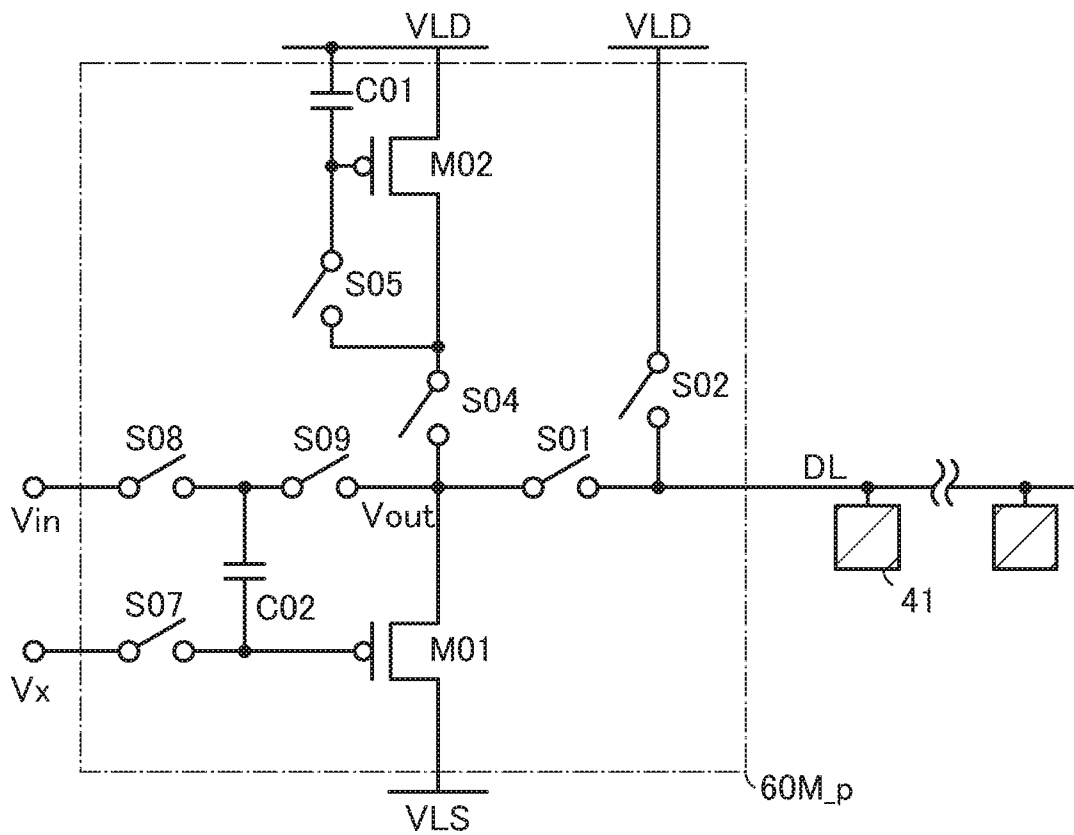


図31A

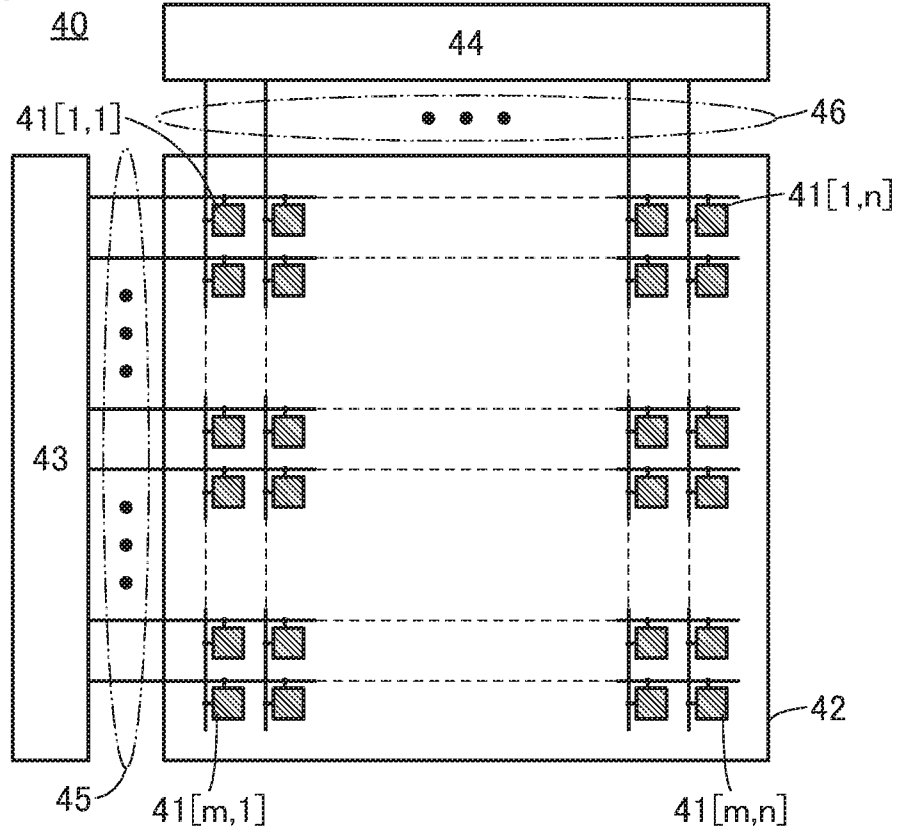


図31B

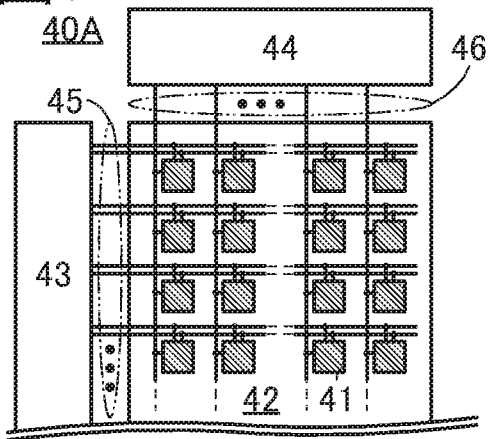


図31C

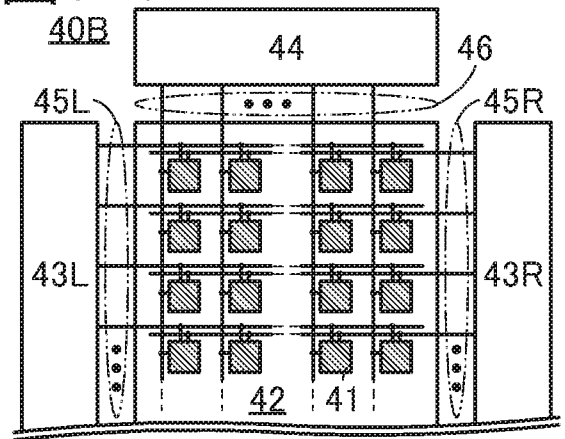


図31D

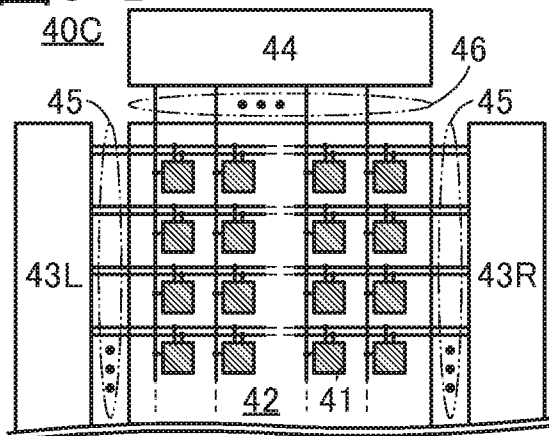
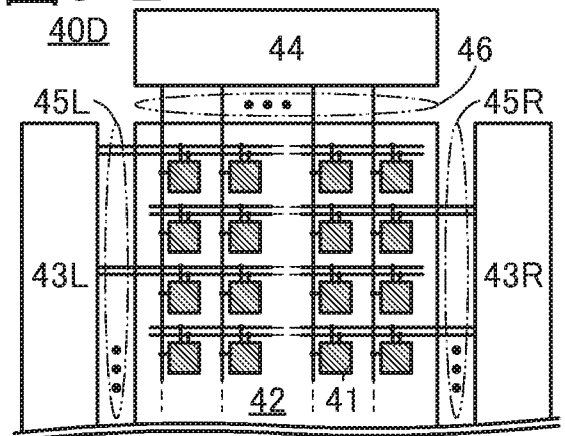
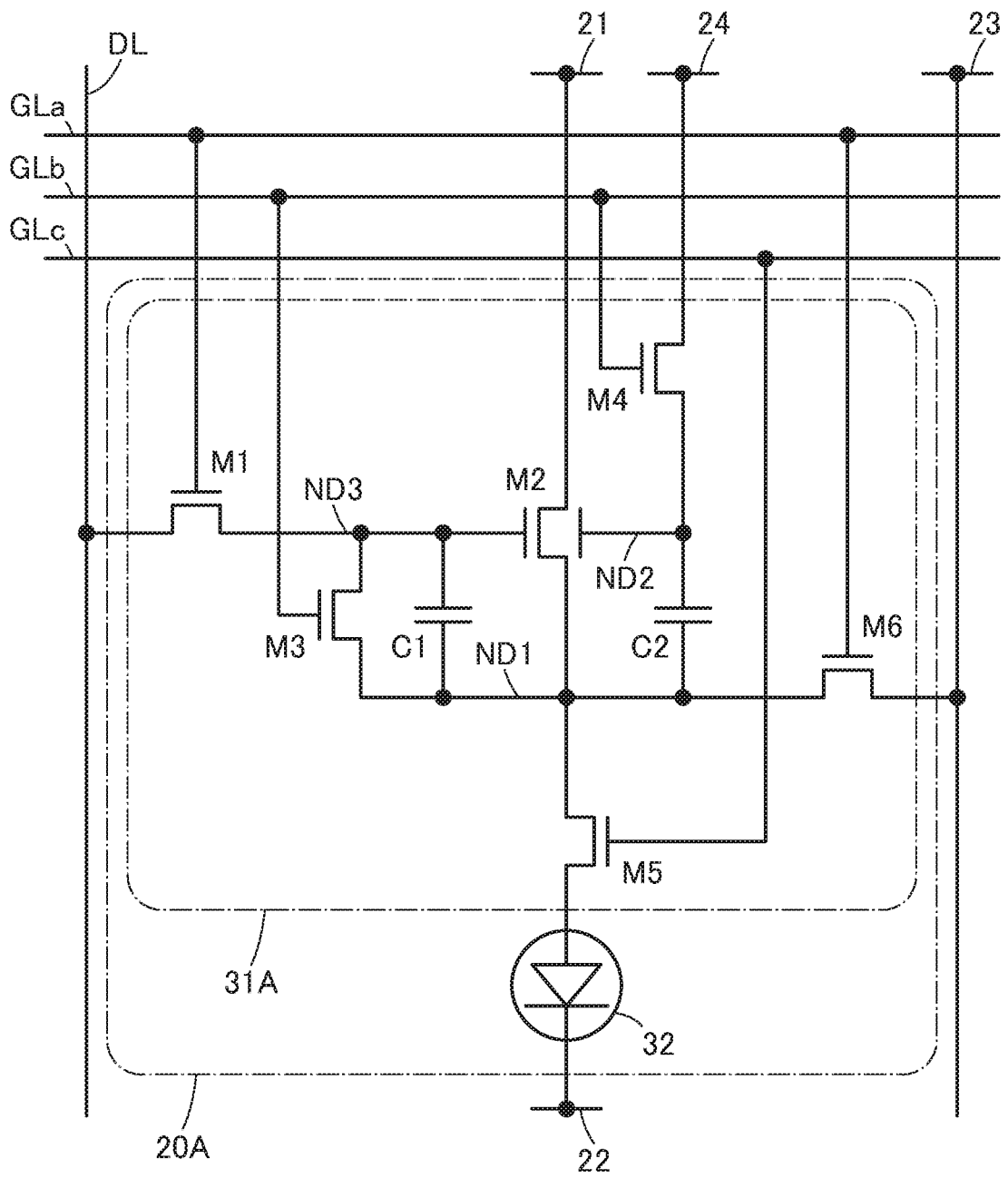
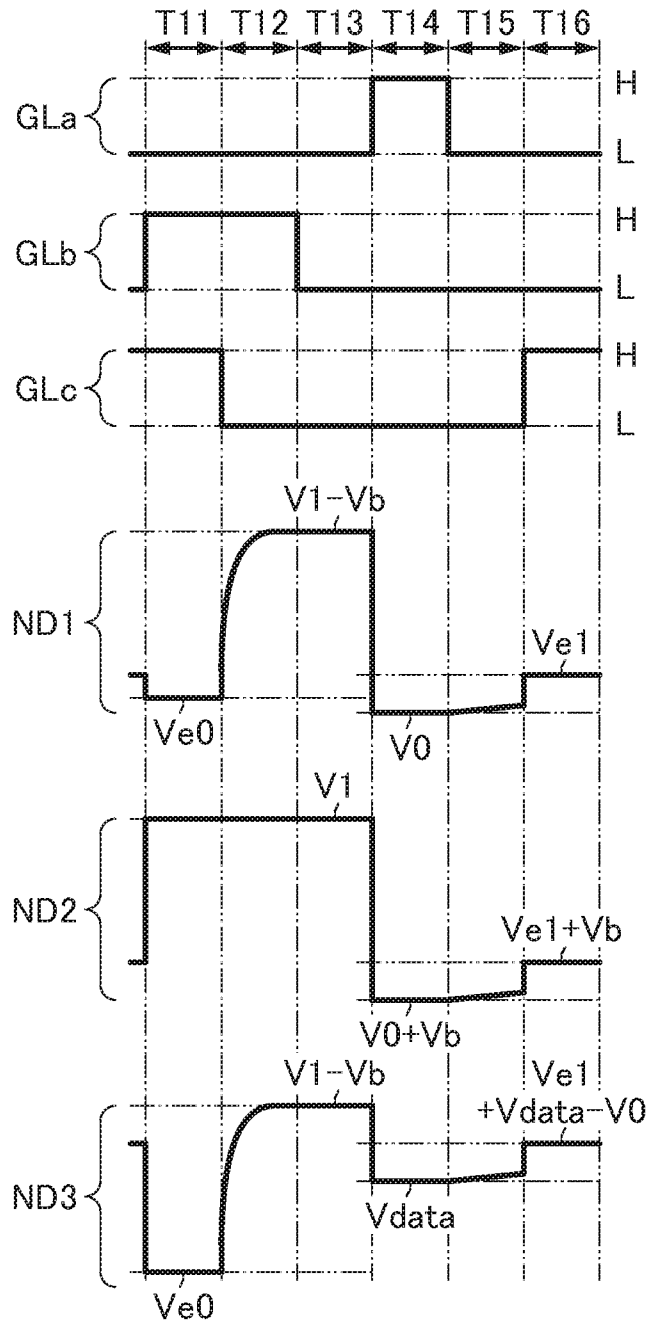
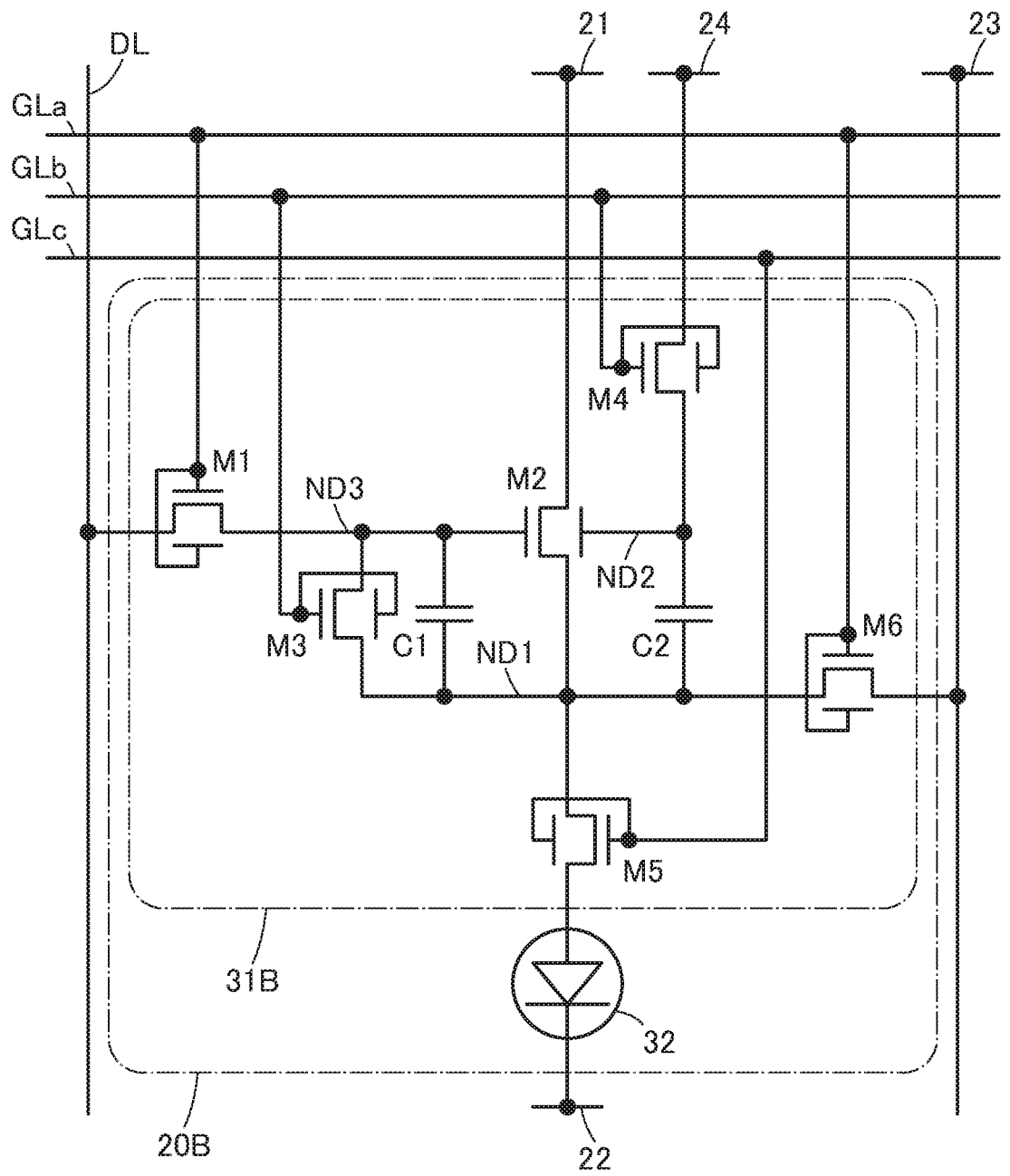


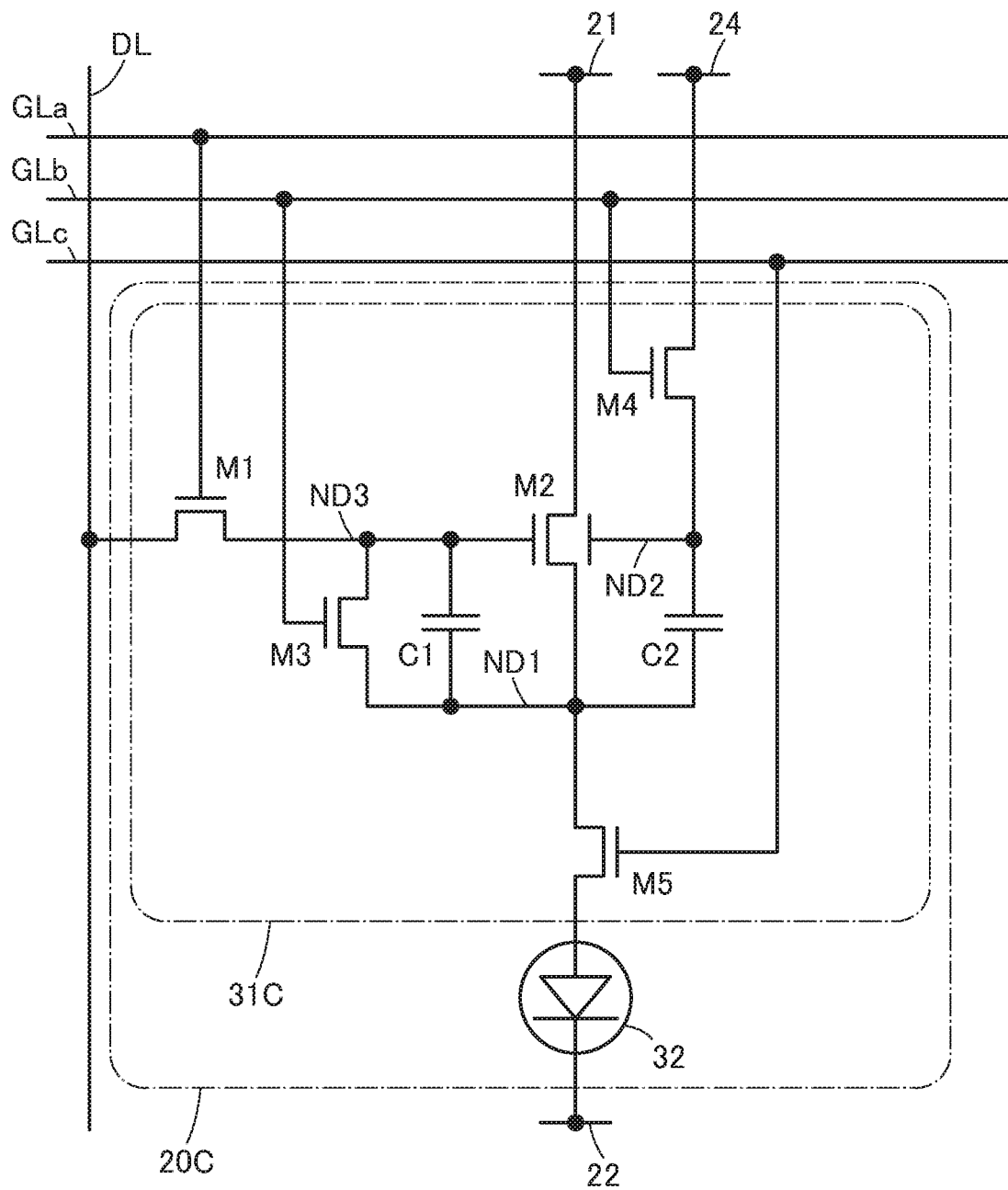
図31E

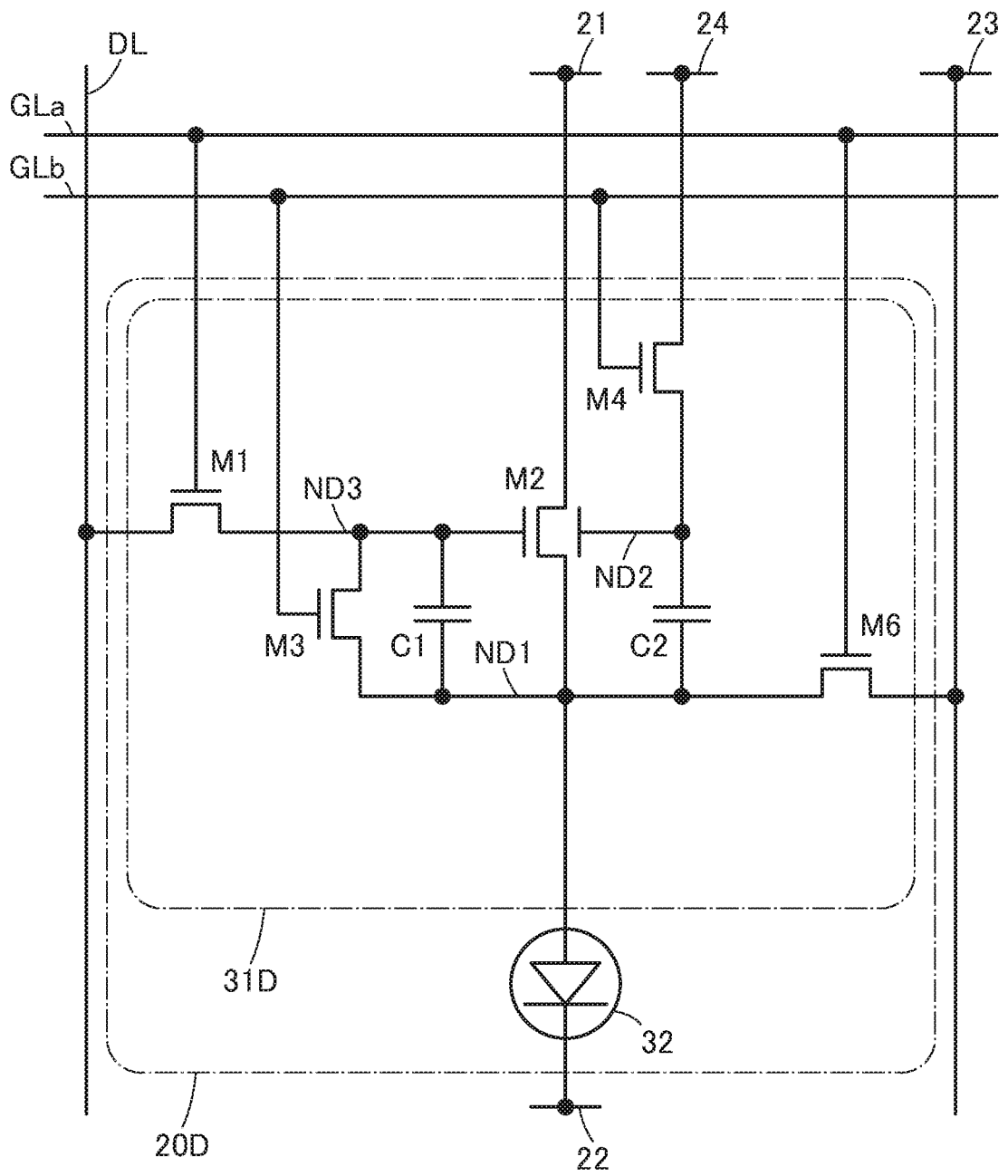


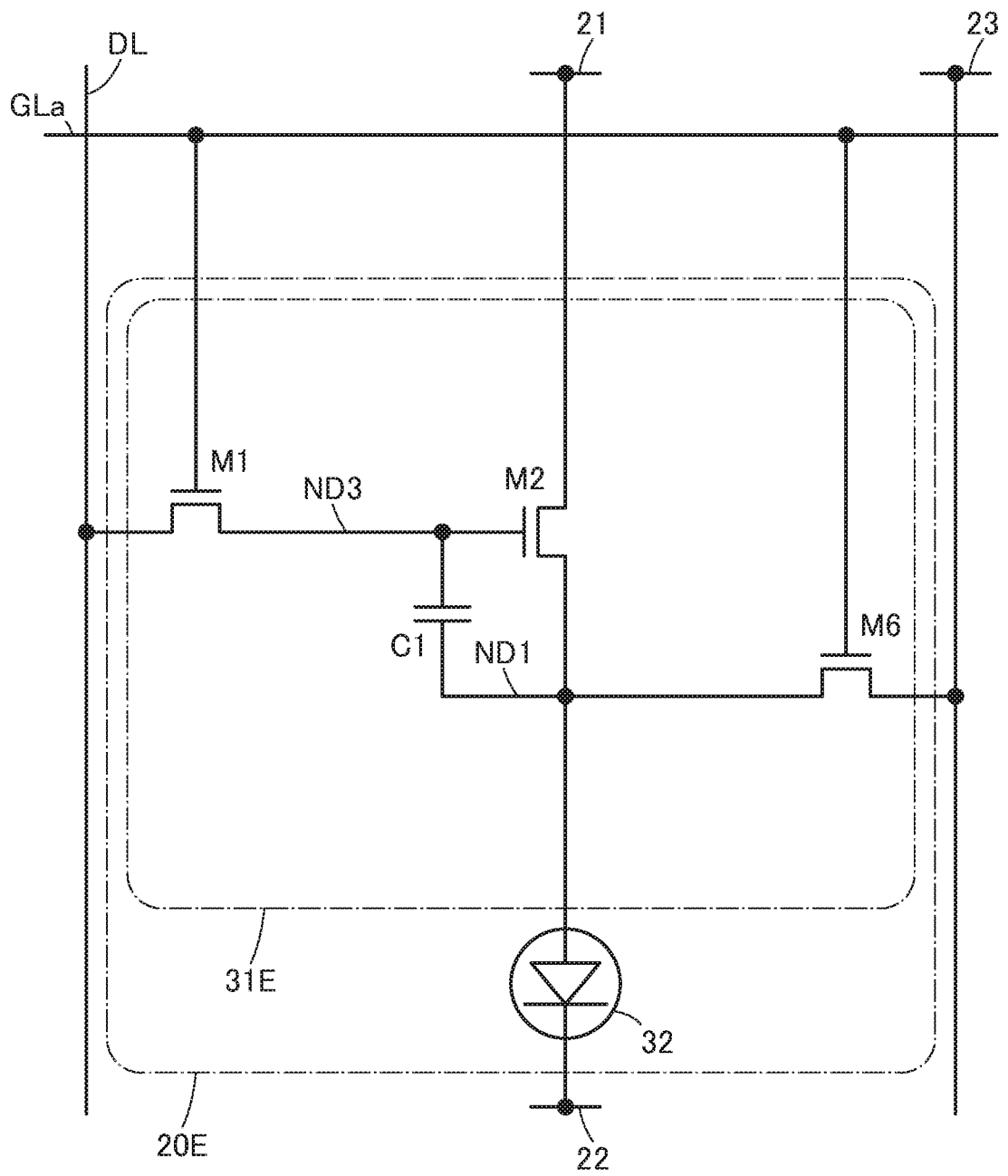


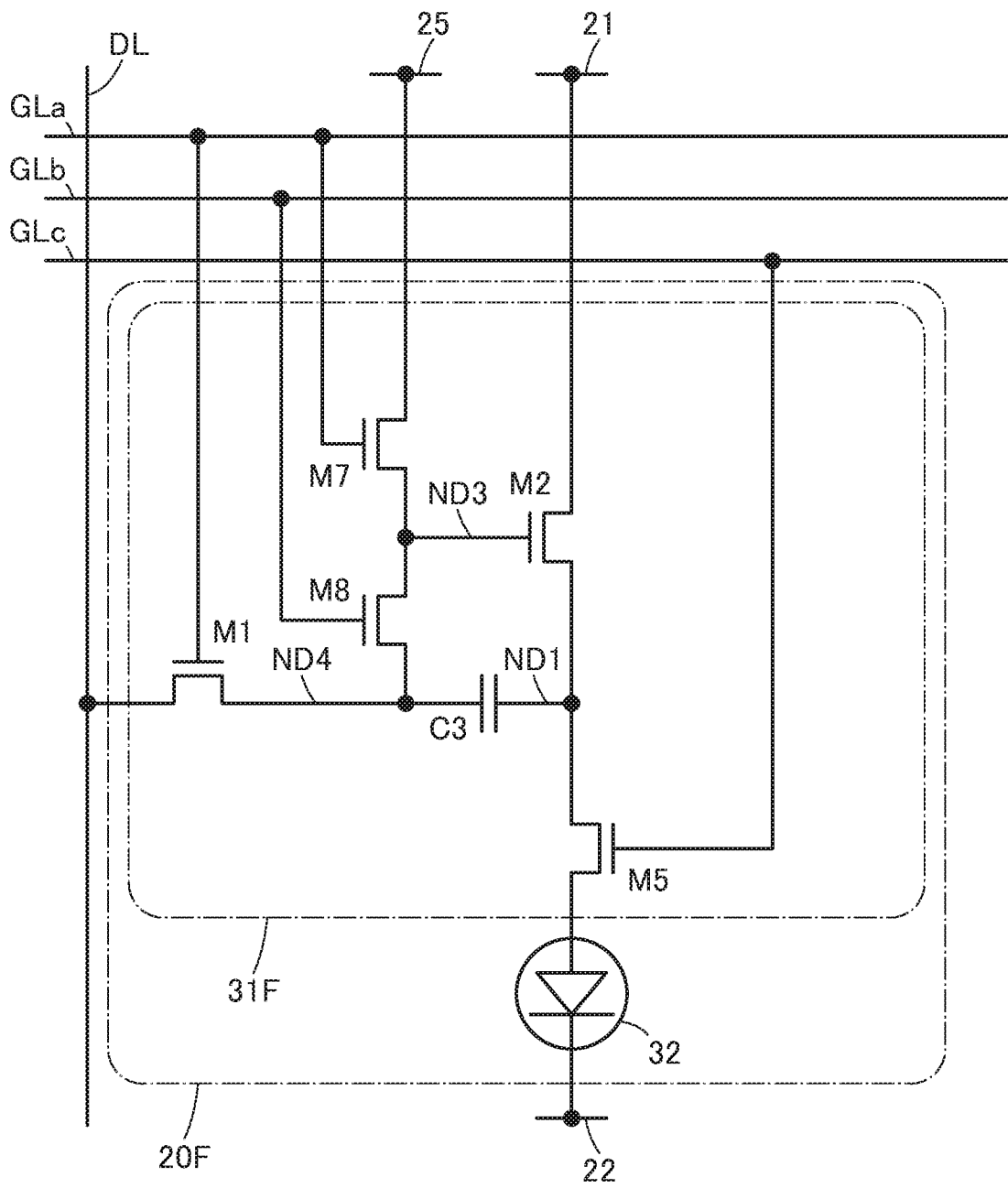


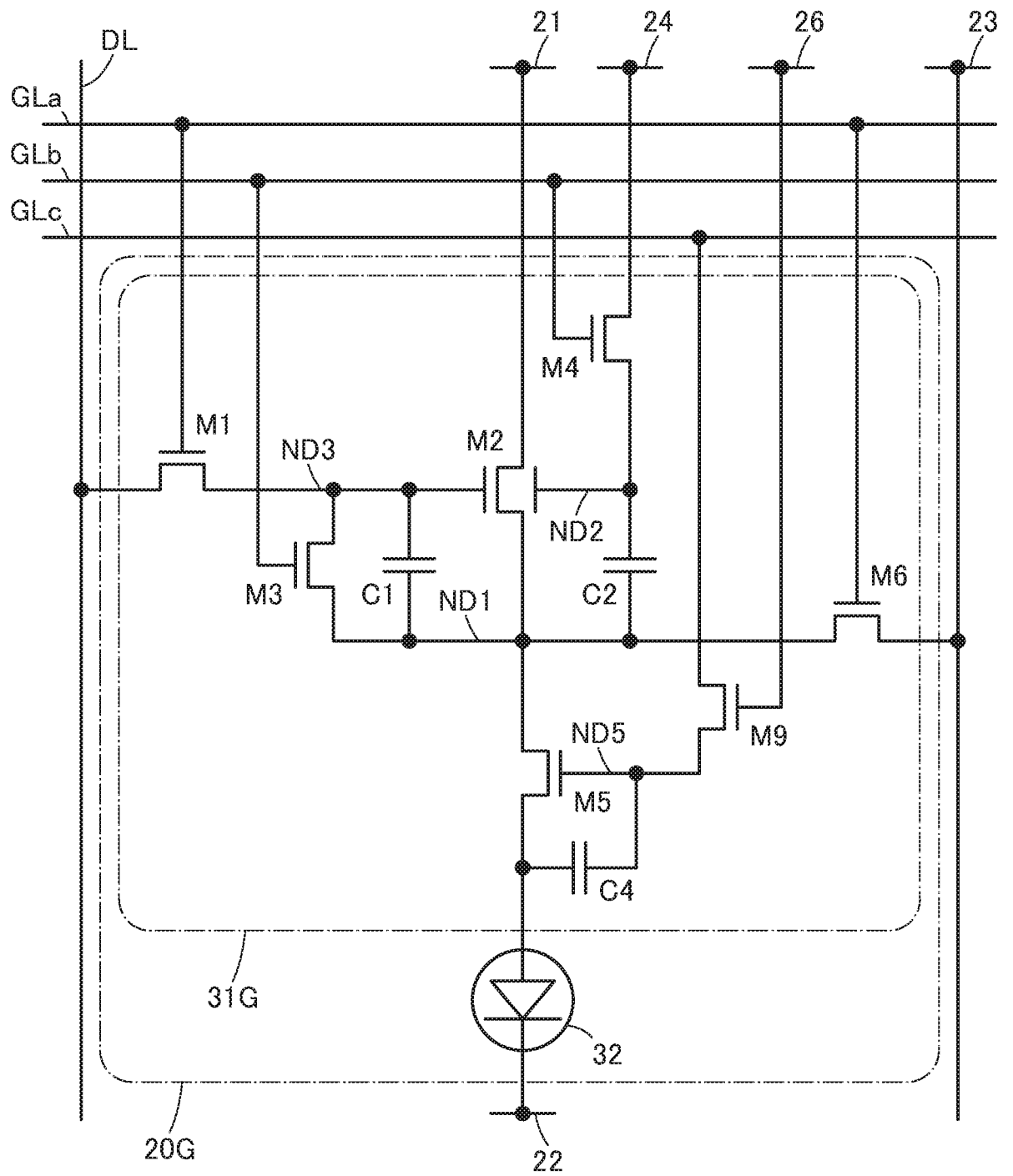


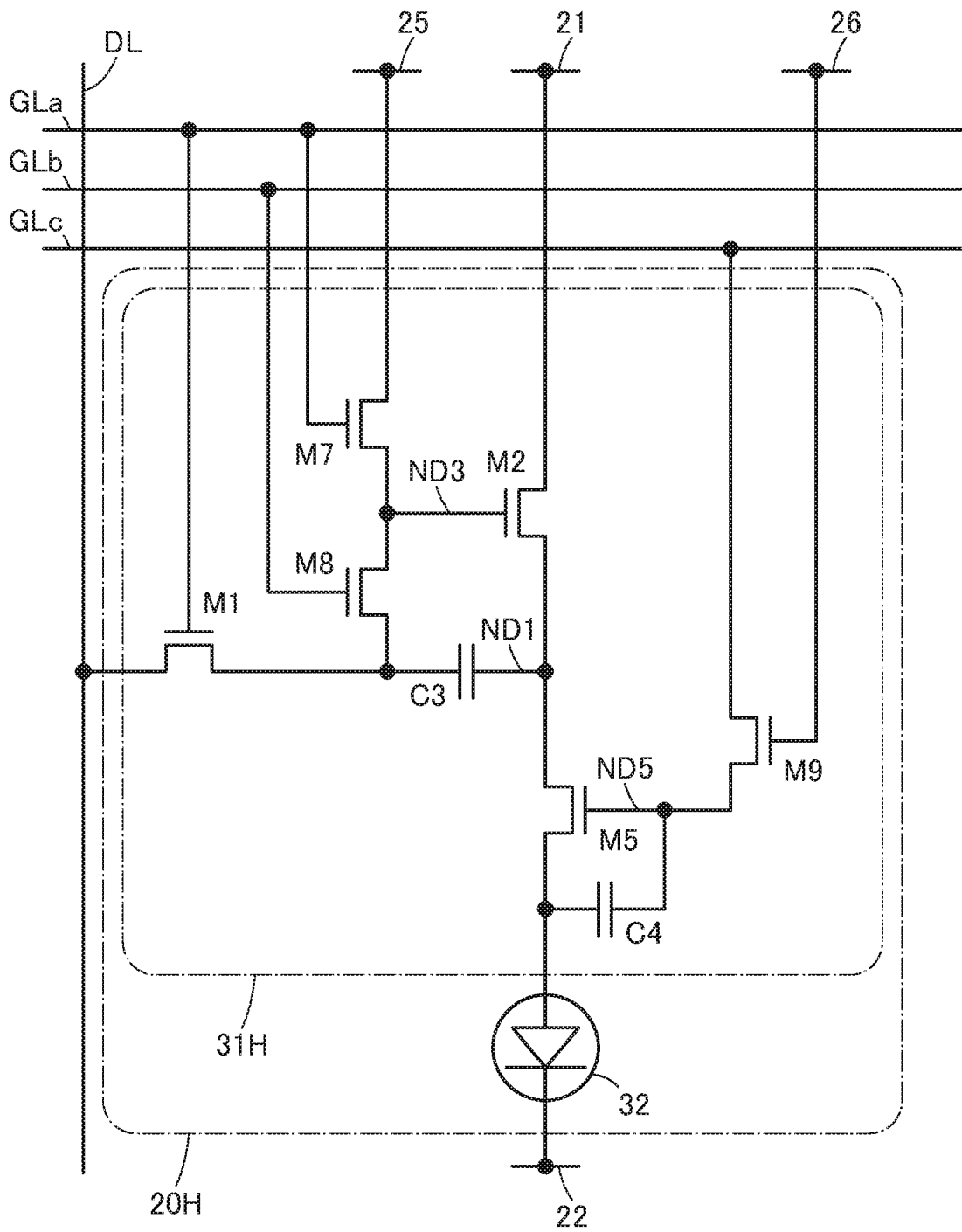


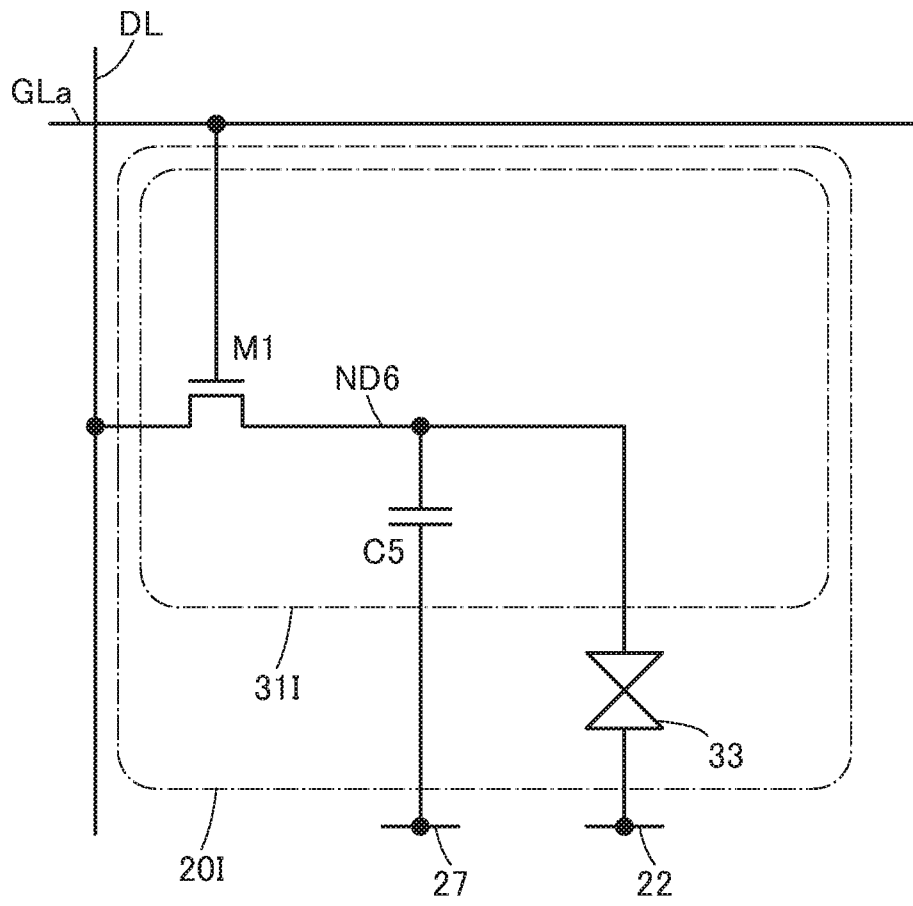


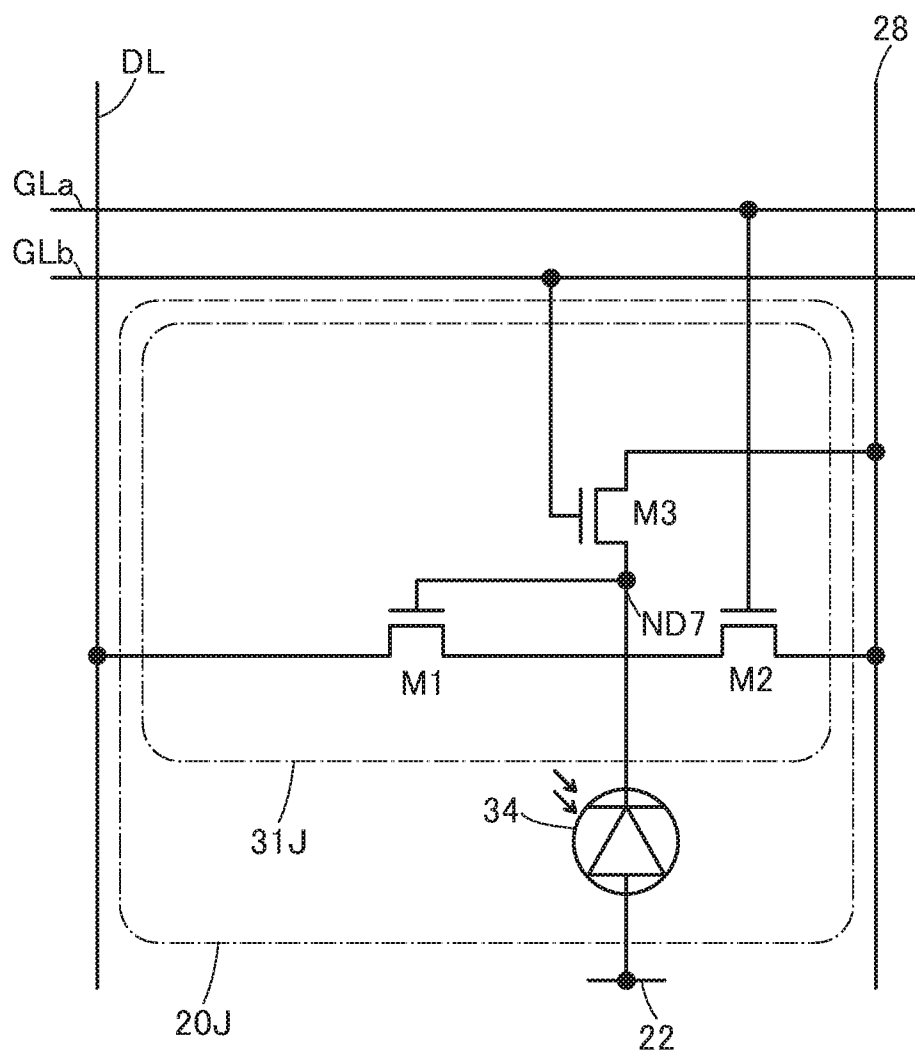


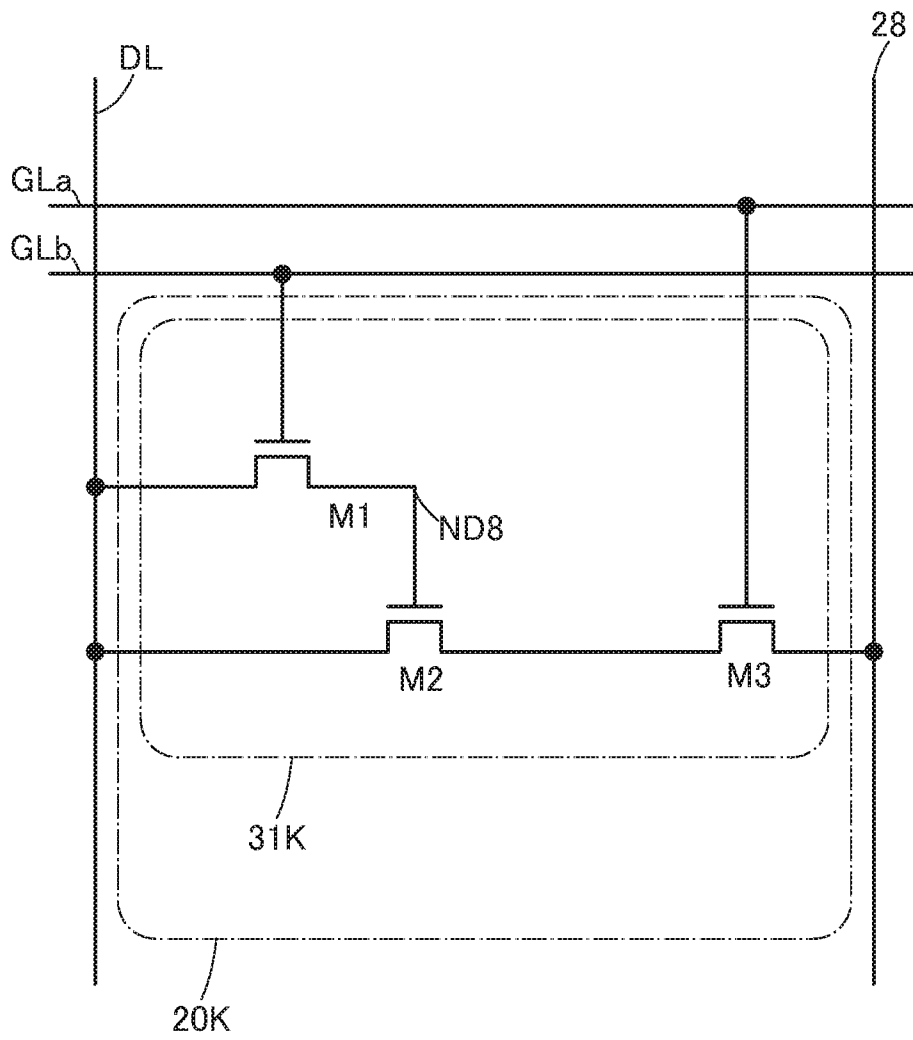






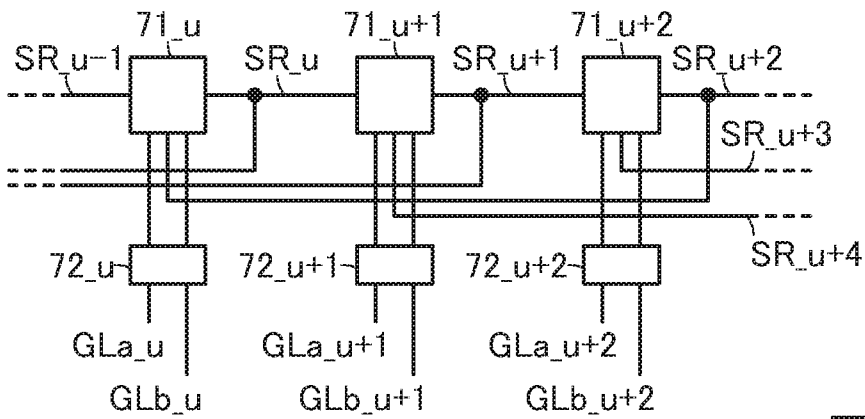




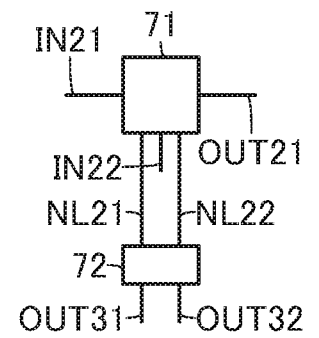


44A

70A



44C



44B

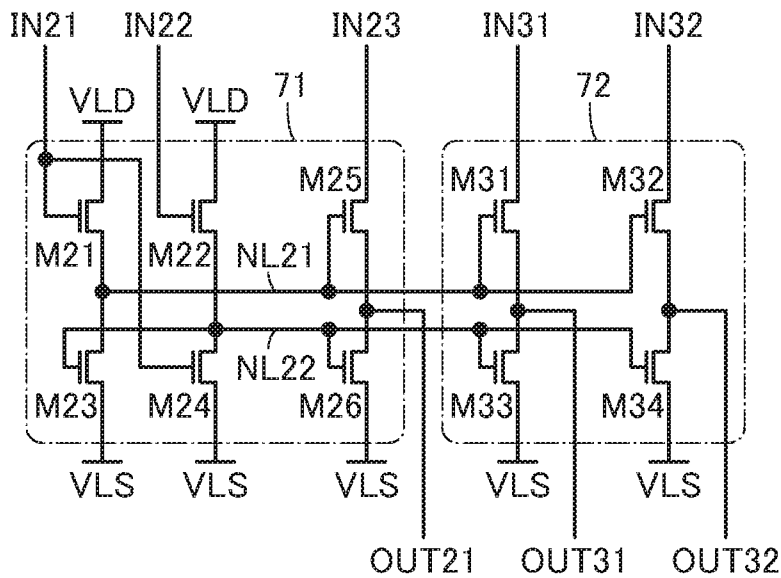
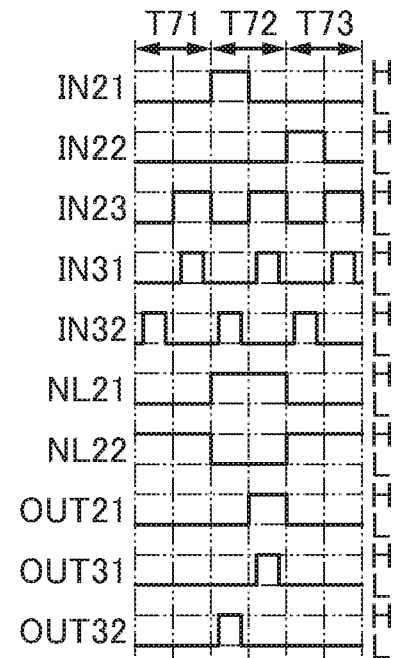


图 44D



44E

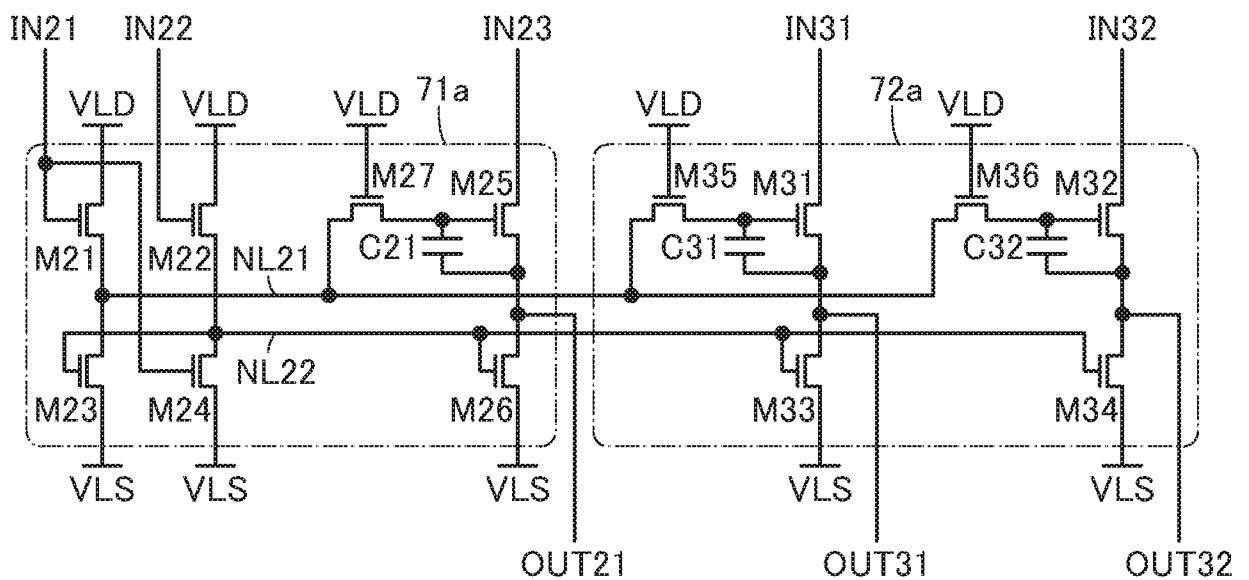


図45A
70B

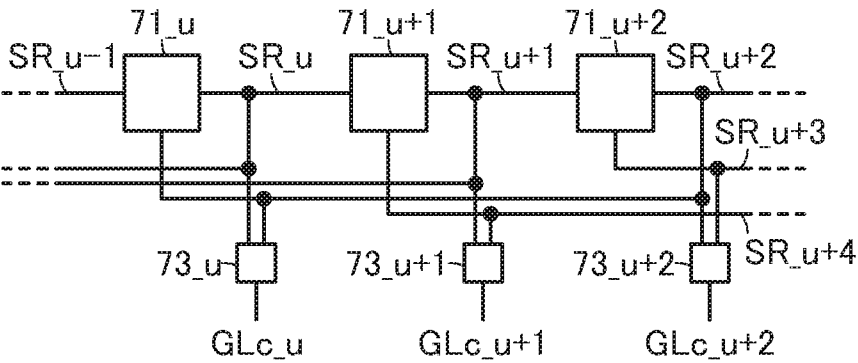


図45C

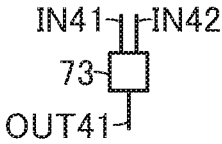


図45B

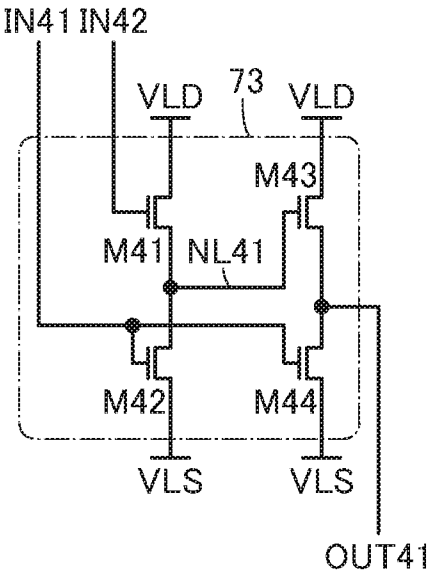


図45D

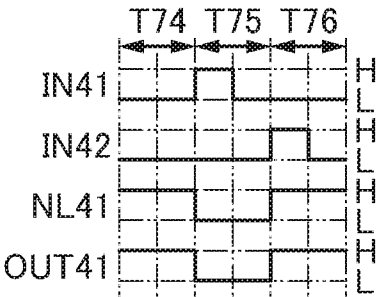


図45E

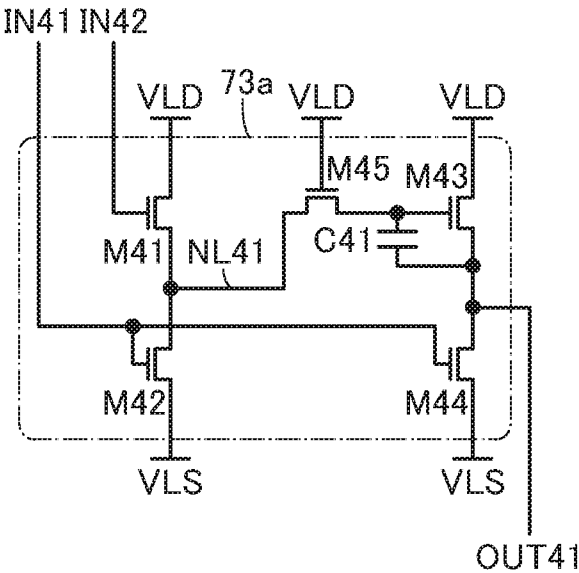


図46A
80

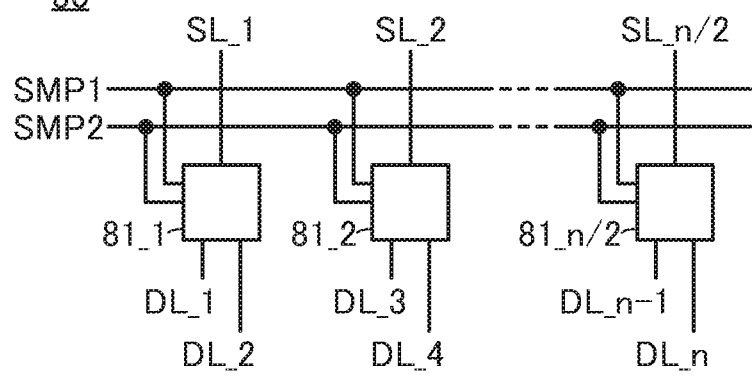


図46C

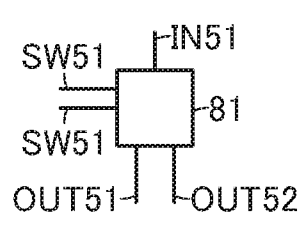
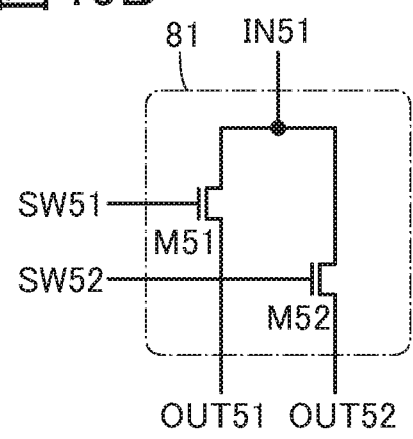


図46B



90

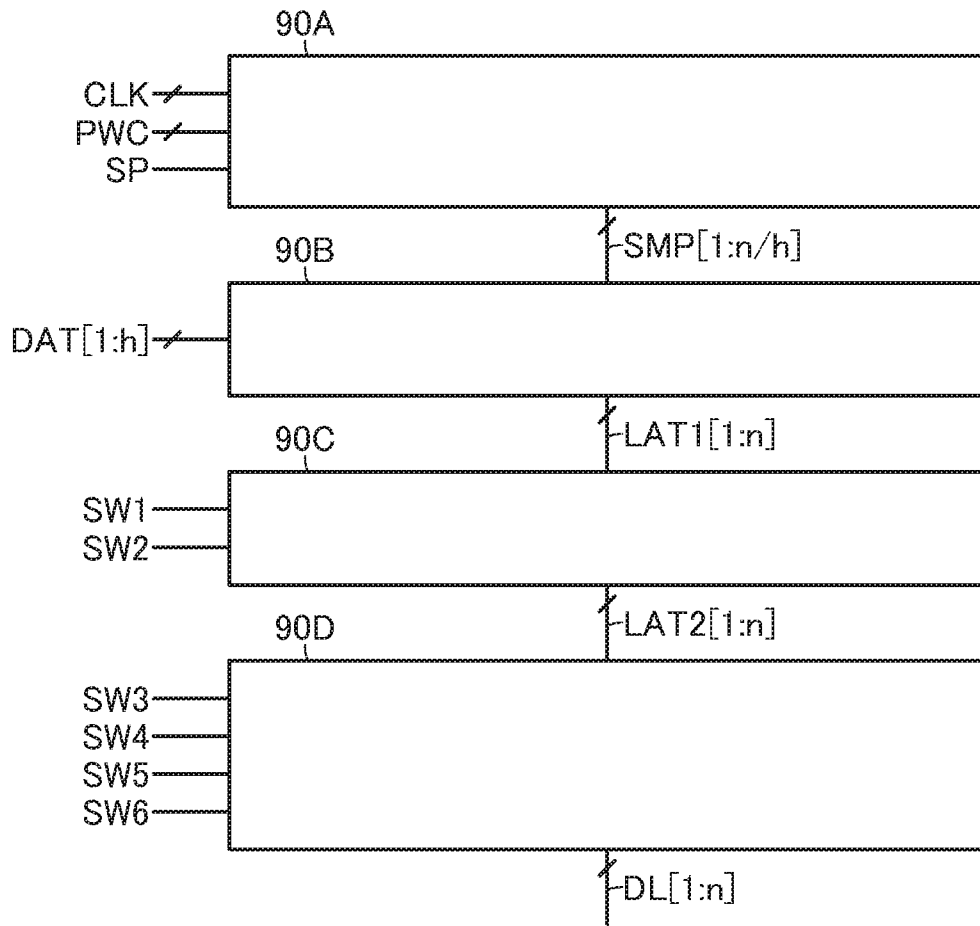


図48A

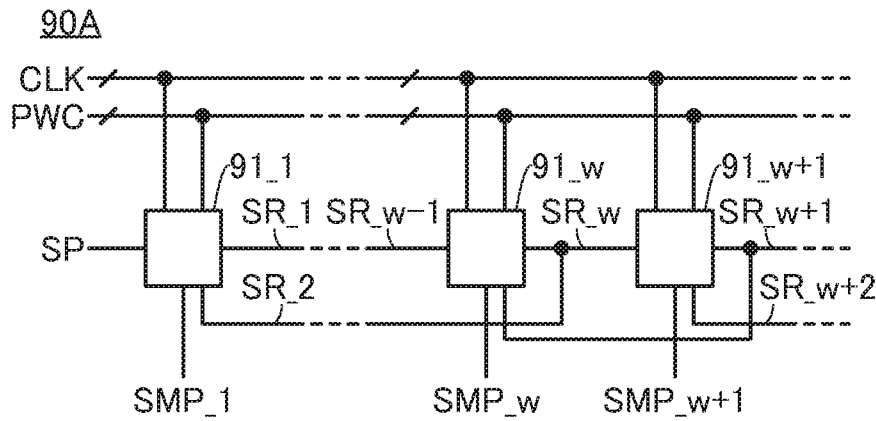


図48C

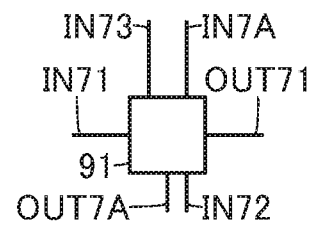


図48B

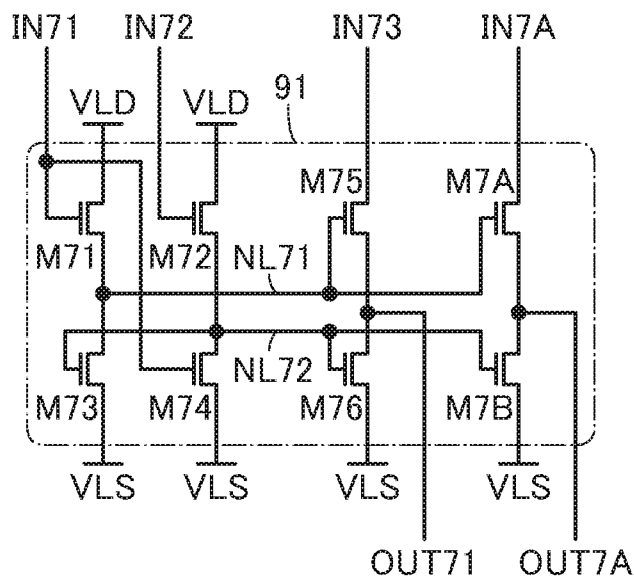


図48D

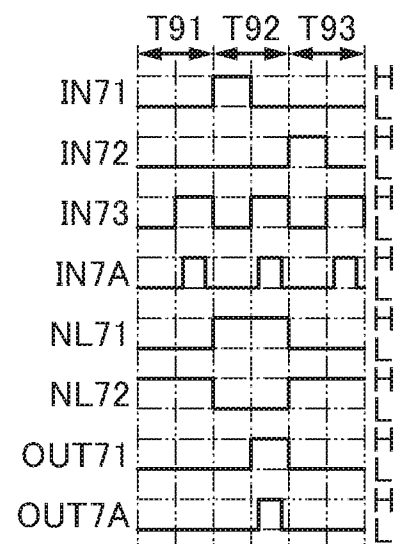
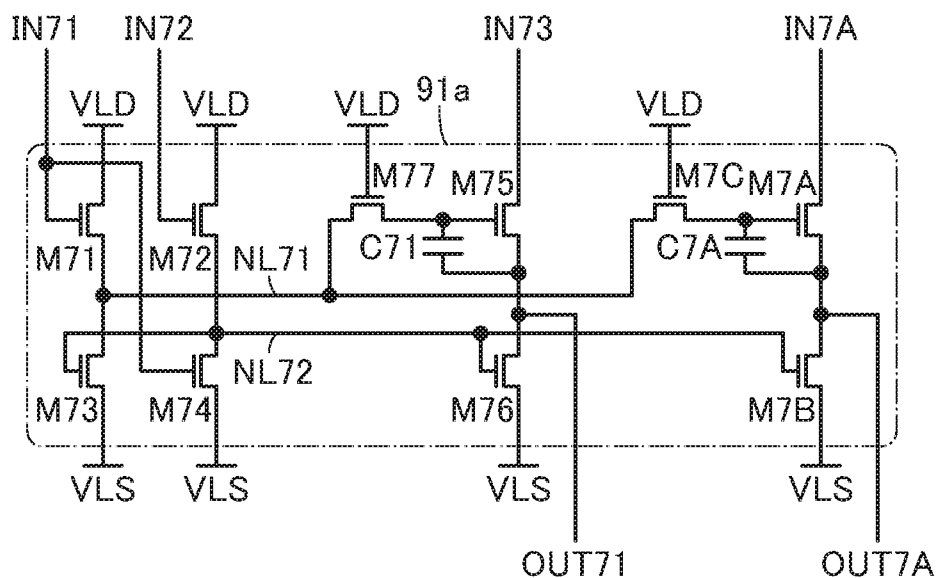


図48E



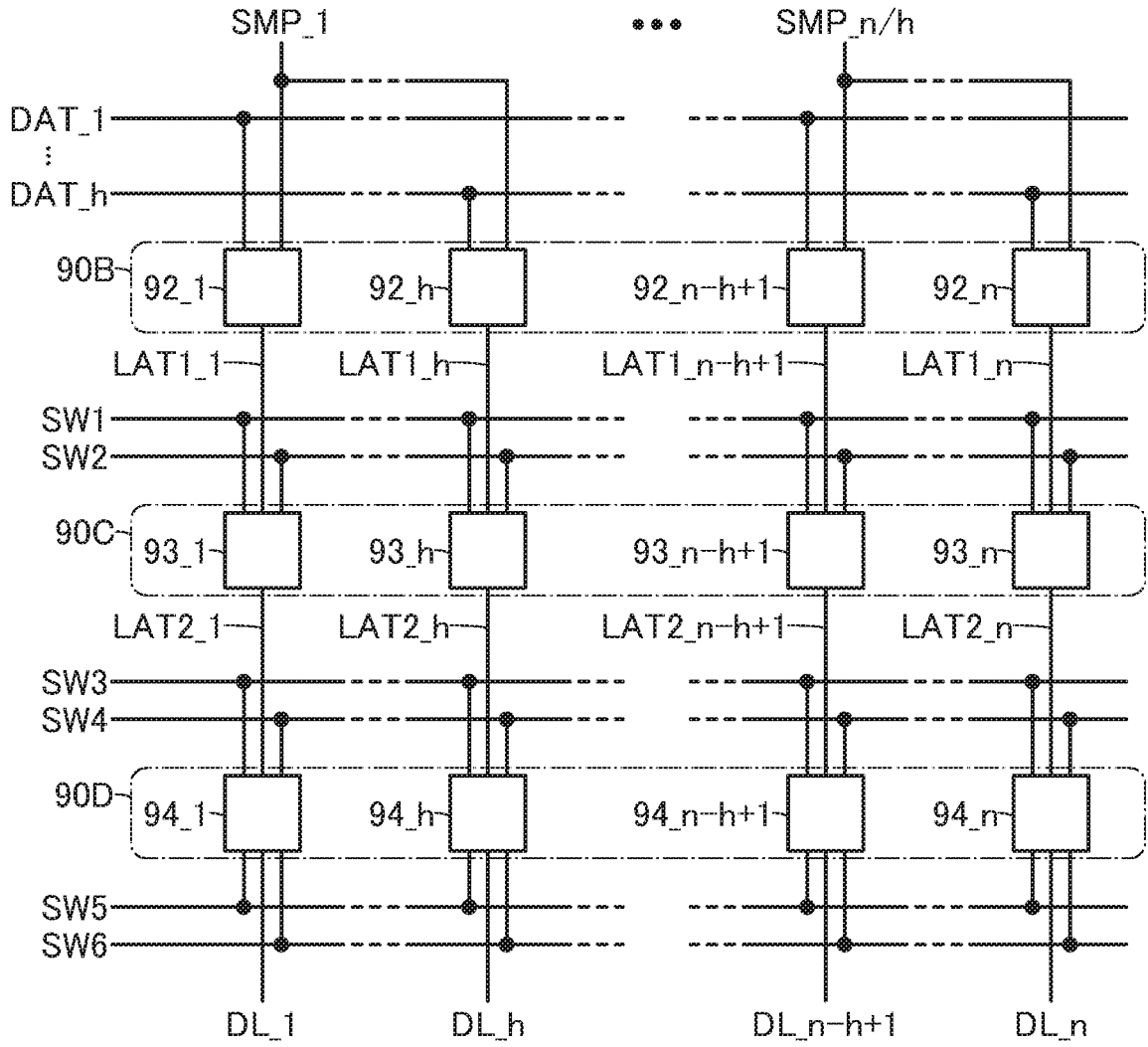


図50A

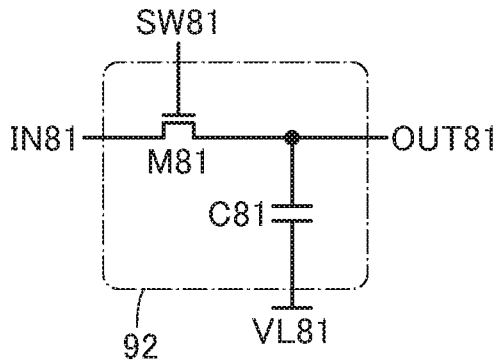


図50B

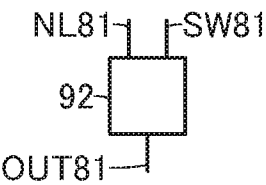


図50C

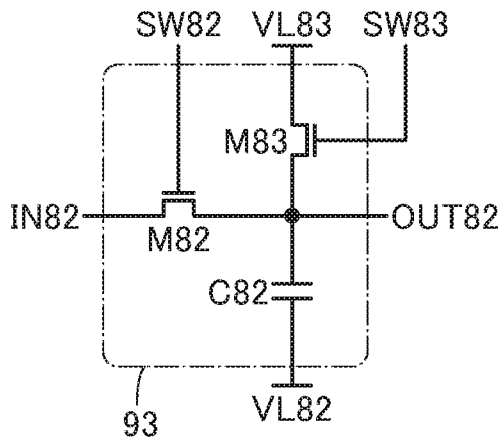


図50D

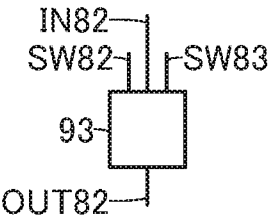


図50E

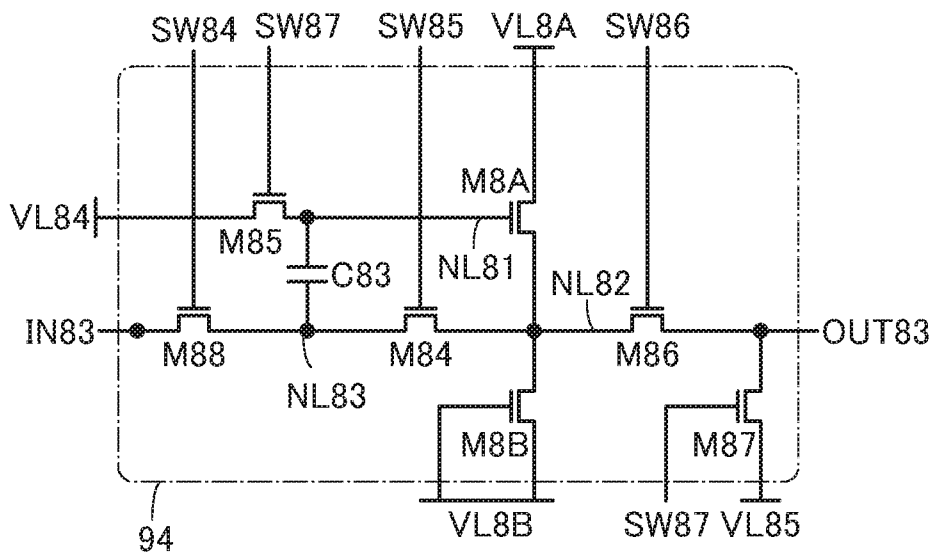
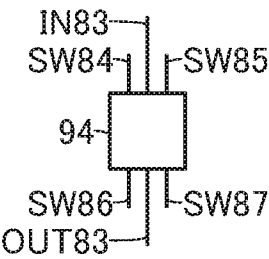


図50F



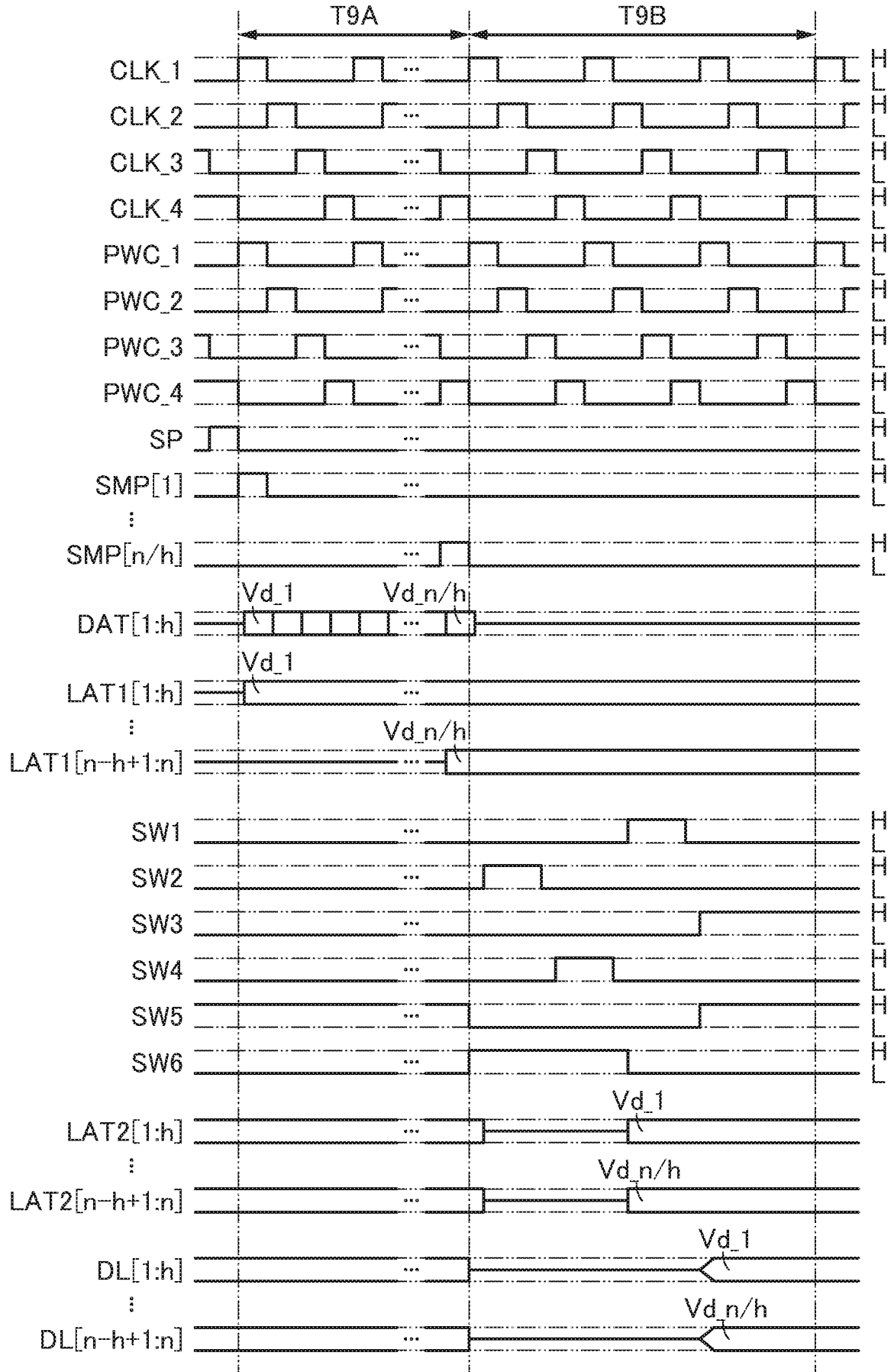


図52A

IrA

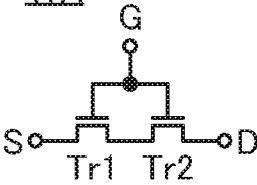


図52B

IrB

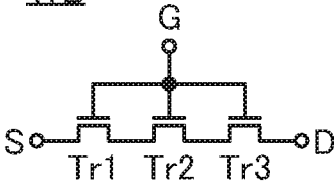
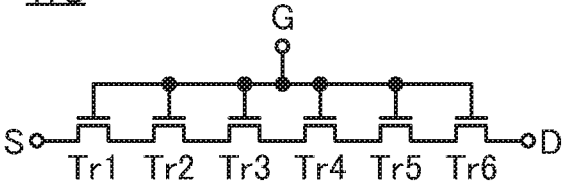


図52C

IrC



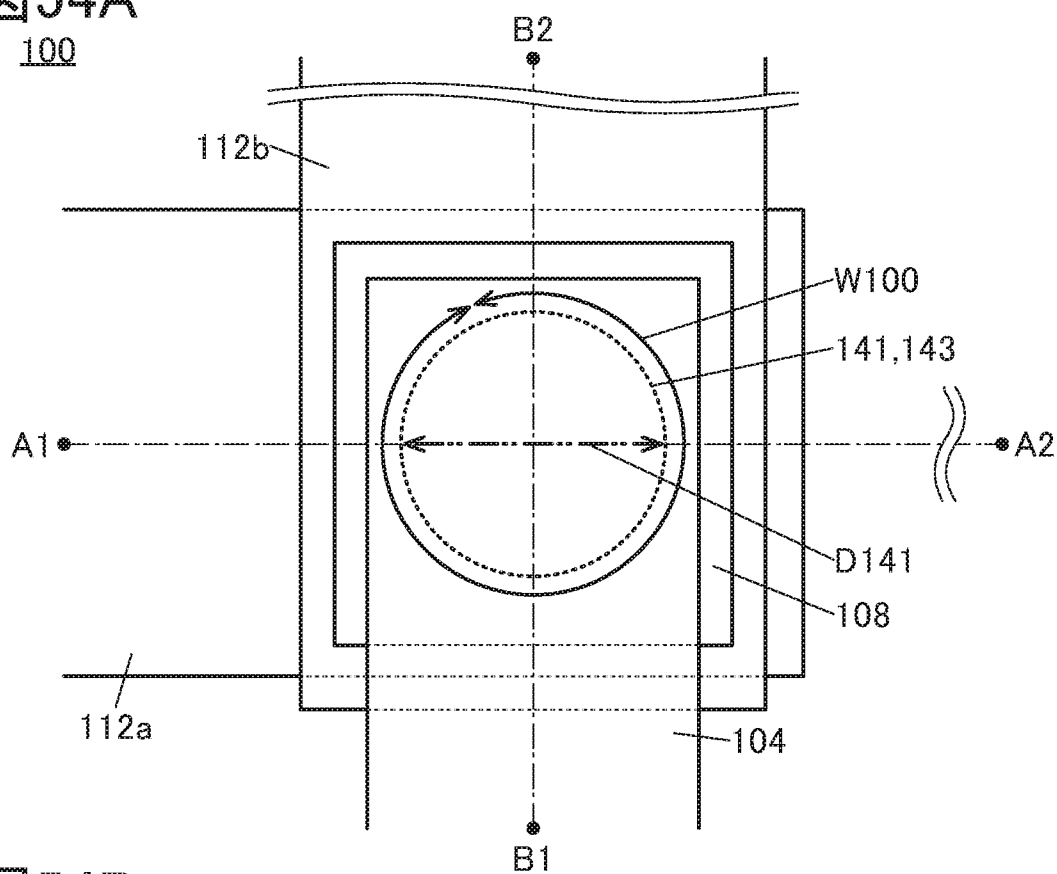
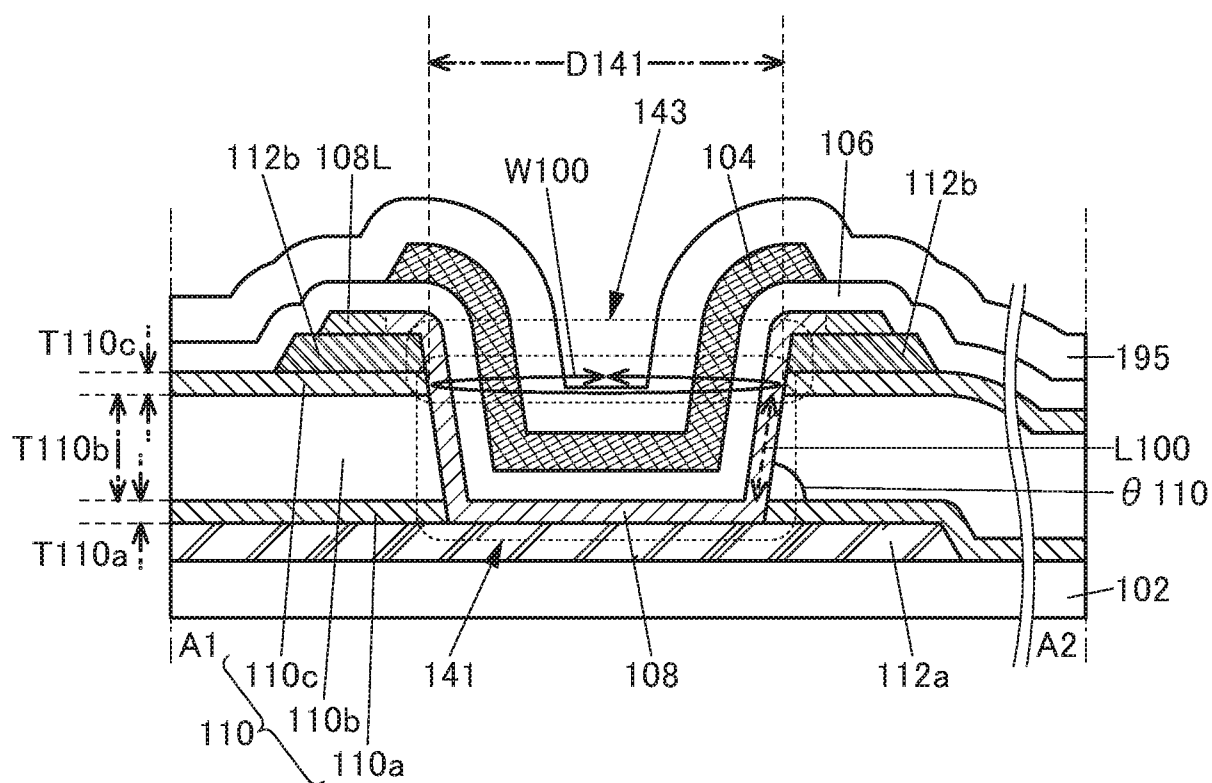


FIG. 54B



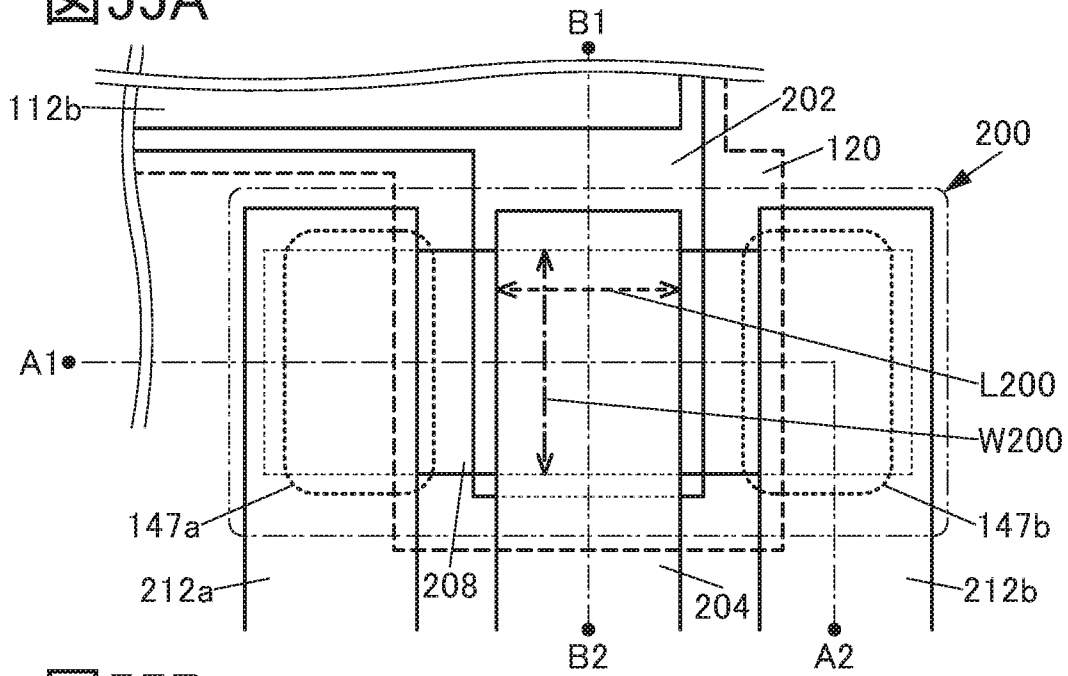


図55B

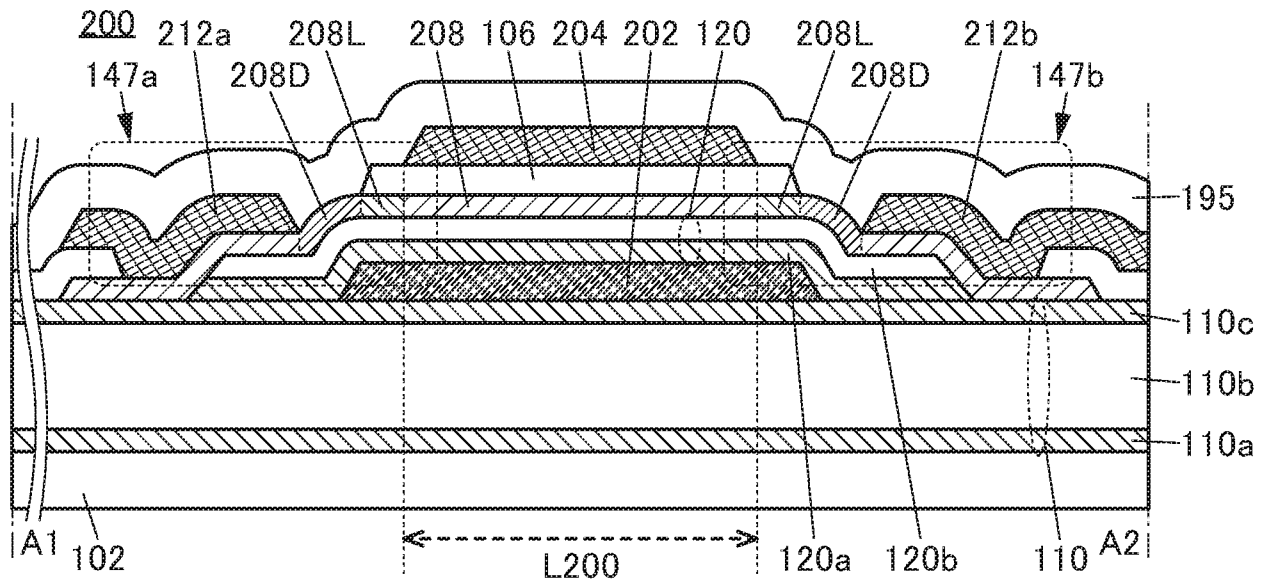
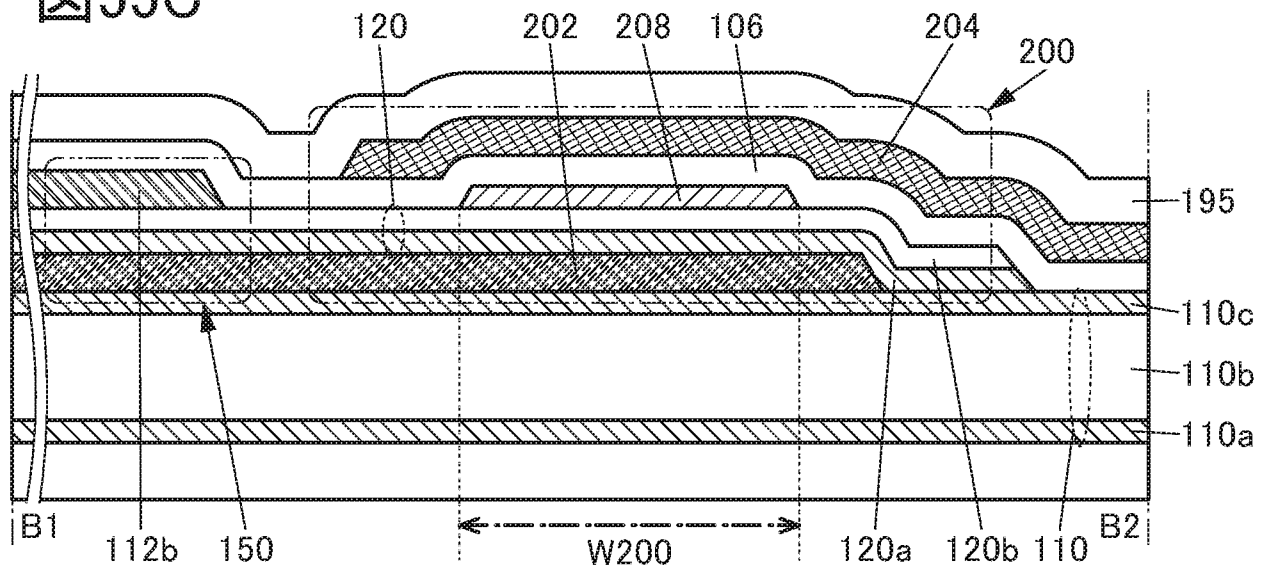


図55C



100A

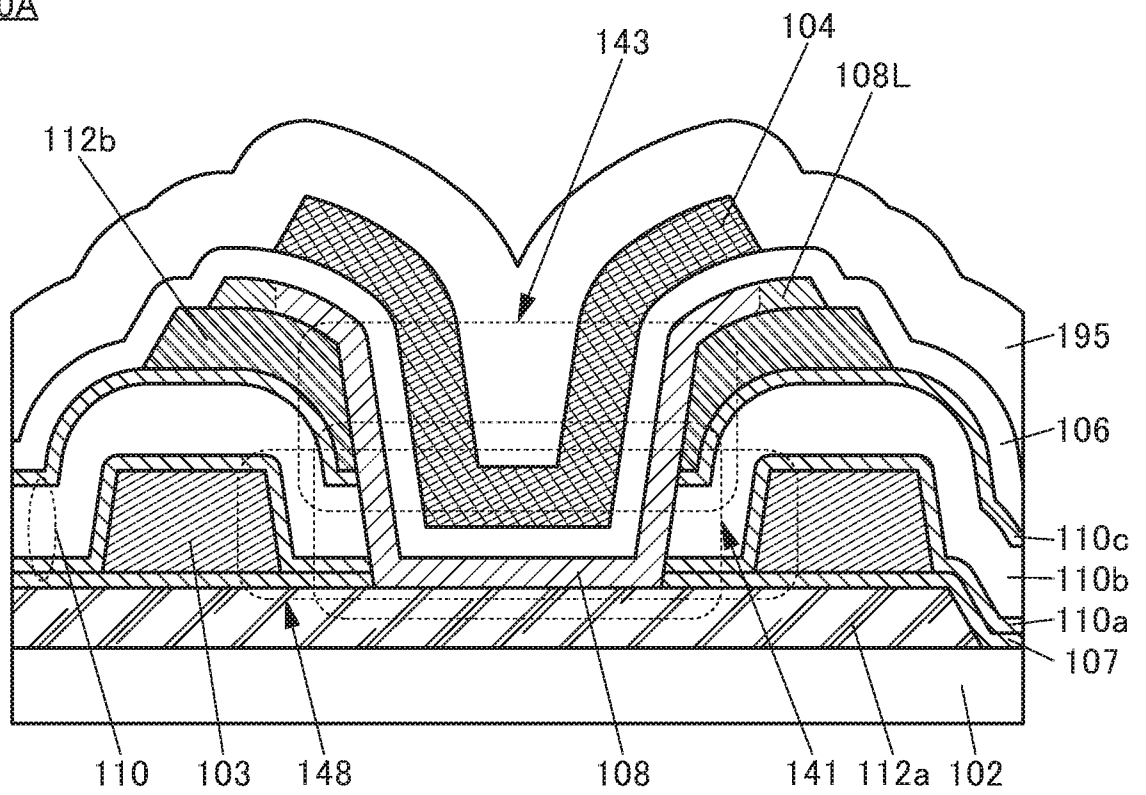


図57A

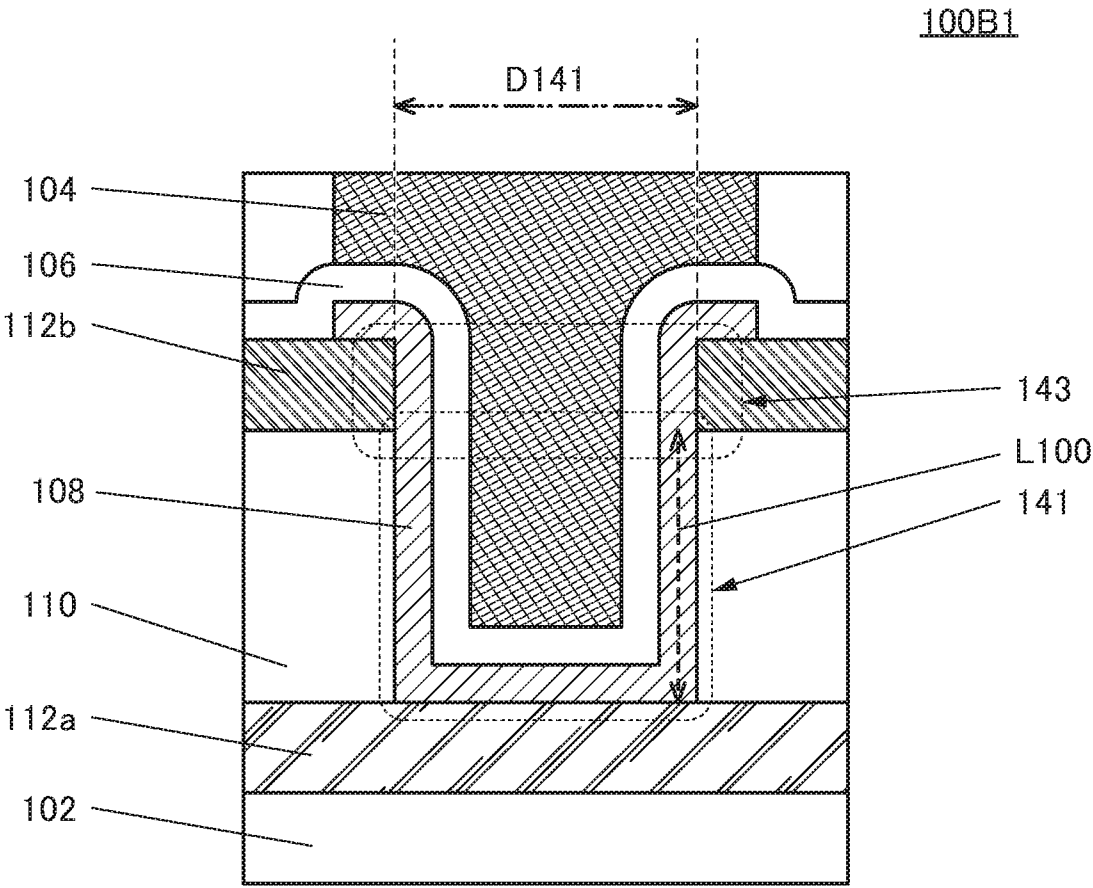


図57B

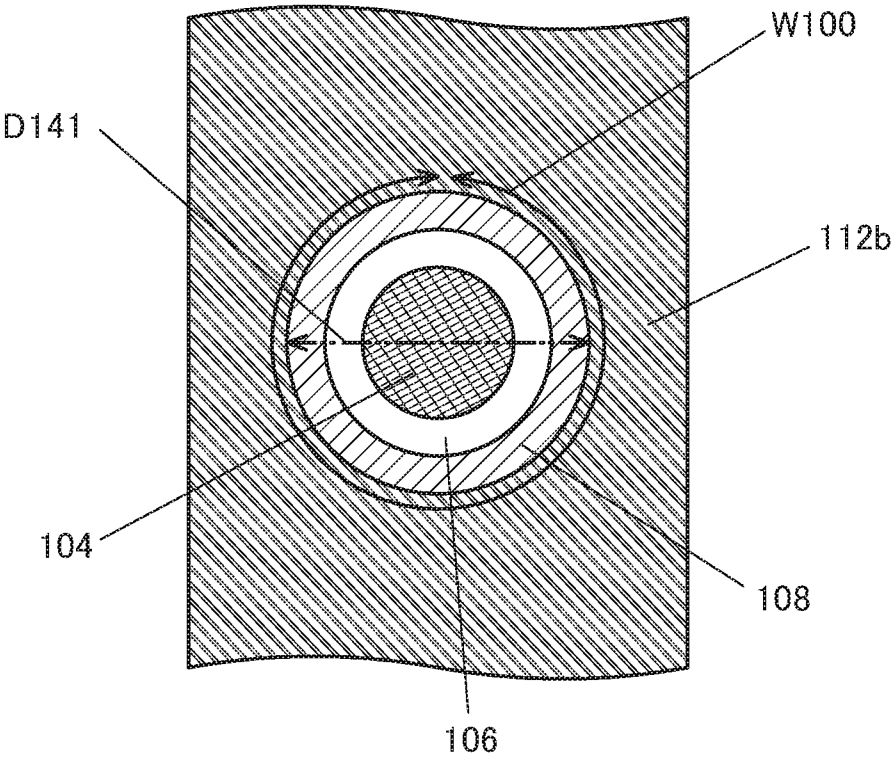
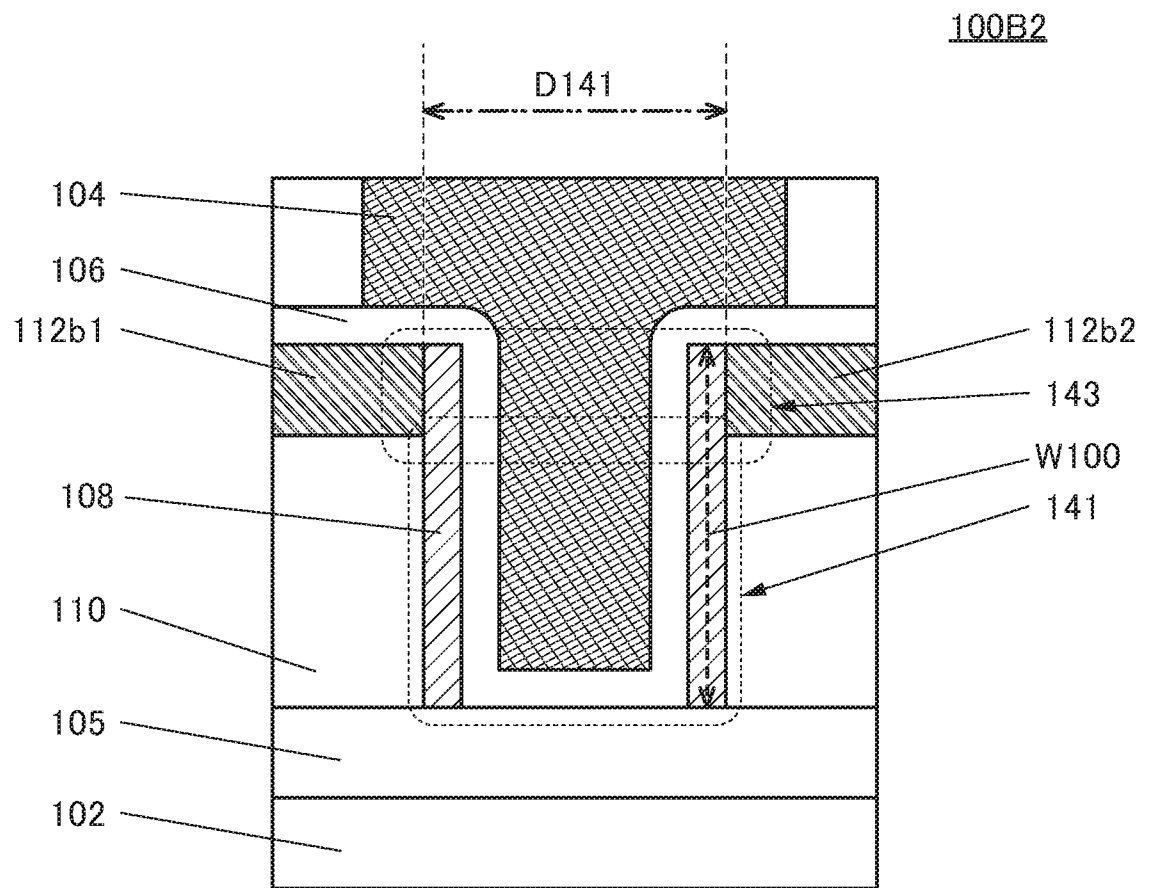


図 58A



58B

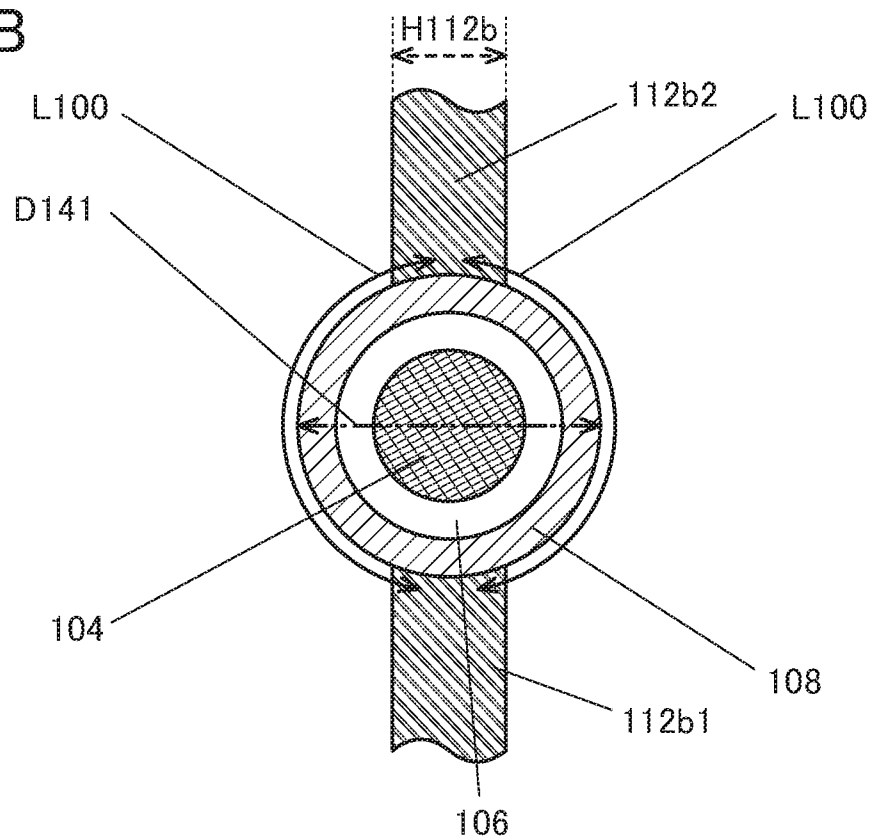


図59A

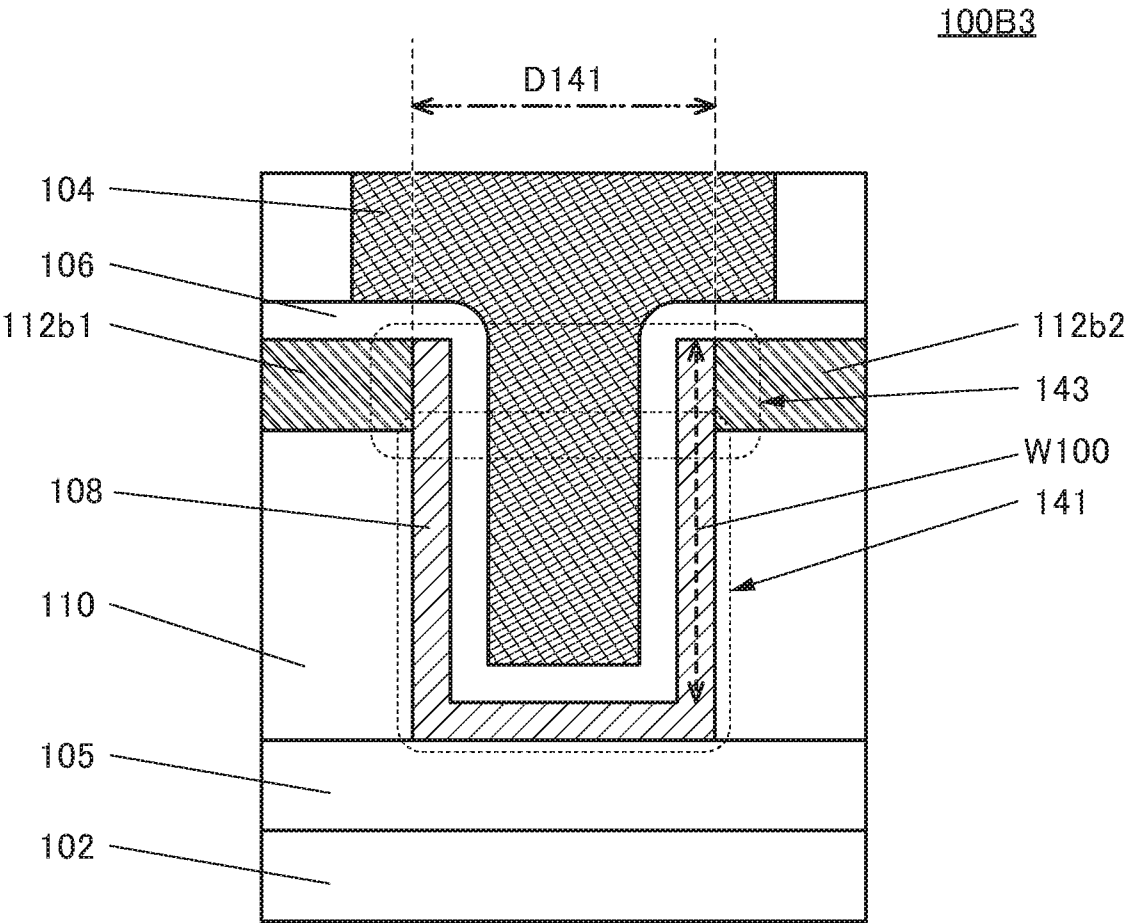
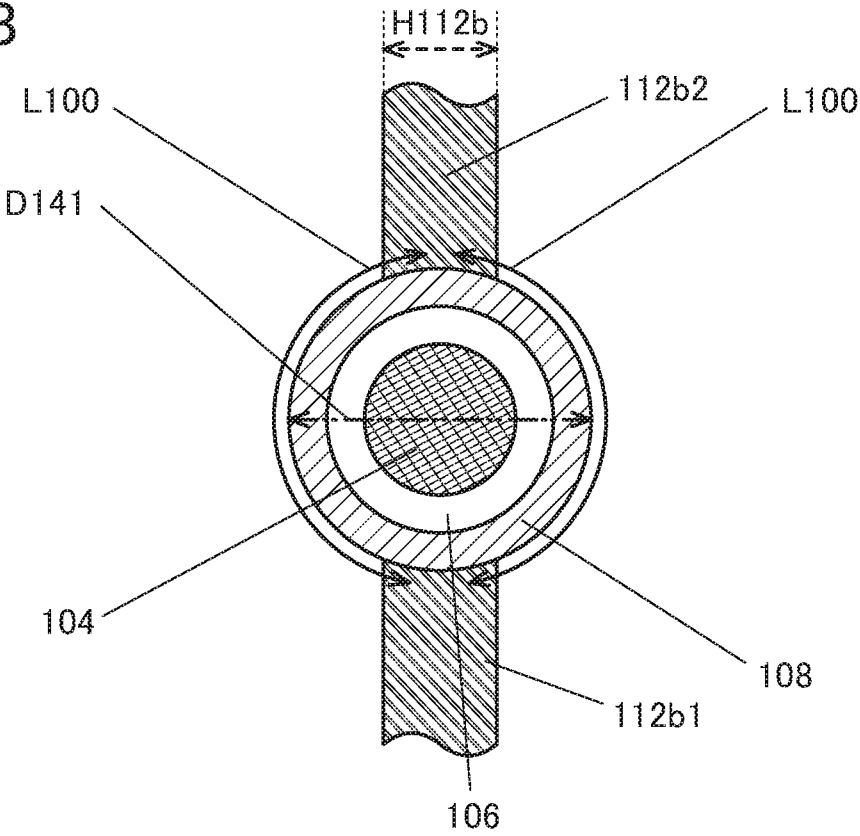


図59B



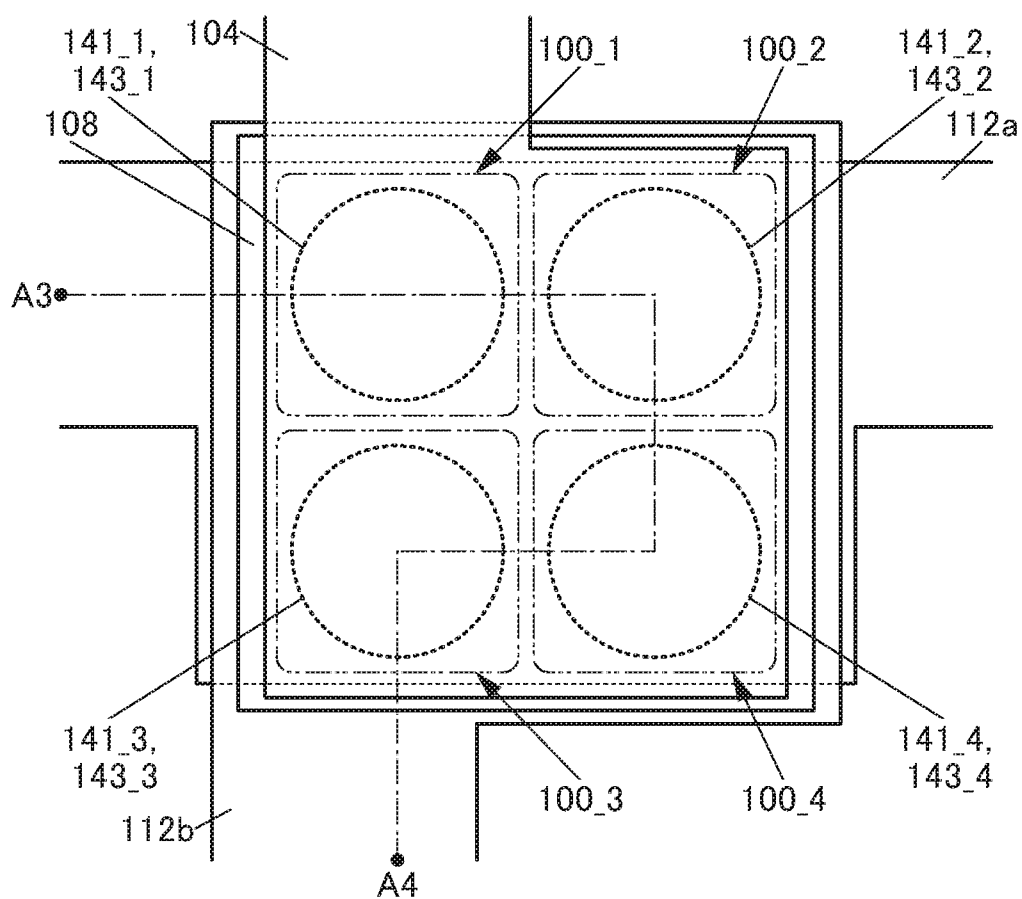
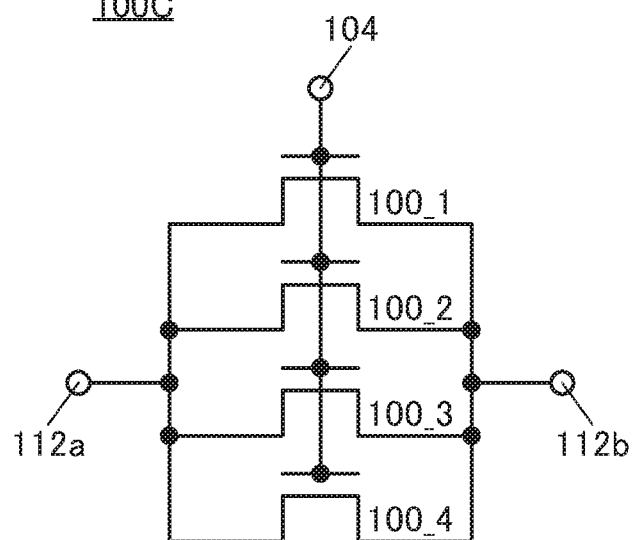
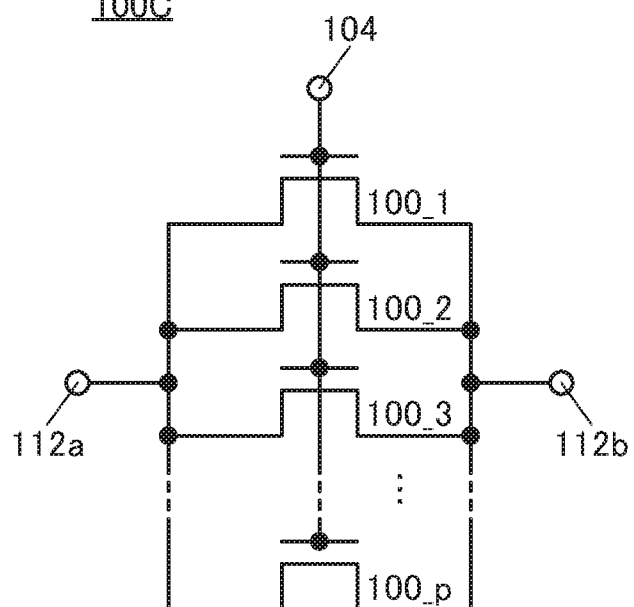
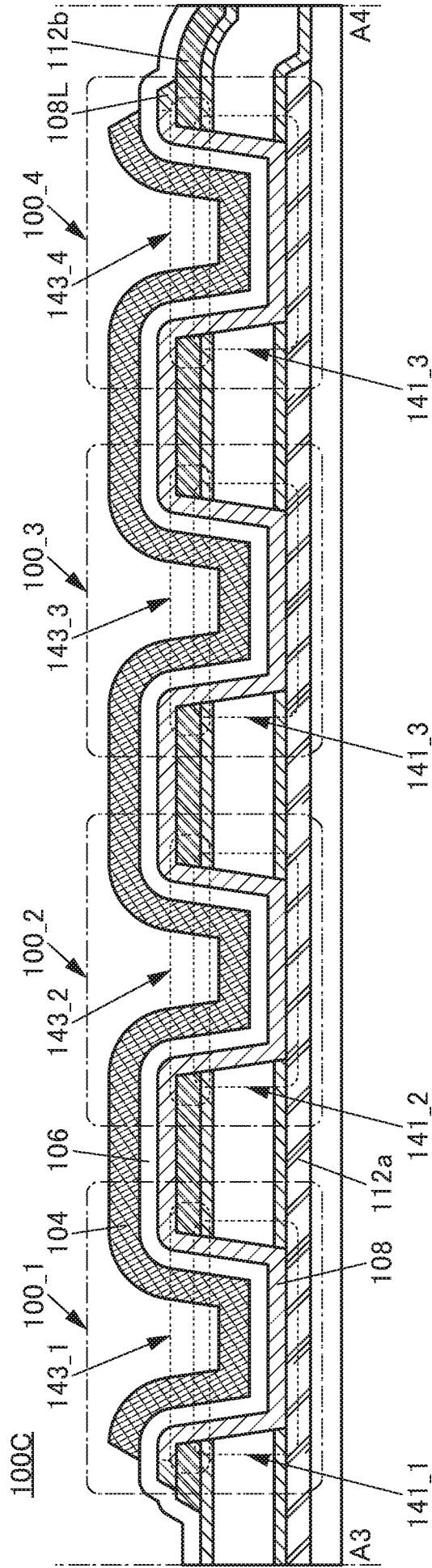


图61



63

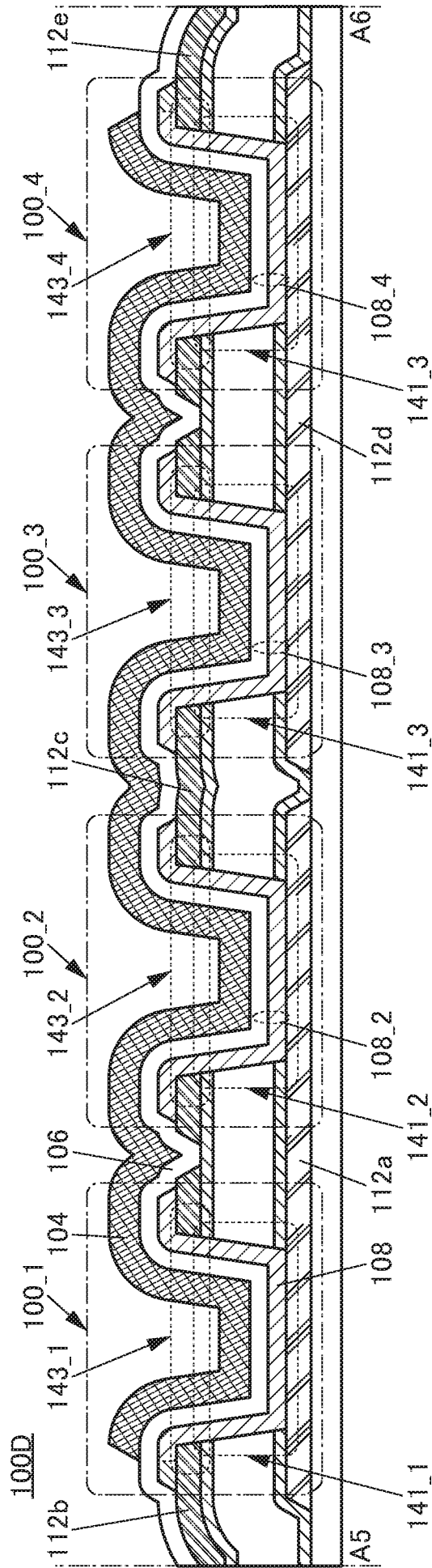


図64A
50A

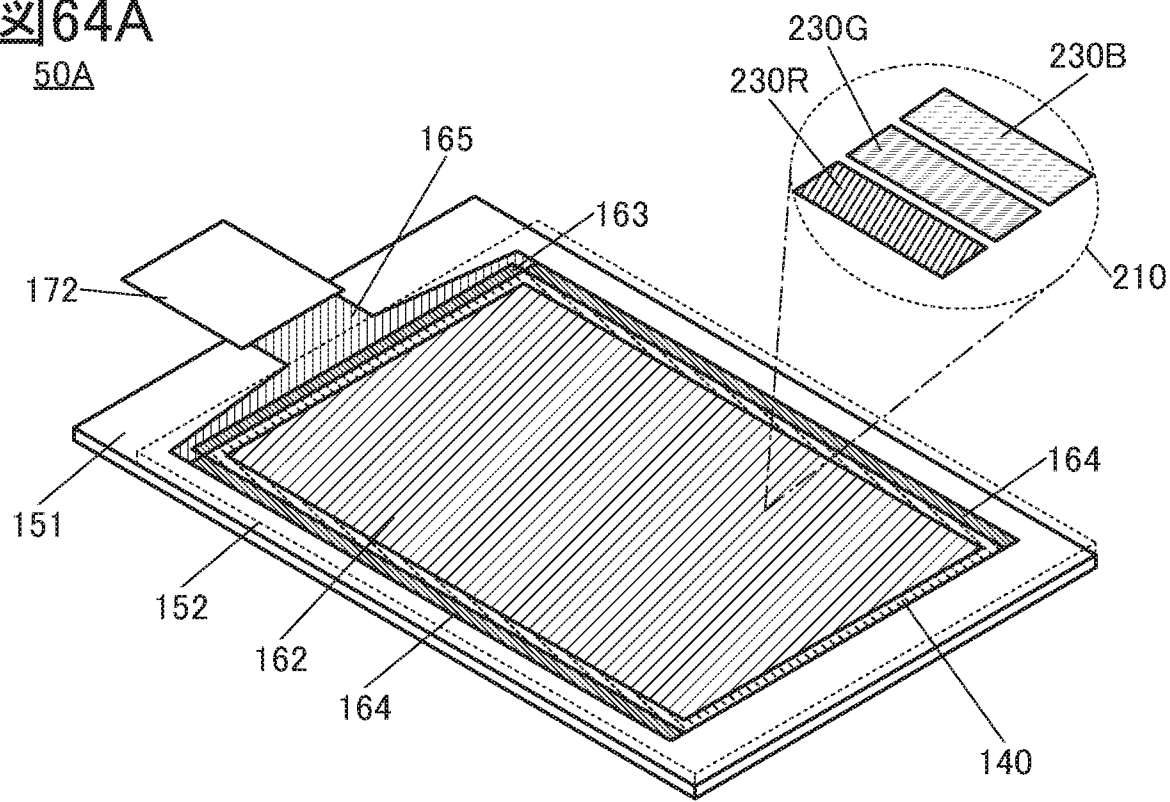


図64B

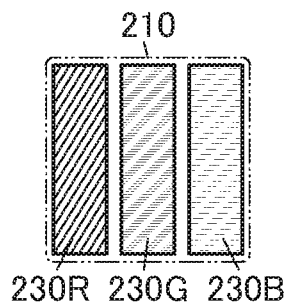


図64C

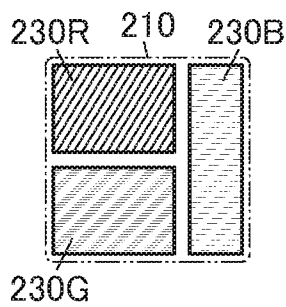


図64D

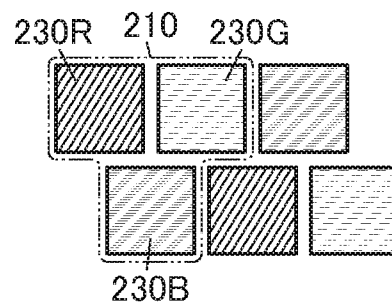


図64E

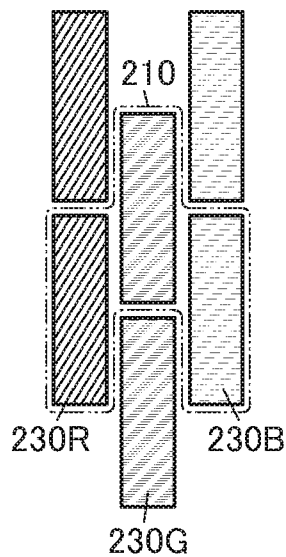
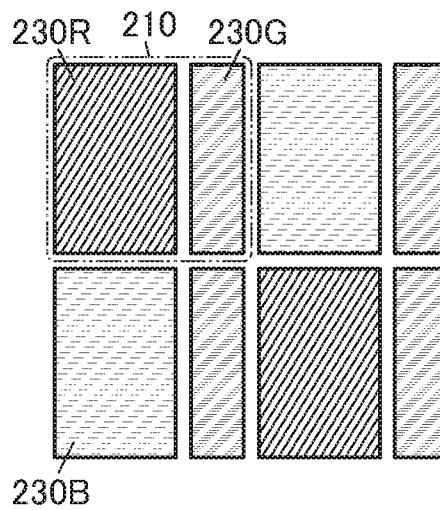
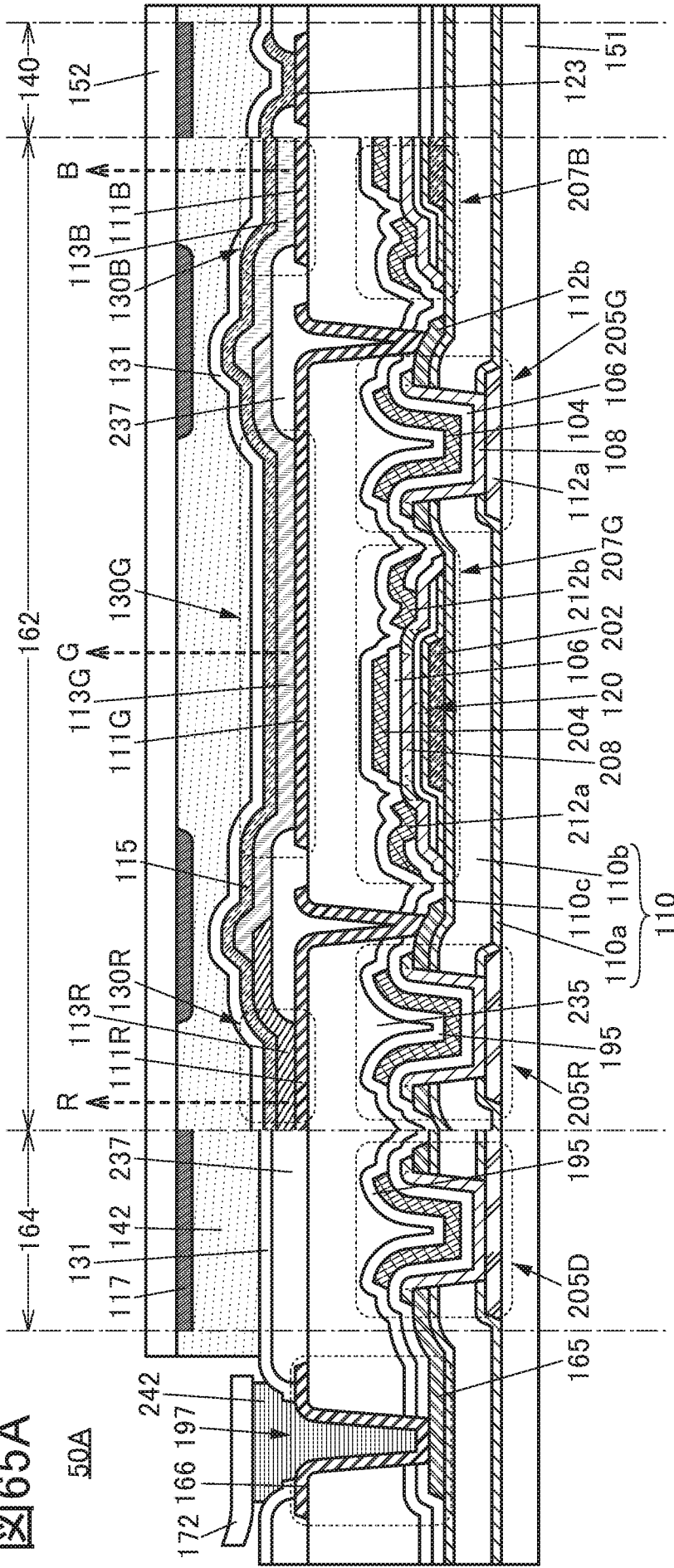


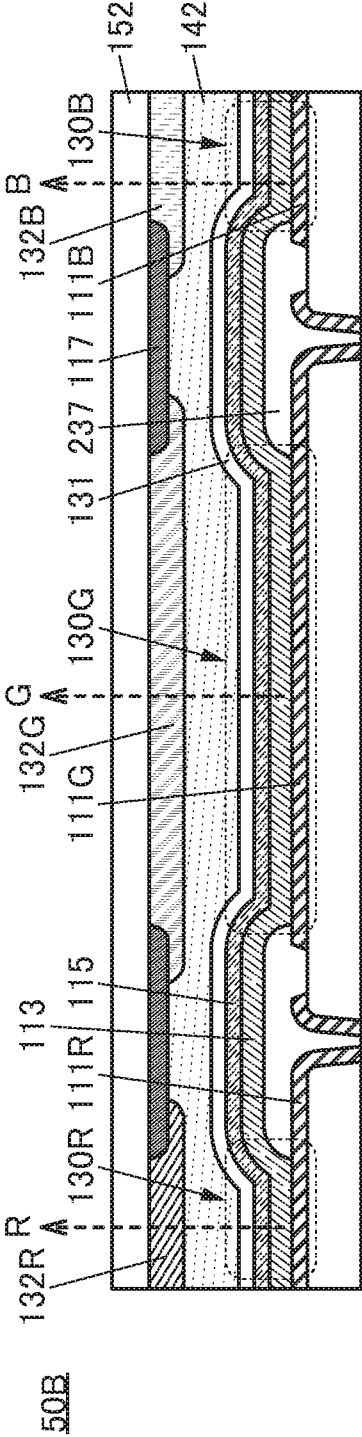
図64F



65A



65B



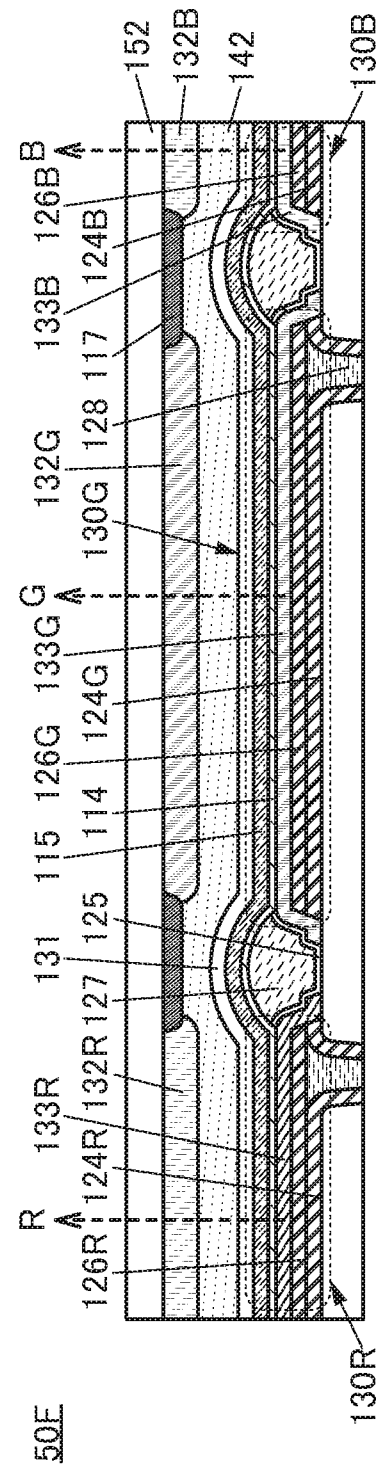
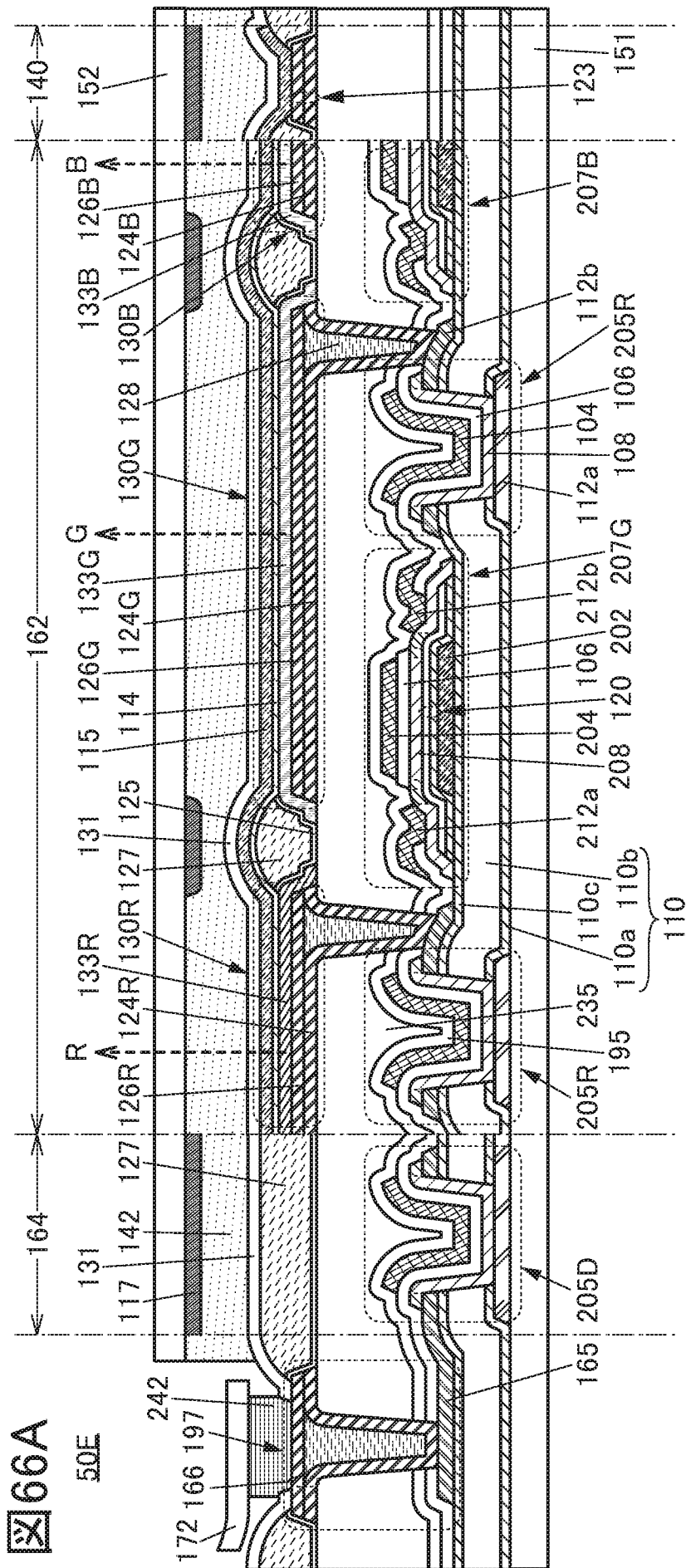


図67A

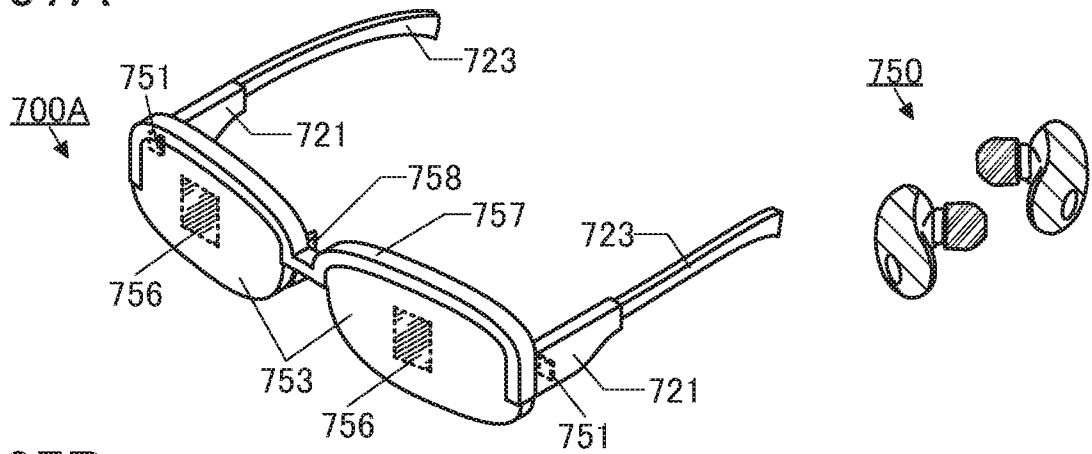


図67B

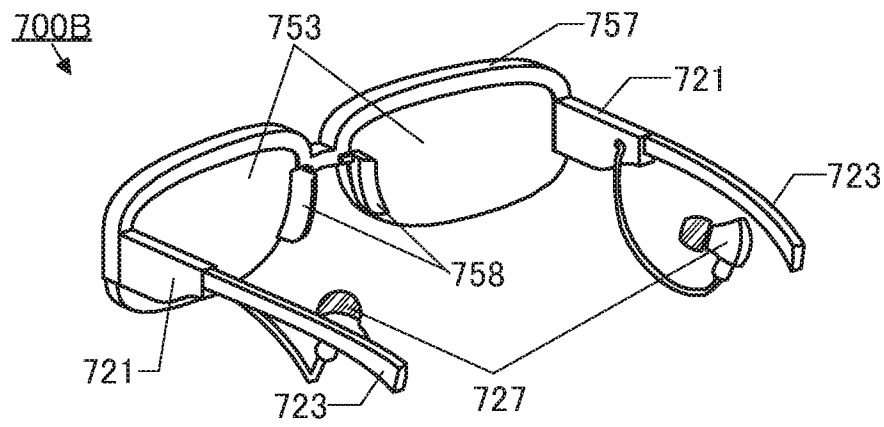


図67C

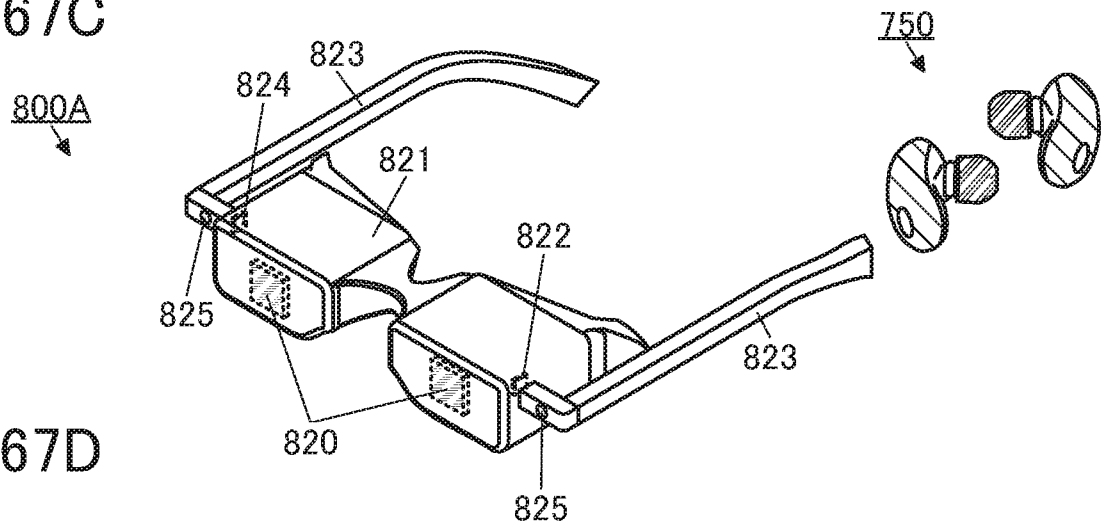
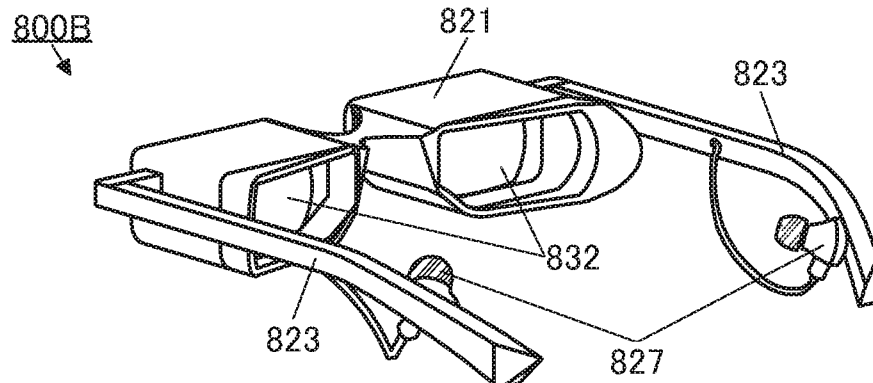
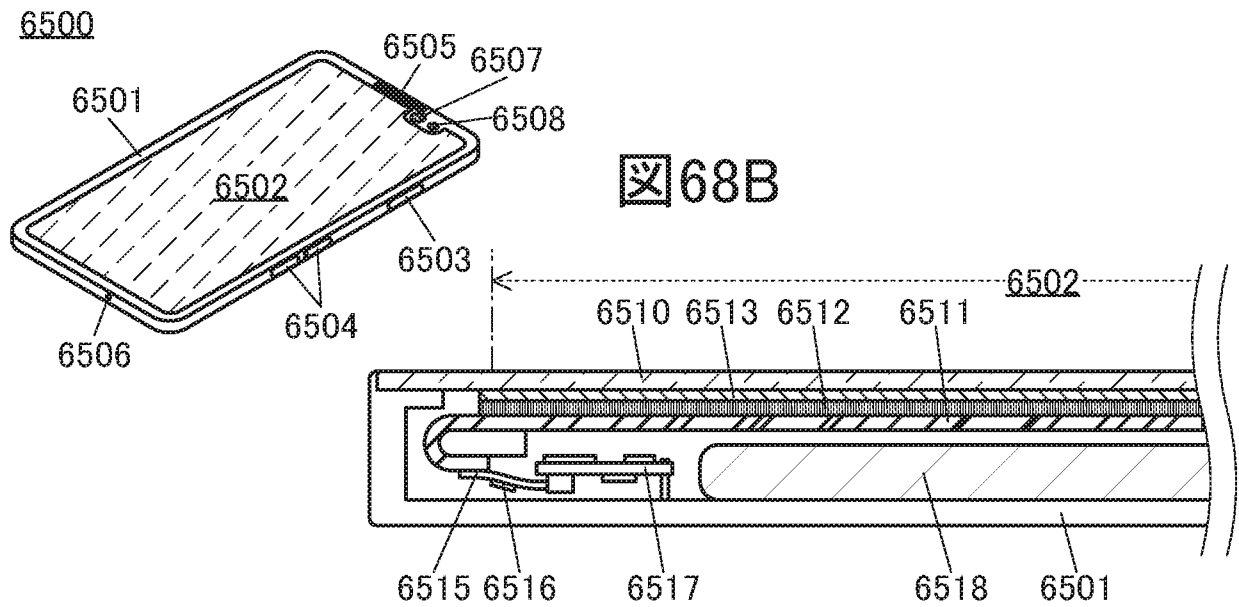
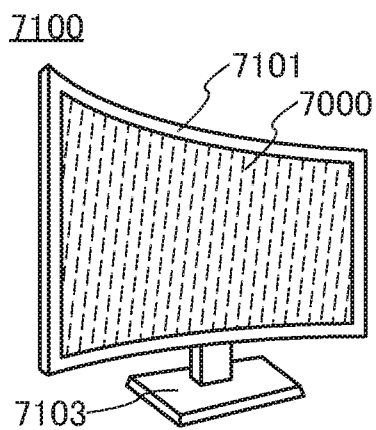


図67D

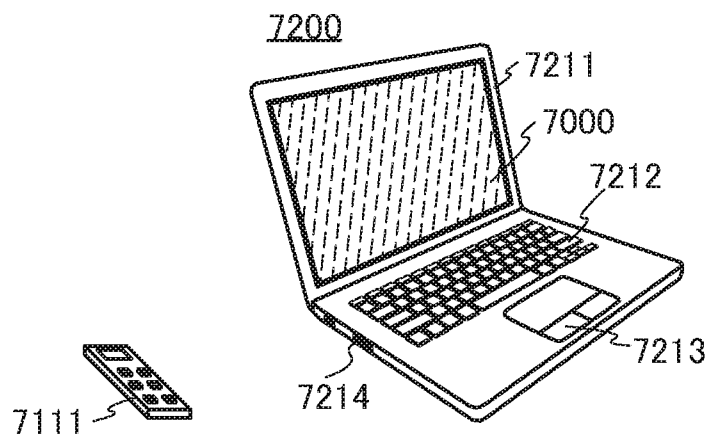




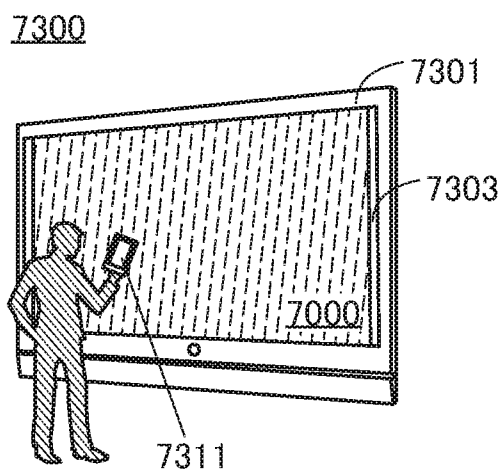
 68C



 68D



 68E



 68F

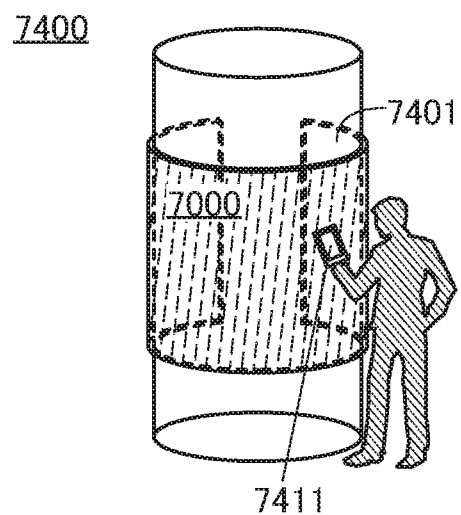


图 69A

9101

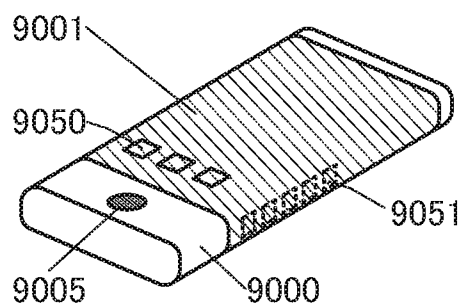


图 69D

9200

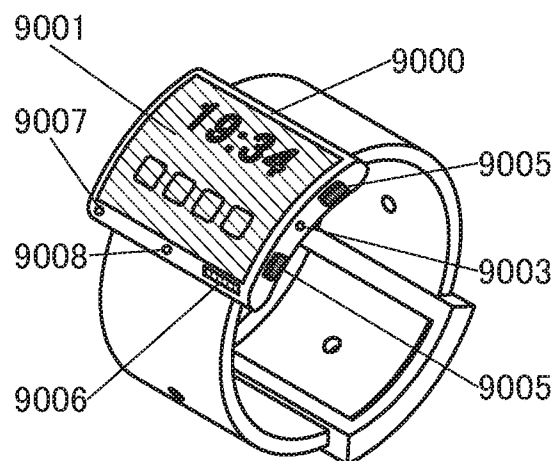


图 69B

9102

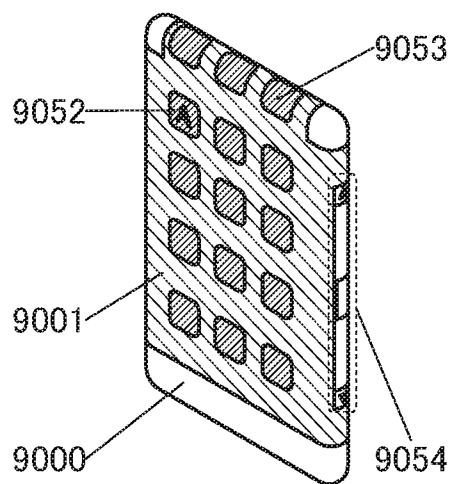


图 69E

9201

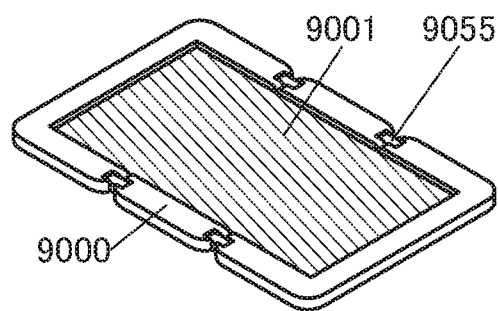


图 69F

9201

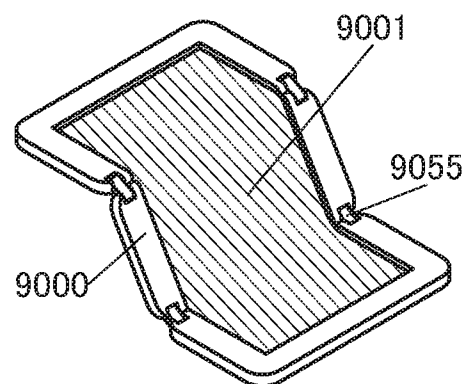


图 69C

9103

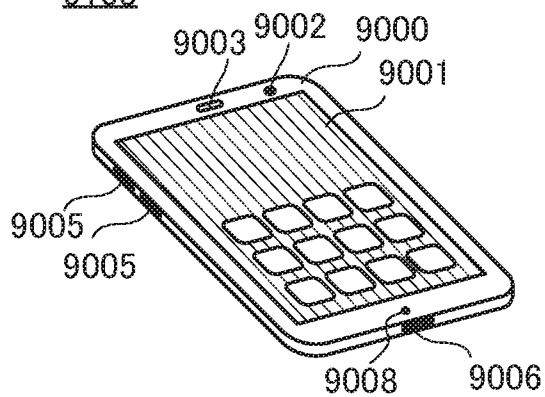
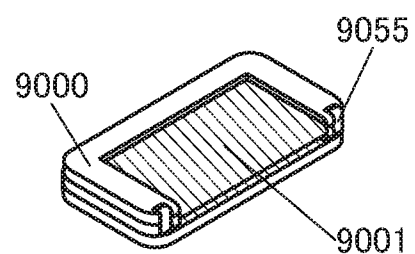


图 69G

9201



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2024/051188

A. CLASSIFICATION OF SUBJECT MATTER*G09G 3/20*(2006.01)i; *G09G 3/36*(2006.01)i; *G09G 3/3233*(2016.01)i

FI: G09G3/20 623B; G09G3/20 611A; G09G3/20 622B; G09G3/20 680G; G09G3/3233; G09G3/36

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/20; G09G3/36; G09G3/3233, H03F3/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2024

Registered utility model specifications of Japan 1996-2024

Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2006-173780 A (SONY CORPORATION) 29 June 2006 (2006-06-29) paragraphs [0022]-[0072], fig. 1-9	1
Y	paragraphs [0022]-[0072], fig. 1-9	1-9
X	US 2006/0186932 A1 (TOPPOLY OPTOELECTRONICS CORP.) 24 August 2006 (2006-08-24) paragraph [0030], fig. 4A	1
Y	paragraph [0030], fig. 4A	2
Y	JP 58-198911 A (HITACHI, LTD.) 19 November 1983 (1983-11-19) page 2, upper left column, line 11 to upper right column, line 19, fig. 3-4	2
Y	JP 2003-283271 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 03 October 2003 (2003-10-03) paragraphs [0051]-[0100], [0188]-[0216], fig. 1-8, 16-19	1, 3-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

07 May 2024

Date of mailing of the international search report

21 May 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2024/051188

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2006-173780	A	29 June 2006	(Family: none)	
US	2006/0186932	A1	24 August 2006	CN 1822500	A
				TW 200630944	A
JP	58-198911	A	19 November 1983	(Family: none)	
JP	2003-283271	A	03 October 2003	US 2003/0132930	A1
				paragraphs [0050]-[0143], [0236]-[0265], fig. 1-8B, 16A-19	
				EP 1330022	A2
				CN 1433144	A
				KR 10-2010-0031596	A
				TW 200302410	A

A. 発明の属する分野の分類（国際特許分類（IPC））

G09G 3/20(2006.01)i; G09G 3/36(2006.01)i; G09G 3/3233(2016.01)i

FI: G09G3/20 623B; G09G3/20 611A; G09G3/20 622B; G09G3/20 680G; G09G3/3233; G09G3/36

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

G09G3/20; G09G3/36; G09G3/3233, H03F3/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2024年

日本国実用新案登録公報

1996 - 2024年

日本国登録実用新案公報

1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2006-173780 A（ソニー株式会社）29.06.2006（2006 - 06 - 29） 段落0022-0072, 図1-9	1
Y	段落0022-0072, 図1-9	1-9
X	US 2006/0186932 A1（TOPPOLY OPTOELECTRONICS CORP.）24.08.2006（2006 - 08 - 24） 段落0030, 図4A	1
Y	段落0030, 図4A	2
Y	JP 58-198911 A（株式会社日立製作所）19.11.1983（1983 - 11 - 19） 第2頁左上欄第11行-右上欄第19行, 第3-4図	2
Y	JP 2003-283271 A（株式会社半導体エネルギー研究所）03.10.2003（2003 - 10 - 03） 段落0051-0100, 0188-0216, 図1-8, 16-19	1, 3-9

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

07.05.2024

国際調査報告の発送日

21.05.2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

武田 悟 21 9307

電話番号 03-3581-1101 内線 3273

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/IB2024/051188

引用文献			公表日	パテントファミリー文献	公表日
JP	2006-173780	A	29.06.2006	(ファミリーなし)	
US	2006/0186932	A1	24.08.2006	CN 1822500	A
				TW 200630944	A
JP	58-198911	A	19.11.1983	(ファミリーなし)	
JP	2003-283271	A	03.10.2003	US 2003/0132930	A1
				段落0050-0143, 0236-0265, 図1-8B, 16A-19	
				EP 1330022	A2
				CN 1433144	A
				KR 10-2010-0031596	A
				TW 200302410	A