【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第３区分
【発行日】平成17年9月8日(2005.9.8)

【公開番号】特開2000-69418(P2000-69418A)
【公開日】平成12年3月3日(2000.3.3)
【出願番号】特願平10-237783
【国際特許分類第７版】
　Ｈ０４Ｎ　5/91
　Ｇ０３Ｂ　19/02
　Ｈ０４Ｎ　5/225
【ＦＩ】
　Ｈ０４Ｎ　5/91　　Ｊ
　Ｇ０３Ｂ　19/02
　Ｈ０４Ｎ　5/225　　Ｆ

【手続補正書】
【提出日】平成17年3月10日(2005.3.10)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】００１１
【補正方法】変更
【補正の内容】
【００１１】
エンコーダ／デコーダ１５は、画像データを圧縮（エンコード）または伸張（デコード）する。例えば静止画を処理する時には、ＪＰＥＧ(Joint Photographic Experts Group)が使用され、動画を処理する時には、ＭＰＥＧ(Moving Picture Experts Group)が使用される。ここでは、エンコーダ／デコーダ１５がＪＰＥＧで画像データを圧縮または伸張するものとする。但し、エンコーダ／デコーダ１５が両方の符号化方式に対応した機能を持つようにしても良い。また、ＪＰＥＧに関しては、ＣＰＵ１２のソフトウェア処理によって、エンコード／デコードを行うようにしても良い。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】００１７
【補正方法】変更
【補正の内容】
【００１７】
所定時間、撮影画像を表示した後に、ＣＣＤ２をＥtoＥモードに設定し、メモリコントローラ５のスイッチＳＷ２を入力端子ｃに設定し、表示を撮影中の画像へ復帰させると共に、ＤＲＡＭ９中の画像をエンコーダ／デコーダ１５（またはＣＰＵ１２）がＪＰＥＧ圧縮し、インターフェース１０を介して外部記憶媒体１１に書込む。
【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】００２３
【補正方法】変更
【補正の内容】
【００２３】
水平画素数変換部５１および５４の具体的構成の一例を図１３に示す。１画素遅延素子２０が３個直列に接続され、直列接続から４個のタップが導出され、各タップに乗算器２１が接続され、乗算器２１の乗算出力が加算器２２で加算され、加算器２２から出力信号

が取り出される。乗算器２１に対しては、係数切り替え部２３から係数ａ０，ａ１，ａ２，ａ３が供給される。係数切り替え部２３は、画素位置カウント部２４の画素位置に応じた出力を使用して画素位置と間引き処理か補間処理かに応じた係数を発生する。図１３は、４タップのＦＩＲフィルタの構成であり、演算精度要求に応じて、必要な数のタップを設ける。各画像サイズに応じて係数の組み合わせを切り替える。なお、図１０では、画像取り込みモードと、画像再生モードとで回路を分けて表現しているが、実際には、共通の回路をモードによって使い分けする。

【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】００２４
【補正方法】変更
【補正の内容】
【００２４】

垂直ライン数変換部５２および５５の具体的構成の一例を図１４に示す。１ライン遅延素子２５が３個直列に接続され、直列接続から４個のタップが導出され、各タップに乗算器２６が接続され、乗算器２６の乗算出力が加算器２７で加算され、加算器２７から出力信号が取り出される。乗算器２６に対しては、係数切り替え部２８から係数ｂ０，ｂ１，ｂ２，ｂ３が供給される。係数切り替え部２８は、ライン数カウント部２９のライン数に応じた出力を使用してライン数に応じた係数を発生する。図１４は、４タップのＦＩＲフィルタの構成であり、演算精度要求に応じて、必要な数のタップを設ける。各画像サイズに応じて係数の組み合わせを切り替える。１ライン遅延素子２５は、ＣＣＤ２の１水平周期である1270画素分が必要となる。例えば４：２：２のコンポーネント信号の場合では、１ライン遅延のために、１，２７０×３×２＝７，６２０バイトのメモリが必要になる。なお、図１０では、画像取り込みモードと、画像再生モードとで回路を分けて表現しているが、実際には、共通の回路をモードによって使い分けする。

【手続補正５】
【補正対象書類名】明細書
【補正対象項目名】００２５
【補正方法】変更
【補正の内容】
【００２５】

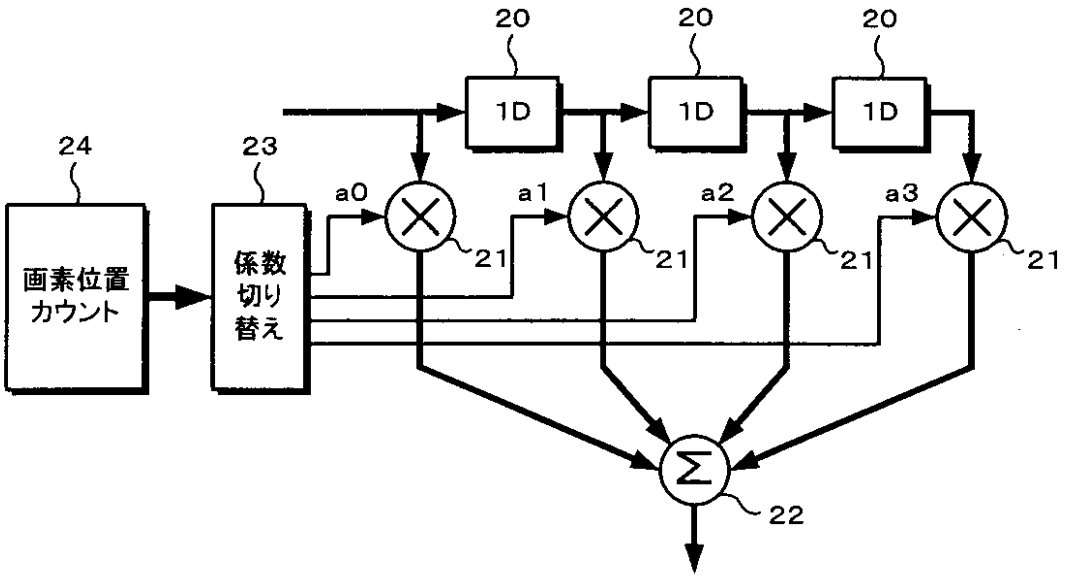
次に、画素数変換をソフトウェア処理で行う方法について説明する。ＶＧＡ，ＣＩＦ，ＱＣＩＦの各画像を取り込む時の画素数変換はソフトウェアで行うため、メモリコントローラ５の構成は、図１５に示すように大幅に簡素化される。すなわち、スイッチＳＷ１は、画像取り込みモードでは、入力端子ｂを選択し、ＥtoＥモードおよび再生モードでは、入力端子ａを選択する。取込み画像サイズモードと無関係に、ＤＲＡＭ９に対してＸＧＡで全てデータが取り込まれ、ＤＲＡＭ９内のデータをソフトウエアの演算処理により変換する。再生モードでは、スイッチＳＷ２は、入力端子ｄを選択し、ＥtoＥモードでは、入力端子ｃを選択する。

【手続補正６】
【補正対象書類名】明細書
【補正対象項目名】００２７
【補正方法】変更
【補正の内容】
【００２７】

ＣＰＵ１２は、画素数変換を行うために、ステップＳ６において、取り込む画像のサイズを調べる。ＸＧＡ以外の場合には、ステップＳ７において、各画像サイズに応じた水平・垂直画素数変換（撮影画像）を行う。そして、ステップＳ８では、各画像サイズに応じた水平・垂直画素数変換（表示画像）を行う。また、ステップＳ６において、画像サイズがＸＧＡの場合では、ステップＳ７を飛ばしてステップＳ８に移行する。これらの水平・

垂直画素数変換（撮影画像）および水平・垂直画素数変換（表示画像）の処理は、図１１に示すものであり、これらの画素数変換処理がソフトウェアによってなされる。
【手続補正７】
【補正対象書類名】明細書
【補正対象項目名】００５６
【補正方法】変更
【補正の内容】
【００５６】
ステップＳ５１で、画像取り込み動作が終了し、次に、確認再生のモードに移る。ステップＳ５２で画像サイズが調べられ、画像サイズがＱＣＩＦならば、ＤＲＡＭ９内のライン数をそのまま読み出す。画像サイズがＱＣＩＦ以外とステップＳ５２で決定されると、ステップＳ５３で単純間引き読出しがなされる。単純間引き読出しは、ＤＲＡＭ９からデータを読出す時に、アドレス発生部５３が発生する垂直方向の読出しアドレスを間欠的なものとすることによりライン数を間引く処理である。
【手続補正８】
【補正対象書類名】明細書
【補正対象項目名】００６８
【補正方法】変更
【補正の内容】
【００６８】
図７において、白の丸印がＣＣＤ２によって撮影された画像（ＸＧＡ）を水平画素数変換した結果の画素であり、三角形が変換により求めるべきＶＧＡの画素である。ＶＧＡの画素ａを補間により算出するためには、破線で囲んだ４個のＸＧＡ画素を使用する。ソフトウェアによる垂直ライン変換処理について、ＸＧＡからＶＧＡへの２／３ライン間引きを例として、説明する。図８において、Ｙｎが変換前のラインを示し、ｙｎｏが変換後の奇数ラインを示し、ｙｎｅが変換後の偶数ラインを示す。
【手続補正９】
【補正対象書類名】明細書
【補正対象項目名】００７４
【補正方法】変更
【補正の内容】
【００７４】
一方、この発明の一実施形態では、
回路規模
メモリ　３Byte（水平画素数変換部）
（3810Byte（垂直ライン数変換部）分が削減）
乗算回路　４（水平画素数変換部）
（４（垂直ライン数変換部）分が削減）
加算回路　３（水平画素数変換部）
（３（垂直ライン数変換部）分が削減）
ソフト処理　再生時は不要
乗算　640 ｘ480 ｘ４＝1,228,800
全てソフトウエアによる方法の25%分
加算　640 ｘ480 ｘ４＝1,228,800
全てソフトウエアによる方法の25%分
となる。
【手続補正１０】
【補正対象書類名】図面
【補正対象項目名】図１３
【補正方法】変更

【補正の内容】
【図１３】



【手続補正１１】
【補正対象書類名】図面
【補正対象項目名】図１４
【補正方法】変更
【補正の内容】
【図１４】

