



(12)发明专利

(10)授权公告号 CN 106030809 B

(45)授权公告日 2019.12.31

(21)申请号 201480076341.5

M·拉多萨夫列维奇 R·周

(22)申请日 2014.03.25

(74)专利代理机构 永新专利商标代理有限公司
72002

(65)同一申请的已公布的文献号
申请公布号 CN 106030809 A

代理人 陈松涛 韩宏

(43)申请公布日 2016.10.12

(51)Int.Cl.

H01L 29/778(2006.01)

(85)PCT国际申请进入国家阶段日
2016.08.25

(56)对比文件

JP 特开2007-109830 A, 2007.04.26,
JP 特开2007-109830 A, 2007.04.26,
CN 103000681 A, 2013.03.27,
US 2013/0271208 A1, 2013.10.17,
US 2012/0086049 A1, 2012.04.12,

(86)PCT国际申请的申请数据
PCT/US2014/031741 2014.03.25

(87)PCT国际申请的公布数据
W02015/147802 EN 2015.10.01

(73)专利权人 英特尔公司
地址 美国加利福尼亚

审查员 李水丽

(72)发明人 H·W·田 S·达斯古普塔

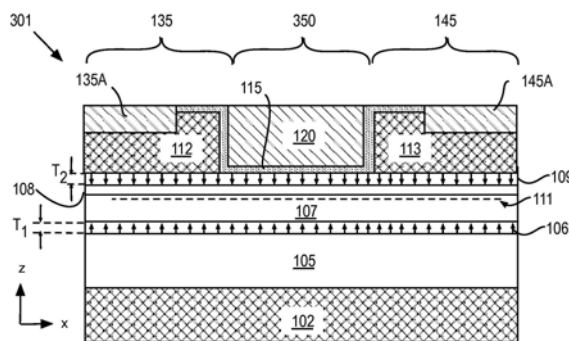
权利要求书3页 说明书13页 附图8页

(54)发明名称

具有提供陡峭的亚阈值摆幅的外延层的
III-N晶体管

(57)摘要

描述了具有外延半导体异质结构的III-N晶体管,该外延半导体异质结构具有陡峭的亚阈值斜率。在实施例中,III-N HFET采用具有平衡的和相反的III-N极化材料的栅极叠置体。可以通过外部电场(例如,与所施加的栅极电极电压相关联的)来调制相反的III-N极化材料的整体有效极化。在实施例中,通过成分和/或膜厚度来调节栅极叠置体内的III-N材料之间的极化强度差异,以获得期望的晶体管阈值电压(V_t)。在栅极叠置体内的极化强度彼此平衡和相反的情况下,正向和反向栅极电压扫描两者都可以生成漏极电流的陡峭的亚阈值摆幅,这是因为电荷载流子被转移至III-N极化层和III-N沟道半导体并且从III-N极化层和III-N沟道半导体被转移。



1. 一种异质结构场效应晶体管 (HFET), 包括:

栅极电极;

源极和漏极;

沟道半导体, 所述沟道半导体包括GaN并利用二维电子气 (2DEG) 电耦合所述源极和所述漏极, 所述二维电子气 (2DEG) 通过栅极电介质材料耦合至所述栅极电极; 以及

多种III族-氮化物 (III-N) 极化材料, 所述多种III族-氮化物极化材料邻近于所述沟道半导体, 并且所述多种III族-氮化物极化材料也通过所述栅极电介质材料耦合至所述栅极电极, 其中, 所述多种III族-氮化物极化材料还包括:

第一III-N极化材料, 所述第一III-N极化材料具有第一极化场, 所述第一极化场具有第一极性, 在不存在来自所述栅极电极的外部施加的场的情况下, 所述第一极性将负电荷置于所述沟道半导体的Ga极性界面处; 以及

第二III-N极化材料, 所述第二III-N极化材料具有第二极化场, 所述第二极化场具有与所述第一极性相反的第二极性, 所述第二极化场具有基本上等于所述第一极化场的大小, 其中, 所述第一III-N极化材料和所述第二III-N极化材料被布置成在层中彼此横向相邻。

2. 根据权利要求1所述的异质结构场效应晶体管, 其中:

所述第一III-N极化材料和所述第二III-N极化材料响应于所述栅极电极的偏置电压改变小于60mV, 而驱使在20°C下所述漏极处的电流变化一个数量级。

3. 根据权利要求2所述的异质结构场效应晶体管, 其中:

所述第一III-N极化材料和所述第二III-N极化材料被设置在所述沟道半导体的Ga极性界面上方。

4. 根据权利要求3所述的异质结构场效应晶体管, 其中:

所述第一III-N极化材料和所述第二III-N极化材料被设置在所述沟道半导体的Ga极性界面上方; 并且

所述第一III-N极化材料和所述第二III-N极化材料响应于所述栅极电极的偏置电压朝0V增加少于60mV, 而驱使在20°C下所述漏极处的电流增大一个数量级; 并且

所述第一III-N极化材料和所述第二III-N极化材料响应于所述栅极电极的偏置电压朝0V减小少于60mV的变化, 而驱使在20°C下所述漏极处的电流减小一个数量级。

5. 根据权利要求3所述的异质结构场效应晶体管, 其中:

所述沟道半导体形成具有所述第二III-N极化材料的Ga极性界面的异质结; 并且

所述第一III-N极化材料和所述第二III-N极化材料响应于所述栅极电极的偏置电压从0V增加少于60mV的变化, 而驱使在20°C下所述漏极处的电流增大一个数量级; 并且

所述第一III-N极化材料和所述第二III-N极化材料响应于所述栅极电极的偏置电压从0V减小少于60mV的变化, 而驱使在20°C下所述漏极处的电流减小一个数量级。

6. 根据权利要求5所述的异质结构场效应晶体管, 其中:

所述第一III-N极化材料形成具有AlN间隔体层的Ga极性界面的异质结; 并且

所述AlN间隔体层形成具有所述沟道半导体的Ga极性界面的异质结。

7. 根据权利要求1-6中任一项所述的异质结构场效应晶体管, 其中:

所述第一III-N极化材料包括 $Al_xIn_{1-x}N$, 其中x在0.8与1之间; 并且

所述第二III-N极化材料包括：

$\text{Al}_x\text{In}_{1-x}\text{N}$ ，其中 x 在0.6至0.4之间；或者

$\text{In}_x\text{Ga}_{1-x}\text{N}$ ，其中 x 在0.2至0.5之间；或者，

所述第一III-N极化材料包括 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ，其中 x 在0.1至0.4之间，并且所述第二III-N极化材料包括 $\text{In}_x\text{Ga}_{1-x}\text{N}$ ，其中 x 在0.03至0.2之间。

8. 根据权利要求1-6中任一项所述的异质结构场效应晶体管，其中，阈值电压(V_t)显示出在通过0V的增大的栅极电极电压扫描与减小的栅极电极电压扫描之间具有不大于200mV的偏移的滞后。

9. 根据权利要求1-6中任一项所述的异质结构场效应晶体管，其中，所述第一III-N极化材料的膜厚度在所述第二III-N极化材料的膜厚度的10%内。

10. 根据权利要求1-6中任一项所述的异质结构场效应晶体管，其中：

所述第一III-N极化材料和所述第二III-N极化材料均具有至少4nm并且不大于20nm的膜厚度；并且

所述沟道半导体的厚度至少为10nm。

11. 根据权利要求10所述的异质结构场效应晶体管，还包括AlN层，所述AlN层将所述第一III-N极化材料与沟道层间隔开少于2nm；并且其中：

所述栅极电极包括中间带或者略微p型的金属；并且

所述栅极电介质包括 Al_2O_3 、 HfO_2 、 TaSi_yO_x 、 Ta_2O_5 、 ZrO_2 。

12. 一种III-N外延叠置体，包括：

衬底；

半导体缓冲层，所述半导体缓冲层被设置在所述衬底上；

Ga极性GaN层，所述Ga极性GaN层被设置在所述半导体缓冲层上方；以及

多种III族-氮化物(III-N)极化材料，所述多种III族-氮化物极化材料邻近于所述GaN层；

其中，所述多种III族-氮化物极化材料还包括：

第一III-N极化材料，所述第一III-N极化材料具有第一极化场，所述第一极化场具有第一极性，在不存在外部施加的场的情况下，所述第一极性将负电荷置于所述GaN层的Ga极性界面处；以及

第二III-N极化材料，所述第二III-N极化材料具有第二极化场，所述第二极化场具有与所述第一极性相反的第二极性，所述第二极化场具有基本上等于所述第一极化场的大小，其中，所述第一III-N极化材料和所述第二III-N极化材料被布置成在层中彼此横向相邻。

13. 根据权利要求12所述的III-N外延叠置体，其中：

所述第一III-N极化材料形成具有AlN间隔体层的Ga极性界面的异质结；

所述AlN间隔体层形成具有所述GaN层的Ga极性界面的异质结；并且

所述GaN层形成具有所述第二III-N极化材料的Ga极性界面的异质结。

14. 根据权利要求12所述的III-N外延叠置体，其中：

所述第一III-N极化材料包括 $\text{Al}_x\text{In}_{1-x}\text{N}$ ，其中 x 在0.8与1之间；并且

所述第二III-N极化材料包括：

$\text{Al}_x\text{In}_{1-x}\text{N}$, 其中 x 在 0.6 至 0.4 之间; 或者

$\text{In}_x\text{Ga}_{1-x}\text{N}$, 其中 x 在 0.2 至 0.5 之间; 或者

所述第一 III-N 极化材料包括 $\text{Al}_x\text{Ga}_{1-x}\text{N}$, 其中 x 在 0.1 至 0.4 之间, 并且所述第二 III-N 极化材料包括 $\text{In}_x\text{Ga}_{1-x}\text{N}$, 其中 x 在 0.03 至 0.2 之间。

15. 根据权利要求 14 所述的 III-N 外延叠置体, 其中, 所述第一 III-N 极化材料的膜厚度在所述第二 III-N 极化材料的膜厚度的 10% 内。

16. 根据权利要求 12-14 中任一项所述的 III-N 外延叠置体, 其中:

所述第一 III-N 极化材料和所述第二 III-N 极化材料均具有至少 4nm 并且不大于 20nm 的膜厚度;

所述 GaN 层具有不大于 10nm 的厚度; 并且

AlN 层将第一 III-N 材料层与沟道层间隔开少于 2nm。

具有提供陡峭的亚阈值摆幅的外延层的III-N晶体管

技术领域

[0001] 本发明的实施例总体上涉及III-N晶体管,并且更具体而言,涉及针对陡峭的亚阈值摆幅(SS)采用异质结构的场效应晶体管。

背景技术

[0002] 在便携式电子应用中对集成电路(IC)的需求已经激发了节能晶体管。降低获得阈值最小接通/关断漏极电流比率所需要的晶体管的操作电压是有利的。亚阈值斜率(SS)(用mV/decade来表示)表征使漏极电流改变一个数量级所需要的栅极电压。在传统的FET技术中,SS在室温(20°C)下具有大约60mV/dec的热限制。近来,在将SS提高到超过60mV/dec的努力下,重燃了对在栅极叠置体内采用铁电材料(例如,BaTiO₃)的铁电FET的兴趣。铁电的内部极化可以用来“升高”跨铁电层至晶体管的半导体沟道的栅极电势,以便增加有效电容并且降低操作电压。由于增加了有效电容,因此这些器件有时候被描述为显示出“负电容效应”。然而,铁电膜仍然难以生长,并且到目前为止已经需要超过100nm厚来显示负电容效应。

[0003] III-N异质结构场效应晶体管(HFET)(例如,高电子迁移率晶体管(HEMT)和金属氧化物半导体(MOS)HEMT)采用例如在GaN半导体和另一种III-N半导体合金(例如,AlGa_xN或AlIn_xN)的界面处具有一个或多个异质结的半导体异质结构。基于GaN的HFET器件得益于相对宽的带隙(~3.4eV),实现了比基于Si的MOSFET高的击穿电压。显示较陡峭的亚阈值摆幅的III-N HFET将有利地提高用于移动应用的这些器件的功率效率。

附图说明

[0004] 通过举例的方式而不是通过限制的方式在附图中例示了本文中所描述的材料。为了例示的简单和清楚起见,附图中所例示的元件并非必须按比例绘制。例如,为了清楚起见,某些元件的尺寸可以相对于其它元件被放大。此外,在认为是适当的情况下,已经在附图中重复了附图标记以指示对应的或类似的元件。在附图中:

[0005] 图1A是根据实施例的具有栅极叠置体的HFET的横截面视图,该栅极叠置体包括被配置为获得陡峭的SS的平衡的和相反的III-N极化材料;

[0006] 图1B是根据实施例的在图1A中所例示的HFET中的栅极叠置体的放大视图;

[0007] 图1C是根据实施例的Ga极性GaN晶体的等距视图;

[0008] 图1D是根据实施例的例示了在图1A中的HFET结构中所观察到的负电容效应的图;

[0009] 图2A是根据实施例的具有栅极叠置体的HFET的横截面视图,该栅极叠置体包括被配置为获得陡峭的亚阈值斜率的平衡的和相反的III-N极化材料层;

[0010] 图2B是根据实施例的图2A中所例示的HFET的亚阈值性能的图;

[0011] 图3A是根据实施例的具有栅极叠置体的HFET的横截面视图,该栅极叠置体包括被配置为获得陡峭的亚阈值斜率的平衡的和相反的III-N极化材料层;

[0012] 图3B是根据实施例的图3A中所例示的HFET的亚阈值性能的图;

[0013] 图4是根据实施例的界面电势随着III-N成分变化的图,图4还指示了可以在图1A、图2A或图3A中所例示的HFET中一起使用的III-N极化层成分;

[0014] 图5是根据实施例的例示了用于形成具有栅极叠置体的HFET的方法的流程图,该栅极叠置体包括被配置为获得陡峭的亚阈值斜率的平衡的和相反的III-N极化材料层;

[0015] 图6例示了根据本发明的实施例的采用具有陡峭的亚阈值斜率的III-NHFET的移动计算平台和数据服务器机器;以及

[0016] 图7是根据本发明的实施例的电子计算设备的功能性框图。

具体实施方式

[0017] 参照所附图描述了一个或多个实施例。尽管详细描绘和讨论了具体配置和布置,但应当理解的是,这仅仅是出于例示性的目的。本领域技术人员将认识到,在不脱离本说明书的精神和范围的情况下,其它配置和布置也是可能的。对本领域技术人员而言将显而易见的是,除了本文中详细描述以外,可以在多个其它系统和应用中采用本文中所描述的技术和/或布置。

[0018] 在以下具体实施方式中参照附图,附图形成了本文的一部分并例示了示例性实施例。此外,将理解的是,在不脱离所请求保护的的主题的范围的情况下,可以利用其它实施例并可以做出结构和/或逻辑改变。还应当指出,方向和参照(例如,上、下、顶部、底部、等等)可以仅用于帮助对附图中的特征的描述。因此,并非在限制性意义上采用以下具体实施方式,并且仅仅由本发明及其等同形式来限定所请求保护的的主题的范围。

[0019] 在以下描述中,阐述了许多细节。然而,对本领域技术人员而言将显而易见的是,可以在没有这些具体细节的情况下实施本发明。在某些实例中,用框图形式而不是详细示出了公知的方法和设备,以避免混淆本发明。贯穿本说明书对“实施例”或“一个实施例”的引用表示结合实施例所描述的特定特征、结构、功能、或特性被包括在本发明的至少一个实施例中。因此,贯穿本说明书在各个地方出现的短语“在实施例中”或“在一个实施例中”并非必须指代本发明的相同实施例。此外,在一个或多个实施例中,可以以任何适当的方式组合这些特定的特征、结构、功能、或特性。例如,第一实施例可以与第二实施例进行组合,只要与两个实施例相关联的特定的特征、结构、功能、或特性并非是相互排斥的。

[0020] 如在本公开中所使用的,除非上下文另外明确指示,单数形式“一”、“一个”和“该”旨在也包括复数形式。还将理解的是,如本文中所使用的术语“和/或”指代并包括相关联的列出的项中的一个或多个的任何和所有可能的组合。

[0021] 术语“耦合”和“连接”及其派生词可以在本文中用于描述部件之间的功能性或结构性关系。应当理解的是,这些术语并非旨在作为彼此的同义词。相反,在具体实施例中,“连接”可以用于指示两个或更多个元件彼此直接物理接触、光接触、和/或电接触。“耦合”可以用于指示两个或更多个元件彼此直接或间接(在它们之间具有其它中间元件)物理接触或电接触,和/或两个或更多个元件彼此共同协作或相互作用(例如,如在因果关系中)。

[0022] 如本文中使用的术语“在……上方”、“在……下方”、“在……之间”、和“在……上”指代一个部件或材料相对于其它部件或材料的相对位置,其中,这些物理关系是值得注意的。例如,在材料的背景中,被设置在另一种材料上方或下方的一种材料或多种材料可以直接接触或者可具有一种或多种中间材料。此外,被设置在两种材料之间的一种材料或多种

材料可以与两个层直接接触或者可具有一个或多个中间层。相反，“位于”第二材料或一种材料“上”的第一材料或一种材料与该第二材料/材料直接接触。在部件组件的背景中将作出类似的区分。

[0023] 如贯穿本公开中所使用的，通过术语“……中的至少一个”或“……中的一个或多个”结合的项目列表可以表示所列出的项目的任意组合。例如，短语“A、B或C中的至少一个”可以表示A；B；C；A和B；A和C；B和C；或A、B和C。

[0024] 本文中描述了具有陡峭的亚阈值斜率和相关联的外延半导体异质结构的III-N晶体管。本文中的实施例利用III-N材料来抑制可能的大的压电和自发极化场，以便通过负电容效应提高对晶体管沟道的静电控制并获得具有小于60mV/decade的SS的FET。在实施例中，III-N HFET采用具有平衡的和相反的III-N极化材料的栅极叠置体。通过外部场（例如，与所施加的栅极电极电压相关联的）来调制相反的III-N极化材料的整体有效极化。在实施例中，通过成分和/或膜厚度来调节栅极叠置体内的III-N材料之间的极化强度差异，以获得期望的晶体管阈值电压（ V_t ）。通过栅极叠置体内的极化强度彼此平衡和相反，正向和反向栅极电压扫描两者都可以在漏极电流中生成陡峭的SS响应，因为电荷载流子被转移至极化层和III-N沟道半导体并从极化层和III-N沟道半导体被转移。

[0025] 图1A是HFET 101的横截面视图。在该示例性实施例中，HFET 101更具体地是MOS器件，并且可以被分类为进一步关于可在未掺杂的沟道半导体（例如，GaN）中获得的高电子迁移率的MOS-HEMT。HFET 101中的III-N材料被设置在衬底102上方，衬底102可以是基本上具有预定晶体取向的单晶体。衬底102可以是各种材料，包括但不限于GaN、SiC、蓝宝石、和硅。对于具有传统的硅CMOS的HFET 101的单片集成，硅是有利的，并且对于这些实施例，衬底的晶体取向可以是（100）、（111）、（110）中的任一个。其它晶体取向也是可能的，并且一定范围的斜切（例如， $4-11^\circ$ ）可以用于衬底102与上面的半导体缓冲体105之间的较好的晶格匹配。半导体缓冲体105可以具有被设计为限制晶格缺陷的各种各样的成分和结构。在实施例中，半导体缓冲体105是与非III-N衬底102接合的第一III-N层。在一个这种实施例中，半导体缓冲体105包括一个或多个GaN材料层。

[0026] 源极135、和漏极145包括接触金属135A、145A，它们可以属于欧姆金属（例如，但不限于，Ti/Au合金）。电耦合至金属135A、145A的分别是杂质掺杂的源极半导体区112、113。杂质掺杂的半导体区112、113可以是例如低电阻的低带隙III-N族材料（例如， $\text{In}_x\text{Ga}_{1-x}\text{N}$ 和InN），或者可以简单地是n型（例如，Si掺杂的）GaN。

[0027] HFET 101包括被设置在源极135与漏极145之间的栅极叠置体150。栅极叠置体150包括具有功函数金属的栅极电极，功函数金属有利地是中间带金属，例如但不限于TiN、或者是略微p型的，例如但不限于Ni/Au合金。栅极电极120通过场效应静电地耦合至沟道半导体107。尽管本文中的实施例可以利用Schottky栅极架构，但HFET 101例示了其中栅极叠置体150包括栅极电介质115的示例性MOS架构。这些MOS实施例有利地提供了比Schottky架构低的栅极漏电。栅极电介质115还可以将栅极电极120与源极135和漏极145隔离，如在图1A中所描绘的。栅极电介质115有利地是具有7或更大的体介电常数的材料。在一个有利的实施例中，栅极电介质115是 Al_2O_3 。其它电介质材料（例如，但不限于III-ON族）和其它高k电介质（例如， Gd_2O_3 、 HfO_2 、 Ta_2O_5 、 ZrO_2 ）、高K金属硅酸盐（例如， HfOSiO 、 TaSi_yO_x 、 AlSiO ）和其它高K氮氧化物（例如， HfON 、 AlON 、 ZrSiON 、 HfSiON ）也可以适合于作为栅极电介质115。

[0028] 栅极叠置体150还包括邻近于III-N沟道半导体107的多个III-N极化材料106、109。在所描绘的示例性实施例中,极化材料106、109通过III-N间隔体108与沟道半导体105间隔开,III-N间隔体108有助于将2DEG波函数限制在沟道半导体107内,以减小载流子界面散射、等等。间隔体108可以具有高的极性,但是比任一极化材料106、109的膜厚度显著地更薄。在一个实施例中,例如,间隔体108是具有小于2nm(并且有利地为大约1nm)的厚度的AlN。

[0029] 沟道半导体107被设置在栅极叠置体150下方和半导体缓冲体105上方。沟道半导体107外延至半导体缓冲体105,因此两种材料的晶体取向是对齐的。III-N极化材料106、109类似地外延至沟道半导体107,以使得栅极叠置体150内的所有半导体膜基本上都是单晶的。沟道半导体107可以是具有与III-N极化材料106、109不同的压电和自发极化强度的任何III-N材料,以使得在某些环境下,形成二维电子气(2DEG) 111。源极135和漏极145通过2DEG 111电耦合。在示例性实施例中,沟道半导体107包括GaN。在一个这种实施例中,沟道半导体107是二元合金GaN,并且基本上是未掺杂的,以具有 $1100\text{cm}^2/\text{V}\cdot\text{s}$ 或更大的载流子迁移率。

[0030] 沟道半导体107和极化材料106、109全都通过栅极电介质115耦合至栅极电极120。取决于沟道半导体107和极化材料106、109的相对极化强度,在不存在外部施加的场(例如,耗尽模式)时,可以存在2DEG 111,或者仅仅在增加外部施加的场的情况下(例如,增强模式),可以存在2DEG 111。其中在栅极叠置体150内形成2DEG 111的点对应于 V_t 。在实施例中,在不存在外部场时,栅极叠置体150内的III-N极化材料106和109具有平衡的和相反的极化。在相反的极化是平衡的情况下,可以通过施加外部场来在两个相反的极化之间调制材料106、109的整体有效极化,并且 V_t 可以以0V为目标。在另外的实施例中,栅极叠置体150以外(例如,在源极/漏极区135、145内)的III-N极化材料106和109的相反的极化是不平衡的。在某些这样的实施例中,源极/漏极区135、145内的不平衡的极化确保了2DEG在宽的晶体管操作范围内保持在这些区域中。

[0031] 在图1A中所例示的示例性实施例中,III-N极化材料106和109在沟道半导体107的相同侧上,并且更具体而言,占据与间隔体108接合的相邻的横向区域或岛。图1A中的箭头例示了III-N极化材料106、109的相反的极化场极性。图1B是栅极叠置体150内的两种相邻的III-N极化材料106、109的放大视图。尽管在栅极叠置体150外部,极化材料109是主要的,但是在栅极叠置体150内,存在具有相反极性的极化偶极子电荷的区域。类似于施主的状态和类似于受主的状态分别记为 Q_D 、 Q_A 。对于其中未施加外部电场(例如, $V_g=0\text{V}$)的图1B中所例示的状态,极化材料中的一种(例如,极化材料106)具有从沟道半导体107的Ga极性界面移除负电荷的极化场极性。极化材料中的另一种(例如,极化材料109)具有将负电荷置于沟道半导体107的Ga极性界面处的极化场极性。作为参考,图1C中描绘了GaN纤维锌矿的晶体结构。本文中所描述的GaN和其它III-族氮化物在以下方面是显著的:它们的纤维锌矿晶体形式缺乏反对称性,并且更具体而言, $\{0001\}$ 平面不是等同的。 $\{0001\}$ 平面中的一个平面通常被称为Ga面(+c极性),并且另一个平面被称为N面(-c极性)。通常对于如在图1A中所例示的平面的III-N族器件, $\{0001\}$ 平面中的一个平面或另一个平面更接近于衬底表面,并且因此可以被称为Ga极性(+c)(如果Ga(或其它III族元素)的三个键指向衬底(例如,衬底102))或N极性(-c)(如果Ga(或其它III族元素)的三个键指向远离衬底)。

[0032] 响应于在过渡操作期间的负栅极偏置电压,电子开始填入2DEG 111,尽管不受理论约束,但是发明者当前理解附加的电子从填充的受主状态(Q'_{Λ})被转移至2DEG 111,这是因为它们被栅极电势排斥。这些附加的电子被认为负责提高表面电荷电势(Φ),并响应于栅极电极的偏置电压改变至少60mV,而驱使在20°C下漏极处的电流变化一个数量级。在 $dV_G/d\Phi$ 减小至低于1.0的情况下,观察到负电容。在图1D中进一步例示了负电容,其中,针对缺乏极性材料106、109的对照HFET用虚线描绘了在20°C和1MHz的扰动下测量到的栅极电容(C_G)。对于该对照处理(i),栅极电介质115被直接设置在间隔体108上,并且串联电容包括半导体沟道107(C_{107})、间隔体108(C_{108})、以及栅极电介质115(C_{115})。还用实线描绘了 C_G ,作为对HFET 101的处理(ii),其中,串联电容还包括极化层106、109的有效电容(C_{106} 、 C_{109})。对于平带上的电压,通过存在极化层106、109降低了 C_G 。然而,对于小的 V_G ,针对包括极化层106、109的HFET 101, C_G 实际上是较高的,尽管它们的膜厚度增加至栅极叠置体150。

[0033] 在某些有利的实施例中,III-N极化材料106、109是单个晶体(即,不是单独的域,其中,晶界分隔这些单独的域),但具有不同的合金成分。例如,极化材料106可以是富含In的,并具有从沟道半导体107的Ga极性界面移除负电荷的极化场极性,而极化材料109是富含Al的,并具有在不存在外部场时将负电荷置于沟道半导体107的Ga极性界面处的极化场极性。在图1A和图1B中所例示的实施例中,该成分调制可以在小于10nm(并且有利地在2nm与5nm之间)的横向距离(x维度)上发生。

[0034] 在一个实施例中,极化层106、109在栅极叠置体150内的z厚度小于3nm。用于通过横向成分调制形成相反的极化材料的一种技术是利用在800°C与1000°C之间执行的金属有机化学气相沉积(MOCVD)。在一个这样的实施例中,引入前驱气体,以便在低于900°C的稳定状态生长温度下把 $Al_{0.83}In_{0.17}N$ 成分作为目标。如果横向均匀,则该目标膜具有均匀取向的极化,以便在不存在外部场的情况下将负电荷置于沟道半导体107的Ga极性界面处。然而,已经发现在较高的生长温度(例如,在800°C与1000°C之间)下发生横向成分调制,尤其当生长在AlN间隔体108上时,更具体而言,当与在至少900°C的温度下生长的AlN间隔体108一起原位生长时。在AlN间隔体108的生长条件与具有较低温度(例如,700°C)的 $Al_{0.83}In_{0.17}N$ 的生长条件之间的至少一过渡时间段期间,可以形成其中富含InN的材料106横向邻近于富含AlN的材料109的AlInN膜。AlInN生长可以在完成该过渡时间段之后终止,或者可以无限定地继续以达到超过4nm(以及如果稳定的生长条件可以保持期望的横向成分调制,则有利地在7nm与20nm之间)的z厚度。

[0035] 在其中生长条件不能无限定地保持横向成分调制的实施例中,可以将具有基本上单一的极化场极性(例如,如在源极/漏极135、145中所例示的)的生长覆盖层凹陷蚀刻或抛光回某个阈值厚度(例如,小于3nm),在该阈值厚度以下,存在相反极性的两种极化材料。也可以通过使用横向外延生长技术来在较厚的膜(例如,7nm-20nm)中实现图1A、图1B中所例示的具有横向调制的极化场极性的极化材料106、109。例如,可以使用5-10nm的生长周期、在预定的富含InN的成分与预定的富含AlN的成分之间变化的生长条件的情况下执行在具有例如20nm的z维度的侧壁的III-N材料侧壁上的横向生长。

[0036] 在实施例中,III-N HFET包括具有相反的和平行的极化场极性的多个极化材料层。对于这样的实施例,成分调制沿着垂直于生长衬底的生长轴,而不是如图1A和图1B中所例示的横向成分调制。具有多个极化材料层的实施例包括至少两个极化膜,其中每个都具

有固定的主导极性,并且因此可以具有任何期望的厚度(即,不限于与过渡生长环境相对应的厚度)。极化材料的成分和膜厚度可以被调节为使得在不存在外部电场时,它们的极化强度是平衡的并且它们的场极性彼此相反。随后,晶体管栅极叠置体内的整体有效极化经受外部电场的调制。具有多个极化层的实施例在HFET外延架构中有利地提供了附加的自由度,其中一个是一个极化层相对于沟道半导体的位置。极化层的成分和极化层的z厚度是这些HFET外延结构的两个附加的自由度,它们可以用于将 V_t 调节为允许陡峭的SS斜率的目标电压,而不管栅极电压扫描方向。

[0037] 图2A是根据实施例的具有栅极叠置体250的HFET 201的横截面视图,栅极叠置体250包括平衡的和相反的III-N极化材料层,其中,第一III-N极化材料106和第二III-N极化材料109都是被设置在沟道半导体107的Ga极性界面上方的层。图3A是根据实施例的具有栅极叠置体350的HFET301的横截面视图,栅极叠置体350包括平衡的和相反的III-N极化材料层,其中,极化材料109是被设置在沟道半导体107的Ga极性界面上方的层,并且沟道半导体107被设置在III-N极化材料106的层的Ga极性界面上方。

[0038] 首先参考图2A,基本上如针对HFET 101所描述的, HFET 201包括栅极电极120、栅极电介质115、源极和漏极135、145、衬底102、和缓冲层105。沟道半导体107和间隔体108还可以具有以上在HFET 101的背景中所描述的性质中的任何性质。在一个示例性实施例中,沟道半导体107是具有10nm或更大厚度的未掺杂的GaN层,并且间隔体108是小于2nm的AlN。III-N极化材料106、109被设置在沟道半导体107上方。如所例示的,极化材料106具有从沟道半导体107的Ga面移除电荷的第一极性,而极化材料109具有相反的极性。在示例性实施例中,III-N极化材料106在栅极叠置体250内具有至少4nm(并且有利地在7nm与20nm之间)的层厚度 T_1 。在栅极叠置体250内,III-N极化材料109同样具有至少4nm(并且有利地在7nm与20nm之间)的层厚度 T_2 。这些较大的厚度确保超过可能具有成分调制的任何过渡区(transition regime),并且在每个极化材料层中都存在一个高度主导的极化场极性。在另外的实施例中, T_2 在栅极叠置体250内处于 T_1 的10%内。

[0039] 极化材料109被设置在极化材料106与沟道半导体107之间。更具体而言,极化材料106是与沟道半导体107的Ga面接合的底部极化层,并且极化材料109形成与极化材料106的Ga面接合的顶部极化层。尽管极化材料106、109的交替叠置是可能的,但是所例示的顺序允许III-N极化材料106具有预定的厚度 T_1 ,其中,极化材料109在栅极叠置体250内具有预定的厚度 T_2 ,其最佳地平衡极化材料106的极化场强度。极化材料109在栅极叠置体250之外还可以具有较大的厚度 T_2 ,该厚度 T_2 确保在源极区135/漏极区145中2DEG内的高的电荷载流子密度。例如可以通过栅极凹陷工艺来实现 T_2 的变化,栅极凹陷工艺可以根据需要减薄栅极叠置体205内的极化材料109,以平衡III-N极化材料106的相反的极化场极性。在另外的实施例中,膜的厚度 T_2 在栅极叠置体250内比在源极区135/漏极区145内小至少几纳米。

[0040] 接下来参考图3A,基本上如针对HFET 101和HFET 201所描述的, HFET 301包括栅极电极120、栅极电介质115、源极和漏极135、145、衬底102、和缓冲层105。沟道半导体107和间隔体108还可以具有以上在HFET 101和HFET 201的背景中所描述的性质中的任何性质。在一个示例性实施例中,沟道半导体107是具有至少7nm(并且有利地10nm或更大)的厚度的未掺杂的GaN层。在示例性实施例中,间隔体108是小于2nm的AlN。沟道半导体107被设置在极化材料106与极化材料109之间。更具体而言,沟道半导体107形成具有III-N极化材料106

的Ga极性界面的异质结,并且极化材料109形成与沟道半导体107的Ga面接合的顶部极化层。HFET 301的外延架构优于HFET 201的外延结构,因为GaN沟道半导体107还可以用于从极化材料106的晶格间距到极化层109的晶格间距的过渡。每个极化层随后可以经受与GaN晶格失配,GaN可具有介于极化层晶格常数之间的晶格常数。

[0041] 在HFET 301中,极化材料106再次具有从沟道半导体107的Ga面移除负电荷的第一极性。极化材料109具有相反的极性并且将负电荷置于沟道半导体107的Ga面上。如针对HFET 201所描述的,极化材料膜的厚度 T_1 和 T_2 被选择为平衡栅极叠置体350内的相反的场之间的极化强度,并且因此是极化材料成分的函数。在实施例,极化材料层的厚度 T_1 和 T_2 都是至少4nm,并且有利地在7nm与20nm之间,以确保超过可能具有成分调制的任何过渡区,并且在每个极化膜中都存在一个高度主导的极化场极性。在另外的实施例, T_2 在栅极叠置体350内处于 T_1 的10%内。在图3A中所例示的示例性实施例中,栅极电极120是未凹陷的,其中,极化材料109形成在栅极叠置体350和在源极135/漏极145两者内都具有 T_2 的固定厚度的层。然而,在替代的实施例中,为了平衡栅极叠置体350内的极化场而同时仍然确保2DEG 111延伸到源极135/漏极145中,可以使栅极电极120凹陷(例如,如在图2A中所示出的)。

[0042] 在相反的极化场在栅极叠置体内具有良好平衡的强度(即,具有基本上相等的强度)的情况下,可以通过施加外部场(例如,由于在栅极电极上施加偏置电压而产生的外部场)来在两个相反的极化之间调制整体有效极化。对于平衡的相反的极化场,可以在栅极电压的正扫描和负扫描两者中实现陡峭的亚阈值扫描。图2B是根据这种实施例的HFET 201的亚阈值性能的图。图3B是根据另一个这种实施例的HFET 301的亚阈值性能的图。应当指出, $dV_G/d\Phi$ 的减小对应于电子在III-N极化材料106、109与沟道半导体107内的填充的状态之间的转换,在 V_t 随着栅极电极偏置电压扫描的方向变化不大于200mV的情况下可以预期到小的滞后。通过针对平衡的极化强度适当地选择极化材料106、109的厚度和成分,III-N极化材料106、109响应于栅极偏置电压朝0V增加少于60mV而驱使在20°C下漏极电流增大一个数量级(在图2B和图3B中的实线)。材料106、109还响应于栅极偏置电压朝0V减小少于60mV而驱使在20°C下漏极电流减小一个数量级(图2B和图3B中的虚线)。换言之,在 V_t 以0伏特为中心的情况下,对于HFET 201和HFET 301两者,亚阈值斜率在关断至导通切换和导通至关断切换两者下都超过热限制。在相反极性的极化强度不平衡的情况下,可以在电压扫描方向中的至少一个方向上观察到恶化的亚阈值斜率(例如, $>60\text{mV/dec}$)。

[0043] 当对于HFET 201和HFET 301两者 V_t 都以0伏特为中心时,HFET 201与HFET 301之间的外延架构的差别导致不同的 $I_D V_G$ 特性。在HFET 201中,当施加增大的负极性的外部栅极电势时,沟道中的负电荷借助于电荷从层106和109的界面转移至沟道半导体107而增加,导致相比于由于单独增加所施加的栅极电势所可能引起的,沟道电势增大较多。这引起电压提升效应(即,负电容效应),以及在向上扫描期间小于60mV/decade的亚阈值摆幅。当施加减小的正极性的外部栅极电势时,发生相反的情况。在HFET 301中,当施加减小的负极性的外部栅极电势时,沟道中的负电荷借助于电荷从沟道转移至界面层106而减少,导致相比于由于单独减小所施加的栅极电势而可能引起的,沟道电势消耗较多。这引起在向下扫描期间小于60mV/decade的亚阈值摆幅。当施加增大的正极性的外部栅极电势时,发生相反的情况。

[0044] 在实施例,III-N极化层106是InGaN或AlInN合金,III-N极化层109是AlInN或

AlGa_xN的合金。每种材料的成分都被约束以平衡极化强度并获得相反的极性。图4是结合界面 (bound interface) 电势随着III-N成分变化的图,其突出了可以组合在根据HFET 101、或HFET 201、或HFET201的实施例的外延结构中的III-N极化层成分。在图4中,其中正Ga面/GaN界面密度适合于极化层106的合金分数的三个示例性范围被突出为306A、306B、和306C。其中负Ga-面/GaN界面密度适合于极化层109的合金分数的两个示例性范围被类似地突出为309A和309B。根据实施例,在图4中所例示的成分范围可以被组合,以形成在表1中所列出的三个示例性的HFET外延结构A、B、和C。

[0045]

外延结构	极化层106	极化层109
A	Al _x In _{1-x} N (x:0.8-1)	Al _x In _{1-x} N (x:0.6-0.4)
B	Al _x In _{1-x} N (x:0.8-1)	In _x Ga _{1-x} N (x:0.2-0.5)
C	Al _x Ga _{1-x} N (x:0.1-0.4)	In _x Ga _{1-x} N (x:0.03-0.2)

[0046] 表1

[0047] 如在图4和表1中示出的,极化层106可以是Al_xIn_{1-x}N (其中,x在0.6与0.4之间 (306A)),或者可以是In_xGa_{1-x}N (其中,x在0.2与0.5之间 (306B)),而极化层109是Al_xIn_{1-x}N,其中x在0.8与1之间 (309A)。在这些实施例中的任何实施例中,极化层109可以是Al_{0.83}In_{0.17}N,以用于与GaN有利的晶格匹配。在这些实施例中的第一实施例中,Al_xIn_{1-x}N极化层106中的较小分数的Al可以与Al_xIn_{1-x}N极化层109中的较大分数的Al平衡。在这些实施例中的第二实施例中,In_xGa_{1-x}N极化层106中的较大分数的Al可以与Al_xIn_{1-x}N极化层109中的较大分数的Al平衡。在任一实施例中,在负结合界面密度和正结合界面密度更匹配的情况下,极化层厚度之间的较好的匹配是可能的。

[0048] 在图4所例示的以及表1中所列出的第三实施例中,极化层106可以是In_xGa_{1-x}N,其中x在0.03与0.2之间 (306C),而极化层109是Al_xGa_{1-x}N,其中x在0.1与0.4之间 (309B),以提供适当的相反的极化场。在该实施例中,较大分数的In平衡较大分数的Al。

[0049] 可以通过选择III-N极化材料109的成分来设计包括极化材料成分 (例如在表1中的那些) 的外延架构,以便在不存在外部场时将足够的负电荷置于沟道半导体107的Ga面上,而同时还具有与下层或上层III-N材料的适当的晶格匹配以允许获得特定极化强度所需要的极化材料厚度T₂。随后,III-N极化材料106的成分可以被选择为从沟道半导体107的Ga面带走足够的负电荷,以便平衡由极化层材料109置于沟道上的电荷 (在不存在外部场时)。III-N极化材料109的成分还可以被选择为确保平衡的III-N极化材料106还具有与下层或上层III-N材料的适当的晶格匹配,以允许提供平衡的极化场所需要的III-N极化材料的厚度T₁。在T₁和T₂进一步被限制为超过对于可重复的固定的极化场极性所需要s的最小厚度 (例如,7nm) 的情况下,结合界面密度图 (例如,图4中) 可以用于选择极化材料106的成分,其中,极化材料106在具有最小厚度T₁时,可以平衡也具有至少最小厚度T₂的极化材料109的极化场。在极化材料106或109足够晶格匹配的情况下,厚度T₁和/或厚度T₂可以更大,其中任一极化层都具有相比于如获得最接近0V的V_t目标所需要的厚度较大的厚度。

[0050] 显著地,可以在包括片上系统的电子器件结构中实现HFET 101、201、或301中的任何一个。例如,结构可以包括在衬底上实现的硅互补金属氧化物半导体 (CMOS) 电路部分102、基于III-N材料的器件部分103、其它器件部分。可以在III-N材料区域上形成基于III-

N材料的器件(例如,晶体管100或晶体管200),该III-N材料区域形成在衬底上、衬底上方、或衬底内。例如,衬底可以是如本文中所讨论的硅。可以例如基于器件需求而邻近CMOS电路部分形成III-N材料区域。

[0051] 尽管关于具有横向和/或平面沟道的结构进行了例示,但本文中所讨论的技术可以扩展到垂直取向的MOSFET器件、或多栅极MOSFET器件。在这些非平面晶体管的实施例中,栅极电介质和栅极电极可以环绕III-N沟道半导体和极化材料的多个维度。这些实施方式可以具有耦合至多个III-N极化层的较强的栅极电极的优点,尤其是对于其中III-N极化层位于沟道半导体的相对侧上的HFET 301。非平面器件还可以得益于横向过生长外延的使用,以形成本文中所描述的III-N极化层中的一个或两者。

[0052] 图5是根据实施例的例示了用于形成具有栅极叠置体的HFET的方法501的流程图,栅极叠置体包括被配置为实现陡峭的亚阈值斜率的平衡的和相反的III-N极化材料层。然而,本文中的实施例可以包括另外的操作,可以省略某些操作、或者以所提供的顺序以外的顺序来执行操作。

[0053] 方法501从使用任何公知的外延生长技术(例如,但不限于分子束外延(MBE)、或MOCVD)在衬底(例如,衬底102)上生长III-N缓冲体(例如,缓冲体105)开始。在生长III-N缓冲体之后,方法501还需要在操作520处在缓冲体上外延生长III-N沟道半导体,或者还需要在操作525处在缓冲体上外延生长III-N极化层。在第一实施例中,操作520需要生长至少7nm厚的GaN沟道半导体,并且AlN间隔体在GaN沟道半导体上外延生长至小于2nm的厚度。在第二实施例中,操作525需要生长具有第一压电和自发极化场极性的至少4nm厚的III-N极化层。在一个示例性实施例中,操作525需要生长具有正的结合Ga-面/GaN界面密度的富含In的III-N合金。

[0054] 方法501从操作520继续到操作530,其中,在III-N间隔体上生长具有第一压电和自发极化场极性的至少4nm III-N极化层。在一个示例性实施例中,操作530需要生长具有正的结合Ga面/GaN界面密度的III-N合金。在替代的实施例中,方法510从操作525继续到操作535,其中,在第一III-N极化层上外延生长至少7nm厚的GaN沟道半导体,并且AlN间隔体在GaN沟道半导体上外延生长至小于2nm的厚度。

[0055] 方法501从操作530继续到操作540,其中,第二III-N极化层在III-N间隔体上外延生长至少4nm的厚度。在一个示例性实施例中,操作540需要外延生长具有负的结合Ga面/GaN界面密度的III-N合金。在替代的实施例中,方法501从操作535继续到操作545,其中III-N极化层在III-N间隔体上方生长至少4nm的厚度。在一个示例性的实施例中,操作545需要外延生长具有负的结合Ga面/GaN界面密度的III-N合金。

[0056] 在操作540或545之后,可以通过使用传统技术外延生长源极/漏极半导体层来完成如在图2A或图3A中所描绘的包括多个极化层和沟道半导体的外延结构。在操作550处,可以执行栅极凹陷蚀刻以暴露出顶部III-N极化层以及被沉积在凹陷部中的栅极电介质和栅极电极功函数金属。或者,在顶部III-N极化层上沉积栅极电介质和栅极电极功函数金属之后,可以生长凸起的源极/漏极半导体。方法501随后在操作560处完成,其中,在HFET栅极电极、源极和漏极上沉积互连金属化物。

[0057] 图6例示了根据本发明的实施例的其中移动计算平台1005和/数据服务器机器1006采用包括至少一个III-N HFET的IC的系统1000,该III-NHFET采用平衡的和相反的

III-N极化材料。服务器机器1006可以是任何商业服务器,例如包括被设置在机架内并且联网在一起以进行电子数据处理的任何数量的高性能计算平台,在示例性实施例中,其包括封装的单片IC 1050。移动计算平台1005可以是配置用于电子数据显示、电子数据处理、无线电子数据传输、等等中每一个的任何便携式设备。例如,移动计算平台1005可以是平板设备、智能手机、膝上型计算机、等等中的任何一个,并可以包括显示屏(例如,电容性的、电感的、电阻的、或光触摸屏)、芯片级或封装级集成系统1010、以及电池1015。

[0058] 不管被设置在放大视图1020中所例示的集成系统1010内,还是作为服务器机器1006内的独立式封装芯片,封装式单片IC 1050都包括存储芯片(例如,RAM)、或处理器芯片(例如,微处理器、多核处理器、图形处理器、等等),其包括采用平衡的和相对的III-N极化材料(例如,如本文中其它地方所描述的)的至少一个III-N HFET。单片IC 1050还可以耦合至板、衬底、或插入器1060、连同功率管理集成电路(PMIC) 1030、RF(无线)集成电路(RFIC) 1025以及它们的控制器1035中的一个或多个,该RF(无线)集成电路(RFIC) 1025包括宽带RF(无线)发射机和/或接收机(TX/RX)(例如,包括数字基带和模拟前端模块,其还包括发射路径上的功率放大器和接收路径上的低噪声放大器)。

[0059] 功能性地,PMIC 1030可以执行电池功率调节、DC至DC转换、等等,并因此具有耦合至电池1015的输入并具有向其它功能模块提供电流供应的输出。如进一步例示的,在示例性实施例中,RFIC 1025具有耦合至天线(未示出)的输出,以实现多个无线标准或协议中的任何无线标准或协议,这些无线标准或协议包括但不限于Wi-Fi(IEEE 802.11系列)、WiMAX(IEEE802.16系列)、IEEE 802.20、长期演进(LTE)、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、蓝牙、及其衍生物,以及被命名为3G、4G、5G及更高的任何其它无线协议。在替代的实施方式中,这些板级模块中的每个模块都可以被集成到耦合至单片IC1050的封装衬底的单独IC上或者被集成在耦合至单片IC 1050的封装衬底的单个IC内。

[0060] 图7是根据本公开内容的至少某些实施方式进行布置的计算设备1100的功能性框图。例如,可以在平台1005或服务器机器1006内部找到计算设备1100。设备1100还包括承载多个部件的母板1102,这些部件例如但不限于处理器1104(例如,应用处理器),其还可以包含根据本发明的实施例的采用平衡的和相反的III-N极化材料的至少一个III-N HFET。处理器1104可以物理和/或电气地耦合到母板1102。在某些示例中,处理器1104包括被封装在处理器1104内的集成电路管芯。通常,术语“处理器”或“微处理器”可以指代对来自寄存器和/或存储器的电子数据进行处理以便将该电子数据转换成可以被进一步储存在寄存器和/或存储器中的其它电子数据的任何器件或器件的一部分。

[0061] 在各示例中,一个或多个通信芯片1106也可以物理和/或电气地耦合到母板1102。在另外的实施方式中,通信芯片1106可以是处理器1104的部分。取决于其应用,计算设备1100可以包括其它部件,这些部件可以物理和电气地耦合到母板1102,也可以不存在这样的耦合。这些其它部件包括但不限于易失性存储器(例如,DRAM)、非易失性存储器(例如,ROM)、闪存、图形处理器、数字信号处理器、密码协处理器、芯片组、天线、触摸屏显示器、触摸屏控制器、电池、音频编解码器、视频编解码器、功率放大器、全球定位系统(GPS)设备、罗盘、加速度计、陀螺仪、扬声器、照相机、以及大容量储存设备(例如,硬盘驱动、固态驱动(SSD)、压缩盘(CD)、数字多功能盘(DVD)等)、等等。

[0062] 通信芯片1106可以实现无线通信,以便将数据传送到计算设备1100以及从计算设

备1100传送数据。术语“无线”及其派生词可用于描述可通过使用经由非固态介质的经调制的电磁辐射来传送数据的电路、设备、系统、方法、技术、通信信道等。该术语并不暗示相关联的设备不包含任何导线,尽管在某些实施例中它们可能不包含。通信芯片1106可以实施多个无线标准或协议中的任何无线标准或协议,这些无线标准或协议包括但不限于本文中在其它地方所描述的那些。如所讨论的,计算设备1100可以包括多个通信芯片706。例如,第一通信芯片可以专用于较短距离无线通信(例如,Wi-Fi和蓝牙),并且第二通信芯片可以专用于较长距离无线通信(例如,GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO以及其它)。

[0063] 尽管已经参照各实施方式描述了本文中所阐述的某些特征,但该描述并非旨在在限制性意义上被构建。因此,本文中所描述的实施方式以及其它实施方式的对于本公开内容所涉及的本领域技术人员而言显而易见的各种修改被认为落在本公开内容的精神和范围内。

[0064] 将认识到,本发明并不限于如此描述的实施例,但是在不脱离本发明的范围的情况下可以利用修改和变更来实施本发明。例如,以上实施例可以包括如下进一步提供的特征的特定组合。

[0065] 在一个或多个第一实施例中,一种异质结构场效应晶体管(HFET),其包括栅极电极、源极和漏极、以及沟道半导体,所述沟道半导体包括GaN并利用二维电子气(2DEG)电耦合所述源极和所述漏极,所述二维电子气(2DEG)通过栅极电介质材料耦合至所述栅极电极。所述HFET还包括邻近于所述沟道半导体的多种III族-氮化物(III-N)极化材料,所述多种III-N极化材料也通过所述栅极电介质材料耦合至所述栅极电极。所述多种III-N极化材料还包括具有第一极化场的第一III-N材料,所述第一极化场具有第一极性,在不存在来自所述栅极电极的外部施加的场的情况下,所述第一极性将负电荷置于所述沟道半导体的Ga极性界面处。所述多个III-N极化材料还包括具有第二极化场的第二III-N材料,所述第二极化场具有与所述第一极性相反的第二极性,并且所述第二极化场具有基本上等于所述第一极化场的大小。

[0066] 进一步根据一个或多个第一实施例,所述第一III-N极化材料和所述第二III-N极化材料响应于所述栅极电极的偏置电压改变小于60mV,而驱使在20°C下所述漏极处的电流变化一个数量级。

[0067] 进一步根据一个或多个第一实施例,所述第一III-N极化材料和所述第二III-N极化材料被设置在所述沟道半导体的Ga极性界面上方,或者所述第一III-N极化材料被设置在所述沟道半导体的Ga极性界面上方,并且所述沟道半导体被设置在所述第二III-N极化材料的Ga极性界面上方。

[0068] 进一步根据一个或多个第一实施例,所述第一III-N极化材料和所述第二III-N极化材料被设置在所述沟道半导体的Ga极性界面上方。所述第一III-N极化材料和所述第二III-N极化材料响应于所述栅极电极的偏置电压朝0V增加少于60mV,而驱使在20°C下所述漏极处的电流增大一个数量级。所述第一III-N极化材料和所述第二III-N极化材料响应于所述栅极电极的偏置电压朝0V减小少于60mV的变化,而驱使在20°C下所述漏极处的电流减小一个数量级。

[0069] 进一步根据一个或多个第一实施例,所述沟道半导体形成具有所述第二III-N极化材料的Ga极性界面的异质结。所述第一III-N极化材料和所述第二III-N极化材料响应于

所述栅极电极的偏置电压从0V增加少于60mV的变化,而驱使在20°C下所述漏极处的电流增大一个数量级。所述第一III-N极化材料和所述第二III-N极化材料响应于所述栅极电极的偏置电压从0V减小少于60mV的变化,而驱使在20°C下所述漏极处的电流减小一个数量级。

[0070] 进一步根据以上实施例,所述第一III-N极化材料形成具有AlN间隔体层的Ga极性界面的异质结,并且所述AlN间隔体层形成具有所述沟道半导体的Ga极性界面的异质结。

[0071] 进一步根据一个或多个第一实施例,所述第一III-N极化材料包括 $Al_xIn_{1-x}N$,其中 x 在0.8与1之间。所述第二III-N极化材料包括 $Al_xIn_{1-x}N$,其中 x 在0.6至0.4之间,或者包括 $In_xGa_{1-x}N$,其中 x 在0.2至0.5之间。或者,所述第一III-N极化材料包括 $Al_xGa_{1-x}N$,其中 x 在0.1至0.4之间,并且所述第二III-N极化材料包括 $In_xGa_{1-x}N$,其中 x 在0.03至0.2之间。

[0072] 进一步根据以上实施例,阈值电压(V_t)显示出在通过0V的增大的栅极电极电压扫描与减小的栅极电极电压扫描之间具有不大于200mV的偏移的滞后。

[0073] 此外,进一步根据以上实施例,所述第一III-N极化材料的膜厚度在所述第二III-N极化材料的膜厚度的10%内。

[0074] 此外,进一步根据以上实施例,所述第一III-N极化材料和所述第二III-N极化材料均具有至少4nm并且不大于20nm的膜厚度;并且所述沟道半导体的厚度至少为10nm。进一步根据该实施例,AlN层将所述第一III-N材料层与所述沟道层间隔开至少2nm,所述栅极电极包括中间带或者略微p型的金属,并且所述栅极电介质包括 Al_2O_3 、 HfO_2 、 $TaSi_yO_x$ 、 Ta_2O_5 、 ZrO_2 。

[0075] 在一个或多个第二实施例中,一种III-N外延叠置体,包括衬底、被设置在所述衬底上的半导体缓冲层、被设置在所述缓冲体上方的Ga极性GaN层、以及邻近于所述GaN层的多种III族-氮化物(III-N)极化材料。所述多种III-N极化材料还包括具有第一极化场的第一III-N材料和具有第二极化场的第二III-N材料,所述第一极化场具第一极性,在不存在外部施加的场的情况下,所述第一极性将负电荷置于所述GaN层的Ga极性界面处,所述第二极化场具有与所述第一极性相反的第二极性,所述第二极化场具有基本上等于所述第一极化场的大小。

[0076] 进一步根据一个或多个第二实施例,所述第一III-N极化材料形成具有AlN间隔体层的Ga极性界面的异质结。所述AlN间隔体层形成具有所述GaN层的Ga极性界面的异质结。所述GaN层形成具有所述第二III-N极化材料的Ga极性界面的异质结。

[0077] 进一步根据一个或多个第二实施例,所述第一III-N极化材料包括 $Al_xIn_{1-x}N$,其中 x 在0.8与1之间,并且所述第二III-N极化材料包括 $Al_xIn_{1-x}N$,其中 x 在0.6至0.4之间;或者 $In_xGa_{1-x}N$,其中 x 在0.2至0.5之间。或者,所述第一III-N极化材料包括 $Al_xGa_{1-x}N$,其中 x 在0.1至0.4之间,并且所述第二III-N极化材料包括 $In_xGa_{1-x}N$,其中 x 在0.03至0.2之间。

[0078] 进一步根据以上实施例,所述第一III-N极化材料的膜厚度在所述第二III-N极化材料的膜厚度的10%内。

[0079] 进一步根据以上实施例,所述第一III-N极化材料和所述第二III-N极化材料均具有至少4nm并且不大于20nm的膜厚度。所述GaN层具有不大于10nm的厚度。AlN层将第一III-N材料层与所述沟道层间隔开少于2nm。

[0080] 在一个或多个第四实施例中,一种异质结构场效应晶体管(HFET),其包括栅极电极、源极和漏极、以及沟道半导体,所述沟道半导体包括GaN并利用二维电子气(2DEG)电耦

合所述源极和所述漏极,所述二维电子气(2DEG)通过具有7或更大的体介电常数的电介质层耦合至所述栅极电极。所述HFET还包括邻近于所述沟道半导体的多个III族-氮化物(III-N)极化材料层,所述多个III-N极化材料层也通过所述电介质耦合至所述栅极电极。所述多个III-N极化材料层还包括第一III-N材料,所述第一III-N材料通过AlN层与所述沟道半导体间隔开并具有第一极化场,所述第一极化场具有第一极性,在不存在来自所述栅极电极的外部施加的场的情况下,所述第一极化场将负电荷置于所述沟道半导体的Ga极性界面处。所述多个III-N极化材料层还包括第二III-N材料,所述第二III-N材料被设置在所述沟道半导体的与所述第一III-N极化层相对的侧上并具有第二极化场,所述第二极化场具有第二极性,所述第二极性与所述第一极性相反,并且在不存在来自所述栅极电极的外部施加的场的情况下,所述第二极性基本上移除所述沟道层的Ga极性界面处的负电荷。

[0081] 进一步根据一个或多个第四实施例,所述第一III-N极化材料层形成具有AlN间隔体层的Ga极性界面的异质结。所述AlN间隔体层形成具有GaN层的Ga极性界面的异质结,并且所述GaN层形成具有所述第二III-N极化材料层的Ga极性界面的异质结。

[0082] 进一步根据一个或多个第四实施例,所述第一III-N极化材料包括 $Al_xIn_{1-x}N$,其中 x 在0.8与1之间,并且所述第二III-N极化材料包括 $Al_xIn_{1-x}N$,其中 x 在0.6至0.4之间,或者 $In_xGa_{1-x}N$,其中 x 在0.2至0.5之间。或者,所述第一III-N极化材料包括 $Al_xGa_{1-x}N$,其中 x 在0.1至0.4之间,并且所述第二III-N极化材料包括 $In_xGa_{1-x}N$,其中 x 在0.03至0.2之间。

[0083] 进一步根据以上实施例,所述第一III-N极化材料的膜厚度在所述第二III-N极化材料的膜厚度的10%内。

[0084] 然而,以上实施例并不限于这点,在各实施方式中,以上实施例可以包括执行这些特征的子集、执行这些特征的不同顺序、执行这些特征的不同组合、和/或执行除了明确列出的这些特征以外的附加的特征。因此,应当参照所附权利要求连同这些权利要求的等同形式的整个范围来确定本发明的范围。

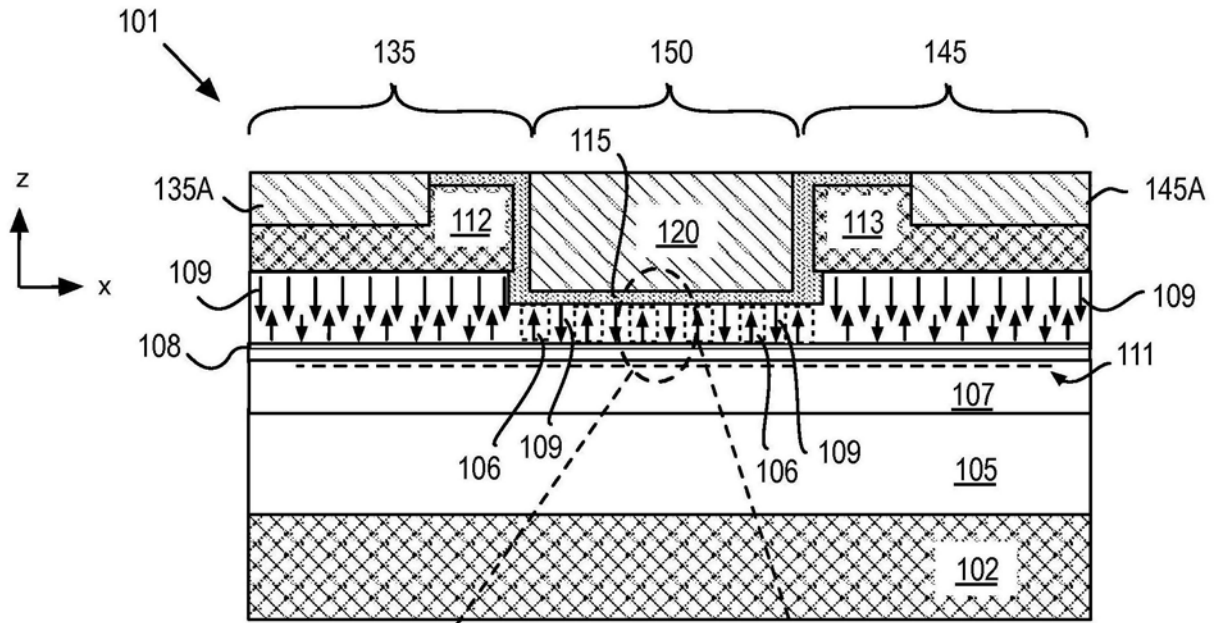


图1A

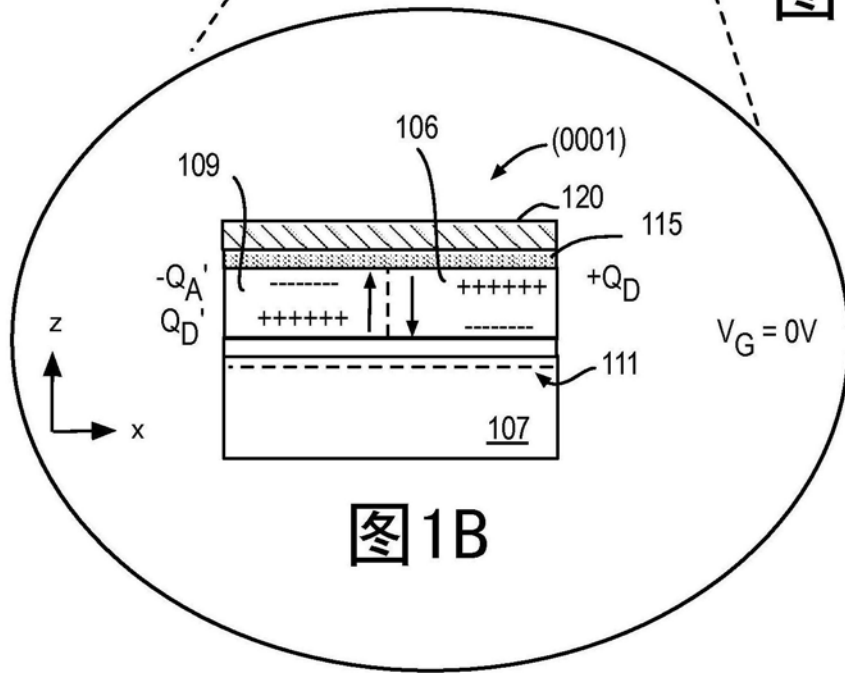


图1B

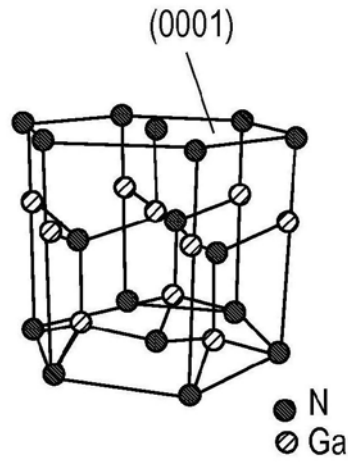


图1C

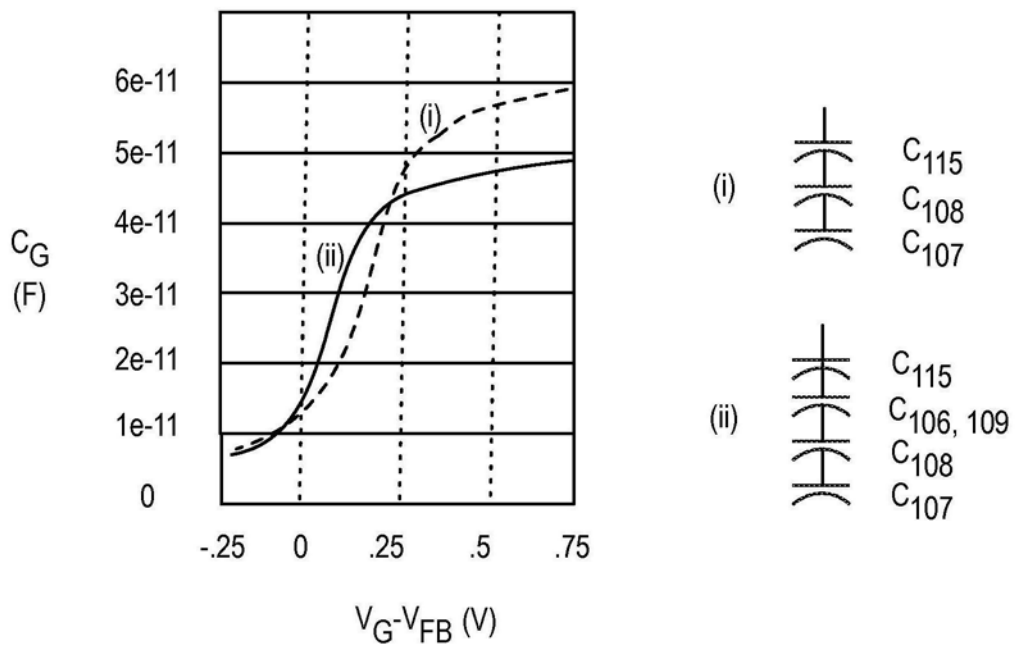


图1D

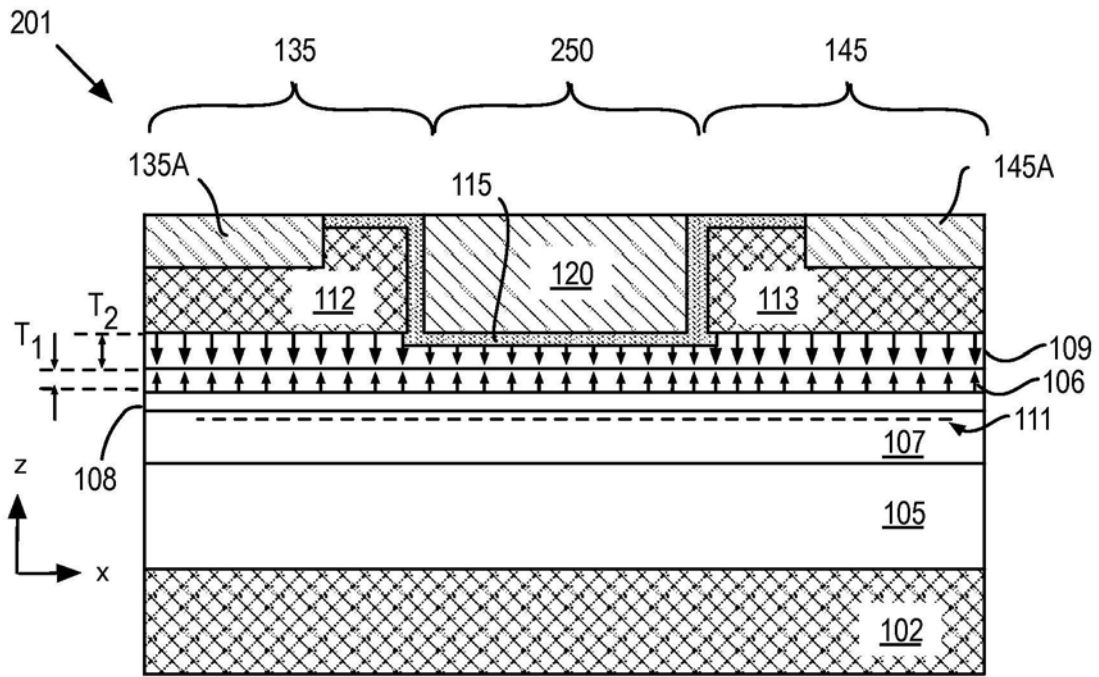


图2A

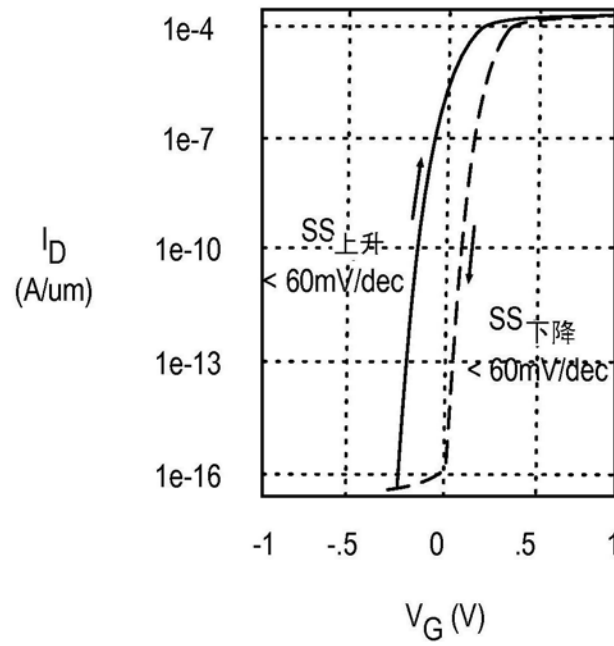


图2B

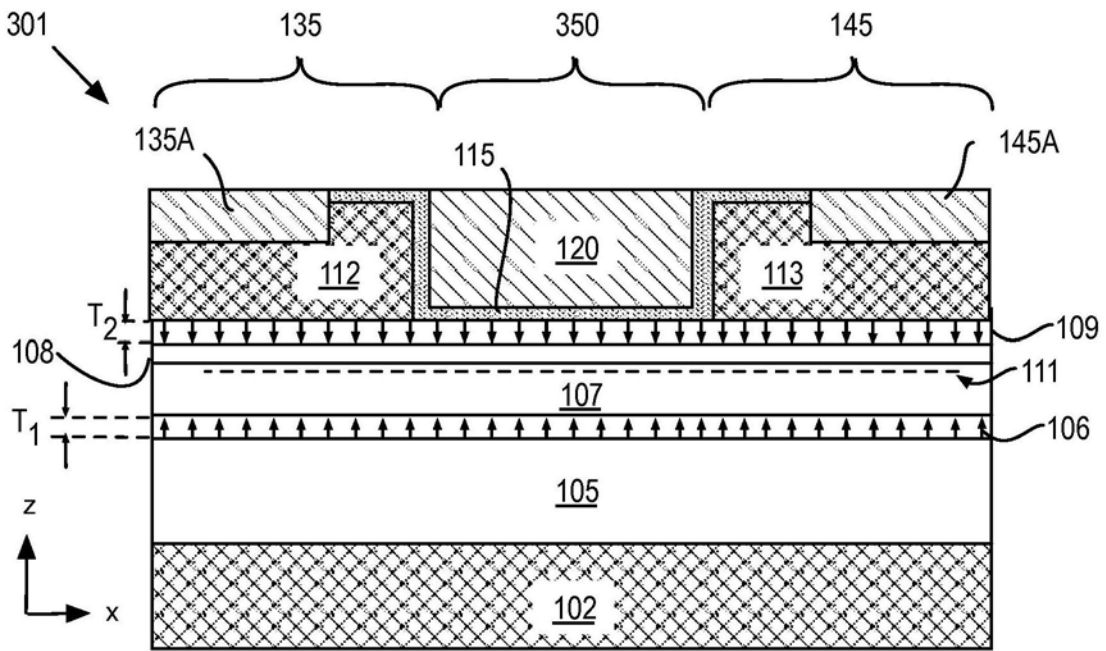


图3A

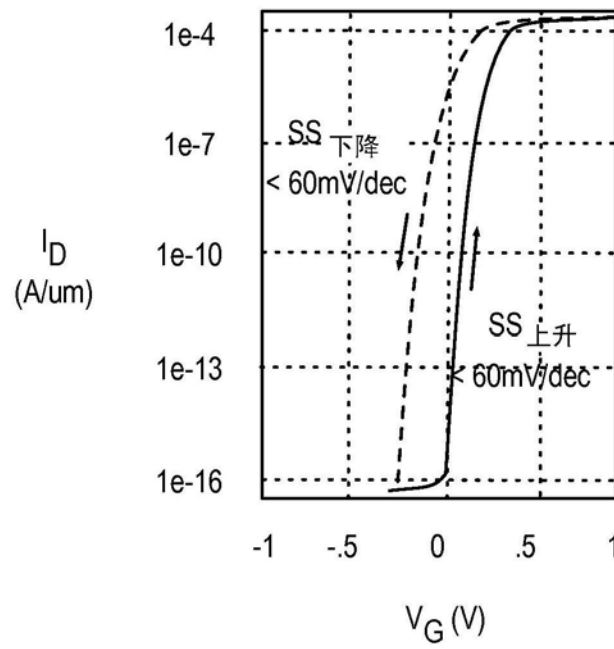


图3B

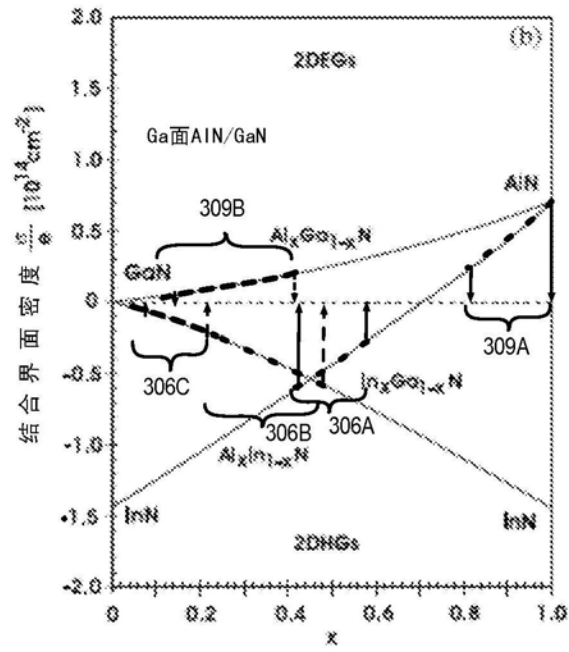


图4

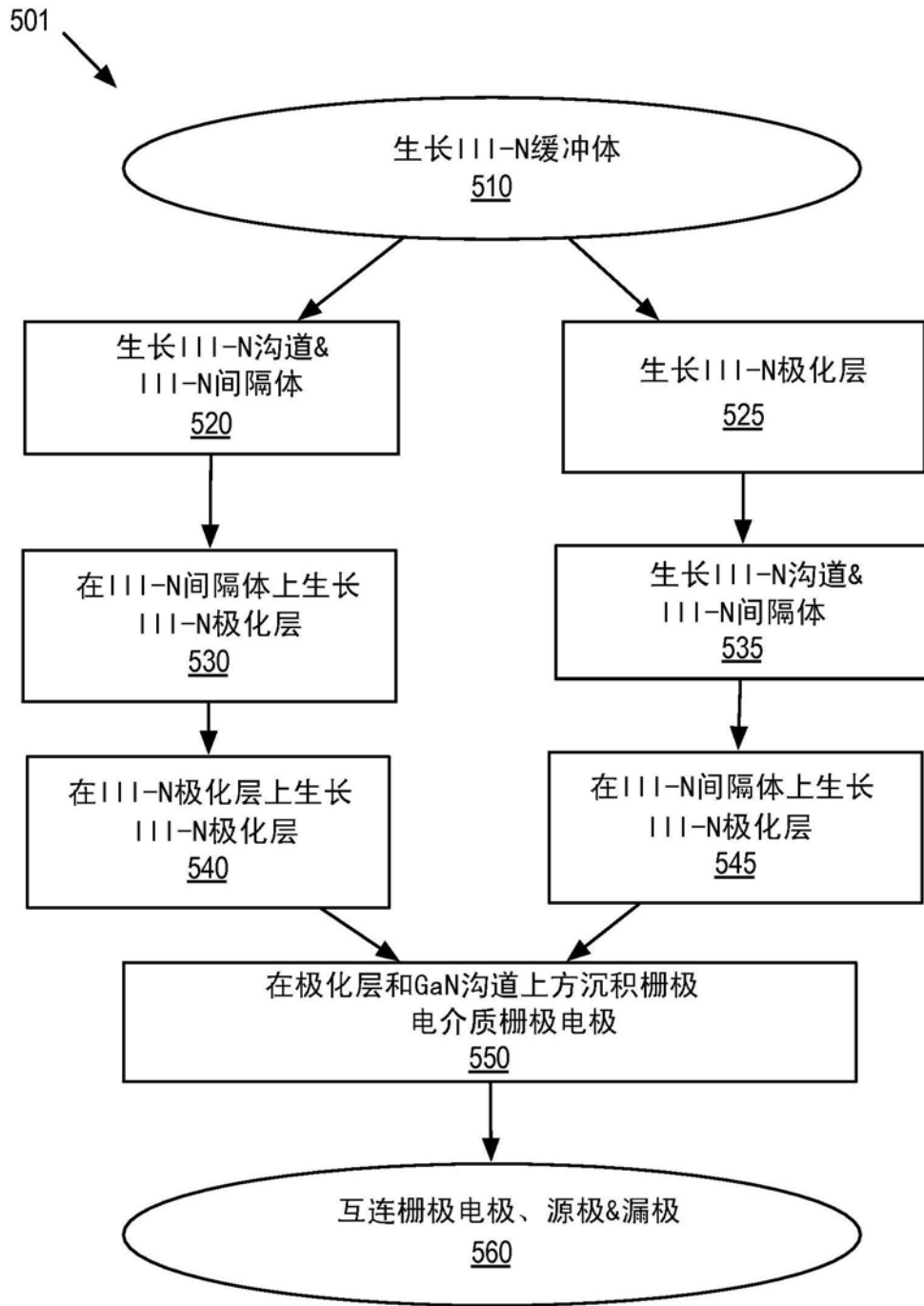


图5

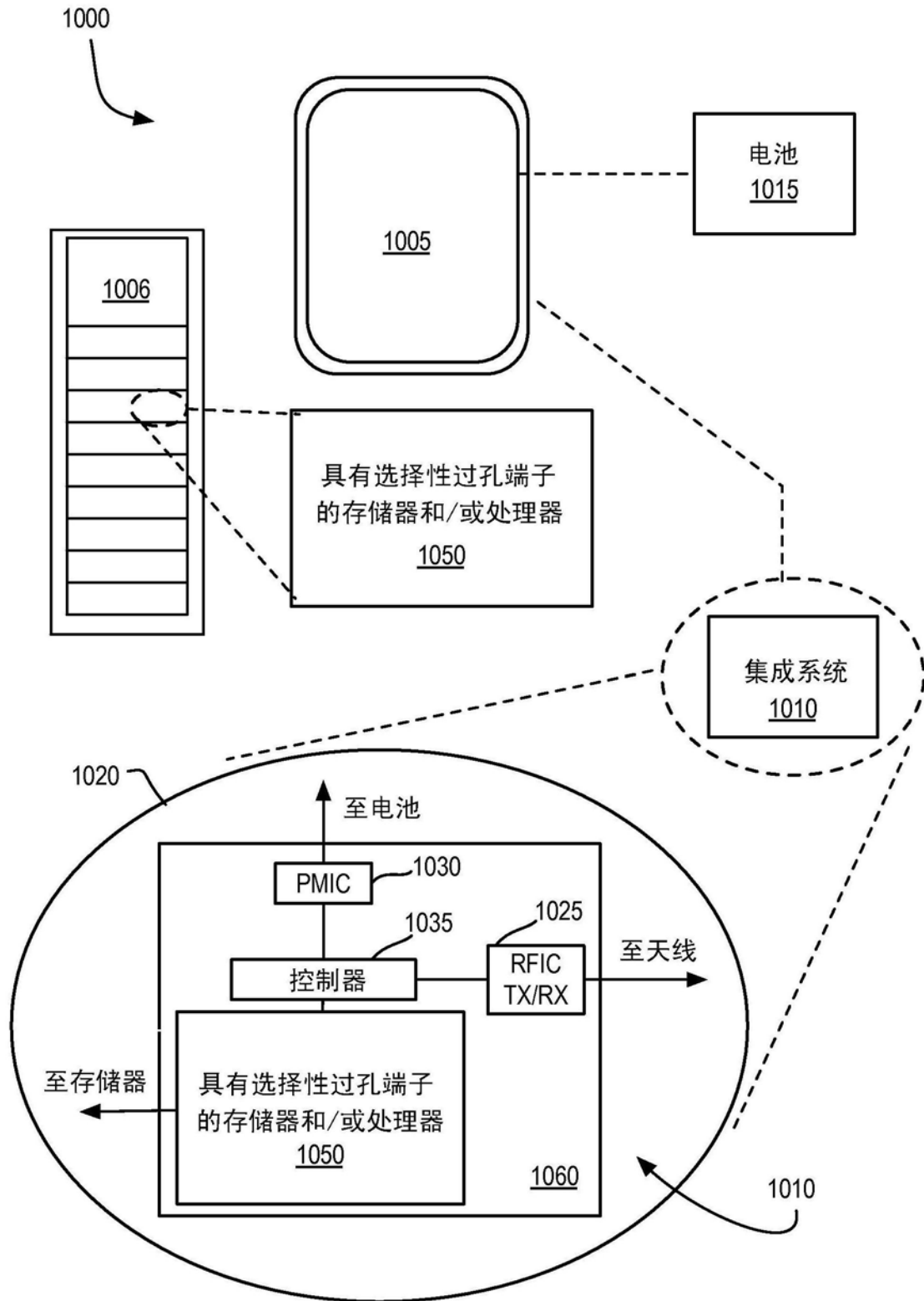


图6

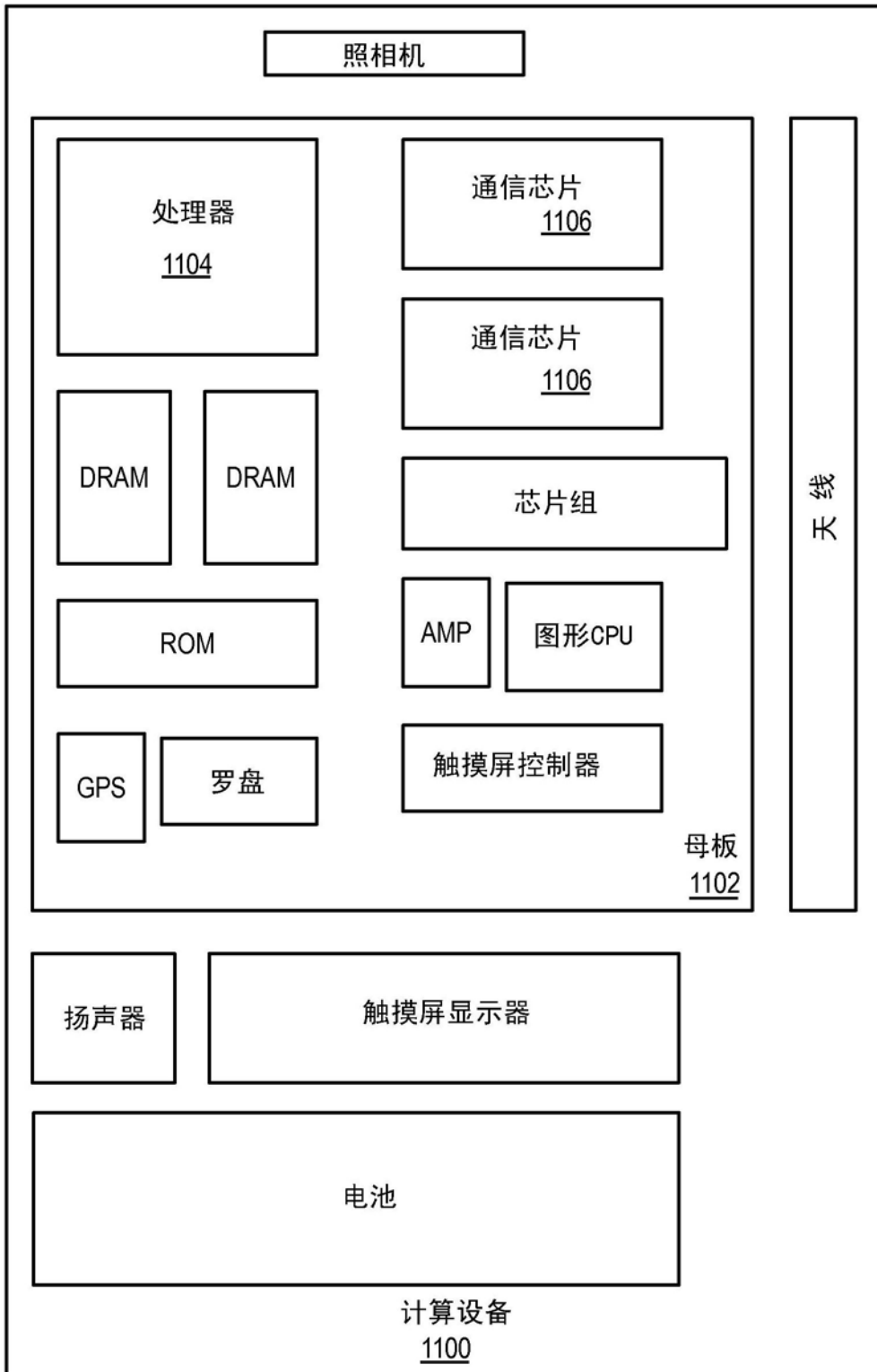


图7