



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0112050  
(43) 공개일자 2012년10월11일

(51) 국제특허분류(Int. Cl.)

*H01L 51/50* (2006.01)

(21) 출원번호 10-2012-0028970

(22) 출원일자 2012년03월21일

심사청구일자 없음

(30) 우선권주장

JP-P-2011-071487 2011년03월29일 일본(JP)

(71) 출원인

소니 주식회사

일본국 도쿄도 미나토구 코난 1-7-1

(72) 발명자

모로사와 나리히로

일본 도쿄도 미나토구 코난 1-7-1 소니 주식회사  
내

(74) 대리인

박충범, 장수길, 이중희

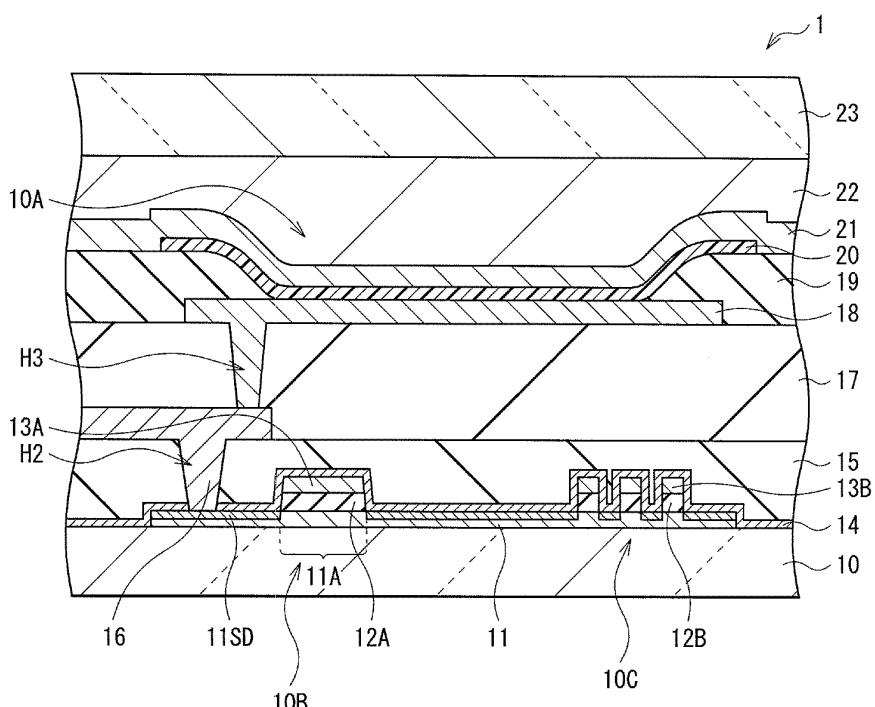
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 표시 장치 및 전자 기기

### (57) 요 약

표시 장치는, 기판, 표시 소자, 표시 소자의 구동 소자로서의 트랜지스터 및 영상 신호에 대응하는 전하를 유지하는 유지 용량 소자를 포함한다. 표시 소자, 트랜지스터 및 유지 용량 소자는 기판상에 설치된다. 유지 용량 소자는 산화물 반도체를 포함하는 제1 반도체층, 제1 반도체층 상에 설치된 제1 도전막, 상기 제1 반도체층과 상기 제1 도전막 사이에 설치된 제1 절연막, 및 제1 반도체층 상의 선택 영역에, 제1 도전막 및 제1 절연막의 두께의 일부 또는 전체를 제거하여 형성되는 오목부를 포함한다.

### 대 표 도



## 특허청구의 범위

### 청구항 1

표시 장치로서,  
기판과,  
표시 소자와,  
상기 표시 소자의 구동 소자로서의 트랜지스터와,  
영상 신호에 대응하는 전하를 유지하는 유지 용량 소자  
를 포함하고,  
상기 표시 소자, 상기 트랜지스터 및 상기 유지 용량 소자는 상기 기판상에 설치되고,  
상기 유지 용량 소자는,  
산화물 반도체를 포함하는 제1 반도체층과,  
상기 제1 반도체층 상에 설치된 제1 도전막과,  
상기 제1 반도체층과 상기 제1 도전막 사이에 설치된 제1 절연막과,  
상기 제1 반도체층 상의 선택 영역에, 상기 제1 도전막 및 상기 제1 절연막의 두께의 일부 또는 전체를 제거하  
여 형성되는 오목부  
를 포함하는, 표시 장치.

### 청구항 2

제1항에 있어서,  
상기 트랜지스터는, 상기 기판에 가까운 순서대로,  
산화물 반도체를 포함하는 제2 반도체층과,  
상기 제2 반도체층 상의 선택 영역에 설치된 게이트 절연막으로서의 제2 절연막과,  
상기 제2 절연막에 대응하는 영역에 설치된 게이트 전극으로서의 제2 도전막과,  
상기 제1 반도체층에 전기적으로 접속되어 설치된 소스/드레인 전극층  
을 포함하는, 표시 장치.

### 청구항 3

제2항에 있어서,  
상기 제1 반도체층과 상기 제2 반도체층은 동일 재료로 구성되고,  
상기 제1 도전막과 상기 제2 도전막은 동일 재료로 구성되며,  
상기 제1 절연막과 상기 제2 절연막은 동일 재료로 구성되는, 표시 장치.

### 청구항 4

제3항에 있어서,  
상기 제1 반도체층은 상기 제2 반도체층과 일체로(integrally) 설치되는, 표시 장치.

### 청구항 5

제4항에 있어서,

상기 제1 반도체층 및 상기 제2 반도체층은, 상기 제1 도전막 및 상기 유지 용량 소자 각각에 비대향하는 (unopposed) 영역에서, 다른 영역보다 전기 저항이 낮은 저저항 영역을 갖는, 표시 장치.

### 청구항 6

제5항에 있어서,

상기 소스/드레인 전극층은 상기 제2 반도체층의 상기 저저항 영역에 전기적으로 접속되어 있는, 표시 장치.

### 청구항 7

제1항에 있어서,

상기 유지 용량 소자는 고저항막으로 덮여 있는, 표시 장치.

### 청구항 8

제1항에 있어서,

상기 표시 소자는 유기 전계 발광 소자인, 표시 장치.

### 청구항 9

제1항에 있어서,

상기 표시 소자는 액정 표시 소자인, 표시 장치.

### 청구항 10

전자 기기로서,

기판을 포함하고, 상기 기판상에, 표시 소자와, 상기 표시 소자의 구동 소자로서의 트랜지스터와, 영상 신호에 대응하는 전하를 유지하는 유지 용량 소자를 포함하는 표시 장치를 포함하고, 상기 유지 용량 소자는, 산화물 반도체를 포함하는 제1 반도체층과, 상기 제1 반도체층 상에 설치된 제1 도전막과, 상기 제1 반도체층과 상기 제1 도전막 사이에 설치된 제1 절연막과, 상기 제1 반도체층 상의 선택 영역에, 상기 제1 도전막 및 상기 제1 절연막의 두께의 일부 또는 전체를 제거하여 형성되는 오목부를 포함하는, 전자 기기.

## 명세서

### 기술 분야

[0001]

본원은, 유기 EL(electroluminescence) 표시 장치 및 액정 표시 장치에 적절한 표시 장치 및 이 표시 장치를 포함하는 전자 기기에 관한 것이다.

### 배경 기술

[0002]

액티브 구동 방식의 액정 표시 장치 또는 유기 EL 표시 장치에서는, 박막 트랜지스터를 구동 소자로서 이용하고, 유지 용량 소자는 영상을 기입하기 위한 신호 전압에 대응하는 전하를 유지한다. 박막 트랜지스터의 게이트 전극과 그의 소스 전극 또는 드레인 전극의 교차 영역에서 기생 용량이 커지면, 신호 전압의 변동이 발생되어, 화질이 열화 될 수 있다.

[0003]

특히, 유기 EL 표시 장치는, 기생 용량이 클 경우에는 축적 용량도 크게 할 필요가 있어, 화소의 레이아웃에 있어서 배선 등이 차지하는 비율이 커진다. 그 결과, 배선간의 쇼트(short) 등의 확률이 증가하여, 제조 수율이 저하된다.

[0004]

종래에는, 산화 아연(ZnO) 또는 산화 인듐 갈륨 아연(IGZO) 등의 산화물 반도체를 채널로서 포함하는 박막 트랜지스터에 대해서, 게이트 전극과 소스 전극 또는 드레인 전극의 교차 영역에 형성되는 기생 용량을 저감하려는 시도가 이루어져 왔다.

[0005]

예를 들어, 일본 특허 출원 번호 제2007-220817호 및 J. Park et al., "Self-Aligned Top-Gate Amorphous Gallium Indium Zinc Oxide Thin Film Transistors", Applied Physics Letters, American Institute of

Physics, 2008, 93, 053501에는, 산화물 반도체 박막층의 채널 영역 상에, 게이트 전극 및 게이트 절연막을 동일 형상으로 형성한 뒤, 산화물 반도체 박막층의 게이트 전극 및 게이트 절연막으로 덮여 있지 않은 영역을 저저항화하여 소스/드레인 영역을 형성하는 자기 정합 톱 게이트 박막 트랜지스터가 기재되어 있다. 또한, R. Hayashi et al. "Improved Amorphous In-Ga-Zn-O TFTs", SID 08 DIGEST, 2008, 42.1, pp. 621-624에는, 게이트 전극을 마스크로 한 이면 노광에 의해 산화물 반도체막에 소스 영역 및 드레인 영역을 형성하는 자기 정합 보텀 게이트 박막 트랜지스터가 기재되어 있다.

## 선행기술문헌

### 특허문헌

[0006] (특허문헌 0001) (특허 문헌 1) 일본 특허 출원 번호 제2007-220817호 공보

### 비특허문헌

[0007] (비특허문헌 0001) (비특허 문헌 1) J. Park et al., "Self-Aligned Top-Gate Amorphous Gallium Indium Zinc Oxide Thin Film Transistors" Applied Physics Letters, American Institute of Physics, 2008, 93, 053501

(비특허문헌 0002) (비특허 문헌 2) R. Hayashi et al. "Improved Amorphous In-Ga-Zn-O TFTs" SID 08 DIGEST, 2008, 42.1, pp. 621-624

## 발명의 내용

### 해결하려는 과제

[0008] 상술한 바와 같이 산화물 반도체를 포함하는 트랜지스터와 함께 기판상에 설치된 유지 용량 소자는 화질의 열화를 억제하기 위해 원하는 용량을 유지하는 것이 바람직하다.

[0009] 화질의 열화를 억제할 수 있는 표시 장치 및 이 표시 장치를 포함하는 전자 기기를 제공하는 것이 바람직하다.

### 과제의 해결 수단

[0010] 본 발명의 실시예에 따른 표시 장치는, 기판을 포함하고, 표시 소자, 표시 소자의 구동 소자로서의 트랜지스터 및 영상 신호에 대응하는 전하를 유지하는 유지 용량 소자를 포함한다. 표시 소자, 트랜지스터 및 유지 용량 소자는 기판 상에 설치된다. 유지 용량 소자는 산화물 반도체를 포함하는 제1 반도체층, 제1 반도체층 상에 설치된 제1 도전막, 상기 제1 반도체층과 상기 제1 도전막 사이에 설치된 제1 절연막, 및 제1 반도체층 상의 선택 영역에, 제1 도전막 및 제1 절연막의 두께의 일부 또는 전체를 제거하여 형성되는 오목부를 포함한다.

[0011] 본 발명의 실시예에 따른 전자 기기는, 기판을 포함하고, 기판 상에, 표시 소자, 표시 소자의 구동 소자로서의 트랜지스터 및 영상 신호에 대응하는 전하를 유지하는 유지 용량 소자를 포함하는 표시 장치를 포함한다. 유지 용량 소자는 산화물 반도체를 포함하는 제1 반도체층, 제1 반도체층 상에 설치된 제1 도전막, 상기 제1 반도체층과 상기 제1 도전막 사이에 설치된 제1 절연막, 및 제1 반도체층 상의 선택 영역에, 제1 도전막 및 제1 절연막의 두께의 일부 또는 전체를 제거하여 형성되는 오목부를 포함한다.

[0012] 본 발명의 실시예에 따른 표시 장치 및 전자 기기에서, 기판 상에 표시 소자 및 트랜지스터와 함께 설치된 유지 용량 소자는, 산화물 반도체를 포함하는 제1 반도체층 상에 제1 절연막을 개재하여 제1 도전막을 갖고, 제1 반도체층 상의 선택 영역에 제1 도전막 및 제1 절연막의 두께의 일부 또는 전체를 제거하여 형성된 오목부를 갖는다. 오목부를 통하여, 제1 반도체층의 산화물 반도체로부터 산소가 이탈되기 쉽다. 이에 의해, 인가 전압에 따른 유지 용량 소자의 용량 변동이 억제된다.

### 발명의 효과

[0013] 본원의 실시예의 표시 장치 및 전자 기기에 따르면, 기판 상에 표시 소자 및 트랜지스터와 함께 설치된 유지 용량 소자는, 산화물 반도체를 포함하는 제1 반도체층 상에 제1 절연막을 개재하여 제1 도전막을 갖고, 제1 반도

체층 상의 선택 영역에, 제1 도전막 및 제1 절연막의 두께의 일부 또는 전체를 제거하여 형성되는 오목부를 갖는다. 이에 의해, 인가 전압에 따른 유지 용량 소자의 용량 변동이 억제되어, 유지 용량 소자는 원하는 용량을 유지할 수 있다. 따라서, 화질 저하를 억제할 수 있다.

[0014] 상기한 일반적인 설명 및 이하의 상세 설명 모두는 예시적인 것이며, 청구하는 바와 같이 기술에 대한 설명을 더 제공하고자 한다는 점을 이해할 것이다.

### 도면의 간단한 설명

[0015] 첨부하는 도면은 본원에 대한 추가 이해를 제공할 의도이며, 본 명세서에 포함되며 그 일부를 구성한다. 도면은 실시예들을 나타내며, 명세서와 함께 기술의 원리를 설명하는 기능을 한다.

도 1은 본원의 실시예에 따른 유기 EL 표시 장치의 단면 구조를 나타낸다.

도 2는 도 1에 나타낸 유지 용량 소자의 단면 구조를 확대하여 나타낸다.

도 3a 및 도 3b는 도 1에 나타낸 유지 용량 소자의 평면 모식도이다.

도 4는 도 1에 나타낸 유기 EL 표시 장치 및 그 주변 회로의 전체 구성을 나타낸다.

도 5는 도 4에 나타낸 화소의 회로 구성을 나타낸다.

도 6a 및 도 6b는 도 1에 나타낸 유기 EL 표시 장치의 제조 프로세스의 순차 공정을 나타낸다.

도 7a 및 도 7b는 도 6b에 계속되는 공정을 나타낸다.

도 8a 및 도 8b는 도 7b에 계속되는 공정을 나타낸다.

도 9a 및 도 9b는 도 8b에 계속되는 공정을 나타낸다.

도 10은 비교예 1에 따른 유지 용량 소자의 단면 구조를 나타내는 모식도이다.

도 11a 및 도 11b는 비교예 2에 따른 유지 용량 소자의 단면 구조 및 평면 구조를 나타내는 모식도이다.

도 12는 비교예의 전압에 대한 용량 변화를 나타내는 특성도이다.

도 13은 실시예의 전압에 대한 용량 변화를 나타내는 특성도이다.

도 14는 오목부간 거리와 임계값 전압 간의 관계를 나타내는 특성도이다.

도 15는 변형에 따른 액정 표시 장치의 단면 구조를 나타낸다.

도 16은 표시 장치를 갖는 모듈의 개략 구성을 나타내는 평면도이다.

도 17은 적용 예 1의 외관을 나타내는 사시도이다.

도 18a는 적용 예 2의 앞측으로부터 본 외관을 나타내는 사시도이며, 도 18b는 적용 예 2의 뒷측으로부터 본 외관을 나타내는 사시도이다.

도 19는 적용 예 3의 외관을 나타내는 사시도이다.

도 20은 적용 예 4의 외관을 나타내는 사시도이다.

도 21의 (a)는 개방 상태의 적용 예 5의 정면도, 도 21의 (b)는 그 측면도, 도 21의 (c)는 폐쇄 상태의 정면도, 도 21의 (d)는 그 좌측면도, 도 21의 (e)는 그 우측면도, 도 21의 (f)는 그 상면도 및 도 21의 (g)는 그 하면도이다.

도 22a 및 도 22b는 다른 예에 따른 유지 용량 소자의 단면 구조를 나타낸다.

### 발명을 실시하기 위한 구체적인 내용

[0016] 이하, 본원의 실시예에 대하여 도면을 참조하여 설명한다. 설명은 이하의 순서로 이루어진다.

[0017] 1. 실시예(산화물 반도체를 이용한 유지 용량 소자를 갖는 유기 EL 표시 장치의 예)

2. 변형예(산화물 반도체를 이용한 유지 용량 소자를 갖는 액정 표시 장치의 예)

[0019] 3. 적용 예(모듈 및 전자 기기의 예)

[0020] [실시예]

[0021] [구성]

[0022] 도 1은 본원의 실시예에 따른 표시 장치(유기 EL 표시 장치(1))의 단면 구조를 나타낸다. 유기 EL 표시 장치(1)는, 예를 들어, 액티브 매트릭스 구동 방식에 의해 구동되는 복수의 화소(유기 EL 소자(10A))를 포함한다. 도 1은, 1 화소(서브 픽셀)에 대응하는 영역만을 나타낸다는 점에 주목한다. 유기 EL 표시 장치(1)에서, 기판(10) 상에, 예를 들어, 트랜지스터(10B) 및 유지 용량 소자(10C)가 설치되고, 그 구성요소들 상에 유기 EL 소자(10A)가 설치된다. 유기 EL 소자(10A)는, 예를 들어, 보호층(22)에 의해 밀봉되고, 보호층(22) 상에는 도시하지 않은 접착층을 개재하여 밀봉용 기판(23)이 접합되어 있다. 유기 EL 표시 장치(1)의 발광 방식은, 소위 전면 발광 방식이어도 좋고 배면 발광 방식이어도 된다. 이하, 유기 EL 소자(10A), 트랜지스터(10B) 및 유지 용량 소자(10C) 각각의 구성에 대해서 구체적으로 설명한다.

[0023] [유기 EL 소자(10A)]

[0024] 유기 EL 소자(10A)는, 제1 전극(18) 상에, 화소마다 개구를 갖는 화소 분리 막(19)을 갖고, 화소 분리막(19)의 개구에 유기층(20)을 갖는다. 유기층(20) 상에는 제2 전극(21)이 설치되어 있다.

[0025] 제1 전극(18)은, 예를 들어, 애노드로서 기능하며, 화소마다 설치되어 있다. 제1 전극(18)은, 배면 발광 방식의 경우에는, 투명 도전막, 예를 들어, 산화 인듐 주석(ITO), 산화 인듐 아연(IZO) 및 산화 인듐/아연(InZnO) 중 하나를 포함하는 단층막, 또는 그들 중 2 이상을 포함하는 적층막으로 구성된다. 제1 전극(18)은, 전면 발광 방식의 경우에는, 알루미늄(Al), 마그네슘(Mg), 칼슘(Ca) 및 나트륨(Na) 중 하나를 포함하는 단체(simple) 금속을 포함하는 단층막 또는 금속들 중 1 이상을 포함하는 합금을 포함하는 단층막, 또는 단층막들 중 2종 이상의 층을 포함하는 다층막으로 구성된다.

[0026] 화소 분리막(19)은, 각 화소의 발광 영역을 규정하며, 예를 들어, 폴리이미드 수지, 아크릴 수지 또는 노볼락계 수지 등의 감광성 수지를 포함한다.

[0027] 유기층(20)은, 유기 전계 발광층(유기 EL층)을 포함하며, 구동 전류의 인가에 응답하여 발광한다. 유기층(20)은, 기판(10)에 가까운 순서대로, 예를 들어, 모두 도시하지 않은, 정공 주입층, 정공 수송층, 유기 EL층 및 전자 수송층을 포함한다. 유기 EL층에서는, 전계 인가에 응답하여 전자가 정공과 재결합하여, 발광한다. 유기 EL층의 재료는, 일반적인 저분자 또는 고분자 유기 재료를 포함할 수 있고, 특별히 한정되지 않는다. 예를 들어, 적, 녹 및 청의 각 색의 발광층이 화소마다 도포되어 개별적으로 설치되어도 좋다. 대안으로서, 백색 발광층(예를 들어, 적, 녹 및 청의 적층된 각 색의 발광층)이 기판 전체면에 걸쳐 설치되어도 좋다. 정공 주입층은 정공 주입 효율을 향상시키고, 전기 누설을 방지한다. 정공 수송층은 유기 EL층에의 정공 수송 효율을 향상시킨다. 이들 유기 EL층 이외의 층은 필요에 따라 설치될 수 있다.

[0028] 제2 전극(21)은, 예를 들어, 캐소드로서 기능하며, 금속 도전막으로 구성되어 있다. 제2 전극(21)은, 배면 발광 방식에서는, 알루미늄, 마그네슘, 칼슘 및 나트륨 중 1 이상을 포함하는 단체 금속을 포함하는 단층막 또는 금속들 중 1 이상을 포함하는 합금을 포함하는 단층막, 또는 단층막들 중 2 이상의 층으로서의 다층막으로 구성된다. 제2 전극(21)은, 전면 발광 방식에서는, ITO나 IZO를 포함하는 투명 도전막을 포함한다. 제2 전극(21)은, 제1 전극(18)과 절연되고 유기층(20) 상에 모든 화소에 공통으로 설치된다.

[0029] 보호층(22)은 절연성 재료 또는 도전성 재료로 구성되어도 된다. 절연성 재료는, 예를 들어, 아몰퍼스 실리콘(a-Si), 아몰퍼스 탄화 실리콘(a-SiC), 아몰퍼스 질화 실리콘(a-Si<sub>1-x</sub>N<sub>x</sub>) 및 아몰퍼스 카본(carbon)(a-C)을 포함한다.

[0030] 기판(10) 및 밀봉용 기판(23)은, 예를 들어, 석영, 클래스, 실리콘 및 플라스틱을 포함하는 판재를 포함한다. 기판(10)을 가열하지 않고 후술하는 스퍼터법에 의해 반도체층(11)을 성막하기 때문에, 기판으로 저렴한 플라스틱 필름을 이용할 수 있다. 플라스틱 재료는, 예를 들어, PET(폴리에틸렌 테레프탈레이트) 및 PEN(폴리에틸렌 나프탈레이트)을 포함한다. 대안으로서, 목적에 따라, 스테인레스 강(SUS)을 포함하는 금속 기판이 이용되어도 좋다. 전면 발광 방식에서는, 밀봉용 기판(23)은, 클래스나 플라스틱을 포함하는 투명 기판으로 구성되고, 그 위에 도시하지 않은 컬러 필터나 차광막을 갖고 있어도 좋다. 배면 발광 방식에서는, 기판(10)이 투명 기판으로 구성된다.

[0031] [트랜지스터(10B)]

트랜지스터(10B)는, 후술하는 화소 구동 회로(50a)에서의 샘플링용 트랜지스터 Tr1 또는 구동 트랜지스터 Tr2에 대응하며, 스태거(staggered) 구조를 갖는 박막 트랜지스터 또는 소위 톱 게이트형 박막 트랜지스터이다. 트랜지스터(10B)는, 기판(10) 상에 반도체층(11)을 갖고, 반도체층(11) 상의 선택 영역에 게이트 절연막(12A)을 개재하여 게이트 전극(13A)을 갖는다. 반도체층(11), 게이트 절연막(12A) 및 게이트 전극(13A)을 덮는 충간 절연막(15)이 설치된다. 충간 절연막(15)은, 반도체층(11)에 대향하도록 구성된 컨택트 홀 H2를 갖고, 충간 절연막(15) 상에는 소스/드레인 전극층(16)이 컨택트 홀(H2)을 매립하도록 설치된다. 이에 의해, 소스/드레인 전극층(16)은 반도체층(11)의 미리 정해진 영역(후술하는 소스/드레인 영역(11SD))에 전기적으로 접속되어 설치된다.

트랜지스터(10B)의 게이트 전극(13A)은, 본원에서의 "제2 도전막"의 구체예에 대응하고, 게이트 절연막(12A)은 "제2 절연막"의 구체예에 대응한다. 본 실시예에서는, 반도체층(11)은 트랜지스터(10B)로부터 유지 용량 소자(10C)까지 설치되어 있다. 구체적으로, 반도체층(11) 중, 트랜지스터(10B)에 대응하는 부분은 "제2 반도체층"에 대응하고, 후술하는 유지 용량 소자(10C)에 대응하는 부분은 "제1 반도체층"에 대응한다. 반도체층(11)은, "제1 반도체층" 및 "제2 반도체층"이 일체로 설치된 구성의 구체예에 대응한다.

반도체층(11)은, 게이트 전압의 인가에 응답하여 채널을 형성하고, 예를 들어, 인듐(In), 갈륨(Ga), 아연(Zn), 실리콘(Si) 및 주석(Sn) 중 1 이상을 포함하는 산화물 반도체를 포함한다. 이러한 산화물 반도체는, 예를 들어, 산화 인듐 갈륨 아연(IGZO, InGaZnO) 등의 비정질 산화물 반도체를 포함한다. 결정질 산화물 반도체는, 산화 아연(ZnO), 산화 인듐 아연(IZO), 산화 인듐 갈륨(IGO), ITO 및 산화 인듐(InO)을 포함한다. 반도체층(11)은, 게이트 전극(13A)에 대향하는 영역(채널 영역(11A))에 인접하여, 소스/드레인 전극층(16)에 접속되는 영역으로서의 소스/드레인 영역(11SD)을 갖는다. 반도체층(11)의 두께는 예를 들어, 약 50nm이다.

소스/드레인 영역(11SD)은 상부로부터 깊이 방향에서의 반도체층(11)의 일부에 설치되고, 채널 영역(11A)보다 전기 저항이 낮은 저저항 영역이다. 그러한 저저항의 소스/드레인 영역(11SD)은, 후술하는 제조 프로세스 동안, 알루미늄 등의 금속을 반응시켜 산화물 반도체에 확산시킴으로써 달성된다. 이에 의해, 트랜지스터(10B)는, 소위 자기 정합 구조를 갖고 안정적인 특성을 갖게 된다.

게이트 절연막(12A)은, 예를 들어, 실리콘 산화막(SiO<sub>x</sub>), 실리콘 질화막(SiN<sub>x</sub>), 실리콘 질화 산화막(SiON) 및 산화 알루미늄 막(AlO<sub>x</sub>) 중 하나를 포함하는 단층막, 또는 그 단층막들 중 2 이상을 포함하는 적층막을 포함한다. 이들 중, 실리콘 산화막 또는 산화 알루미늄 막은, 산화물 반도체를 환원시키기 어려우므로 바람직하다. 게이트 절연막(12A)의 두께는, 예를 들어, 약 300nm이다. 실시예에서는, 게이트 절연막(12A) 및 유지 용량 소자(10C)의 절연막(12B)이 동일 공정에서 동일 재료로 형성되기 때문에, 게이트 절연막(12A)의 두께와 절연막(12B)의 두께는 실질적으로 동일하다. 유지 용량 소자(10C)의 용량은 절연막(12B)의 두께에 의존하기 때문에, 이러한 용량의 두께 의존성을 고려하여 게이트 절연막(12A)의 두께가 설정된다.

게이트 전극(13A)은, 트랜지스터(10B)에 게이트 전압(Vg)을 인가하여 반도체층(11) 내의 캐리어 밀도를 제어하고, 전위를 공급하는 배선으로서 기능한다. 게이트 전극(13A)은, 예를 들어, 몰리브덴(Mo), 티타늄(Ti), 알루미늄, 은, 네오디뮴(Nd) 및 구리(Cu) 중 하나를 포함하는 단체 금속, 또는 그의 합금, 또는 이들 중 2 이상을 포함하는 적층막을 포함한다. 구체적으로는, 게이트 전극(13A)은, 알루미늄이나 은 등의 저저항 금속이 몰리브덴 또는 티타늄에 의해 협지된 적층 구조를 포함하고, 알루미늄과 네오디뮴의 합금(AlNd합금)을 포함한다. 대안으로서, 게이트 전극(13A)은 ITO 등의 투명 도전막으로 구성되어도 된다. 게이트 전극(13A)의 두께는, 예를 들어, 약 10nm 내지 500nm이다.

충간 절연막(15)은, 예를 들어, 두께가 약 2  $\mu$ m정도이며, 예를 들어, 실리콘 산화막, 실리콘 질화막, 실리콘 질화 산화막 및 산화 알루미늄막 중 하나를 포함하는 단층막, 또는 그들 중 2 이상을 포함하는 적층막을 포함한다. 대안으로서, 충간 절연막(15)은 아크릴 또는 폴리이미드 수지를 포함하는 유기 절연막을 포함할 수 있다. 특히, 실리콘 산화막 및 산화 알루미늄 막의 적층막을 이용함으로써, 반도체층(11)에의 수분의 침투이나 확산을 억제하여, 트랜지스터(10B)의 전기적 특성이나 신뢰성을 높이는 것이 가능하게 된다.

소스/드레인 전극층(16)은 트랜지스터(10B)의 소스 전극 또는 드레인 전극으로서 기능한다. 소스/드레인 전극층(16)은, 예를 들어, 두께가 약 200nm이며, 게이트 전극(13A)으로 열거된 것과 마찬가지의 금속 또는 투명 도전막을 포함한다. 소스/드레인 전극층(16)은, 알루미늄 또는 구리 등의 저저항 금속으로 구성되는 것이 바람직하며, 이러한 저저항 금속이, 티타늄 또는 몰리브덴을 포함하는 배리어층에 의해 협지되어 있는 적층막으로 구성되는 것이 보다 바람직하다. 이러한 적층막을 이용함으로써, 배선 지연이 적은 구동이 가능하게 된다. 소스

/드레인 전극층(16)은, 게이트 전극(12A)과 소스/드레인 전극층(16)의 교차 영역에 기생 용량이 형성되는 것을 방지하기 위해, 게이트 전극(12A)의 바로 윗부분 이외의 영역에 설치되는 것이 바람직하다.

[0040] 층간 절연막(15) 및 소스/드레인 전극층(16)을 덮는 평탄화막(17)이 설치되어 있다. 평탄화막(17)은, 예를 들어, 폴리이미드 또는 아크릴계 수지를 포함하고, 표시 영역 전체에 걸쳐 설치되어 있다. 그러나, 평탄화막(17)은, 트랜지스터(10B)의 소스/드레인 전극층(16)과, 유기 EL 소자(10A)의 제1 전극(18)의 전기적 접속을 위한 컨택트 훌 H3을 갖는다. 제1 전극(18)은, 컨택트 훌 H3을 매립하도록, 평탄화막(17) 상에 설치된다.

[0041] [유지 용량 소자(10C)]

[0042] 유지 용량 소자(10C)는 예를 들어, 후술하는 화소 구동 회로(50a)에서, 영상 신호에 대응하는 전하를 유지한다. 본 실시예에서, 유지 용량 소자(10C)는 기판(10)과 가까운 순서대로, 반도체층(11), 절연막(12B) 및 도전막(13B)의 적층 구조를 갖고 있다. 유지 용량 소자(10C)에서, 반도체층(11)은, 트랜지스터(10B)로부터 (일체로) 연장되어 있고, 절연막(12B) 및 도전막(13B)은 트랜지스터(10B)로부터 분리된 선택 영역에 설치되어 있다. 이러한 반도체층(11), 절연막(12B) 및 도전막(13B)을 포함하는 적층 구조는 용량을 형성한다. 구체적으로, 유지 용량 소자(10C)는, 트랜지스터(10B)에서 채널을 형성하는 반도체층(11)의 일부를 이용하여 용량을 형성한다.

[0043] 유지 용량 소자(10C)의 도전막(13B)은 본원에서의 "제1 도전막"의 구체예에 대응하고, 절연막(12B)은 "제1 절연막"의 구체예에 대응한다.

[0044] 절연막(12B)은, 예를 들어, 트랜지스터(10B)의 게이트 절연막(12A)과 동일 재료로 형성되고, 하나의 공정에서 게이트 절연막(12A)과 함께 형성될 수 있다. 마찬가지로, 도전막(13B)은, 예를 들어, 게이트 전극(13A)과 동일 재료로 형성되고, 하나의 공정에서 게이트 전극(13A)과 함께 형성될 수 있다. 본 실시예에서, 미리 정해진 오목부는 절연막(12B) 및 도전막(13B)을 관통하여 설치되어 있다.

[0045] 도 2는 유지 용량 소자(10C)의 단면 구조를 확대하여 나타낸다. 도면에 도시한 바와 같이, 유지 용량 소자(10C)는, 반도체층(11) 상의 선택 영역에, 도전막(13B) 및 절연막(12B)을 두께 방향으로 제거하여 형성되는 오목부(개구) H1을 갖고 있다. 오목부 H1에 대응하는 영역에는, 반도체층(11)의 표면이 도전막(13) 및 절연막(12B)으로부터 노출되어 있다. 오목부 H1은 1개만 설치되어도 좋고, 복수개 설치되어도 좋다. 또한, 오목부 H1의 개구 형상은 한정되지 않는다. 도 3a 및 도 3b는 예시적인 오목부의 개구 형상을 나타낸다. 도 3a 및 도 3b는 유지 용량 소자(10C)를 도전막(13B)으로부터 본 평면도이다. 도 3a에 도시한 바와 같이, 복수(여기서는 4개)의 오목부 H1은 미리 정해진 피치 d(오목부간 거리)로, 전체로서 격자 패턴으로 배치되어도 된다. 대안으로서, 도 3b에 도시한 바와 같이, 복수(여기서는 2개)의 오목부 H1은 미리 정해진 피치 d로, 전체로서 스트라이프 패턴으로 별별 배치되어도 된다. 도 2는, 도 3a의 IA-IA선 및 도 3b의 IB-IB선을 따른 화살 표시 단면에 대응한다는 점에 주목한다.

[0046] [고저항막(14)]

[0047] 유지 용량 소자(10C), 트랜지스터(10B)의 게이트 절연막(12A) 및 게이트 전극(13A), 및 반도체층(11) 상의 게이트 전극(13A) 및 유지 용량 소자(10C) 각각에 비대향하는 영역을 덮는 고저항막(14)이 설치되어 있다. 상세하게는, 유지 용량 소자(10C)에서는, 오목부 H1의 내측을 덮는 고저항막(14)이 설치된다. 고저항막(14) 중, 소스/드레인 전극층(16)에 대향하는 부분은 선택적으로 제거된다.

[0048] 고저항막(14)은, 후술하는 제조 프로세스 동안 반도체층(11)의 저저항 영역(예를 들어, 소스/드레인 영역(11SD))으로 확산되는 금속의 공급원으로서 기능하는 금속막으로부터 변화된 산화막이다. 이러한 고저항막(14)은, 예를 들어, 산화 티타늄, 산화 알루미늄, 산화 인듐 또는 산화 주석을 포함한다. 고저항막(14)은, 외기에 대하여 양호한 배리어성을 갖고 있기 때문에, 상술한 제조 프로세스에서의 기능 외에, 트랜지스터(10B)의 반도체층(11)의 전기적 특성을 변화시킬 수 있는 산소 및 수분의 영향을 저감하는 기능도 갖고 있다. 고저항막(14)은, 트랜지스터(10B) 및 유지 용량 소자(10C)의 전기 특성을 안정화하여, 층간 절연막(15)의 효과를 향상시킬 수 있다. 고저항막(14)의 두께는, 예를 들어, 20nm 이하이다.

[0049] [주변 회로 및 화소 회로의 구성]

[0050] 다음으로, 상술한 유기 EL 표시 장치(1)의 주변 회로 및 화소 회로의 구성에 대해서 설명한다. 도 4는 유기 EL 표시 장치(1) 및 그 주변 회로의 전체 구성을 나타낸다. 도면에 도시한 바와 같이, 예를 들어, 기판(10) 상에는, 유기 EL 소자(10A)를 포함하는 복수의 화소 PXLC가 매트릭스 형상으로 배치되어 있는 표시 영역(50)이 설치되고, 표시 영역(50)의 주변에는, 신호선 구동 회로로서의 수평 셀렉터(HSEL)(51), 주사선 구동 회로로서의 기

록 스캐너(WSCN)(52), 및 전원선 구동 회로로서의 전원 스캐너(DSCN)(53)가 설치되어 있다.

[0051] 표시 영역(50)에서, 열 방향으로 복수(정수 n개)의 신호선 DTL1 내지 DTLn이 배치되고, 행 방향으로 복수(정수 m개)의 주사선 WSL1 내지 WSLm 및 복수(정수 m개)의 전원선 DSL1 내지 DSLm이 배치되어 있다. 각 신호선 DTL과 각 주사선 WSL의 교차점에는, 각 화소 PXLC(R, G 및 B에 대응하는 화소들 중 하나)가 설치되어 있다. 각 신호선 DTL은 수평 셀렉터(51)에 접속되고, 이 수평 셀렉터(51)는 각 신호선 DTL에 영상 신호를 공급한다. 각 주사선 WSL은 기록 스캐너(52)에 접속되고, 이 기록 스캐너(52)는 각 주사선 WSL에 주사 신호(선택 펄스)를 공급한다. 각 전원선 DSL은 전원 스캐너(53)에 접속되고, 이 전원 스캐너(53)는 각 전원선 DSL에 전원 신호(제어 펄스)를 공급한다.

[0052] 도 5는 화소 PXLC의 회로 구성 예를 나타낸다. 각 화소 PXLC는 유기 EL 소자(10A)를 포함하는 화소 회로(50a)를 갖고 있다. 화소 회로(50a)는, 샘플링용 트랜지스터 Tr1, 구동용 트랜지스터 Tr2, 유지 용량 소자(10C), 및 유기 EL 소자(10A)를 포함하는 능동형 구동 회로이다. 샘플링용 트랜지스터 Tr1(또는 구동용 트랜지스터 Tr2)은 상술한 실시예 등의 트랜지스터(10B)에 대응한다.

[0053] 샘플링용 트랜지스터 Tr1의 게이트는 대응하는 주사선 WSL에 접속되고, 그의 소스 및 드레인 중 한쪽은 대응하는 신호선 DTL에 접속되고, 다른 쪽은 구동용 트랜지스터 Tr2의 게이트에 접속되어 있다. 구동용 트랜지스터 Tr2의 드레인은 대응하는 전원선 DSL에 접속되고, 그의 소스는 유기 EL 소자(10A)의 애노드에 접속되어 있다. 유기 EL 소자(10A)의 캐소드는 접지 배선(5H)에 접속되어 있다. 접지 배선(5H)은 모든 화소 PXLC에 대하여 공통으로 배선되어 있다는 점에 주목한다. 유지 용량 소자(10C)는 구동용 트랜지스터 Tr2의 소스와 게이트 사이에 배치되어 있다.

[0054] 샘플링용 트랜지스터 Tr1은, 주사선 WSL로부터 공급되는 주사 신호(선택 펄스)에 따라 도통되어, 신호선 DTL로부터 공급되는 영상 신호의 신호 전위를 샘플링하고, 그 신호 전위를 유지 용량 소자(10C)에 유지한다. 구동용 트랜지스터 Tr2는, 미리 정해진 제1 전위(도시 생략)로 설정된 전원선 DSL로부터 전류를 받고, 유지 용량 소자(10C)에 유지된 신호 전위에 따라 구동 전류를 유기 EL 소자(10A)에 공급한다. 유기 EL 소자(10A)는, 구동용 트랜지스터 Tr2로부터 공급된 구동 전류에 의해, 영상 신호의 신호 전위에 따른 휘도로 발광한다.

[0055] 이러한 회로 구성에서는, 주사선 WSL로부터 공급되는 주사 신호(선택 펄스)에 따라 샘플링용 트랜지스터 Tr1이 도통함으로써, 신호선 DTL로부터 공급된 영상 신호의 신호 전위가 샘플링되어, 유지 용량 소자(10C)에 유지된다. 제1 전위로 설정된 전원선 DSL로부터 구동용 트랜지스터 Tr2에 전류가 공급되어, 유지 용량 소자(10C)에 유지된 신호 전위에 따라 구동 전류가 유기 EL 소자(10A)(적색, 녹색 및 청색의 각 유기 EL 소자)에 공급된다. 각 유기 EL 소자(10A)는 공급된 구동 전류에 의해, 영상 신호의 신호 전위에 따른 휘도로 발광한다. 이에 의해, 표시 장치는 영상 신호에 기초하여 영상을 표시한다.

#### [제조 방법]

[0057] 상술한 유기 EL 표시 장치(1)는 예를 들어, 다음의 방식으로 제조된다. 우선, 기판(10) 상에 트랜지스터(10B) 및 유지 용량 소자(10C)를 형성한다.

[0058] 구체적으로, 우선, 도 6a에 도시한 바와 같이, 기판(10)의 전체면에, 예를 들어, 스퍼터링법에 의해, 상술한 산화물 반도체를 포함하는 반도체층(11)을 성막한다. 그 성막시에, 타깃으로서는, 성막 대상의 산화물 반도체와 동일 조성을 갖는 세라믹을 이용한다. 산화물 반도체 내의 캐리어 농도는, 스퍼터링 시의 산소 분압에 크게 의존하므로, 원하는 트랜지스터 특성이 얻어지도록 산소 분압을 제어한다. 이 후, 예를 들어, 포토리소그래피 및 에칭에 의해, 성막된 반도체층(11)을 소정의 형상으로 패터닝한다. 패터닝 시에, 인산, 질산 및 아세트산의 혼합액을 이용한 습식 에칭에 의해 반도체층(11)을 가공하는 것이 바람직하다. 인산, 질산 및 아세트산의 혼합액은, 기판에 대한 반도체층의 에칭 선택비를 충분히 크게 함으로써, 반도체층의 가공을 비교적 용이하게 한다.

[0059] 그 후, 도 6b에 도시한 바와 같이, 기판(10)의 전체면에 걸쳐, 예를 들어, 실리콘 산화막을 포함하는 절연막(12)(게이트 절연막(12A) 및 절연막(12B))을, 예를 들어, 플라즈마 화학 기상 성막(CVD: chemical vapor deposition)법으로 성막한다. 대안으로서, 실리콘 산화막은 반응성 스퍼터링법으로 형성할 수도 있다. 산화알루미늄막은 반응성 스퍼터링법 또는 CVD법뿐만 아니라 원자층 성막법으로도 성막할 수 있다.

[0060] 그 후, 도 6b에 도시한 바와 같이, 절연막(12)의 전체면에, 예를 들어, 스퍼터링법에 의해, 예를 들어, 몰리브덴 또는 티타늄 및 알루미늄을 포함하는 적층막을 포함하는 도전막(13)(게이트 전극(13A) 및 도전막(13B))을 성막한다.

- [0061] 그 후, 도 7a에 도시한 바와 같이, 도전막(13)을, 예를 들어, 포토리소그래피 및 에칭으로 패터닝하여, 반도체층(11) 상의 선택 영역에, 게이트 전극(13A) 및 도전막(13B)을 형성한다. 여기에서, 도전막(13B)의 선택 영역에, 개구 H1A(오목부 H1의 일부를 구성하는 개구)를 형성한다.
- [0062] 그 후, 도 7b에 도시한 바와 같이, 게이트 전극(13A) 및 도전막(13B)을 마스크로 하여 절연막(12)을 에칭한다. 반도체층(11)을 ZnO, IZO 및 IGO 등의 결정성 재료로 구성하는 경우에는, 불산 등을 이용하여 매우 큰 에칭 선택비를 유지하면, 반도체층(11)을 용이하게 가공할 수 있다. 이에 의해, 게이트 절연막(12A)은 게이트 전극(13A)과 동일 형상으로 패터닝되고, 도전막(13B) 및 절연막(12B)을 관통하여 오목부 H1이 형성된다. 이러한 방식으로, 반도체층(11) 상의 선택 영역에 게이트 절연막(12A)을 개재하여 게이트 전극(13A)이 설치된 적층 구조를 형성하는 동시에, 유지 용량 소자(10C)를 형성한다.
- [0063] 그 후, 도 8a에 도시한 바와 같이, 기판(10)의 전체면에 걸쳐, 예를 들어 스퍼터링법에 의해, 티타늄, 알루미늄 및 인듐 등의, 산소와 비교적 저온에서 반응하는 금속을 포함하는 금속막(14a)을, 예를 들어, 5nm 이상 10nm 이하의 두께로 성막한다.
- [0064] 그 후, 예를 들어, 약 300°C의 온도에서의 열처리에 의해 금속막(14a)이 산화되어, 금속 산화막을 포함하는 고저항막(14)이 형성된다. 이에 의해, 게이트 전극(12A) 및 유지 용량 소자(10C)에 비대향하는 영역에는, 저저항 영역(소스/드레인 영역(11SD)을 포함함)이 형성된다. 금속막(14a)의 산화 반응에는, 산화물 반도체에 포함되는 산소의 일부가 이용되기 때문에, 금속막(14a)의 산화에 따라, 반도체층(11)에서의 산소 농도는, 금속막(14a)과 접하는 면으로부터 점차 저하된다. 한편, 알루미늄 등의 금속은 금속막(14a)으로부터 반도체층(11)으로 확산된다. 금속 원소가 도편트로서 기능하여, 금속막(14a)과 접하는 반도체층(11)의 상부측의 영역이 저저항화된다. 이에 의해, 전기 저항이 낮은 소스/드레인 영역(11SD)이 형성된다.
- [0065] 금속막(14a)은, 예를 들어, 약 300°C의 온도에서 어닐링하여 열처리를 행하는 것이 바람직하다. 여기에서, 산소 등을 포함하는 산화성의 가스 분위기에서 금속막(14a)을 어닐링함으로써, 저저항 영역의 산소 농도가 과도하게 낮아지는 것을 억제하고, 반도체층(11)에 충분한 산소를 공급하는 것이 가능하게 된다. 따라서, 이후의 어닐링 공정을 생략하는 것이 가능해져, 공정이 간소화된다.
- [0066] 대안으로서, 다음의 방식으로 고저항막(14)을 형성해도 좋다. 예를 들어, 도 8a에 도시한 공정에서, 기판(10)을 약 200°C의 비교적 높은 온도로 유지하면서, 금속막(14a)을 성막해도 된다. 이에 의해, 도 8b에 도시한 열처리 없이도, 반도체층(11)의 미리 정해진 영역을 저저항화하는 것이 가능하다. 이 경우, 반도체층(11)의 캐리어 농도를 트랜지스터에 필요한 레벨로 저감하는 것이 가능하다.
- [0067] 금속막(14a)은 예를 들어, 10nm 이하의 두께로 성막하는 것이 바람직하다. 그 이유는, 금속막(14a)의 두께를 10nm 이하로 하면, 열처리에 의해 금속막(14a)을 완전하게 산화시킬(고저항막(14)을 형성할 수 있음) 수 있기 때문이다. 금속막(14a)이 완전하게 산화되지 않은 경우에는, 이러한 미산화된 금속막(14a)을 추가 에칭 공정에서 제거할 필요가 있다. 그 이유는, 금속막(14a)은 게이트 전극(13A) 상에도 성막되기 때문에, 금속막이 충분히 산화되지 않으면 누설 전류가 발생할 수 있기 때문이다. 금속막(14a)이 완전하게 산화되어, 고저항막(14)이 형성되는 경우에는, 그러한 제거 공정이 불필요하여, 제조 프로세스가 간소화될 수 있다. 즉, 에칭에 의한 제거 공정 없이도 누설 전류를 방지할 수 있다. 금속막(14a)을 10nm 이하의 두께로 성막하는 경우, 열처리 후의 고저항막(14)의 두께는 약 20nm 이하라는 점에 주목한다.
- [0068] 금속막(14a)의 산화 방법은, 상술한 열처리 외에, 수증기 분위기에서의 산화, 또는 플라즈마 산화에 의해 금속막(14a)의 산화를 촉진시키는 프로세스를 포함할 수 있다. 특히, 플라즈마 산화는 다음의 이점이 있다. 구체적으로, 금속막(14a)에 플라즈마 산화를 실시하여 고저항막(14)을 형성한 후에, 플라즈마 CVD법에 의해 충간 절연막(15)을 계속해서(연속적으로) 형성할 수 있다. 그 결과, 공정이 단순화된다. 플라즈마 산화에서는, 금속막(14a)에, 기판(10)의 온도를 약 200°C 내지 400°C로 하여, 산소 및 2 질화 산소의 혼합 가스 등의, 산소를 포함하는 가스 분위기 속에서 발생된 플라즈마 처리를 하는 것이 바람직하다. 이에 의해, 그러한 플라즈마 산화에 의해 형성된 고저항막(14)은 상술한 바와 같은 외기에 대하여 양호한 배리어성을 가질 수 있기 때문이다.
- [0069] 또한, 반도체층(11)의 미리 정해진 영역의 저저항화 방법은, 금속막(14a)과 반도체층(11)의 반응에 의한 저저항화 방법 이외에도, 플라즈마 처리에 의한 저저항화 방법, 및 플라즈마 CVD법에 의해 성막된 실리콘 질화막으로부터의 수소의 확산에 의한 저저항화 방법을 포함할 수 있다.
- [0070] 그 후, 도 9a에 도시한 바와 같이 충간 절연막(15)을 형성한다. 구체적으로는, 고저항막(14)의 전체면에 걸쳐 상술한 아크릴 수지를 포함하는 유기막, 실리콘 산화막이나 산화 알루미늄막을 포함하는 무기막, 또는 유기막과

무기막의 적층막을 포함하는 충간 절연막(15)을 상술한 두께로 성막한다. 실리콘 산화막 등의 무기막은 플라즈마 CVD법으로 성막하는 것이 바람직하고, 산화 알루미늄막은 알루미늄을 타깃으로 한 DC 또는 AC 전원을 이용하는 반응성 스퍼터링법으로 성막하는 것이 바람직하다. 그 이유는 무기막은 프로세스를 통해 고속으로 성막할 수 있기 때문이다. 유기막은 예를 들어, 스펀 코팅이나 슬릿 코팅으로 도포하여 성막한다.

[0071] 그 후, 예를 들어, 포토리소그래피 및 에칭에 의해, 반도체층(11)의 소스/드레인 영역(11SD)에 대향하는 영역의 일부에 있어서 충간 절연막(15) 및 고저항막(14)을 관통하는 컨택트 홀 H2를 형성한다.

[0072] 그 후, 도 9b에 도시한 바와 같이, 상술한 재료를 포함하는 소스/드레인 전극층(16)을, 컨택트 홀 H2를 매립하도록, 예를 들어, 스퍼터링법으로 충간 절연막(15) 상에 성막한 후, 소스/드레인 전극층(16)을 포토리소그래피 및 에칭에 의해 미리 정해진 형상으로 패터닝한다. 이에 의해, 소스/드레인 전극층(16)은, 반도체층(11)의 소스/드레인 영역(11SD)에 전기적으로 접속되어 형성된다. 상술한 바와 같이, 기판(10) 상에 트랜지스터(10B) 및 유지 용량 소자(10C)를 형성한다.

[0073] 그 후, 충간 절연막(15) 및 소스/드레인 전극층(16)을 피복하는, 상술한 재료를 포함하는 평탄화막(17)을, 예를 들어, 스펀 코팅이나 슬릿 코팅으로 성막하고, 소스/드레인 전극층(16)에 대향하는 영역의 일부에 컨택트 홀 H3을 형성한다.

[0074] 그 후, 평탄화막(17) 상에 유기 EL 소자(10A)를 형성한다. 구체적으로는, 평탄화막(17) 상에, 컨택트 홀 H3을 매립하도록, 상술한 재료를 포함하는 제1 전극(18)을 예를 들어, 스퍼터링법으로 성막한 후, 제1 전극(18)을 포토리소그래피 및 에칭에 의해 패터닝한다. 그 후, 제1 전극(18) 상에, 개구를 갖는 화소 분리막(19)을 형성하고, 유기층(20)을 예를 들어, 진공 증착법에 의해 성막한다. 그 후, 유기층(20) 상에, 상술한 재료를 포함하는 제2 전극(21)을 예를 들어, 스퍼터링법에 의해 형성한다. 그 후, 제2 전극(21) 상에, 보호층(22)을 예를 들어, CVD법에 의해 성막한 후, 보호층(22) 상에 밀봉용 기판(23)을 접합한다. 이에 의해, 도 1에 나타낸 유기 EL 표시 장치(1)의 제조 프로세스가 완료된다.

#### [작용 및 효과]

[0075] 본 실시예의 유기 EL 표시 장치(1)에서는, 예를 들어, R, G 및 B 중 하나에 대응하는 각 화소에, 각 색의 영상 신호에 따른 구동 전류가 인가되면, 제1 전극(18) 및 제2 전극(21)을 통하여, 유기층(20)에 전자 및 정공이 주입된다. 전자 및 정공은 유기층(20) 내의 유기 EL층에서 재결합되어, 발광한다. 이러한 방식으로, 유기 EL 표시 장치(1)는, 예를 들어, R, G 및 B의 풀 컬러의 영상 표시를 행한다.

[0076] 유기 EL 표시 장치(1)에서는, 상술한 바와 같은 영상 표시 동작 시에, 유지 용량 소자(10C)의 일단에, 영상 신호에 대응하는 전위가 인가되어, 유지 용량 소자(10C)에는, 영상 신호에 대응하는 전하가 축적된다. 본 실시예에서는, 상술한 바와 같이, 유지 용량 소자(10C)는, 산화물 반도체를 포함하는 반도체층(11)과 도전막(13B) 사이에 절연막(12B)이 협지되어 있는 적층 구조를 갖고 있다. 구체적으로, 유지 용량 소자(10C)는 반도체층(11)의 일부를 이용하여 형성된다.

[0077] 도 10은 본 실시예의 비교예(비교예 1)에 따른 유지 용량 소자(100)의 적층 구조를 나타낸다. 비교예 1에서는, 예를 들어, 기판(101) 상에, 트랜지스터의 게이트 절연막의 일부를 이용하여 절연막(102)이 설치되고, 절연막(102) 상(트랜지스터의 게이트 전극과 동일한 층)에 도전막(103)이 설치되어 있다. 도전막(103) 상에는 두께가 두꺼운 충간 절연막(104)이 설치되고, 충간 절연막(104) 상의 소스/드레인 전극층과 동일한 층에는 도전막(105)이 설치되어 있다. 이러한 방식으로, 비교예 1의 유지 용량 소자(100)는, 트랜지스터의 게이트 전극 및 소스/드레인 전극 각각과 동일한 층에 설치된 도전막(103 및 105) 사이에 충간 절연막(104)이 협지되어 있는 구조를 갖고 있다. 이러한 적층 구조에 의해서도 용량 형성이 가능하다. 그러나, 이러한 유지 용량 소자(100)에서는, 충간 절연막(104)의 두께가 비교적 두껍기(마이크로미터의 크기(scale size)) 때문에, 용량이 작아져, 기생 용량에 더욱 민감해진다.

[0078] 한편, 본 실시예에서, 유지 용량 소자(10C)는 반도체층(11)의 일부를 이용하여 설치되어 있어, 반도체층(11) 및 도전막(13B) 사이에 협지되어 있는 절연막(12B)을 게이트 절연막으로서 이용할 수 있다. 즉, 게이트 절연막의 두께는 게이트 절연막(12A)의 두께와 동등하다(충간 절연막(15)보다 작음). 따라서, 본 실시예에서는 비교예 1에 비해 큰 용량을 확보할 수 있다.

[0079] 도 11a는 본 실시예의 다른 비교예(비교예 2)에 따른 유지 용량 소자(100A)의 적층 구조를 나타내는 단면도이다. 도 11b는 도전막(103)측으로부터 본 적층 구조를 나타내는 평면도이다. 유지 용량 소자(100A)에서는, 반도체층(101) 상에, 게이트 절연막을 이용하여 형성된 절연막(102)을 개재하여 도전막(103)이 설치되어

있다. 이러한 적층 구조에 의해 용량이 형성된다. 유지 용량 소자(100A)에서는, 본 실시예와 같이 비교적 큰 용량을 확보할 수 있지만, 반도체층(101)과 도전막(103) 사이에 인가되는 전압으로 인해 용량이 변동될 수 있다. 용량이 변동되면, 화소 회로의 구동 조건에 따라 충분한 용량을 제공할 수 없어, 화질이 저하된다.

[0081] 이에 대하여, 본 실시예의 유지 용량 소자(10C)는, 반도체층(11) 상의 선택 영역에, 도전막(13B) 및 절연막(12B)을 제거하여 형성되는 오목부 H1을 갖고 있다. 이에 의해, 오목부 H1은, 반도체층(11) 상에 도전막(13B) 및 절연막(12B)을 갖고 있지 않기 때문에, 오목부 H1을 통하여, 산화물 반도체로부터 산소가 이탈되기 쉽다. 이 결과, 산화물 반도체막 내의 캐리어 농도를 증가시키는 것이 가능하게 된다. 환연하면, TFT 특성에서의 임계값 전압이 마이너스 측으로 시프트된다. 도 12는 비교예 2에 따른 유지 용량 소자에서의 인가 전압과 용량 간의 관계를 나타낸다. 도 13은 본 실시예의 유지 용량 소자(10C)에서의 인가 전압과 용량 간의 관계를 나타낸다. 이러한 방식으로, 본 실시예에서는, 비교예에 비해, 전압 특성이 마이너스 측으로 시프트되어 있어, 전압에 대한 용량 변화가 적은 범위(예를 들어, 0V 부근)가 이용 가능하게 된다. 따라서, 용량의 전압 의존성이 저감된다.

[0082] 도 14는 유지 용량 소자(10C)의 오목부 간 거리 d(도전막(13B)과 절연막(12B)을 포함하는 부분의 폭)와 유지 용량 소자(10C)의 임계값 전압(Vth) 간의 관계를 나타낸다. 도면에 도시한 바와 같이, 오목부 간 거리 d가 작을수록, 큰 용량을 확보할 수 있으므로, 화소 회로의 동작상 바람직하다. 특히, 오목부 간 거리 d가  $8\text{ }\mu\text{m}$  이하인 범위에서는, 오목부 간 거리 d가 짧아짐에 따라, Vth가 마이너스 측으로 시프트된다. 이는, 유지 용량 소자(10C)의 오목부 간 거리 d는  $8\text{ }\mu\text{m}$  이하인 것이 바람직하다는 것을 나타낸다.

[0083] 상술한 바와 같이, 본 실시예에서, 기판(10) 상에 유기 EL 소자(10A) 및 트랜지스터(10B)와 함께 설치된 유지 용량 소자(10C)는, 산화물 반도체를 포함하는 반도체층(11) 상에, (게이트 절연막(12A)과 동일한 층의) 절연막(12B)을 개재하여 (게이트 전극(13A)과 동일한 층의) 도전막(13B)이 설치된 적층 구조를 갖는다. 반도체층(11) 상의 선택 영역에는, 도전막(13B) 및 절연막(12B)이 제거되어 오목부 H1이 설치된다. 이에 의해, 인가 전압에 의존하는 유지 용량 소자(10C)의 용량의 변동이 억제되어, 원하는 용량을 유지할 수 있게 된다. 따라서, 화질 저하를 억제하는 것이 가능하게 된다.

[0084] 또한, 이에 의해, 액티브 구동 방식의 디스플레이에 고품질의 화상을 표시하는 것이 가능해지고, 대화면화, 고정밀화 및 하이 프레임 레이트가 가능하게 된다. 또한, 비교적 큰 용량이 달성되기 때문에, 화소 레이아웃에 있어서도, 배선의 점유 비율을 저감할 수 있어, 결함이 적은 고수율의 패널을 제조하는 것이 가능하게 된다.

#### [변형예]

[0086] 다음으로, 상기 실시예의 변형에 따른 표시 장치(액정 표시 장치(2))에 대하여 설명한다. 도 15는 액정 표시 장치(2)의 단면 구조를 나타낸다. 액정 표시 장치(2)는 상술한 실시예의 유기 EL 표시 장치와 같이, 기판(10) 상에, 표시 소자, 트랜지스터(10B) 및 유지 용량 소자(10C)를 포함하지만, 표시 소자는 유기 EL 소자 대신에 액정 표시 소자(20A)이다. 구체적으로, 액정 표시 장치(2)에서는, 기판(10) 상에 트랜지스터(10B) 및 유지 용량 소자(10C)가 배치되고, 이를 구성요소들 상에 액정 표시 소자(20A)가 배치되어 있다. 기판(10)의 아래에는 백라이트(27)가 설치되어 있고, 기판(10)의 백라이트(27) 측 및 밀봉용 기판(23) 상에는, 편광판(28a 및 28b)이 접합되어 있다. 본 실시예와 동일한 구성 요소는 동일한 부호를 붙이고, 그에 대한 설명은 적절히 생략한다.

[0087] 액정 표시 소자(20A)에서는, 예를 들어, 화소 전극(29)과 대향 전극(26) 사이에 액정층(25)이 밀봉되어 있고, 화소 전극(29) 및 대향 전극(26)의 액정층(25) 측의 각 면에는, 배향막(24a 및 24b)이 설치되어 있다. 화소 전극(29)은, 화소마다 배치되어 있고, 예를 들어, 트랜지스터(10B)의 소스/드레인 전극층(16)에 전기적으로 접속되어 있다. 대향 전극(26)은 복수의 화소에 공통으로 설치되고, 예를 들어, 공통 전위로 유지되어 있다. 액정층(25)은, 예를 들어, VA(vertical alignment: 수직 배향) 모드, TN(twisted nematic) 모드 또는 IPS(in-plane switching) 모드로 구동되는 액정을 포함한다.

[0088] 백라이트(27)는 액정층(25)으로 광을 조사하는 광원이며, 예를 들어, 복수의 LED(light emitting diode) 또는 CCFL(cold cathode fluorescent lamp)을 포함한다. 백라이트(27)는 도시하지 않은 백라이트 구동부에 의해, 점등 또는 소등되도록 제어된다.

[0089] 편광판(28a 및 28b)(편광자 및 겹광자)은 예를 들어, 크로스 니콜(crossed-Nicol) 방식으로 배치되어 있어, 백라이트(27)로부터의 조명광을 전압 무인가("오프" 상태) 시에는 차단, 전압 인가("온" 상태) 시에는 투과시킨다.

[0090] 이러한 액정 표시 장치(2)에서는, 본 실시예의 유기 EL 표시 장치(1)와 같이, 유지 용량 소자(10C)는, 트랜지스

터(10B)에서의 반도체층(11)의 일부를 이용하여 설치되고, 반도체층(11) 상의 선택 영역에는, 도전막(13B) 및 절연막(12B)이 제거되어 오목부 H1이 설치된다. 이에 의해, 본 변형예의 유지 용량 소자(10C)도, 비교적 큰 축적 용량을 갖고, 용량의 전압 의존성이 완화된다. 구체적으로, 본원의 표시 장치는 상술한 유기 EL 표시 장치(1)에만 적용되는 것이 아니라, 액정 표시 장치(2)에도 적용가능하다.

[0091] [적용 예]

[0092] 이하, 상술한 표시 장치(유기 EL 표시 장치(1) 및 액정 표시 장치(2))의 전자 기기에의 적용 예에 대하여 설명한다. 전자 기기는, 예를 들어, 텔레비전 장치, 디지털 카메라, 노트북 퍼스널 컴퓨터, 휴대 전화 등의 휴대 단말 장치 및 비디오 카메라를 포함한다. 환언하면, 상술한 표시 장치는, 외부로부터 수신된 영상 신호 또는 내부에서 생성된 영상 신호를, 화상 또는 영상으로서 표시하는 다양한 분야의 전자 기기에 적용하는 것이 가능하다.

[0093] [모듈]

[0094] 표시 장치는, 예를 들어, 도 16에 도시한 바와 같은 모듈로서, 후술하는 적용 예 1 내지 5 등의 다양한 전자 기기에 조립된다. 모듈에서는, 예를 들어, 기판(10)의 1변은 밀봉용 기판(23)로부터 노출된 영역(210)을 갖고, 노출된 영역(210)에는 수평 셀렉터(51), 기록 스캐너(52) 및 전원 스캐너(53)의 배선을 연장하여 외부 접속 단자(도시 생략)가 설치되어 있다. 외부 접속 단자는 신호의 입출력용 플렉시블 인쇄 회로(FPC; flexible printed circuit)(220)가 부착되어 있어도 좋다.

[0095] [적용 예 1]

[0096] 도 17은 텔레비전 장치의 외관을 나타낸다. 텔레비전 장치는, 예를 들어, 프론트 패널(310) 및 필터 클래스(320)를 포함하는 영상 표시 화면부(300)를 갖고 있고, 영상 표시 화면부(300)는 상술한 표시 장치에 대응한다.

[0097] [적용 예 2]

[0098] 도 18a 및 도 18b는 디지털 카메라의 외관을 나타낸다. 디지털 카메라는, 예를 들어, 플래시용의 발광부(410), 표시부(420), 메뉴 스위치(430) 및 셔터 버튼(440)을 갖고 있고, 표시부(420)는 상술한 표시 장치에 대응한다.

[0099] [적용 예 3]

[0100] 도 19는 노트북 퍼스널 컴퓨터의 외관을 나타낸 것이다. 노트북 퍼스널 컴퓨터는, 예를 들어, 본체(510), 문자 등의 입력 조작을 위한 키보드(520) 및 화상을 표시하는 표시부(530)를 갖고 있고, 표시부(530)는 상술한 표시 장치에 대응한다.

[0101] [적용 예 4]

[0102] 도 20은 비디오 카메라의 외관을 나타낸다. 비디오 카메라는, 예를 들어, 본체부(610), 본체부(610)의 전방면에 설치된 피사체 촬영용 렌즈(620), 촬영시의 스타트/스톱 스위치(630) 및 표시부(640)를 갖고 있다. 표시부(640)는 상술한 표시 장치에 대응한다.

[0103] [적용 예 5]

[0104] 도 21의 (a) 내지 (g)는 휴대 전화기의 외관을 나타낸다. 휴대 전화기는, 예를 들어, 서로 헌지부(730)로 연결되어 있는 상부 하우징(710)과 하부 하우징(720)으로 구성되어 있으며, 디스플레이(740), 서브 디스플레이(750), 광적 라이트(760) 및 카메라(770)를 갖고 있다. 디스플레이(740) 또는 서브 디스플레이(750)는 상술한 표시 장치에 대응한다.

[0105] 이상, 본원에서는 실시예 및 변형에 대하여 설명했지만, 본원은 본 실시예 등에 한정되지 않으며, 다양한 변형 또는 변경이 이루어질 수 있다. 예를 들어, 본 실시예에는, 본원의 오목부의 일례로서, 반도체층(11) 상의 선택 영역에, 도전막(13B) 및 절연막(12B)의 전부가 제거되어 개구가 설치되는(도전막(13B)의 표면으로부터 반도체층(11)의 표면까지 관통하는 개구가 설치됨) 구성을 예로 들었지만, 도전막(13B) 및 절연막(12B)가 전부 제거되지 않아도 좋다. 구체적으로, 반도체층(11) 상의 선택 영역에서, 도전막(13B) 및 절연막(12B)은 그의 두께(깊이) 방향에 있어서 일부가 제거되어도 좋다(개구는 도전막(13B)의 표면으로부터 반도체층(11)의 표면까지 관통하지 않아도 좋다).

[0106] 예를 들어, 도 22a에 도시한 바와 같이, 두께 방향에 있어서, 도전막(13B)(또는 도전막(13B)의 일부)만이 선택적으로 제거되어 오목부 H1이 형성되어도 된다. 대안으로서, 도 22b에 도시한 바와 같이, 도전막(13B)의 전부

와 절연막(12B)의 상부측의 일부가 제거되어 오목부 H1이 설치되어도 좋다. 그러나, 본 실시예와 같이, 오목부 H1이 반도체층(11)의 표면까지 관통한 구조가, 반도체층(11)로부터의 산소 이탈에 의한 전압 의존 저감의 효과를 보다 효과적으로 제공하며, 제조 프로세스가 간소해진다.

[0107] 또한, 본 실시예 등에서는, 유지 용량 소자(10C)의 절연막(12B)이, 트랜지스터(10B)의 게이트 절연막(12A)으로부터 분리되어 패터닝된 구성을 도시했지만, 게이트 절연막(12A) 및 절연막(12B)은 반드시 분리되지 않아도 되고, 트랜지스터(10B)로부터 유지 용량 소자(10C)까지 연속적으로 형성되어 있어도 된다. 또한, 트랜지스터(10B)으로부터 유지 용량 소자(10C)까지 일체로(연속해서) 형성되는 반도체층(11)을 예시했지만, 반도체층(11)은 트랜지스터(10B) 및 유지 용량 소자(10C)의 각각에 있어서 분리되어 설치되어도 좋다.

[0108] 또한, 본 실시예 등에는 고저항막(14)을 갖는 구조예에 대하여 설명했지만, 고저항막(14)이 설치되지 않아도 좋다. 그러나, 상술한 바와 같이, 고저항막(14)을 갖는 구조가, 트랜지스터(10B) 및 유지 용량 소자(10C)의 전기 특성을 안정적으로 유지하는데 기여하기 때문에 바람직하다.

[0109] 또한, 본 실시예 등에서는, 반도체층(11)의 미리 정해진 영역의 저항을, 금속막(14a)과 반도체층(11)을 반응시켜 저감하지만, 예를 들어, 플라즈마 처리에 의해 저저항화하는 방법 및 플라즈마 CVD법에 의해 성막된 실리콘 질화막으로부터의 수소의 확산에 의해 저저항화하는 방법 등의 그 밖의 방법을 이용해도 된다.

[0110] 또한, 유지 용량 소자(10C)에 설치된 오목부 H1은 상부로부터 보았을 때의 형상(개구 형상)이 사각형(도 3a) 또는 직사각 형상(도 3b)인 경우를 예시했지만, 오목부의 개구 형상은 이들의 형상으로 한정되는 것이 아니라, 다른 다양한 형상(예를 들어, 원 형상 및 다각 형상)을 포함할 수 있다.

[0111] 본원의 상술한 예시적인 실시예 및 변형으로부터 적어도 이하의 구성 (1) 내지 (9)를 달성할 수 있다.

[0112] (1) 기판, 기판상에, 표시 소자, 상기 표시 소자의 구동 소자로서의 트랜지스터, 및 영상 신호에 대응하는 전하를 유지하는 유지 용량 소자를 포함하고, 상기 유지 용량 소자는, 산화물 반도체를 포함하는 제1 반도체층, 상기 제1 반도체층 상에 설치된 제1 도전막, 상기 제1 반도체층과 상기 제1 도전막 사이에 설치된 제1 절연막 및 상기 제1 반도체층 상의 선택 영역에, 상기 제1 도전막 및 상기 제1 절연막의 일부 또는 전부를 제거하여 형성되는 오목부를 포함하는 표시 장치.

[0113] (2) 상기 트랜지스터는, 상기 기판에 가까운 순서대로, 산화물 반도체를 포함하는 제2 반도체층, 상기 제2 반도체층 상의 선택 영역에 설치된 게이트 절연막으로서의 제2 절연막, 상기 제2 절연막에 대응하는 영역에 설치된 게이트 전극으로서의 제2 도전막, 및 상기 제1 반도체층에 전기적으로 접속되어 설치된 소스/드레인 전극층을 포함하는 상기 (1)에 따른 표시 장치.

[0114] (3) 상기 제1 반도체층과 상기 제2 반도체층은 동일 재료로 구성되고, 상기 제1 도전막과 상기 제2 도전막은 동일 재료로 구성되며, 상기 제1 절연막과 제2 절연막은 동일 재료로 구성되는 상기 (2)에 따른 표시 장치.

[0115] (4) 상기 제1 반도체층은 상기 제2 반도체층과 일체로 설치되는 상기 (2) 또는 (3)에 기재된 표시 장치.

[0116] (5) 상기 제1 반도체층 및 상기 제2 반도체층은, 상기 제1 도전막 및 상기 유지 용량 소자 각각에 비대향한(unopposed) 영역에, 다른 영역보다 전기 저항이 낮은 저저항 영역을 갖는 상기(2) 내지 (4) 중 어느 하나에 따른 표시 장치.

[0117] (6) 상기 소스/드레인 전극층은 상기 제1 반도체층의 저저항 영역에 전기적으로 접속되어 있는 상기 (5)에 따른 표시 장치.

[0118] (7) 상기 유지 용량 소자는 고저항막으로 덮여 있는 상기 (1) 내지 (6) 중 어느 하나에 따른 표시 장치.

[0119] (8) 상기 표시 소자는 유기 전계 발광 소자인 상기 (1) 내지 (7) 중 어느 하나에 따른 표시 장치.

[0120] (9) 상기 표시 소자는 액정 표시 소자인 상기 (1) 내지 (7) 중 어느 하나에 따른 표시 장치.

[0121] 본원은 2011년 3월 29일에 일본 특허청에 출원된 일본 특허 출원 번호 제2011-071487호에 기재된 것과 관련된 요지를 포함하며, 그 전체 내용은 본원에 참조로서 원용된다.

[0122] 본 기술분야의 통상의 당업자라면, 다양한 변형, 조합, 서브-조합 및 변경들이 첨부된 특허청구범위 또는 그 균등물의 범위 내에 있는 한, 설계 요건 및 다른 요소에 따라 다양한 변형, 조합, 서브-조합 및 변경들이 발생할 수 있다는 점을 이해할 것이다.

## 부호의 설명

[0123]

1: 유기 EL 표시 장치

10A: 유기 EL 소자

10B: 트랜지스터

10C: 유지 용량 소자

10: 기판

11: 반도체층

11SD: 소스/드레인 영역

12A: 게이트 절연막

13A: 게이트 전극

15: 층간 절연막

16: 소스/드레인 전극층

12B: 절연막

13B: 도전막

14: 고저항막

17: 평탄화막

18: 제1 전극

19: 화소 분리막

20: 유기층

21: 제2 전극

22: 보호층

23: 밀봉용 기판

2: 액정 표시 장치

20A: 액정 표시 소자

29: 화소 전극

24a, 24b: 배향막

25: 액정층

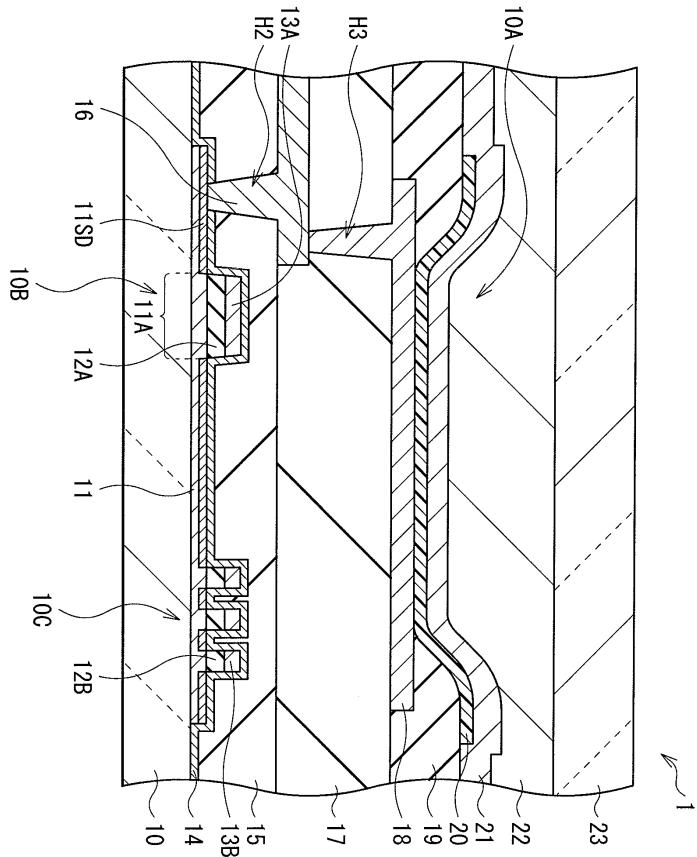
26: 대향 전극

27: 백라이트

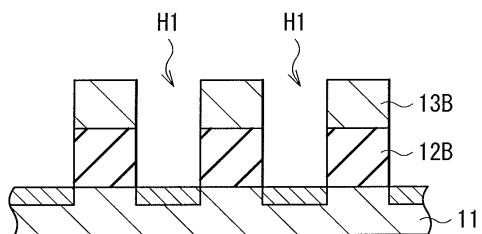
28a, 28b: 편광판.

## 도면

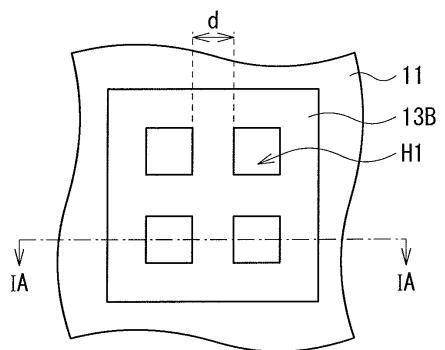
## 도면1



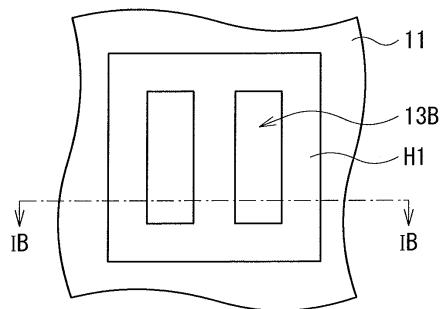
## 도면2



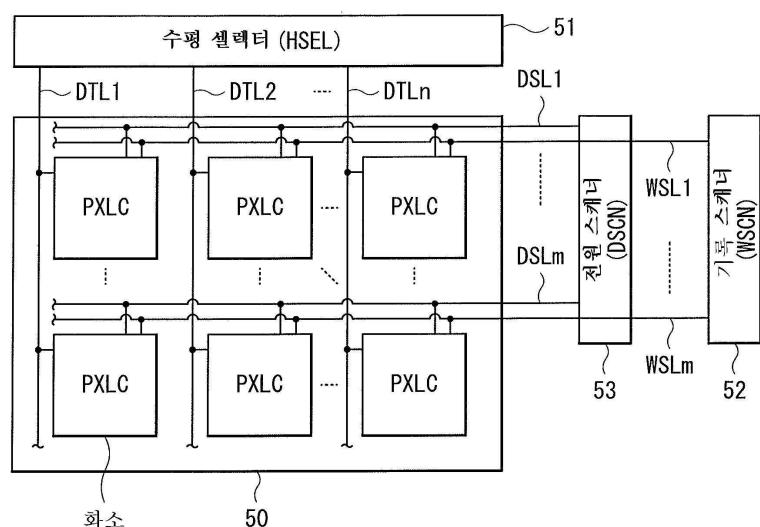
### 도면3a



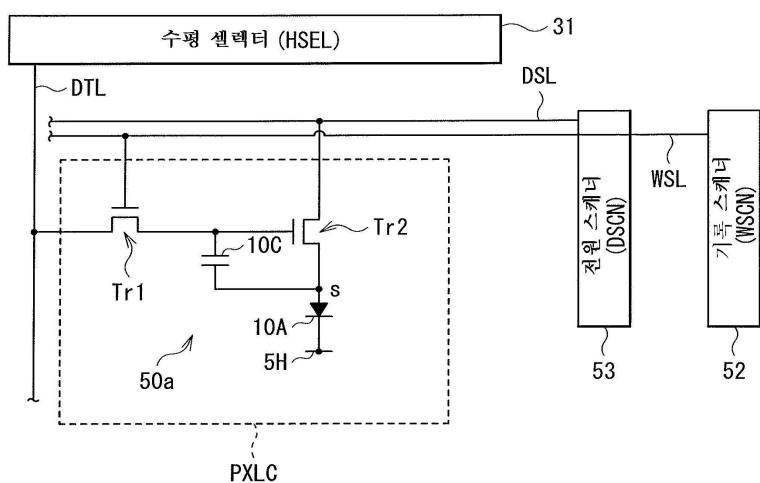
도면3b



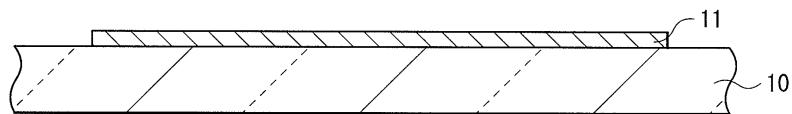
도면4



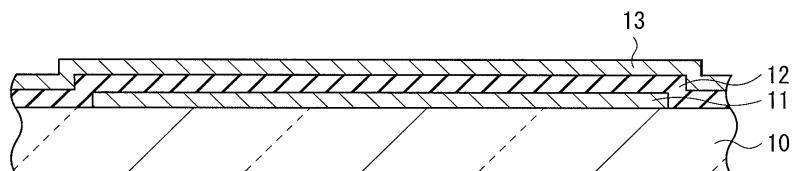
도면5



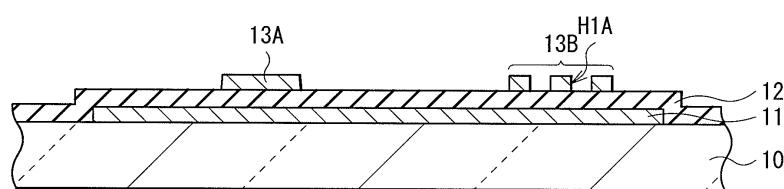
도면6a



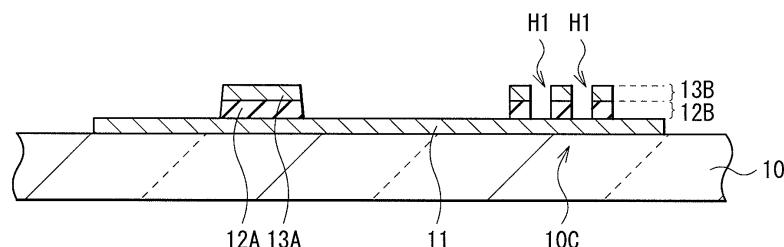
도면6b



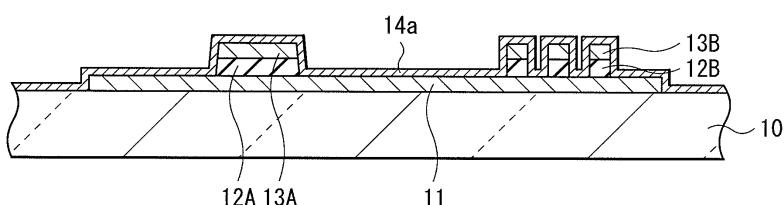
도면7a



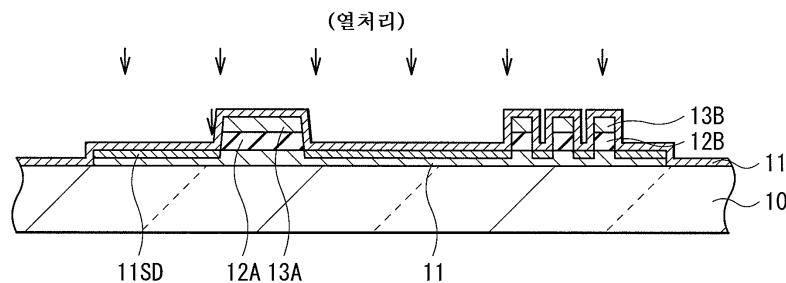
도면7b



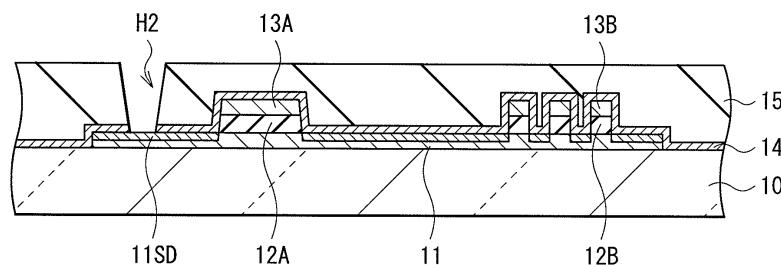
도면8a



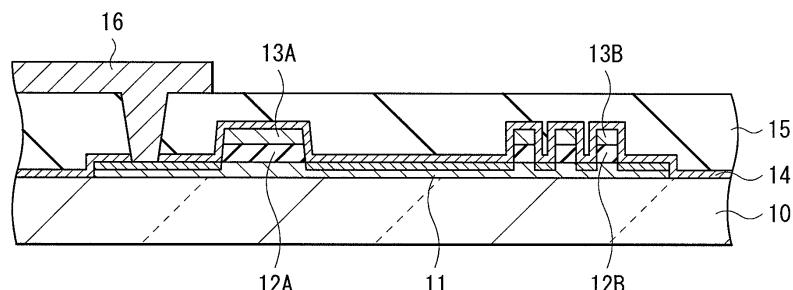
도면8b



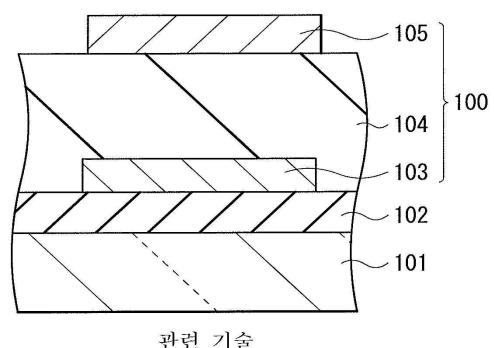
도면9a



도면9b

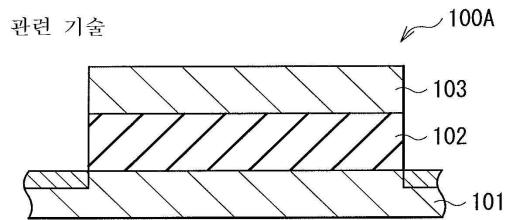


도면10

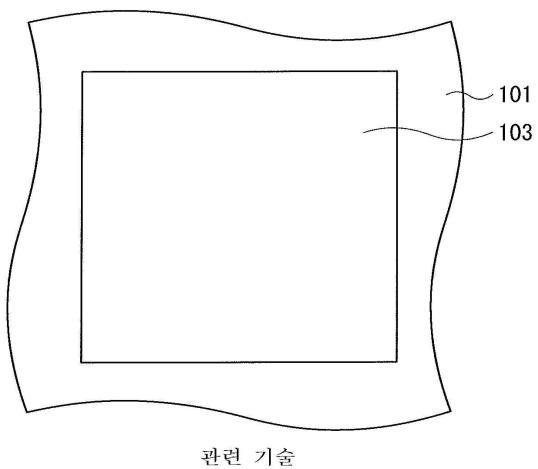


관련 기술

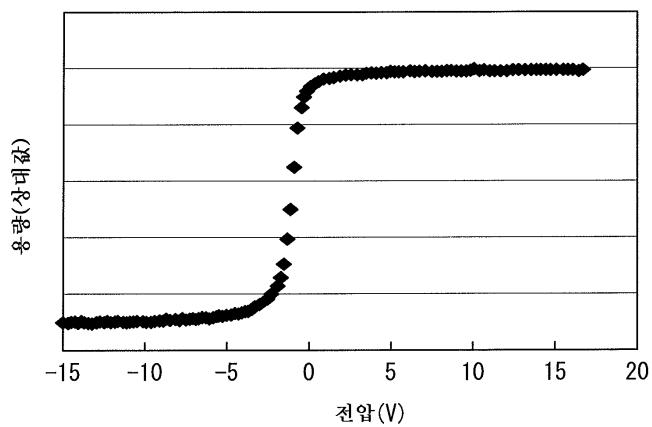
도면11a



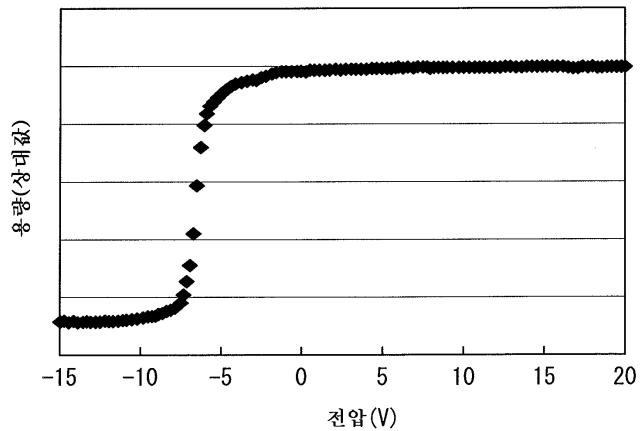
도면11b



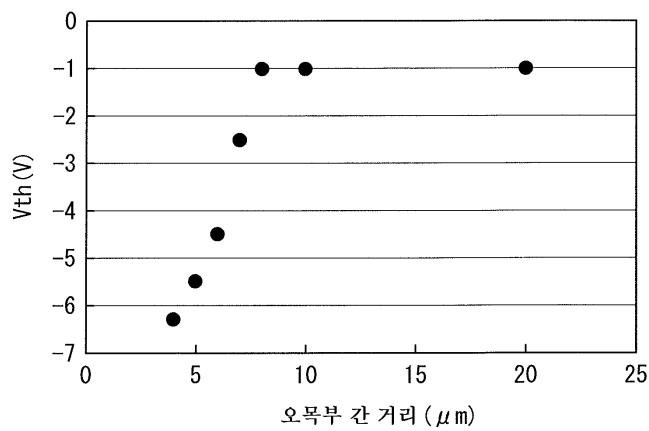
도면12



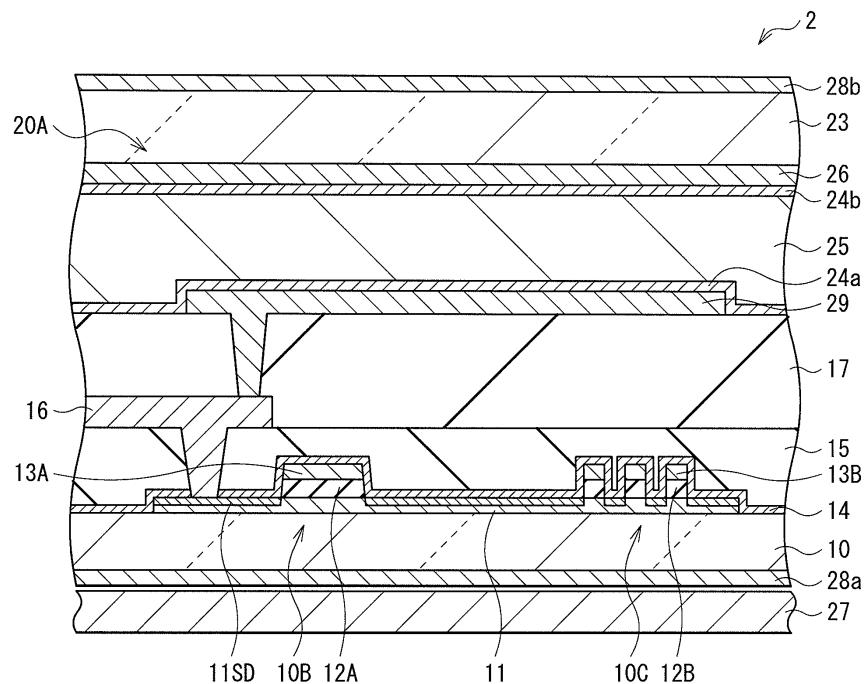
도면13



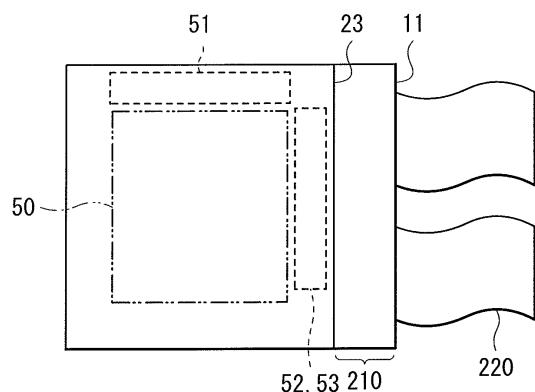
도면14



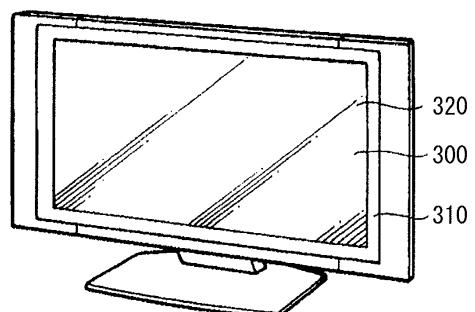
## 도면15



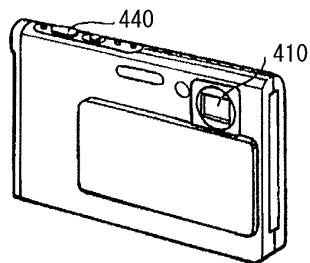
## 도면16



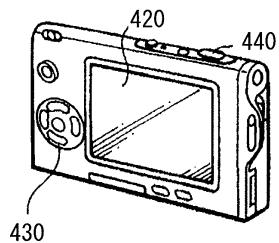
### 도면17



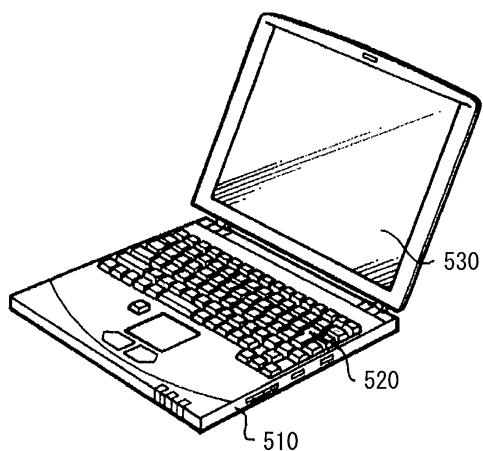
도면18a



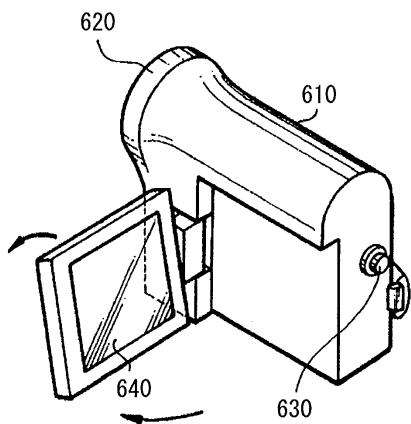
도면18b



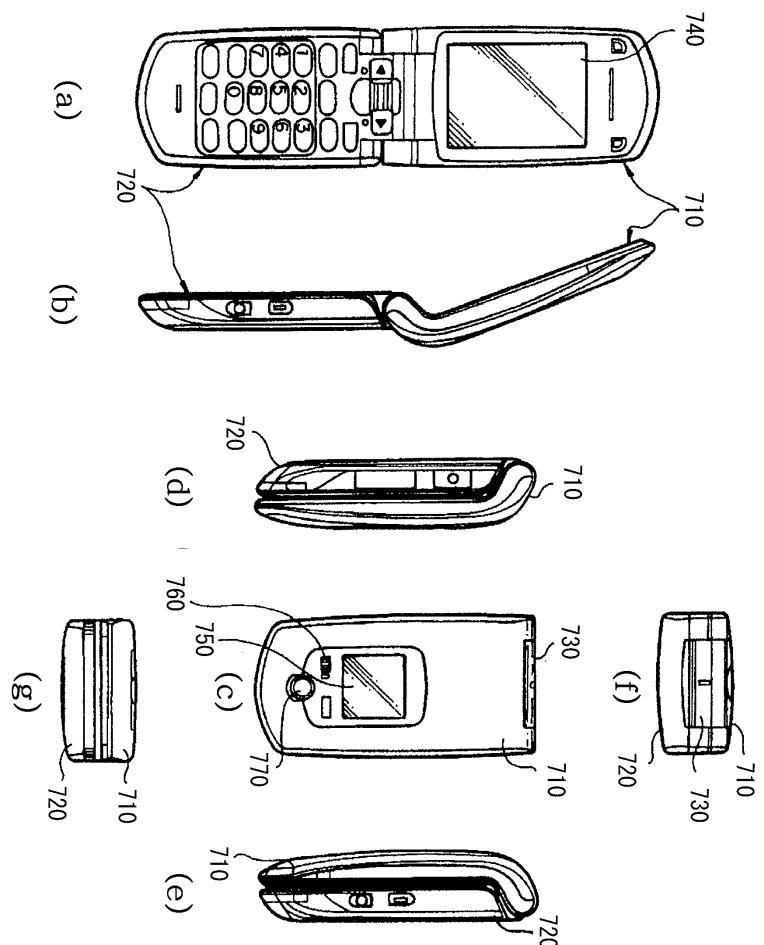
도면19



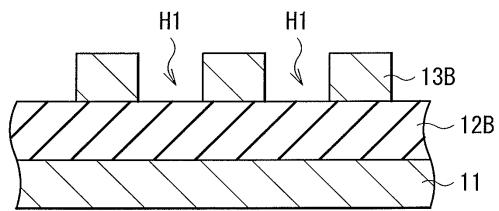
도면20



도면21



도면22a



도면22b

