

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成23年9月1日(2011.9.1)

【公表番号】特表2010-531501(P2010-531501A)

【公表日】平成22年9月24日(2010.9.24)

【年通号数】公開・登録公報2010-038

【出願番号】特願2010-513903(P2010-513903)

【国際特許分類】

G 0 6 F 13/16 (2006.01)

G 0 6 F 12/06 (2006.01)

【F I】

G 0 6 F 13/16 5 1 0 A

G 0 6 F 12/06 5 1 5 F

【手続補正書】

【提出日】平成23年7月13日(2011.7.13)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 のメモリ・モジュールであって、  
データを記憶するための複数のアドレス指定可能な記憶位置と、  
前記アドレス指定可能な記憶位置に記憶されているデータにアクセスするデータ・アクセス・コマンドを受信する第 1 のインターフェースと、  
第 1 のモード及び第 2 のモードを含む複数の動作モードをサポートする制御ロジックと、  
を備え、

前記第 1 の動作モードにおいて、前記第 1 のインターフェースにおいて受信された少なくともいくつかの前記データ・アクセス・コマンドの複数のコピーを再送信し、前記各複数のコピーは、複数の第 2 のインターフェースのそれぞれを使用して前記第 1 のメモリ・モジュール以外の 1 つ又は複数の各メモリ・モジュールに送信され、

前記第 2 の動作モードにおいて、前記制御ロジックは、前記第 1 のインターフェースによって受信された前記各データ・アクセス・コマンドが前記第 1 のメモリ・モジュール内のデータ記憶位置をアドレス指定しているかどうかを判定し、( a ) 前記データ・アクセス・コマンドが前記第 1 のメモリ・モジュール内のデータ記憶位置をアドレス指定している場合には、前記第 1 のメモリ・モジュール内の対応するデータ記憶位置にアクセスし、( b ) 前記データ・アクセス・コマンドが前記第 1 のメモリ・モジュール内のデータ記憶位置をアドレス指定していない場合には、前記データ・アクセス・コマンドの単一のコピーを別のメモリ・モジュールに再送信し、

当該メモリ・モジュールの第 1 のコンポーネント・セットは、前記第 1 の動作モードでは、第 1 のクロック周波数で動作し、前記第 2 の動作モードでは、前記第 1 のクロック周波数よりも高い第 2 のクロック周波数で動作する、

第 1 のメモリ・モジュール。

【請求項 2】

前記第 1 の動作モードにおいて、前記第 1 のメモリ・モジュールは、前記第 1 のインターフェースにおいて受信された前記各データ・アクセス・コマンドの複数のコピーを再送

信し、前記各複数のコピーは、複数の前記第 2 のインターフェースのそれぞれを使用して前記第 1 のメモリ・モジュール以外の 1 つ又は複数の各メモリ・モジュールに送信される、請求項 1 に記載の第 1 のメモリ・モジュール。

【請求項 3】

前記第 2 の動作モードにおいて、前記第 1 のメモリ・モジュールは、メモリ・モジュール・デイジー・チェーン構成で使用され、前記メモリ・モジュール・デイジー・チェーン構成において、第 1 の I / O ポート・セットは、メモリ・モジュール・デイジー・チェーンへのアクセスを制御するアクセス制御モジュールのうちの 1 つからアウトバウンド・データを受信し、前記デイジー・チェーンは、前記第 1 のメモリ・モジュールと、前記メモリ・モジュール・デイジー・チェーン内の前のメモリ・モジュールと、を含み、第 2 の I / O ポート・セットは、前記第 1 の I / O ポート・セットにおいて受信されたアウトバウンド・データを前記メモリ・モジュール・デイジー・チェーン内の次のメモリ・モジュールに再送信し、第 3 の I / O ポート・セットは、前記メモリ・モジュール・デイジー・チェーン内の前記次のメモリ・モジュールからインバウンド・データを受信し、第 4 の I / O ポート・セットは、前記第 1 の I / O ポート・セットにおいて受信されたインバウンド・データを再送信し、前記第 1 のメモリ・モジュール内から発信されるインバウンド・データを、前記アクセス制御モジュールと、前記メモリ・モジュール・デイジー・チェーン内の前記前のメモリ・モジュールのうちの一方に送信し、前記第 1 のセットは、前記第 2 のセットと同数のポートを有し、前記第 3 のセットは、前記第 4 のセットと同数のポートを有する、請求項 1 に記載の第 1 のメモリ・モジュール。

【請求項 4】

前記第 1 の動作モードにおいて、前記第 1 のインターフェースにおいて受信された前記各データ・アクセス・コマンドは、メモリ・モジュール・セット内のデータ位置にアクセスし、前記セットは、複数のメモリ・モジュールを収容し、前記セットは、前記第 1 のメモリ・モジュールと、前記第 2 のインターフェースから前記データ・アクセス・コマンドのコピーが再送信される各メモリ・モジュールと、を含む、請求項 1 に記載の第 1 のメモリ・モジュール。

【請求項 5】

前記第 2 のクロック周波数は、前記第 1 のクロック周波数の M 倍であり、M は整数である、請求項 1 に記載の第 1 のメモリ・モジュール。

【請求項 6】

前記第 1 及び第 2 のクロック周波数は、外部クロック信号から導出され、前記外部クロック信号は、整数 N で割ると前記第 1 のクロック周波数が得られ、整数 M で割ると前記第 2 のクロック周波数が得られ、M は 1 以上であり、N は M よりも大きい、請求項 1 に記載の第 1 のメモリ・モジュール。

【請求項 7】

前記第 1 のコンポーネント・セットは、少なくとも 1 つの I / O ポートを含む、請求項 1 に記載の第 1 のメモリ・モジュール。

【請求項 8】

前記第 1 のコンポーネント・セットの前記少なくとも 1 つの I / O ポートは、前記第 1 のメモリ・モジュール内の記憶位置から読み出されたデータを前記データ・アクセス・コマンドに応答してアクセス制御モジュールに送信するのに使用される、請求項 7 に記載の第 1 のメモリ・モジュール。

【請求項 9】

前記第 1 の動作モードでは、前記第 1 のメモリ・モジュール内の記憶位置から読み出されたデータを前記データ・アクセス・コマンドに応答してアクセス制御モジュールに送信するのに第 1 の I / O ポート・セットが使用され、

前記第 2 の動作モードでは、前記第 1 のメモリ・モジュール内の記憶位置から読み出されたデータを前記データ・アクセス・コマンドに応答してアクセス制御モジュールに送信するのに第 2 の I / O ポート・セットが使用され、

前記第 1 の I / O ポート・セットは、少なくとも 1 つの I / O ポートを収容し、前記第 2 の I / O ポート・セットは、前記第 1 の I / O ポート・セットよりも大きい数の I / O ポートを収容する、

請求項 1 に記載の第 1 のメモリ・モジュール。

【請求項 10】

前記第 1 の動作モードでは、前記第 1 のメモリ・モジュール内の記憶位置から読み出されたデータを前記データ・アクセス・コマンドに応答してアクセス制御モジュールに送信するのに第 1 の I / O ポート・セットが使用され、前記第 1 の I / O ポート・セットは、アクセス可能なデータ単位を前記データ・アクセス・コマンドに応答して送信するのに N 個のバス・サイクルを必要とし、

前記第 2 の動作モードでは、前記第 1 のメモリ・モジュール内の記憶位置から読み出されたデータを前記データ・アクセス・コマンドに応答してアクセス制御モジュールに送信するのに第 2 の I / O ポート・セットが使用され、前記第 2 の I / O ポート・セットは、アクセス可能なデータ単位を前記データ・アクセス・コマンドに応答して送信するのに M 個のバス・サイクルを必要とし、

N は 1 以上であり、M は N よりも大きい、

請求項 1 に記載の第 1 のメモリ・モジュール。

【請求項 11】

前記第 1 の動作モードにおいて、前記第 1 のインターフェースは、前記第 1 のメモリ・モジュールと前記データ・アクセス・コマンドがそこから受信されるデバイスとを接続する 2 地点間通信リンクと結合され、

前記第 1 の動作モードにおいて、前記各第 2 のインターフェースは、前記第 1 のメモリ・モジュールと他の各メモリ・モジュールとを接続する各 2 地点間通信リンクと結合される、

請求項 1 に記載の第 1 のメモリ・モジュール。

【請求項 12】

前記第 1 の動作モードにおいて、前記第 1 のインターフェースは、データ・アクセス・コマンドの各部分を N 個の各後続バス・サイクル内に受信し、N は 1 よりも大きく、

前記第 1 の動作モードにおいて、前記各第 2 のインターフェースは、前記データ・アクセス・コマンドの前記各部分を、M 個のバス・サイクルの遅延後に、N 個の各後続バス・サイクル内に再送信し、 $1 \leq M < N$  である、

請求項 1 に記載の第 1 のメモリ・モジュール。