

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成23年9月1日(2011.9.1)

【公表番号】特表2010-531501(P2010-531501A)

【公表日】平成22年9月24日(2010.9.24)

【年通号数】公開・登録公報2010-038

【出願番号】特願2010-513903(P2010-513903)

【国際特許分類】

G 06 F 13/16 (2006.01)

G 06 F 12/06 (2006.01)

【F I】

G 06 F 13/16 5 1 0 A

G 06 F 12/06 5 1 5 F

【手続補正書】

【提出日】平成23年7月13日(2011.7.13)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1のメモリ・モジュールであって、

データを記憶するための複数のアドレス指定可能な記憶位置と、

前記アドレス指定可能な記憶位置に記憶されているデータにアクセスするデータ・アクセス・コマンドを受信する第1のインターフェースと、

第1のモード及び第2のモードを含む複数の動作モードをサポートする制御ロジックと

、
を備え、

前記第1の動作モードにおいて、前記第1のインターフェースにおいて受信された少なくともいくつかの前記データ・アクセス・コマンドの複数のコピーを再送信し、前記各複数のコピーは、複数の第2のインターフェースのそれぞれを使用して前記第1のメモリ・モジュール以外の1つ又は複数の各メモリ・モジュールに送信され、

前記第2の動作モードにおいて、前記制御ロジックは、前記第1のインターフェースによって受信された前記各データ・アクセス・コマンドが前記第1のメモリ・モジュール内のデータ記憶位置をアドレス指定しているかどうかを判定し、(a)前記データ・アクセス・コマンドが前記第1のメモリ・モジュール内のデータ記憶位置をアドレス指定している場合には、前記第1のメモリ・モジュール内の対応するデータ記憶位置にアクセスし、(b)前記データ・アクセス・コマンドが前記第1のメモリ・モジュール内のデータ記憶位置をアドレス指定していない場合には、前記データ・アクセス・コマンドの単一のコピーを別のメモリ・モジュールに再送信し、

当該メモリ・モジュールの第1のコンポーネント・セットは、前記第1の動作モードでは、第1のクロック周波数で動作し、前記第2の動作モードでは、前記第1のクロック周波数よりも高い第2のクロック周波数で動作する、

第1のメモリ・モジュール。

【請求項2】

前記第1の動作モードにおいて、前記第1のメモリ・モジュールは、前記第1のインターフェースにおいて受信された前記各データ・アクセス・コマンドの複数のコピーを再送

信し、前記各複数のコピーは、複数の前記第2のインターフェースのそれぞれを使用して前記第1のメモリ・モジュール以外の1つ又は複数の各メモリ・モジュールに送信される、請求項1に記載の第1のメモリ・モジュール。

【請求項3】

前記第2の動作モードにおいて、前記第1のメモリ・モジュールは、メモリ・モジュール・ディジー・チェーン構成で使用され、前記メモリ・モジュール・ディジー・チェーン構成において、第1のI/Oポート・セットは、メモリ・モジュール・ディジー・チェーンへのアクセスを制御するアクセス制御モジュールのうちの1つからアウトバウンド・データを受信し、前記ディジー・チェーンは、前記第1のメモリ・モジュールと、前記メモリ・モジュール・ディジー・チェーン内の前のメモリ・モジュールと、を含み、第2のI/Oポート・セットは、前記第1のI/Oポート・セットにおいて受信されたアウトバウンド・データを前記メモリ・モジュール・ディジー・チェーン内の次のメモリ・モジュールに再送信し、第3のI/Oポート・セットは、前記メモリ・モジュール・ディジー・チェーン内の前記次のメモリ・モジュールからインバウンド・データを受信し、第4のI/Oポート・セットは、前記第1のI/Oポート・セットにおいて受信されたインバウンド・データを再送信し、前記第1のメモリ・モジュール内から発信されるインバウンド・データを、前記アクセス制御モジュールと、前記メモリ・モジュール・ディジー・チェーン内の前記前のメモリ・モジュールのうちの一方に送信し、前記第1のセットは、前記第2のセットと同数のポートを有し、前記第3のセットは、前記第4のセットと同数のポートを有する、請求項1に記載の第1のメモリ・モジュール。

【請求項4】

前記第1の動作モードにおいて、前記第1のインターフェースにおいて受信された前記各データ・アクセス・コマンドは、メモリ・モジュール・セット内のデータ位置にアクセスし、前記セットは、複数のメモリ・モジュールを収容し、前記セットは、前記第1のメモリ・モジュールと、前記第2のインターフェースから前記データ・アクセス・コマンドのコピーが再送信される各メモリ・モジュールと、を含む、請求項1に記載の第1のメモリ・モジュール。

【請求項5】

前記第2のクロック周波数は、前記第1のクロック周波数のM倍であり、Mは整数である、請求項1に記載の第1のメモリ・モジュール。

【請求項6】

前記第1及び第2のクロック周波数は、外部クロック信号から導出され、前記外部クロック信号は、整数Nで割ると前記第1のクロック周波数が得られ、整数Mで割ると前記第2のクロック周波数が得られ、Mは1以上であり、NはMよりも大きい、請求項1に記載の第1のメモリ・モジュール。

【請求項7】

前記第1のコンポーネント・セットは、少なくとも1つのI/Oポートを含む、請求項1に記載の第1のメモリ・モジュール。

【請求項8】

前記第1のコンポーネント・セットの前記少なくとも1つのI/Oポートは、前記第1のメモリ・モジュール内の記憶位置から読み出されたデータを前記データ・アクセス・コマンドに応答してアクセス制御モジュールに送信するのに使用される、請求項7に記載の第1のメモリ・モジュール。

【請求項9】

前記第1の動作モードでは、前記第1のメモリ・モジュール内の記憶位置から読み出されたデータを前記データ・アクセス・コマンドに応答してアクセス制御モジュールに送信するのに第1のI/Oポート・セットが使用され、

前記第2の動作モードでは、前記第1のメモリ・モジュール内の記憶位置から読み出されたデータを前記データ・アクセス・コマンドに応答してアクセス制御モジュールに送信するのに第2のI/Oポート・セットが使用され、

前記第1のI/Oポート・セットは、少なくとも1つのI/Oポートを収容し、前記第2のI/Oポート・セットは、前記第1のI/Oポート・セットよりも大きい数のI/Oポートを収容する、

請求項1に記載の第1のメモリ・モジュール。

【請求項10】

前記第1の動作モードでは、前記第1のメモリ・モジュール内の記憶位置から読み出されたデータを前記データ・アクセス・コマンドに応答してアクセス制御モジュールに送信するのに第1のI/Oポート・セットが使用され、前記第1のI/Oポート・セットは、アクセス可能なデータ単位を前記データ・アクセス・コマンドに応答して送信するのにN個のバス・サイクルを必要とし、

前記第2の動作モードでは、前記第1のメモリ・モジュール内の記憶位置から読み出されたデータを前記データ・アクセス・コマンドに応答してアクセス制御モジュールに送信するのに第2のI/Oポート・セットが使用され、前記第2のI/Oポート・セットは、アクセス可能なデータ単位を前記データ・アクセス・コマンドに応答して送信するのにM個のバス・サイクルを必要とし、

Nは1以上であり、MはNよりも大きい、

請求項1に記載の第1のメモリ・モジュール。

【請求項11】

前記第1の動作モードにおいて、前記第1のインターフェースは、前記第1のメモリ・モジュールと前記データ・アクセス・コマンドがそこから受信されるデバイスとを接続する2地点間通信リンクと結合され、

前記第1の動作モードにおいて、前記各第2のインターフェースは、前記第1のメモリ・モジュールと他の各メモリ・モジュールとを接続する各2地点間通信リンクと結合される、

請求項1に記載の第1のメモリ・モジュール。

【請求項12】

前記第1の動作モードにおいて、前記第1のインターフェースは、データ・アクセス・コマンドの各部分をN個の各後続バス・サイクル内に受信し、Nは1よりも大きく、

前記第1の動作モードにおいて、前記各第2のインターフェースは、前記データ・アクセス・コマンドの前記各部分を、M個のバス・サイクルの遅延後に、N個の各後続バス・サイクル内に再送信し、 $1 \leq M < N$ である、

請求項1に記載の第1のメモリ・モジュール。