

### 三、發明人：(共 5 人)

姓 名：(中文/英文)

1. 克萊恩司 裘伊  
CHUI, CLARENCE
2. 曼尼須 克司里  
KOTHARI, MANISH
3. 馬克 米那德  
MIGNARD, MARC
4. 米瑞 C 馬修  
MATHEW, MITHRAN C.
5. 傑佛瑞 B 森派薩爾  
SAMPSELL, JEFFREY B.

國 籍：(中文/英文)

1. 美國 U.S.A.
2. 印度 INDIA
3. 美國 U.S.A.
4. 美國 U.S.A.
5. 美國 U.S.A.

#### 四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1.美國；2004年08月27日；60/604,892

2.美國；2004年08月27日；60/604,893

3.美國；2004年12月30日；11/026,555

4.美國；2004年12月30日；11/027,693

5.美國；2005年01月21日；60/646,053

6.美國；2005年04月29日；11/118,612

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明之領域係關於微機電系統(MEMS)。

### 【先前技術】

微機電系統(MEMS)包括微機械元件、致動器、及電子設備。可使用沈積、蝕刻及/或蝕刻掉基板及/或沈積材料層的部分或添加諸層以形成電及機電設備的其它微機械加工方法創造微機械元件。一種類型之MEMS設備被稱為干涉調變器。一干涉調變器可包含一對導電板，該等導電板中一或兩個導電板可係完全或部分透明及/或反射性的並能夠在施加一適當電訊號時相對運動。一塊板可包含一沈積於基板上的固定層，另一塊板可包含一藉由一氣隙與該固定層分離之金屬薄膜。此等設備具有許多應用，且此項技術中有益的係利用及/或修改此等類型設備的特徵以便可在改良現有產品並創造尚未被開發之新產品中利用該等特徵。

### 【發明內容】

本發明之系統、方法、及設備各具有幾個態樣，該等態樣中無單一態樣單獨為其所需屬性負責。不限制本發明之範疇，現將簡要討論本發明之更顯著特徵。考慮此討論之後，且特定言之閱讀題為"某些實施例的詳細描述"部分之後將瞭解本發明之特徵係如何提供與其它顯示設備相比的優點。

在第一實施例中，本發明包括一排列於電極之列與行相交處的光調變器陣列，該陣列包括一基板；至少一第一電

極，其特徵為一第一電阻；及至少一第二電極，其特徵為一第二電阻且與該至少一第一電極相交以在每一相交處形成一光調變器。該第二電阻係小於該第一電阻。一驅動電路包括一電連接至該至少一第一電極及該至少一第二電極中每一電極的輸出。該驅動電路經配置用以在第一階段中向該至少一第一電極施加第一電壓並在第二階段中向該至少一第一電極施加第二電壓。驅動電路在第一階段中亦將向該至少一第二電極施加第三電壓並在第二階段中向該至少一第二電極施加第四電壓，其中第三電壓與第四電壓之間的轉變比光調變器之機械回應時間更快速地發生。該第一電壓與該第二電壓之間差的絕對值係小於第三電壓與第四電壓之間差的絕對值。此外，第一電壓與第三電壓之間的差為第一極性的且第二電壓與第四電壓之間的差為與該第一極性相反之第二極性的。

在另一實施例中，一設備包括排列在電極之列與行相交處用於調變光的構件以及用於致動該光調變構件的第一構件，該第一致動構件的特徵為一第一電阻，及用於致動光調變構件的第二構件，該第二致動構件的特徵為一第二電阻。第二電阻小於第一電阻。該設備亦包括用於在第一階段中向該至少一第一電極施加第一電壓並在第二階段中向該至少一第一電極施加第二電壓的構件。該設備亦包括用於在第一階段中向該至少一第二電極施加第三電壓並在第二階段中向該至少一第二電極施加第四電壓的構件，其中第三電壓與第四電壓之間的轉變比光調變器之機械回應時

間更快速地發生。在此實施例中，第一電壓與第二電壓之間差的絕對值係小於第三電壓與第四電壓之間差的絕對值且第一電壓與第三電壓之間的差為第一極性的且第二電壓與第四電壓之間的差為與該第一極性相反之第二極性的。

在另一實施例中，驅動排列在電極列與電極行相交處之光調變器陣列的方法包括在第一階段中藉由跨越至少一光調變器施加具有第一極性的第一電位差來致動至少一光調變器，其中該第一電位差大於一預定臨限值。該方法亦包括在第二階段中藉由跨越至少一光調變器施加具有第一極性的第二電位差將至少一光調變器保持在致動狀態下，其中該第二電位基本上等於該預定臨限值。在第三階段中跨越至少一光調變器施加與第一極性相反之第二極性的第三電位差。電極行或電極列中一者的特徵為第一傳導率並經歷第一與第三階段之間的第一電壓差，且電極行或電極列中另一者的特徵為第二傳導率並經歷第一與第三階段之間的第二電壓差。該第一傳導率大於該第二傳導率且該第一電壓差大於該第二電壓差。

在另一實施例中，顯示器包括至少一驅動電路及一包括複數個雙穩態元件的陣列。每一雙穩態元件連接至一行線及一列線並被組態用以由驅動電路驅動。複數個電路連接於驅動電路與每一行線及列線之間。組態該等電路用以將陣列與驅動電路電絕緣。

在另一實施例中，顯示器包括用於驅動一包括複數個雙穩態元件之陣列的構件，其中每一雙穩態元件連接至一行

線及一系列線。該顯示器亦包括用於將陣列與驅動構件電絕緣的構件。

在另一實施例中，顯示器的使用方法包括向一雙穩態元件陣列施加一偏壓並將雙穩態元件陣列與至少一驅動電路電絕緣。

在另一發明實施例中，顯示系統包括一微機電像素陣列及被組態以向像素施加電訊號的列及行驅動器電路。亦提供一感測器，其被組態以感測對於電訊號中的一或多個之電容相依回應。

在另一實施例中，顯示系統包括用於向一微機電像素陣列施加電訊號的構件及用於判定對於電訊號中的一或多個之電容相依回應的構件。

在另一實施例中，提供形成在一連串列電極與一連串行電極相交處在列及行中的微機電設備陣列中之所選的一者之操作狀態的判定方法。該方法包括將除連接至所選設備之行電極之外陣列之大體每一行電極與行驅動器電路絕緣並將除連接至所選設備之列電極之外陣列之大體每一列電極與列驅動器電路絕緣。向連接至所選設備之列電極施加一電訊號，並判定列電極之至少一電容相依回應。至少部分基於該回應判定所選設備的操作狀態。

在另一實施例中，顯示設備包括一MEMS元件陣列並包括一被組態用以向陣列之一連串行電極施加資料訊號的行驅動器及一被組態用以向列電極施加至少一寫入波形的列驅動器。提供一感測器，其被組態以判定沿列之至少一元

件的致動狀態。提供一控制電路，若感測器判定沿列之至少一元件的致動狀態與資料訊號不一致則該控制電路被組態用以向列驅動器發訊號從而用以向列電極施加至少一額外寫入波形。

在另一實施例中，顯示設備包括一MEMS元件陣列並包括用於向陣列之行電極施加資料訊號的構件及用於向陣列之列電極施加至少一寫入波形的構件。該設備亦包括用於判定沿列之至少一元件之致動狀態的構件及若判定沿列之至少一元件的致動狀態係與資料訊號不一致則用於向列電極施加至少一額外寫入波形的構件。

在另一實施例中，將資料寫入微機電元件陣列之一部分的方法包括向陣列之一連串行電極施加一組資料訊號，向列電極施加至少一寫入波形並判定沿列之至少一元件的致動狀態。若判定沿列之至少一元件的致動狀態係與資料訊號不一致則向列電極施加至少一額外寫入波形。

### 【實施方式】

將一MEMS干涉調變器之例示性陣列排列於電極之列與行的相交處。行電極具有一比列電極低的電阻。一驅動電路在第一階段中跨越行及列電極施加第一極性之電位差且而後在第二階段中快速轉變至施加具有與該第一極性相反之極性的偏壓。更具體言之，驅動電路在第一階段中施加第一電壓至列電極並在第二階段中施加第二電壓至列電極。驅動電路在第一階段中施加第三電壓至行電極並在第二階段中施加第四電壓至行電極。

已發現因為跨越列及行電極的電壓極性正自一方向中的正電壓擺動至相反方向中的負電壓，所以第一階段與第二階段之間的轉變較佳快速發生。較佳地，該電壓擺動足夠快地發生以便當跨越像素之電位在其經過零點至另一磁滯窗的途中位於列與行電極相交處經歷此極性反向的致動像素不會釋放。因此，施加於列電極之電壓之間差的絕對值小於施加於行電極之電壓之間差的絕對值。

以下詳細描述係針對本發明之某些特定實施例。然而，可以許多不同方式實施本發明。在此描述中，參考圖式，該等圖式中始終用相同數字表示相同部分。如自以下描述將係顯而易見的，可在被組態用以顯示影像的任何設備，無論為運動的(例如，視訊)或靜止的(例如，靜像)，且無論為文本的或圖示的設備中實施本發明。更特定言之，預期可在多種電子設備(諸如，但不限於，行動電話、無線設備、個人資料助理(PDA)、掌上型或攜帶型電腦、GPS接收器/導航儀、相機、MP3唱機、攝像機、遊戲控制臺、手錶、時鐘、計算機、電視監視器、平板顯示器、電腦監視器、自動顯示器(例如，里程表顯示器，等)、座艙控制器及/或顯示器、相機視圖顯示器(例如，交通工具中的後視相機顯示器)、電子照片、電子告示牌或符號、投影儀、建築結構、封裝、及美學結構(例如，一件珠寶上的影像顯示))中實施本發明或本發明可與該等多種電子設備相關聯。亦可將與本文中所描述之結構相似結構的MEMS設備用於非顯示器應用中諸如用於電子開關設備中。

在圖1中說明包含一干涉MEMS顯示元件的一干涉調變器顯示器實施例。在此等設備中，像素在明亮或黑暗狀態下。在明亮("開啓")狀態下，顯示元件將大部分入射可見光反射至使用者。當在黑暗("關閉")狀態下時，顯示元件將很少入射可見光反射至使用者。依實施例而定，可反向"開啓"與"關閉"狀態的光反射特性。考慮除黑白以外的彩色顯示器，可組態MEMS像素來以所選色彩突出反射。

圖1為描述視覺顯示器之一連串像素中兩個相鄰像素的等角視圖，其中每一像素包含一MEMS干涉調變器。在某些實施例中，干涉調變器顯示器包含此等干涉調變器的一列/行陣列。每一干涉調變器包括以相互之間距離可變且可控制來定位的一對反射層用於以至少一可變尺寸形成一諧振光學空腔。在一實施例中，可在兩位置間移動該等反射層中一層。在第一位置中，本文中被稱為釋放狀態，將可移動層定位於距固定部分反射層相對較大距離處。在第二位置中，更鄰近於部分反射層定位該可移動層。依可移動反射層的位置而定自兩層反射的入射光建設性地或破壞性地進行干擾，從而為每一像素產生整體反射或非反射狀態。

圖1中像素陣列之描繪部分包括兩個相鄰干涉調變器12a及12b。在左邊的干涉調變器12a中，在距固定部分反射層16a一預定距離處的釋放位置中說明可移動且高度反射層14a。在右邊的干涉調變器12b中，在鄰近於固定部分反射層16b的致動位置中說明可移動高度反射層14b。

固定層16a、16b係導電的，部分透明且部分反射性的，

且例如，可藉由在一透明基板20上沈積一或多層鉻及氧化銻錫中每一種而製造。該等層被圖案化為平行條帶，並可如以下進一步描述來形成顯示設備中的列電極。可形成可移動層14a、14b作為沈積於柱18頂上的(多個)沈積金屬層(垂直於列電極16a、16b)及一沈積於柱18之間的介入犧牲材料的一連串平行條帶。當蝕刻掉犧牲材料時，藉由界定的氣隙19將可變形金屬層與固定金屬層分離。可將諸如鋁之高度傳導及反射材料用在可變形層，且此等條帶可形成顯示設備中的行電極。

無施加電壓，如藉由圖1中像素12a說明的，空腔19保持於層14a、16a之間且可變形層在機械鬆弛狀態下。然而，當施加一電位差至一所選列及行時，形成於相應像素處列與行電極相交處的電容器被充電，且靜電力將電極聚集到一起。若電壓足夠高，則如藉由圖1中右邊像素12b說明的，變形可移動層並將其壓至固定層上(可在固定層上沈積一未在此圖中說明之介電材料以防止短路並控制分離距離)。不管施加電位差的極性，行為係相同的。以此方式，可控制反射對非反射像素狀態的列/行致動在許多方面類似於用於習知LCD及其它顯示技術中的列/行致動。

圖2至5說明用於使用顯示器應用中一干涉調變器陣列的一例示性方法及系統。圖2為說明可併入本發明之態樣之電子設備之一實施例的系統方塊圖。在例示性實施例中，電子設備包括一處理器21，其可為諸如ARM、Pentium®、Pentium II®、Pentium III®、Pentium IV®、Pentium® Pro、

8051、MIPS®、Power PC®、ALPHA®的任何通用單或多晶片微處理器，或諸如數位訊號處理器、微控制器、或程式化閘極陣列的任何專用微處理器。如此項技術中習知的，可組態處理器21以執行一或多個軟體模組。除執行操作系統外，可組態處理器以執行一或多個軟體應用，包括網路瀏覽器、電話應用、電子信函程式或任何其它軟體應用。

在一實施例中，亦組態處理器21用以與陣列控制器22通信。在一實施例中，陣列控制器22包括向像素陣列30提供訊號的列驅動器電路24及行驅動器電路26。在其它實施例中，將列驅動器電路24與行驅動器電路26組合成向陣列之可移動層14及固定層16施加電壓的驅動電路。

藉由圖2中線1-1展示圖1中說明之陣列的橫截面。對於MEMS干涉調變器，列/行致動協定可利用圖3中說明之此等設備的磁滯特性。該協定可要求，例如，用以使可移動層自釋放狀態變形至致動狀態的10伏特電位差。然而，當電壓自彼值降低時，當電壓下降回10伏特以下時可移動層保持其狀態。在圖3之例示性實施例中，直至電壓下降至2伏特以下可移動層才完全釋放。因此在圖3中說明之實例中具有一約為3 V至7 V的電壓範圍，在該實例中存在一施加電壓窗，在該窗內設備係穩定在釋放或致動狀態下。本文中此被稱為"磁滯窗"或"穩定窗"。對於具有圖3中磁滯特徵之顯示器陣列，可設計列/行致動協定以便在列選通過程中，將待被致動之選通列中的像素曝露於一約為10伏特的電壓差，且將待被釋放之像素曝露於一接近零伏特的電壓差。

在選通之後，將像素曝露於約為5伏特之穩定狀態電壓差以便該等像素保持在列選通將其放入的任何狀態下。在被寫入之後，在此實例中每一像素看見3至7伏特之"穩定窗"內的一電位差。此特徵使圖1中說明之像素設計穩定於致動或釋放預存在狀態下的相同施加電壓條件下。由於干涉調變器的每一像素，無論為致動或釋放狀態下，基本上係一由固定及移動反射層形成的電容器，因而可將此穩定狀態保持在磁滯窗內的一電壓而幾乎無功率耗散。若施加電位固定則基本上無電流流入像素中。

在典型應用中，可藉由根據第一列中所要之致動像素設定確定行電極設定來創造顯示訊框。而後施加一列脈衝至列1電極，從而致動對應於確定之行線的像素。而後改變確定之行電極設定以對應於第二列中所要之致動像素設定。而後施加一脈衝至列2電極，從而根據確定之行電極致動列2中的適當像素。列1像素未受列2脈衝的影響，並在列1脈衝過程中保持在該等列1像素被設定的狀態下。可以一連續方式對整個系列的列重複此以產生訊框。大體而言，藉由以每秒某個所要訊框數不斷重複此過程來用新的顯示資料刷新及/或更新訊框。用於驅動像素陣列之列及行電極以產生顯示訊框的多種協定亦為熟知並可連同本發明使用。

圖4及5說明一用於創造圖2中3x3陣列上顯示訊框的一可能致動協定。圖4說明可用在展示圖3中磁滯曲線之像素之行及列電壓位準的一可能設定。在圖4實施例中，致動一像素包括將適當行設於 $-V_{bias}$ ，並將適當列設於 $+\Delta V$ ，該等

$-V_{bias}$ 及 $+\Delta V$ 可分別對應於-5伏特及+5伏特。藉由將適當行設於 $+V_{bias}$ ，並將適當列設於相同的 $+\Delta V$ 完成釋放該像素，從而產生一跨越該像素的零伏特電位差。在將列電壓保持在零伏特的彼等列中，不管行為在 $+V_{bias}$ 或 $V_{bias}$ ，像素穩定在任何其原始狀態下。如亦在圖4中說明的，應瞭解可使用與上述極性相反之極性的電壓，例如，致動一像素可包括將適當行設於 $+V_{bias}$ ，並將適當列設於 $-\Delta V$ 。在此實施例中，藉由將適當行設於 $-V_{bias}$ ，並將適當列設於相同 $-\Delta V$ 完成釋放像素，從而產生一跨越像素的零伏特電位差。

圖5B為展示將引起圖5A中說明之顯示器排列之施加在圖2中3x3陣列的一連串列及行訊號的時序圖，該處致動像素為非反射性的。在寫入圖5A中說明之訊框之前，像素可在任何狀態下，且在此實例中，所有列在0伏特，且所有行在+5伏特。藉由此等施加電壓，所有像素在其現存致動或釋放狀態下係穩定的。

在圖5A訊框中，致動像素(1,1)、(1,2)、(2,2)、(3,2)及(3,3)。為完成此，在列1之"線時間"過程中，將行1及2設於-5伏特，並將行3設於+5伏特。因為所有像素保持於3至7伏特穩定窗中，所以此不改變任何像素的狀態。而後藉由自0，高達5伏特，並返回至零的脈衝選通列1。此致動(1,1)及(1,2)像素並釋放(1,3)像素。未影響陣列中的其它像素。為將列2設定為所要列，將行2設於-5伏特，並將行1及3設於+5伏特。施加於列2之相同選通而後將致動像素(2,2)並釋放像素(2,1)及(2,3)。再次，未影響陣列中的其它像素。

藉由將行2及3設於-5伏特，並將行1設於+5伏特同樣設定列3。如圖5A中所展示的，列3選通設定列3像素。在寫入訊框之後，列電位為零，且行電位可保持在+5或-5伏特，且而後顯示器係穩定在圖5A的排列中。應瞭解可將相同程序用在幾十或幾百列及行的陣列。亦應瞭解在上述普遍原則內可大大變化用以執行列及行致動之電壓的時序、序列、及位準，且以上實例僅為例示性的，且任何致動電壓方法可用於本發明。

根據上述原則操作之干涉調變器結構的細節可大大變化。舉例而言，圖6A至6C說明移動鏡面結構的三個不同實施例。圖6A為圖1中實施例的橫截面，其中該處金屬材料14的一條帶沈積於垂直延伸支撐件18上。在圖6B中，可移動反射材料14僅在系繩32上在拐角處附著至支撐件。在圖6C中，自可變形層34懸掛可移動反射材料14。因為可以相對於光學性質之方式最佳化用在反射材料14的結構設計及材料且可以相對於所要之機械性質之方式最佳化用在可變形層34的結構設計及材料所以此實施例具有益處。在多種公開文獻(包括，例如，美國公開申請案2004/0051929)中描述各種類型干涉設備的生產。可使用多種熟知技術以產生包括一連串材料沈積、圖案化、及蝕刻步驟的上述結構。

返回參看圖5B，可看到在寫入處理階段之間行電壓在+5伏特與-5伏特之間擺動。舉例而言，在第一階段中驅動電路施加+5伏特至行電極。在隨後或第二階段中，驅動電路施加-5伏特至行電極。因為跨越像素之電壓的極性正自一

方向中之5伏特擺動至相反方向中之5伏特所以在+5伏特與-5伏特之間的此等轉變較佳快速發生，且此應足夠快地發生以便當跨越像素之電位在其經過零點至另一磁滯窗的途中經歷此極性反向的致動像素不會釋放。因此，極性反向應較致動像素的機械回應時間更顯著快速地發生。當狀況正如此時，變形之反射層將持續被變形足夠長時間用以使電壓擺動回至5伏特偏壓，該處靜電力返回並繼續將像素保持在致動狀態下。

若被施加了此等電壓擺動的電極具有一低電阻則可容易得多地完成必要速度。低電阻最小化像素的RC充電時間常數，並允許跨越每一像素之電壓回應於由驅動電路施加之驅動電位迅速擺動。

如以上進一步描述的，可由鉻及氧化銦錫(ITO)製造一組電極，且由鋁製造另一組。通常，鋁電極具有一較鉻/ITO電極低得多的電阻。因此有利施加反向電位擺動的任何極性至鋁電極而非至鉻/ITO電極。因此，在上述實施例中，因為在階段之間可變形鋁層自驅動電路接收此等快速電壓擺動所以可變形鋁層被用作行電極。在其它驅動方案中，列電極可受反向電壓擺動的極性支配。在此等實施例中，低電阻層將附著至列驅動器。

在一實施例中，本發明包含一在一組列電極與一組行電極相交處之MEMS設備的陣列。列電極組或行電極組中的一組具有較另一組低的電阻。一列驅動電路連接至列電極，且一行驅動電路連接至行電極。在某些實施例中，將列驅

動電路及行驅動電路組合成一單驅動電路。自該驅動電路的輸出連接至列電極及行電極。

藉由施加於列及行電極的電壓訊號驅動MEMS設備。施加於列電極組或行電極組中一組的電壓組包括使跨越至少某些MEMS設備之電壓的極性及量值自一極性之穩定偏壓電位擺動至相反極性之穩定偏壓電位的電壓擺動。具有較低電阻的電極組耦接至包括使跨越至少某些MEMS設備之電壓的極性及量值自一極性之穩定偏壓電位擺動至相反極性之穩定偏壓電位之電壓擺動的電壓組。

舉例而言，驅動電路在第一階段中跨越至少一MEMS設備施加一第一極性的電位差且而後在第二階段中快速轉變至跨越至少一MEMS設備施加一具有與第一極性相反之極性的偏壓。更具體言之在第一階段中，驅動電路施加第一電壓至第一電極並施加第三電壓至具有較第一電極低之電阻的第二電極。在第一階段中該等第一及第三電壓共同形成跨越該至少一MEMS設備之第一極性的電位差。

在第二階段中，驅動電路施加第二電壓至第一電極並施加第四電壓至第二電極。在第二階段中第二及第四電壓形成跨越至少一MEMS設備之具有與第一極性相反之極性的偏壓。藉由使第一與第二電壓之間差的絕對值小於第三與第四電壓之間差的絕對值，具有較低電阻之第二電極經歷較第一電極高的電壓擺動。

在某些實施例中，第一電壓基本上等於第二電壓並在第三電壓與第四電壓之間。舉例而言，第一及第二電壓為零

且第三及第四電壓分別為-5伏特及+5伏特。繼續此實例，第三電壓與第四電壓之間差的絕對值基本上等於兩倍於5伏特的偏壓。

圖7為諸如一如上述之干涉調變器顯示陣列之MEMS陣列之一實施例的部分示意圖。如以上相對於圖2至5所討論的，若跨越電極施加一適當偏壓則陣列之元件在致動狀態或釋放狀態下係穩定的。在以上實例中，若列在+5伏特，且行為-2與+2伏特之間的任何值，則元件係穩定的。在圖7之實施例中驅動器電路包括提供在陣列之每一行及每一列上的複數個三態緩衝器50。每一三態緩衝器50自陣列控制器22連接至一保持模式選擇線。當確定保持模式選擇線時，將自驅動器至顯示器30的所有線置放在高阻抗狀態下，從而基本上消除了至陣列控制器22的任何返回路徑。若已寫入一列或訊框，且被施加電壓在用在陣列元件之穩定窗內，則可開啓此等三態緩衝器50，且而後將像素保持在先前保持之偏壓，直至跨越像素或藉由一非無限三態開放電阻之電荷慢慢耗散。當緩衝器開放時，直至元件上的電荷耗散至剩餘電壓超出穩定窗之點時可關閉供應類比電壓之任何DC-DC充電泵及陣列控制器22的類比部分。因為可在電荷通過一開放緩衝器(約1 G歐姆開放狀態阻抗)過度滲移的一小部分時間中藉由驅動器為像素元件充電，所以在大部分總顯示操作時間過程中可將陣列控制器中的充電泵及類比電路循環進關閉狀態，從而顯著降低功率損耗。此循環可在寫入處理等過程中列選通之間發生於靜態訊框

之顯示的維護過程中。

圖8展示包含複數個三態緩衝器50之圖2中的陣列控制器。該等複數個三態緩衝器50被有利地提供於陣列30的每一行及每一列上。三態緩衝器50連接至保持模式訊號，當確定該等訊號時其打開陣列之個別列或行之間的連接。當確定保持模式選擇線時，打開自驅動器至陣列的線，從而大體上消除儲存在每一像素電容上之電荷的任何洩漏路徑。因此將像素保持在先前充電或放電狀態而無任何驅動器輸入，直至電荷藉由跨越像素之洩漏或藉由一非無限三態開放電阻慢慢耗散。藉由該等複數個三態緩衝器50，可根據需要個別控制列及行的開放或關閉狀態。如圖7，應瞭解可使用諸如串聯FET之任何可控制串聯開關以實施此顯示器/驅動器去耦。

陣列控制器22亦可包括一用於將控制訊號轉換至足以驅動陣列30之電壓的升壓電路42。在一實施例中，陣列控制器22亦可包括一訊框緩衝器44。該訊框緩衝器44通常包括足夠的記憶體以用於儲存用於刷新目的的當前顯示訊框。可由一通常連接於實際顯示驅動器與通用微處理器之間的圖形控制器提供陣列控制器22的部分以及額外電路及功能性。圖形控制器之例示性實施例包括自Chips and Technology, Inc.的69030或69455控制器、自Seiko Epson的S1D1300系列、及Solomon Systech 1906。

圖9為說明操作圖7或8中顯示器之例示性方法的流程圖。有利地，啟動複數個三態緩衝器50，可藉由低功率耗

散保持干涉調變器的狀態。依實施例而定，可添加額外步驟，移除其它步驟，按圖9中所展示的步驟重排列步驟序列。

開始步驟54，改變像素中的每一干涉調變器。在一實施例中，增加在分離陣列之前使用之偏壓以更接近致動電壓，而非恰好在磁滯窗中間。舉例而言，在圖2至5的實施例中，在陣列去耦之前，列電壓可為+5伏特，且行電壓可設在-2伏特，而非0伏特。在此等實施例中，將干涉調變器充電為接近於但不高於用在個別干涉調變器之致動電壓，例如，致動電壓的75%、90%、或95%。因此，像素被高度充電但干涉調變器的任意者的電壓差不應引起陣列之任何釋放元件的狀態改變。

繼續步驟56，自陣列控制器22電絕緣干涉調變器。在一實施例中，啟動三態緩衝器50以便切斷自陣列控制器22至陣列元件的線。其次，在步驟58，陣列控制器22使至少一部分其功率損耗電路斷電並等待一將依三態緩衝器開放時之電路之RC時間常數而定的選擇週期。在某些實施例中，電容值將在微微法(picofarad)範圍內，且電阻將在1000 Mohm範圍內，從而使時間常數在毫秒範圍內。因此，在某些實施例中，關閉週期的持續時間為約1至10毫秒。其它例示性時間持續時間包括用在高電容陣列的至少0.5秒及至少兩秒。在一實施例中，選擇週期係使用者可界定的。

移至步驟60，干涉調變器重連接至陣列控制器22。在一實施例中，在影像顯示及修改過程中重複圖9中的過程。

在寫入一像素之後，有利感測其狀態。對於圖1中的雙穩

態顯示器，可藉由利用以下事實判定一像素的狀態：跨越像素鏡面之電容當像素在致動狀態下時較當像素在釋放狀態下時大得多，通常約大十倍。可藉由感測由像素之電學特性而定的電容以多種方式感測此像素電容值，以下更詳細地描述該等電學特性中的一些。

將首先參考如圖 10 至 14 中說明之獨立的單像素描述像素狀態感測的原則。現參看圖 10，在像素寫入之後，無論整個訊框為完成的或在彼時間之前，除含有待被測試之像素的一行外可將所有行三態緩衝器置放在開放(去耦)構型中。而後列驅動器施加一低振幅脈衝至含有待被測試之像素的列電極，該列電極回應增加之電壓而充電。如圖 11 中所展示的，跨越像素之電壓將根據電路之 RC 時間常數( $\tau$ )回應此施加電壓而增加。對於獨立的單像素，電容為像素 61 的電容，且電路的電阻可包括列驅動器輸出阻抗及/或可與列電極串聯置放的任何濾波電阻器 62。如由曲線 60 所說明的當像素 61 在低電容狀態下(例如，在釋放狀態下)時測試點 63 處的電壓將較如由曲線 69 所說明的當像素 61 在高電容狀態下(例如，在致動狀態下)時更快速地增加。若在此充電週期過程中某一時間判定跨越像素之電壓，例如在  $\tau/3$ ，則可判定像素的狀態。可藉由電壓感測電路 64 偵測並量測此電壓。若施加一具有  $\tau/3$  之持續時間的脈衝至像素，則跨越像素之電壓將如跡線 66 中所展示的(亦圖 11 中所展示的)增加並減少。若施加此訊號至具有施加於負輸入之  $V_{\text{thresh}}$  的比較器 68，則僅若跨越像素之電壓在脈衝過程中某時間超過

$V_{\text{thresh}}$ 時一脈衝將自比較器輸出，此時如圖11中所展示界定 $V_{\text{thresh}}$ 。可鎖存比較器68的輸出以產生以下指示：像素為被致動(鎖存低)或被釋放(鎖存高)。

圖12及13說明偵測像素狀態的替代方法。在圖12中，使用電流感測電路70而非電壓感測電路。如以上施加一電壓脈衝，當像素電容充電時該電壓脈衝引起一電流脈衝。如圖13中所說明的，此電流脈衝對於像素61之較大電容(曲線75)較對於較小電容(曲線77)更慢地衰變。可藉由量測跨越行線中一串聯電阻72之電壓(亦可使用組態為電流至電壓轉換器的放大器)將電流脈衝轉換成電壓脈衝。可藉由組態為圖12中說明之積累器74的放大器感測跨越電阻器的電壓。可將積累器之輸出導引至相似比較器76及如圖10中的鎖存器。若通過電路之電流脈衝係足以(給定電阻器72的值及積累器74的時間常數/放大率)產生一大於圖12中所展示之臨限電壓 $V_{\text{thresh2}}$ 之比較器輸入處的電壓則比較器76將僅產生一輸出脈衝。圖12展示一用以將電阻72切換成行線的開關78，但應瞭解若(例如)已存在一適當濾波電阻器則將無需此開關。

電流感測較電壓感測需要一稍微更複雜之電路，但一優點將為由於可藉由獨立電流感測器同時量測用在沿一系列的每一像素的充電電流因而可由一單脈衝探查一系列中的所有像素。在此等實施例中，可存在一專用於每一行的感測器，或可在不同組之行之間相繼切換一組電流感測器以便可同時感測一部分，而非所有行電流。此最後實施例比每一列

具有一感測器的實施例慢，但比一次感測一個快。

根據以上原則，圖14為說明用於判定一千涉調變器之開啓或關閉狀態之例示性方法的流程圖。在步驟80施加一測試脈衝至像素。在步驟82，量測對脈衝之電容相依回應。在步驟84，將回應與一臨限值相比較以判定像素狀態。

像素狀態感測可因多種原因而係有利的。舉例而言，在下一訊框的更新或刷新上，僅彼等不同於下一所要訊框的像素需要更新。對在一靜態顯示，可監視像素狀態以偵測哪些像素已歸因在電荷洩漏自一致動狀態鬆弛至一釋放狀態。可以多種方式執行選擇性更新。舉例而言，一旦一或多個像素自所要狀態改變，便可返回接通驅動器電路，使三態緩衝器關閉，且列選通可僅限於彼等包括不當狀態下之像素的列。可跳越其它列。此減少要求用以更新顯示的總能量。因為當寫入像素之列時，可檢查該等列以判定其是否被正確寫入，所以像素狀態感測在訊框寫入過程中亦係有利的。若未正確寫入，可再次寫入該列直至正確。

在圖15中說明此最後方法之一實施例。在列1線時間90過程中寫入列1之後，進入列1測試時間92。在此時間週期之第一部分中，僅列1及行1連接至驅動電路，且施加約1伏特或更少的測試脈衝94至列1。如上述，監視像素(1,1)之電容相依回應以確保如圖5A中所展示其在致動狀態下。在列1測試時間之隨後部分過程中對於像素(1,2)及(1,3)重複此過程。而後系統進入列2線時間，或者，若判定列1中一或多個像素還未被正確寫入則重複列1線時間。由於與用以在寫

入處理過程中致動像素之脈衝週期相比較用於測試之脈衝時間週期可非常短，因而為說明之目的，被展示之測試時間週期較通常所需長得多。當正被測試之像素61係一緊密封裝像素之大陣列的部分時，測試過程可稍微更加複雜。此係因為測試脈衝應用至整個列的像素。因此，充電過程之時間常數依整個列電極與返回行電極之間的電容而定，且此可受列中所有像素的相對狀態影響，非僅依圖16中再次展示之正被測試像素61的狀態而定。電容中支配因素將係正被測試像素的狀態，但由於可在列中具有幾百個像素，因而剩餘物之組合效應可係顯著的。亦可具有共用相同行電極之不同列中像素之間的電容性耦合。此之實際效應為當測試給定列中像素時，依列中其它像素之狀態而定，有利的可係變化脈衝時間週期 $\tau/3$ 、 $V_{\text{thresh}}$ 值，或兩者。

可以幾種方式進行此判定。一實施例可包括每一列中，在顯示器可視區域外之列末端的一測試像素98。可在狀態間切換此像素，且可為致動與釋放狀態判定用在測試脈衝的上升時間。以此方式，可基於測試像素回應判定具有狀態間最大電壓差的時間週期、及電壓值( $V_{\text{thresh}}$ 應定位於其間)。而後可使用此等值以測試列中其它像素的狀態。

或者，可將一濾波電阻器置放於列末端而非一測試像素處。而後可進行用在整個列電極之集體電容量測。驅動控制電路可使用此資訊以計算或查找用在 $\tau/3$ 、 $V_{\text{thresh}}$ ，或兩者的適當值，以測試彼列中的像素。

在圖17中說明使用此等原則用在嵌入列及行陣列中像素

的一通用狀態感測過程。在步驟102，施加列量測訊號至一含有待被感測之像素的列。如上述此等訊號可涉及測試一測試像素或一總列電容量測。在步驟104，判定諸如週期 $\tau/3$ 及/或 $V_{\text{thresh}}$ 的適當測試參數用在列中隨後的像素測試。如圖14中，而後在步驟106施加一測試脈衝至列。在步驟108，量測對脈衝之電容相依回應。在步驟110，將回應與一臨限值相比較以判定列中所選像素的狀態。

基於多種所要之因素可選擇用於像素狀態感測過程的脈衝振幅及持續時間。可使脈衝成形以控制注入列中的總電荷。對於絕緣像素，可界定脈衝電流及時間分佈以便不管其電容值將一預選電荷注入像素。在該種狀況下，所得之跨越像素的電壓將與像素電容成反比例。亦可能將此方法用於一陣列中的像素，但由於以複雜且難以預知的方式注入列中的電荷可遍及幾百個列像素分佈，因而該方法之有效性係有限的。基於電路 $\tau$ 值可選擇脈衝持續時間，短脈衝較佳用於時間節約。當然需要的係在此過程中施加於像素的電位一直保持在磁滯窗內以便狀態感測過程本身不改變正被感測之像素的狀態。因此，驅動器當未施加一充電脈衝時且當未由三態放大器去耦時將有利地施加適當偏壓，並將產生偏離此偏壓的脈衝，該偏壓係足夠小(例如，通常僅1或2伏特)以便被施加之像素電壓從未在磁滯窗之外。

圖18A及18B為說明顯示設備2040之一實施例的系統方塊圖。顯示設備2040可為(例如)一蜂巢式或行動電話。然而，顯示設備2040之相同組件或其微小變化亦說明諸如電

視及攜帶型媒體播放機的各種類型的顯示設備。

顯示設備2040包括一外殼2041、一顯示器2030、一天線2043、一揚聲器2045、一輸入設備2048、及一麥克風2046。外殼2041大體上由如已為熟習此項技術者所熟知的多種製造方法中任何一種方法形成，包括射出成形及真空成形。此外，外殼2041可由多種材料中任何一種材料製成，包括但不限於塑料、金屬、玻璃、橡膠、及陶瓷或其組合。在一實施例中，外殼2041包括可與不同色彩，或含有不同標誌、圖片、或符號之其它可移除部分互換的可移除部分(未圖示)。

例示性顯示設備2040之顯示器2030可為多種顯示器中的任何一種，包括如本文中所描述的雙穩態顯示器。在其它實施例中，顯示器2030包括平板顯示器，諸如如上述之電漿、EL、OLED、STN LCD、或TFT LCD，或非平板顯示器，諸如如已為熟習此項技術者熟知的CRT或其它管設備。然而，為達成描述本實施例之目的，顯示器2030包括如本文中所描述的一干涉調變器顯示器。

在圖18B中圖解地說明例示性顯示設備2040之一實施例的組件。被說明之例示性顯示設備2040包括一外殼2041並可包括至少部分封閉於該顯示設備中的額外組件。舉例而言，在一實施例中，例示性顯示設備2040包括一包括天線2043的網路介面2027，該天線耦接至一收發器2047。收發器2047連接至處理器2021，該處理器2021連接至調節硬體2052。可組態調節硬體2052以調節一訊號(例如，過濾一訊

號)。調節硬體2052連接至一揚聲器2045及一麥克風2046。處理器2021亦連接至一輸入設備2048及一驅動器控制器2029。驅動器控制器2029耦接至一訊框緩衝器2028並耦接至陣列驅動器2022，該陣列驅動器又耦接至一顯示器陣列2030。當被特定例示性顯示設備2040設計要求時電源2050向所有組件提供功率。

網路介面2027包括天線2043及收發器2047使得例示性顯示設備2040可與網路上一或多個設備形成通信。在一實施例中網路介面2027亦可具有用以減輕處理器2021之要求的某些處理能力。天線2043係為熟習用於傳輸並接收訊號之此項技術者已知的任何天線。在一實施例中，天線根據IEEE 802.11標準(包括IEEE 802.11(a)、(b)、或(g))傳輸並接收RF訊號。在另一實施例中，天線根據BLUETOOTH標準傳輸並接收RF訊號。在蜂巢式電話的狀況下，設計天線以接收用以在無線手機網路內通信之CDMA、GSM、AMPS或其它已知訊號。收發器2047預處理自天線2043接收之訊號使得可藉由處理器2021接收並進一步操作該等訊號。收發器2047亦處理自處理器2021接收之訊號使得可經由天線2043自例示性顯示設備2040傳輸該等訊號。

在一替代性實施例中，可用一接收器替代收發器2047。在又一替代性實施例中，可用一影像源替代網路介面2027，該影像源可儲存或產生待被發送至處理器2021的影像資料。舉例而言，影像源可為含有影像資料的數位視訊碟(DVD)或硬碟機，或產生影像資料的軟體模組。

處理器 2021 大體上控制例示性顯示設備 2040 的總操作。處理器 2021 自網路介面 2027 或影像源接收資料，諸如壓縮影像資料，並將資料處理成原始影像資料或處理成一容易被處理成原始影像資料的格式。而後處理器 2021 向驅動器控制器 2029 或向訊框緩衝器 2028 發送經處理的資料用於儲存。原始資料通常指識別影像內每一位置處之影像特徵的資訊。舉例而言，此等影像特徵可包括色彩、飽和度及灰度階。

在一實施例中，處理器 2021 包括用以控制例示性顯示設備 2040 之操作的微控制器、CPU 或邏輯單元。調節硬體 2052 大體上包括用於向揚聲器 2045 傳輸訊號，並用於自麥克風 2046 接收訊號的放大器及過濾器。調節硬體 2052 可為例示性顯示設備 2040 內的離散組件，或可併入處理器 2021 或其它組件內。

驅動器控制器 2029 直接自處理器 2021 或自訊框緩衝器 2028 獲得由處理器 2021 產生的原始影像資料並適當重格式化原始影像資料用於至陣列驅動器 2022 的高速傳輸。具體言之，驅動器控制器 2029 將原始影像資料重格式化成具有光柵狀格式的資料流，使得該資料流具有一適合用於掃描過顯示器陣列 2030 的時間順序。而後驅動器控制器 2029 向陣列驅動器 2022 發送格式化資訊。儘管驅動器控制器 2029 (諸如 LCD 控制器) 通常作為獨立積體電路 (IC) 與系統處理器 2021 相關聯，但可以多種方式實施此等控制器。該等控制器可作為硬體嵌入處理器 2021 中，作為軟體嵌入處理器 2021 中，或完全整合進具有陣列驅動器 2022 的硬體中。

通常，陣列驅動器2022自驅動器控制器2029接收格式化資訊並將視訊資料重格式化成每秒多次被施加於來自顯示器之x-y矩陣像素的幾百且有時幾千根導線的一平行波形組。

在一實施例中，驅動器控制器2029、陣列驅動器2022及顯示器陣列2030係適合用於本文中所描述之任何類型的顯示器。舉例而言，在一實施例中，驅動器控制器2029為一習知顯示控制器或一雙穩態顯示控制器(例如，一干涉調變器控制器)。在另一實施例中，陣列驅動器2022為一習知驅動器或一雙穩態顯示驅動器(例如，一干涉調變器顯示器)。在一實施例中，驅動器控制器2029與陣列驅動器2022整合。此實施例係通用於諸如行動電話、手錶、及其它小面積顯示器的高度整合系統中。在又一實施例中，顯示器陣列2030係一典型顯示器陣列或一雙穩態顯示器陣列(例如，包括一干涉調變器陣列的顯示器)。

輸入設備2048允許使用者控制例示性顯示設備2040的操作。在一實施例中，輸入設備2048包括一鍵區，諸如QWERTY鍵盤或電話鍵區、按鈕、開關、觸控式螢幕、感壓或感熱性薄膜。在一實施例中，麥克風2046係一用於例示性顯示設備2040的輸入設備。當使用麥克風2046用以向設備輸入資料時，可由使用者提供語音指令用於控制例示性顯示設備2040的操作。

電源2050可包括如此項技術中所熟知的多種能量儲存設備。舉例而言，在一實施例中，電源2050為一可再充電的電池，諸如鎳鎘合金電池或鋰離子電池。在另一實施例中，

電源2050為可更新能源、電容器、或包括塑膠太陽能電池及太陽能電池塗料的太陽能電池。在另一實施例中，組態電源2050用以自一壁式插座接收功率。

如上述，在某些實施例中控制可程式化性滯留於可定位於電子顯示系統中幾處的驅動器控制器中。在某些狀況下控制可程式化性滯留於陣列驅動器2022中。熟習此項技術者將認為可在任何數量之硬體及/或軟體組件中並在各種組態中實施上述最佳化。

儘管以上詳細描述已展示、描述並指出如應用於各種實施例之本發明的新奇特點，但應瞭解可由熟習此項技術者對所說明之設備或方法之形式及細節進行各種省略、取代、及改變而不背離本發明之精神。如將被認為的，由於某些特徵可與其它特徵分離使用或實施，因而可在不提供本文中所述之所有特徵及益處的形式內實施本發明。

### 【圖式簡單說明】

圖1為描繪一干涉調變器顯示器之一實施例之一部分的等角視圖，在該顯示器中第一干涉調變器的可移動反射層係位於一釋放位置中且第二干涉調變器之可移動反射層係位於一致動位置中。

圖2為說明併入一3x3干涉調變器顯示器之電子設備之一實施例的系統方塊圖。

圖3為用於圖1中干涉調變器之一例示性實施例之可移動鏡面位置對所施加電壓的圖。

圖4為可用以驅動干涉調變器顯示器之一組列及行電壓

的圖表。

圖 5A 及 5B 說明用於可用以將一顯示資料之訊框寫入圖 2 中 3x3 干涉調變器顯示器之列及行訊號的一例示性時序圖。

圖 6A 為圖 1 中設備的橫截面。

圖 6B 為干涉調變器之一替代性實施例的橫截面。

圖 6C 為干涉調變器之另一替代性實施例的橫截面。

圖 7 為雙穩態顯示設備(諸如將三態緩衝器併入驅動器電路的干涉調變器顯示器)之一實施例的部分圖解圖。

圖 8 說明併入三態絕緣緩衝器之圖 2 中的系統。

圖 9 為說明將三態緩衝器併入驅動器電路之顯示器之操作過程的流程。

圖 10 為狀態感測電路之一實施例的圖解/方塊圖。

圖 11 為說明用於干涉調變器之電壓對用於電壓脈衝之時間回應的圖表。

圖 12 為狀態感測電路之另一實施例的圖解/方塊圖。

圖 13 為說明用於干涉調變器之電流對用於電壓脈衝之時間回應的圖表。

圖 14 為狀態感測過程的流程圖。

圖 15 為說明用於設定並測試一系列干涉調變器之列及行電壓的時序圖。

圖 16 為用於嵌入陣列中之調變器之狀態感測裝置的方塊圖。

圖 17 為狀態感測過程之另一實施例的流程圖。

圖 18A 及 18B 為說明包含複數個干涉調變器之視覺顯示

設備之一實施例的系統方塊圖。

【主要元件符號說明】

|         |             |
|---------|-------------|
| 12a、12b | 干涉調變器/像素    |
| 14a、14b | 可移動高度反射層    |
| 16a、16b | 固定部分反射層/列電極 |
| 18      | 柱/垂直延伸支撐件   |
| 19      | 氣隙/空腔       |
| 20      | 基板          |
| 21      | 處理器         |
| 22      | 陣列控制器       |
| 24      | 列驅動器電路      |
| 26      | 行驅動器電路      |
| 30      | 像素陣列/顯示器    |
| 32      | 系繩          |
| 34      | 可變形層        |
| 42      | 升壓電路        |
| 44      | 訊框緩衝器       |
| 50      | 三態緩衝器       |
| 61      | 像素          |
| 62      | 濾波電阻器       |
| 63      | 測試點         |
| 64      | 電壓感測電路      |
| 66      | 跡線          |
| 68      | 比較器         |

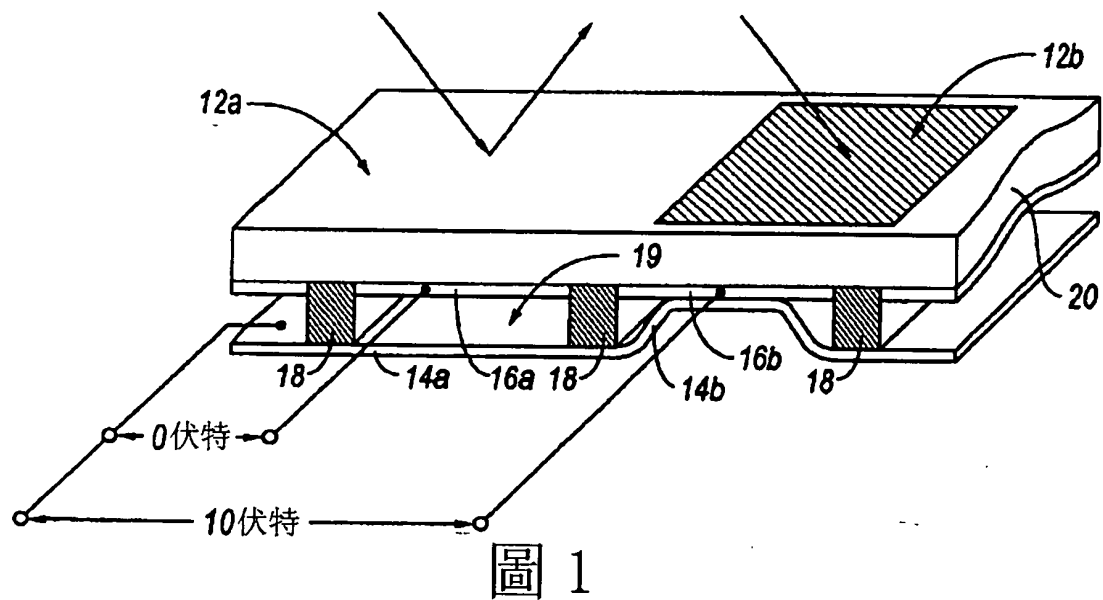
|      |           |
|------|-----------|
| 70   | 電流感測電路    |
| 72   | 電阻/電阻器    |
| 74   | 積累器       |
| 76   | 比較器       |
| 78   | 開關        |
| 90   | 列1線時間     |
| 92   | 列1測試時間    |
| 94   | 測試脈衝      |
| 98   | 測試像素      |
| 2021 | 處理器       |
| 2022 | 陣列驅動器     |
| 2027 | 網路介面      |
| 2028 | 訊框緩衝器     |
| 2029 | 驅動器控制器    |
| 2030 | 顯示器/顯示器陣列 |
| 2040 | 顯示設備      |
| 2041 | 外殼        |
| 2043 | 天線        |
| 2045 | 揚聲器       |
| 2046 | 麥克風       |
| 2047 | 收發器       |
| 2048 | 輸入設備      |
| 2050 | 電源        |
| 2052 | 調節硬體      |

## 五、中文發明摘要：

本發明提供將例示性微機電系統(MEMS)干涉調變器排列於電極之列與行的相交處之實施例。在某些實施例中，該行電極具有一比該列電極低的電阻。一驅動電路在一第一階段中跨越電極施加一第一極性的一電位差且而後在一第二階段中快速轉變至施加一具有一與該第一極性相反之極性的偏壓。在某些實施例中，在該第一及該第二階段中施加於該列電極之該等電壓之間差的一絕對值係小於一施加於該行電極之該等電壓之間差的一絕對值。

## 六、英文發明摘要：

十一、圖式：



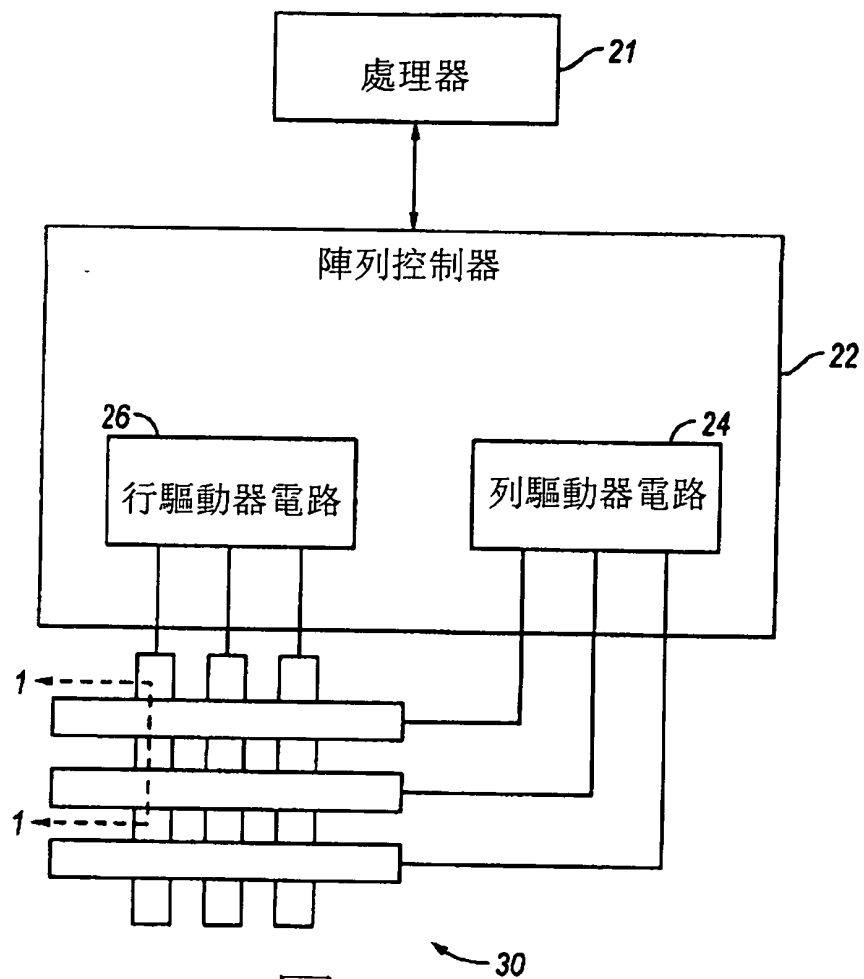


圖 2

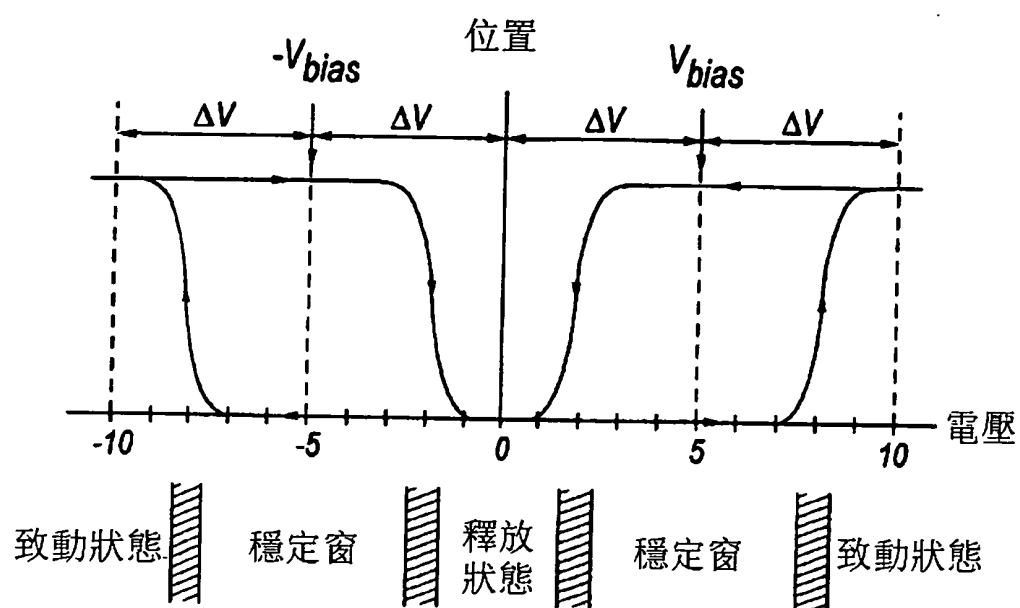


圖 3

| 列輸出訊號       | 行輸出訊號       |             |
|-------------|-------------|-------------|
|             | $+V_{bias}$ | $-V_{bias}$ |
| 0           | 穩定          | 穩定          |
| $+\Delta V$ | 釋放          | 致動          |
| $-\Delta V$ | 致動          | 釋放          |

圖 4

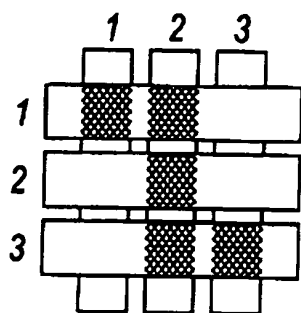


圖 5A

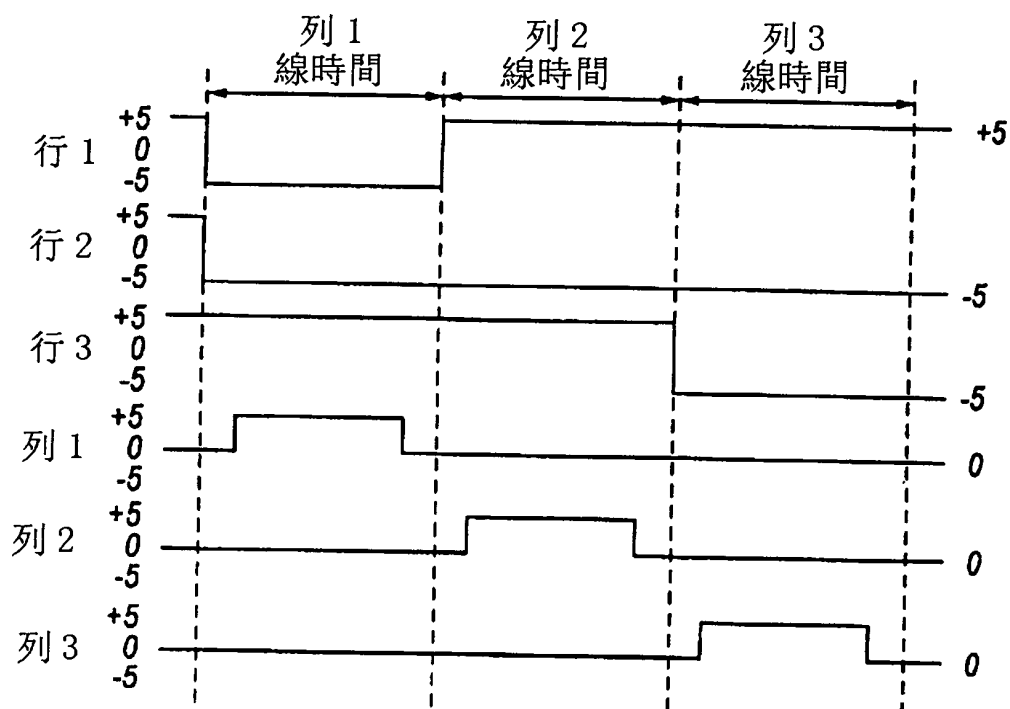


圖 5B

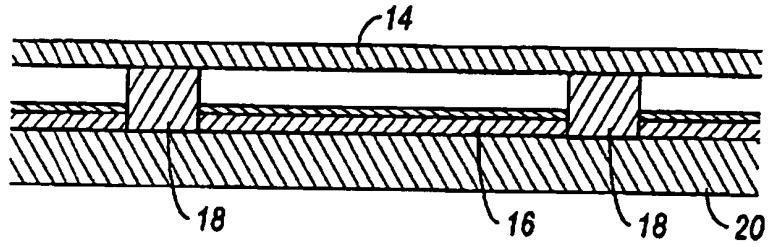


圖 6A

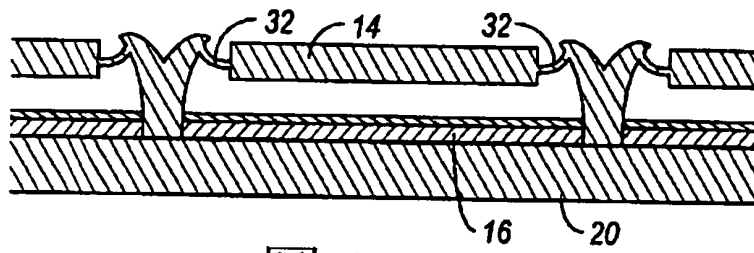


圖 6B

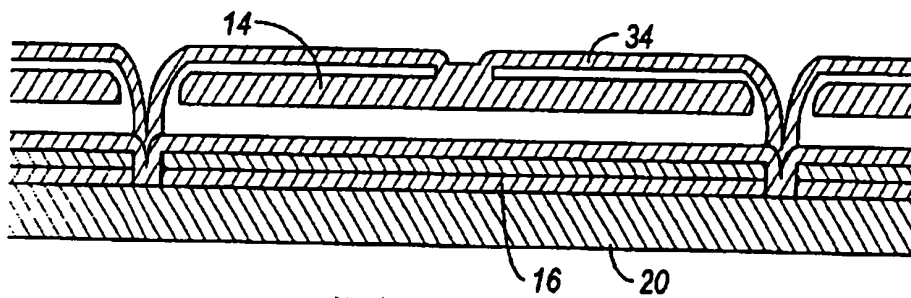
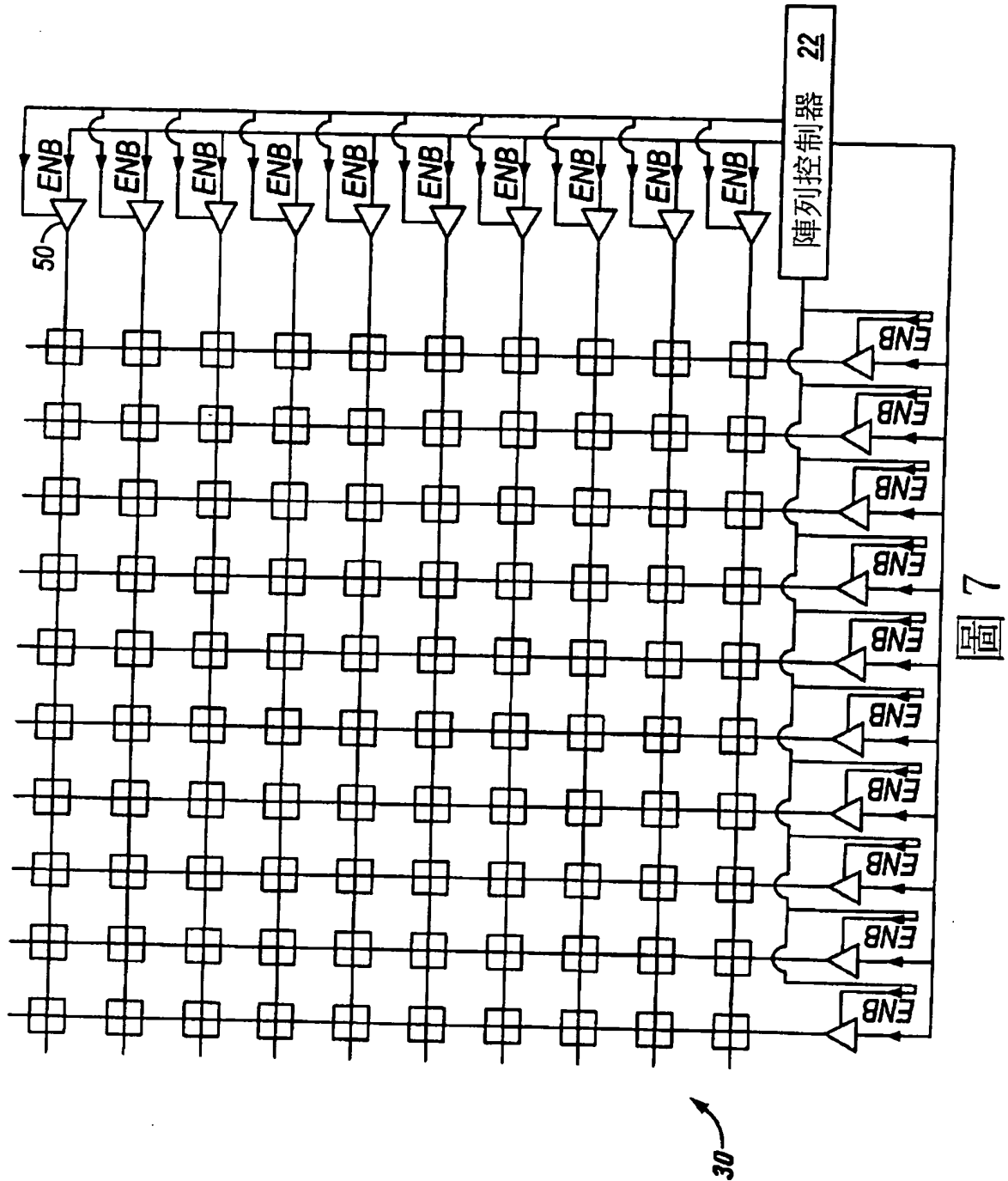


圖 6C



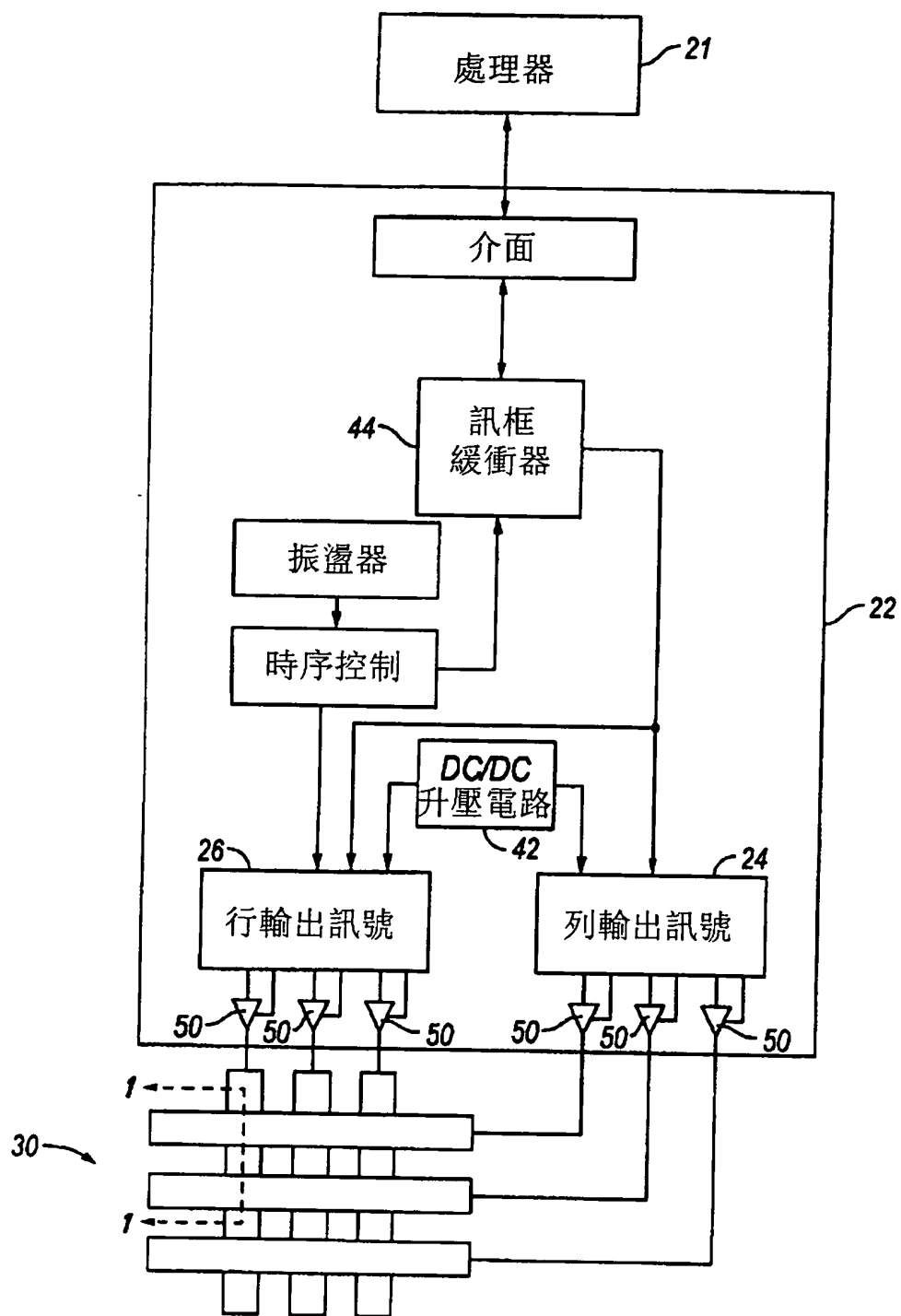


圖 8

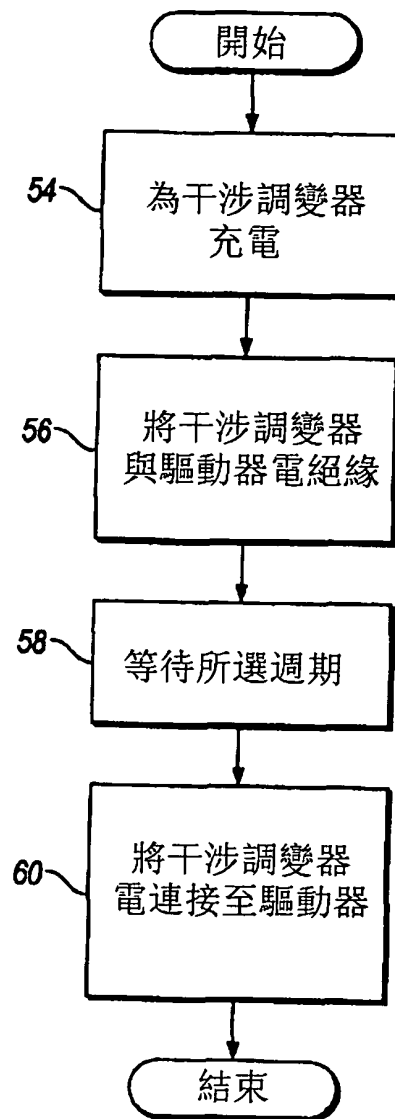


圖 9

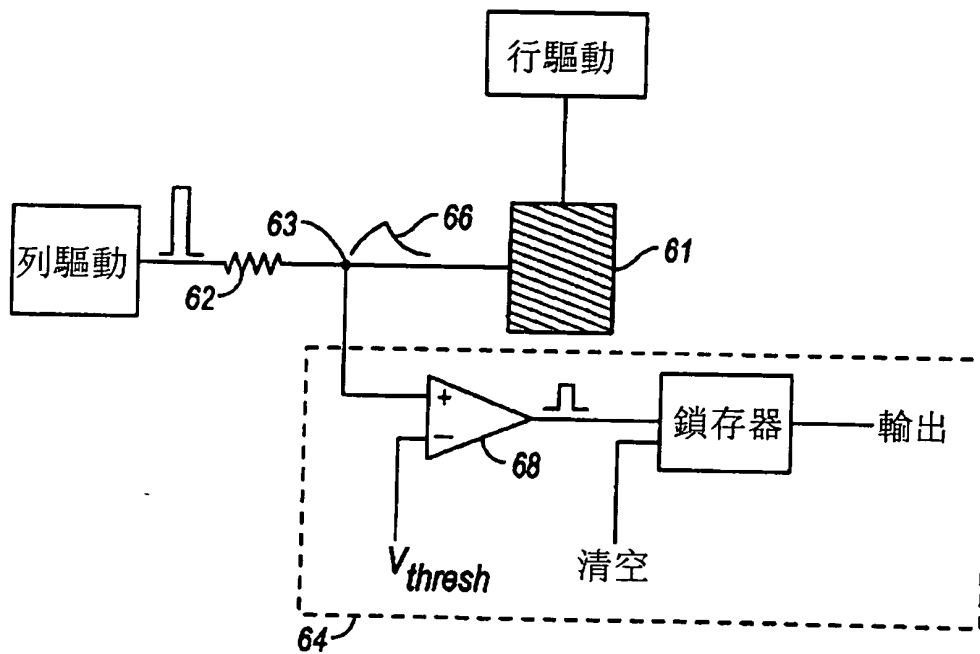


圖 10

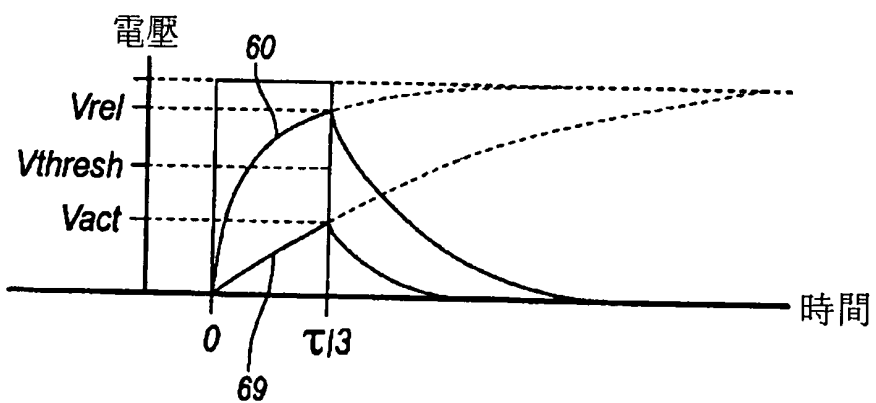


圖 11

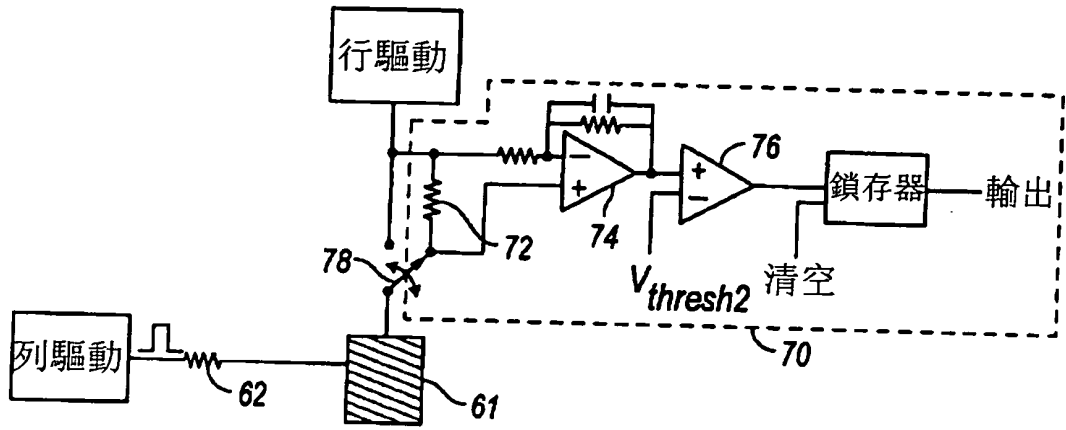


圖 12

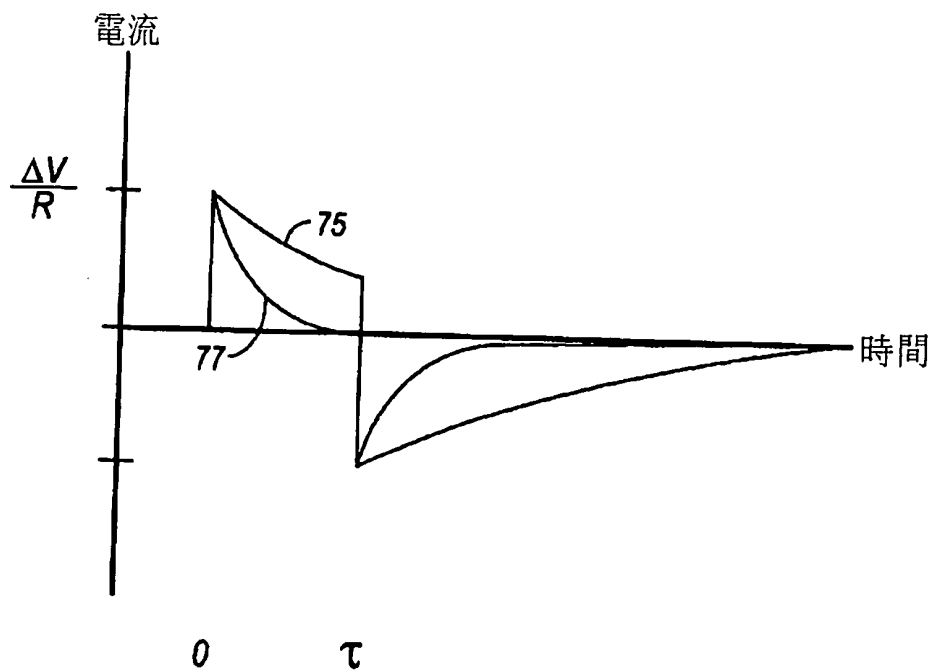


圖 13

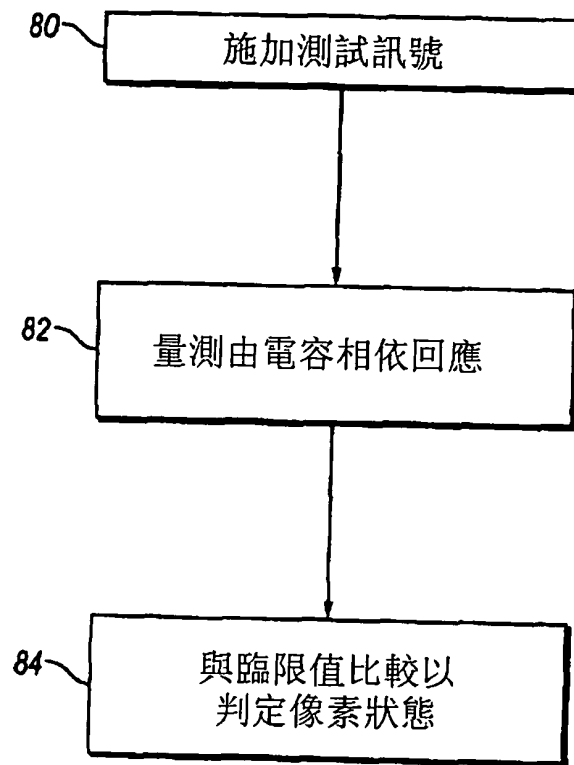


圖 14

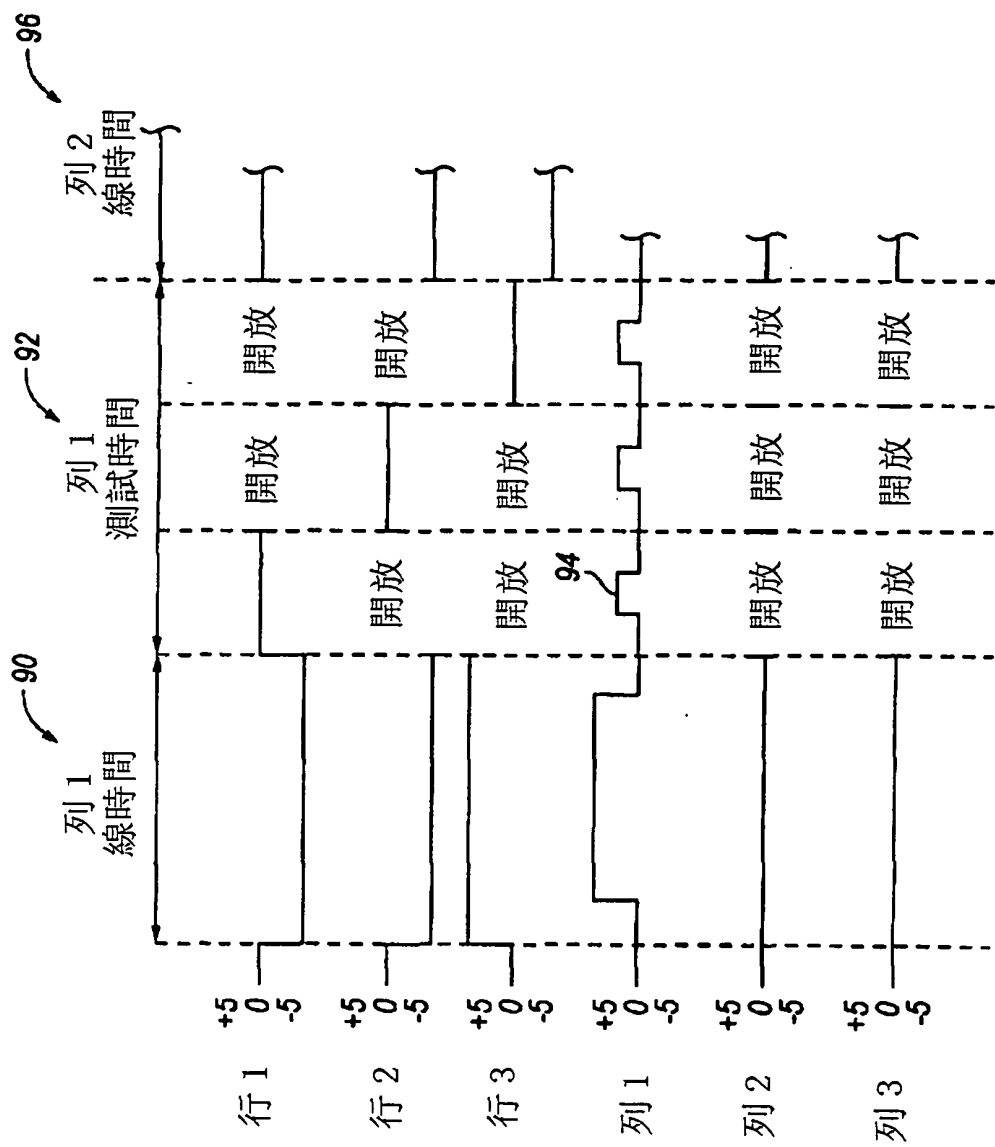


圖 15

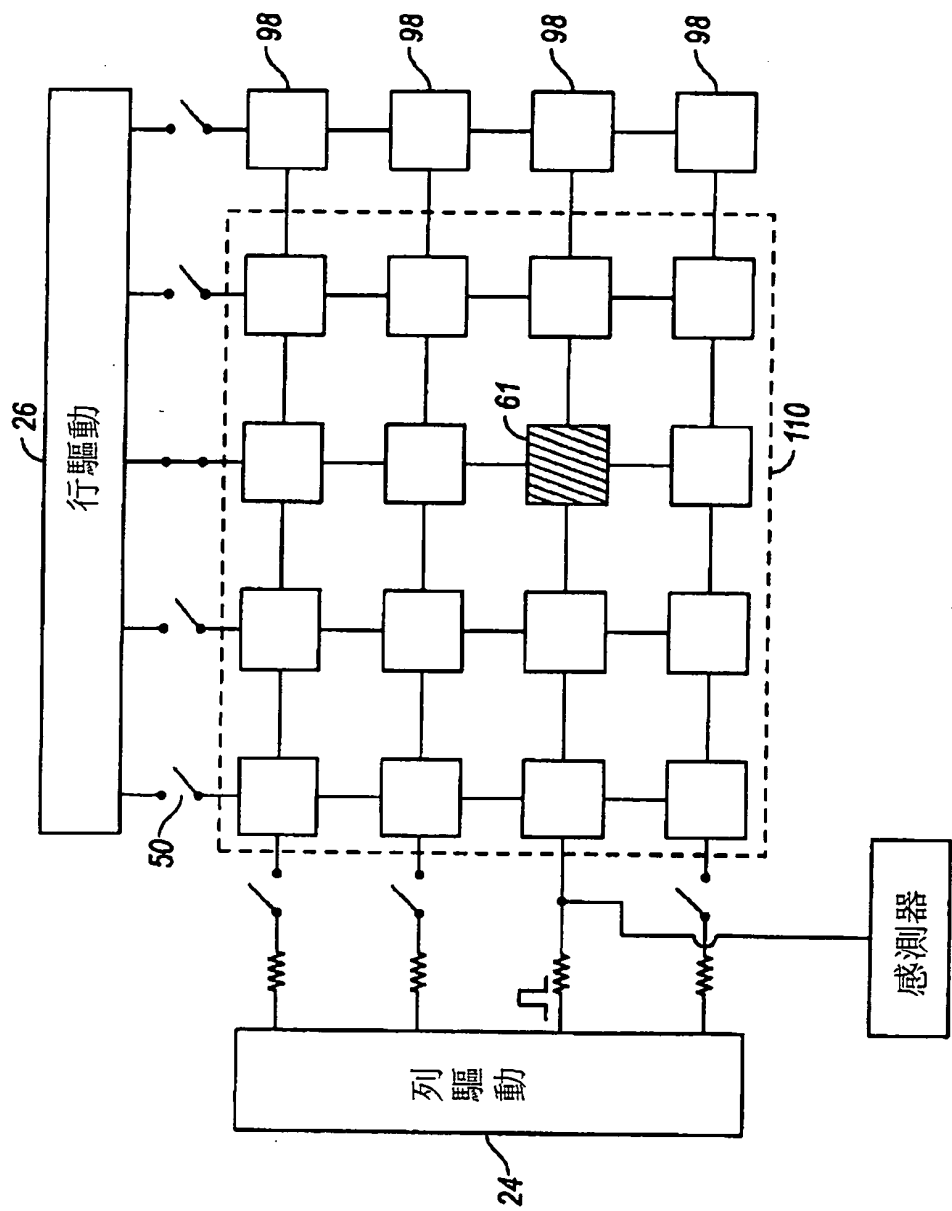


圖 16

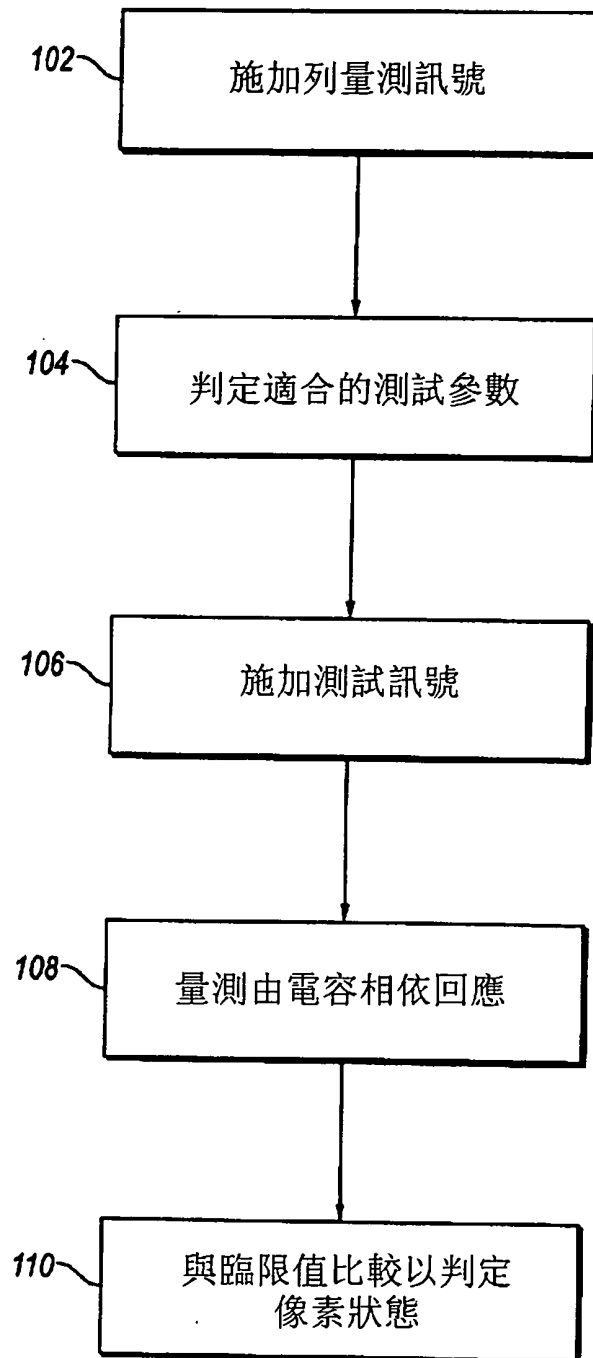


圖 17

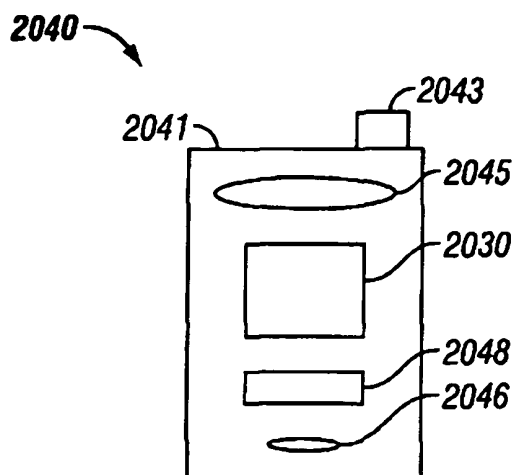


圖 18A

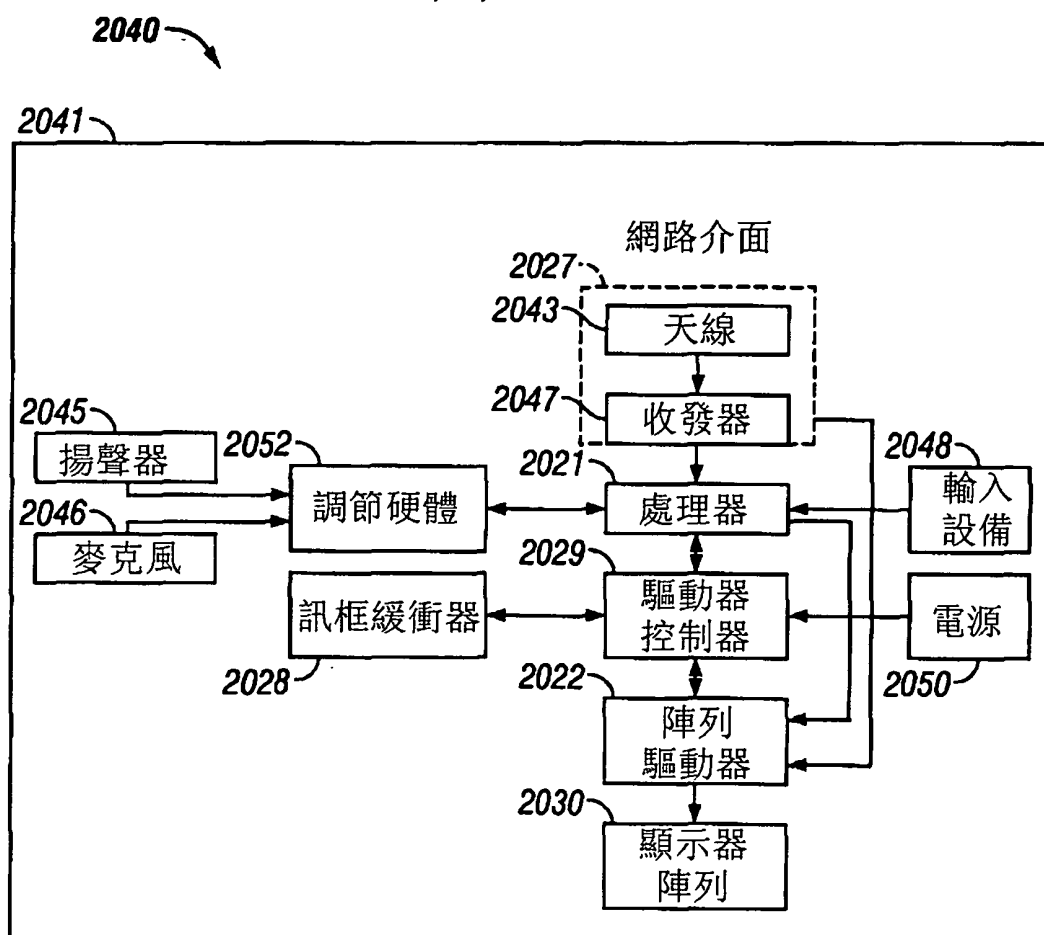


圖 18B

七、指定代表圖：

(一)本案指定代表圖為：第 ( 7 ) 圖。

(二)本代表圖之元件符號簡單說明：

- |    |          |
|----|----------|
| 22 | 陣列控制器    |
| 30 | 像素陣列/顯示器 |
| 50 | 三態緩衝器    |

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

# 發明專利說明書

101年6月22日修(更)正替換頁

中文說明書替換頁(101年6月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：094128946

※ 申請日期：94.8.24

※IPC 分類：G02B

B81B 7/02 (2006.01)

G02B 7/00 (2006.01)

公告本

## 一、發明名稱：(中文/英文)

驅動微機電元件之設備、系統及方法

DEVICE, SYSTEM, AND METHOD OF DRIVING MEMS ELEMENTS

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商高通微機電系統科技公司

QUALCOMM MEMS TECHNOLOGIES, INC.

代表人：(中文/英文)(簽章)

約翰 巴帝

BATEY, JOHN

住居所或營業所地址：(中文/英文)

美國加州聖地牙哥市摩豪斯大道5775號

5775 MOREHOUSE DRIVE SAN DIEGO, CA 92121, U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

## 十、申請專利範圍：

101年6月22日修(更)正替換頁  
本

## 1. 一種用於驅動光調變器之設備，其包含：

一基板；

一排列於電極之列與行相交處的光調變器陣列；

至少一第一電極，其特徵為一第一電阻；

至少一第二電極，其特徵為一第二電阻並與該至少一第一電極相交以在每一相交處形成一光調變器，其中該第二電阻係小於該第一電阻；及

一驅動電路，其包含一電連接至該至少一第一電極及該至少一第二電極中每一電極的輸出並經組態用以：

在一第一階段中向該至少一第一電極施加一第一電壓，並在一第二階段中向該至少一第一電極施加一第二電壓；且

在該第一階段中向該至少一第二電極施加一第三電壓，並在該第二階段中向該至少一第二電極施加一第四電壓，其中該第三電壓與該第四電壓之間的轉變比該光調變器之該機械回應時間更快速地發生；

其中該第一電壓與該第二電壓之間差的一絕對值係小於該第三電壓與該第四電壓之間差的一絕對值，且該第一電壓與該第三電壓之間的差係為一第一極性，且該第二電壓與該第四電壓之間的差係為與該第一極性相反之一第二極性。

## 2. 如請求項1之設備，其中在該第一階段中，該至少一第一電極與該至少一第二電極之相交處的一光調變器被致

動，且在該第二階段中該光調變器被保持於該致動狀態下。

3. 如請求項1之設備，其中該等第一電極及第二電極包含至少部分反射的金屬表面。
4. 如請求項1之設備，其中該第一電極與該第二電極在每一相交處形成一腔，該腔經組態以反射或吸收光。
5. 如請求項1之設備，其中該第一電壓實質上等於該第二電壓，且該第一電壓小於該第三電壓並大於該第四電壓。
6. 如請求項5之設備，其中該第一電壓約為零。
7. 如請求項1之設備，其中該第三電壓約等於該第四電壓並具有一與該第四電壓相反之極性。
8. 如請求項1之設備，其中該偏壓約等於該第三電壓與該第四電壓的平均值。
9. 如請求項1之設備，其中該第一及該第二電壓約為零，且該第三電壓及該第四電壓分別為正電壓及負電壓。
10. 如請求項1之設備，其中該偏壓屬於一預定磁滯窗內。
11. 如請求項1之設備，其中該至少一第一電極及該至少一第二電極各包含氧化銻錫、鉻、及鋁中的至少一者。
12. 如請求項1之設備，其中該至少一第一電極實質上包含一第一材料且該至少一第二電極實質上包含一第二材料，其中該第一該及第二材料係不同的。
13. 如請求項1之設備，其中該至少一第二電極係垂直於該至少一第一電極。
14. 如請求項1之設備，其進一步包含：

一處理器，其與該至少第一電極及該至少第二電極中至少一電極電通信，該處理器經組態以處理影像資料；及  
一記憶體設備，其與該處理器電通信。

15. 如請求項14之設備，其進一步包含一控制器，該控制器經組態以向該驅動電路發送該等影像資料的至少一部分。

16. 如請求項14之設備，其進一步包含一影像源模組，該模組經組態以向該處理器發送該等影像資料。

17. 如請求項16之設備，其中該影像源模組包含一接收器、一收發器、及一傳輸器中的至少一者。

18. 如請求項14之設備，其進一步包含一輸入設備，該輸入設備經組態用以接收輸入資料並用以將該等輸入資料傳達至該處理器。

19. 一種用於驅動用於調變光的構件之設備，其包含：

用於調變光的構件，其排列於電極之列與行的相交處；

用於致動該光調變構件的第一構件，該第一致動構件的特徵為一第一電阻；

用於致動該光調變構件的第二構件，該第二致動構件的特徵為一第二電阻，其中該第二電阻係小於該第一電阻；

構件，其用於在一第一階段中施加一第一電壓至該至少一第一電極並在一第二階段中施加一第二電壓至該至少一第一電極；及

構件，其用於在該第一階段中施加一第三電壓至該至

少一第二電極並在該第二階段中施加一第四電壓至該至少一第二電極，其中該第三電壓與該第四電壓之間的轉變比該光調變構件之機械回應時間更快速地發生，

其中該第一電壓與該第二電壓之間差的一絕對值係小於該第三電壓與該第四電壓之間差的一絕對值，且該第一電壓與該第三電壓之間的差係為一第一極性，且該第二電壓與該第四電壓之間的差係為與該第一極性相反之一第二極性。

20. 如請求項19之設備，其中該光調變構件包含一干涉調變器。
21. 如請求項19之設備，其中該第一致動構件包含一特徵為一第一電阻的第一電極，且該第二致動構件包含一特徵為一第二電阻的第二電極，其中該第二電阻小於該第一電阻。
22. 如請求項19之設備，其中該第一及該第二電壓施加構件及該第三及該第四電壓施加構件各包含一驅動電路。
23. 如請求項19之設備，其中在該第一階段中一光調變構件被致動，且在該第二階段中該光調變構件被保持在該致動狀態下。
24. 如請求項19之設備，其中該第一致動構件與該第二致動構件相交以形成一經組態用以反射或吸收光的腔。
25. 如請求項19之設備，其中該第一電壓實質上等於該第二電壓，且該第一電壓係小於該第三電壓並大於該第四電壓。

26. 如請求項25之設備，其中該第一電壓約為零。
27. 如請求項19之設備，其中該第三電壓約等於該第四電壓並具有一與該第四電壓相反的極性。
28. 一種排列於電極列與電極行相交處之一光調變器陣列之驅動方法，該方法包含：

藉由施加一具有一第一極性的第一電位差來致動至少一光調變器，該第一極性在一第一階段中跨越該至少一光調變器其中該第一電位差大於一預定臨限值；

藉由施加一具有該第一極性的第二電位差來將該至少一光調變器保持在該致動狀態下，該第一極性在一第二階段中跨越該至少一光調變器其中該第二電位實質上等於該預定臨限值；且

施加一與該第一極性相反之一第二極性的第三電位差，該第一極性在一第三階段中跨越該至少一光調變器；

其中該等電極行或該等電極列中一者的特徵為一第一傳導率並經歷該第一與該第三階段之間的一第一電壓差且該等電極行或該等電極中另一者的特徵為一第二傳導率並經歷該第一與該第三階段之間的一第二電壓差，其中該第一傳導率係大於該第二傳導率且該第一電壓差係大於該第二電壓差。

29. 如請求項28之方法，其中致動該光調變器改變該光調變器的一光調變特徵。
30. 如請求項28之方法，其中該第一電壓實質上等於該第二電壓，且該第一電壓小於該第三電壓並大於該第四電壓。

31. 如請求項28之方法，其中該第三電壓係約等於該第四電壓並具有一與該第四電壓相反的極性。
32. 如請求項28之方法，其中該等第一及第二電壓約為零，且該第三電壓及該第四電壓分別為正的及負的。
33. 一種用於驅動雙穩態元件之顯示器，其包含：
- 至少一驅動電路；
- 一陣列，其包含複數個雙穩態元件，其中該等雙穩態元件之每一者連接至一行線及一系列線並經組態而藉由該驅動電路驅動；及
- 複數個電路，其連接於該驅動電路與該等行線及該等列線之每一者之間，其中該等電路經組態以第一電耦接該陣列至該驅動電路，且當該陣列電耦接至該驅動電路時，該驅動電路提供一大於該等雙穩態元件之一磁滯窗之中點的電壓給該陣列，及在該驅動電路提供該電壓之後，該等電路係進一步經組態以用於一絕緣週期將該陣列從該驅動電路第二電絕緣以使得該驅動電路在該絕緣週期之期間不提供一電壓至該陣列，該陣列在該絕緣週期之期間維持一在該磁滯窗內的電壓，其中該絕緣週期係基於一與該陣列及該複數個電路相關聯之時間常數。
34. 如請求項33之顯示器，其中該等雙穩態元件中至少一元件包含一干涉調變器。
35. 如請求項33之顯示器，其中每一該等複數個電路包含一三態電路。
36. 如請求項33之顯示器，其中該驅動電路包含一系列驅動元

件及一行驅動元件。

37. 如請求項33之顯示器，其中每一該等複數個電路中係自該驅動器連接至一選擇線。

38. 如請求項33之顯示器，其中該等複數個電路係組態以將該陣列與該驅動電路電絕緣至少.001秒。

39. 如請求項33之顯示器，其中該等複數個電路經組態以將該陣列與該驅動電路電絕緣至少.01秒。

40. 如請求項33之顯示器，其中該等複數個電路經組態以將該陣列與該驅動電路電絕緣至少.5秒。

41. 如請求項33之顯示器，其中該等複數個電路經組態以將該陣列與該驅動電路電絕緣至少2秒。

42. 如請求項33之顯示器，其中在電絕緣該陣列之前，該驅動電路將一跨越該等雙穩態元件中每一元件之電壓驅動至該等雙穩態元件之一致動電壓的至少95%。

43. 如請求項33之顯示器，其中在電絕緣該陣列之前該驅動電路將一跨越該等雙穩態元件中每一元件之電壓驅動至該等雙穩態元件之一致動電壓的至少90%。

44. 如請求項33之顯示器，其中在電絕緣該陣列之前該驅動電路將一跨越該等雙穩態元件中每一元件之電壓驅動至該等雙穩態元件之一致動電壓的至少75%。

45. 如請求項33之顯示器，其進一步包含：

一處理器，其與該陣列電通信，該處理器經組態以處理影像資料；及

一記憶體設備，其與該處理器電通信。

46. 如請求項45之顯示器，其進一步包含一經組態以發送該等影像資料中至少一部分至該驅動電路的控制器。
47. 如請求項45之顯示器，其進一步包含一經組態以發送該等影像資料至該處理器的影像源模組。
48. 如請求項47之顯示器，其中該影像源模組包含一接收器、一收發器、及一傳輸器中的至少一者。
49. 如請求項45之顯示器，其進一步包含一經組態用以接收輸入資料並將該等輸入資料傳達至該處理器的輸入設備。
50. 一種顯示器，其包含：
- 用於驅動一包含複數個雙穩態元件之陣列的構件，其中該等雙穩態元件之每一者係連接至一行線及一列線；
- 用於電耦接該陣列至該驅動構件，其中該驅動構件係經組態以施加一偏壓至該陣列，其中當該陣列耦接至該驅動構件時，該偏壓大於該等雙穩態元件之一磁滯窗之中點且該偏壓低於該等雙穩態元件之一致動電壓；及
- 用於將該陣列從該驅動構件電絕緣的構件，其在施加該偏壓之後及用於一絕緣週期使得該驅動構件在該絕緣週期之期間不提供一電壓至該陣列，該陣列在該絕緣週期之期間維持一在該磁滯窗內的電壓，其中該絕緣週期係基於一與該陣列及該電耦接構件相關聯之時間常數。
51. 如請求項50之顯示器，其中該驅動構件包含至少一驅動電路。
52. 如請求項50之顯示器，其中該絕緣構件包含連接在該驅

動構件與該陣列之間的複數個電路。

53. 如請求項50之顯示器，其中該絕緣構件經組態以將該陣列與該驅動構件電絕緣至少.001秒。

54. 如請求項50之顯示器，其中該絕緣構件經組態以將該陣列與該驅動構件電絕緣至少.01秒。

55. 如請求項50之顯示器，其中該絕緣構件經組態以將該陣列與該驅動構件電絕緣至少.5秒。

56. 如請求項50之顯示器，其中該絕緣構件經組態以將該陣列與該驅動構件電絕緣至少2秒。

57. 如請求項50之顯示器，其中在電絕緣該陣列之前，該驅動構件將一跨越該等雙穩態元件中每一元件之電壓驅動至該等雙穩態元件之一致動電壓的至少95%。

58. 如請求項50之顯示器，其中在電絕緣該陣列之前，該驅動構件將一跨越該等雙穩態元件中每一元件之電壓驅動至該等雙穩態元件之一致動電壓的至少90%。

59. 如請求項50之顯示器，其中在電絕緣該陣列之前，該驅動構件將一跨越該等雙穩態元件中每一元件之電壓驅動至該等雙穩態元件之一致動電壓的至少75%。

60. 一種驅動雙穩態元件之方法，該方法包含：

電耦接雙穩態元件之一陣列至至少一驅動電路；

施加一偏壓至雙穩態元件之該陣列，其中當該陣列耦接至該至少一驅動電路時，該偏壓大於該等雙穩態元件之一磁滯窗之中點且該偏壓低於該等雙穩態元件之一致動電壓；及

在施加該偏壓之後及用於一絕緣週期將雙穩態元件之該陣列從該至少一驅動電路電絕緣以使得該驅動電路在該絕緣週期之期間不提供一電壓至該陣列，該陣列在該絕緣週期之期間維持一在該磁滯窗內的電壓，其中該絕緣週期係基於一與該陣列相關聯之時間常數。

61. 如請求項60之方法，其中該等雙穩態元件中至少一元件包含一干涉調變器。
62. 如請求項60之方法，其另外包含在電絕緣該陣列之後關閉一充電泵。
63. 如請求項60之方法，其中電絕緣該陣列包含致動複數個三態電路。
64. 如請求項60之方法，其中電絕緣該陣列包含自該驅動電路驅動一選擇線。
65. 如請求項60之方法，其中電絕緣該陣列包含將該陣列與該驅動電路電絕緣至少.01秒。
66. 如請求項60之方法，其中電絕緣該陣列包含將該陣列與該驅動電路電絕緣至少.5秒。
67. 如請求項60之方法，其中電絕緣該陣列包含將該陣列與該驅動電路電絕緣至少2秒。
68. 如請求項60之方法，其另外包含在電絕緣該等雙穩態元件之前施加一偏壓至該等雙穩態元件中每一元件。
69. 如請求項68之方法，其中該偏壓為該等雙穩態元件之一致動電壓的至少95%。
70. 如請求項68之方法，其中該偏壓為該等雙穩態元件之一

致動電壓的至少90%。

71. 如請求項68之方法，其中該偏壓為該等雙穩態元件之一致動電壓的至少75%。

72. 一種用於判定微機電像素之一狀態之顯示系統，其包含：  
一微機電像素陣列；

列及行驅動器電路，其經組態以施加電訊號至該等像素；及

一感測器，其經組態以至少部分地基於量測一跨越該等像素之至少一些的電壓以感測該等像素之該等至少一些的一狀態。

73. 如請求項72之顯示系統，其中複數個感測器實質上同時感測複數個微機電像素之一狀態。

74. 如請求項72之顯示系統，其另外包含該列及行驅動器電路與該陣列之間的絕緣緩衝器。

75. 如請求項72之顯示系統，其中該陣列中至少一行包含一組測試像素。

76. 如請求項72之顯示系統，其中該等像素中至少某些像素包含干涉調變器。

77. 如請求項72之顯示系統，其中該感測器包含一比較器。

78. 如請求項72之顯示系統，其進一步包含耦接至該列驅動器電路及該行驅動器電路中至少一電路並經組態用以調變該陣列對於電訊號之該回應的電路組件。

79. 如請求項72之顯示系統，其進一步包含：

一處理器，其與該陣列電通信，該處理器經組態以處

理影像資料；及

一記憶體設備，其與該處理器電通信。

80. 如請求項79之顯示系統，其進一步包含一經組態以發送該等影像資料中至少一部分至該列及行驅動器電路之控制器。
81. 如請求項79之顯示系統，其進一步包含一經組態以發送該等影像資料至該處理器之影像源模組。
82. 如請求項81之顯示系統，其中該影像源模組包含一接收器、一收發器、及一傳輸器中的至少一者。
83. 如請求項79之顯示系統，其進一步包含一經組態用以接收輸入資料並將該等輸入資料傳達至該處理器之輸入設備。
84. 一種用於判定微機電像素之一狀態之顯示系統，其包含：  
用於施加電訊號至微機電像素之一陣列的構件；  
用於量測一跨越該等微機電像素之至少一者的電壓的構件；及  
用於基於該經量測電壓以判定該等微機電像素之該至少一者之一狀態的構件。
85. 如請求項84之顯示系統，其中該施加構件包含列及行驅動器電路。
86. 如請求項84之顯示系統，其中該判定構件包含一感測器。
87. 如請求項84之顯示系統，其中該判定構件包含複數個感測器，其經組態以實質同時感測複數個微機電像素之一狀態。

88. 如請求項84之顯示系統，其進一步包含用於將該施加構件與該陣列絕緣的構件。
89. 如請求項88之顯示系統，其中該絕緣構件包含該施加構件與該陣列之間的緩衝器。
90. 如請求項84之顯示系統，其中該陣列中至少一行包含測試像素。
91. 一種判定形成於一連串列電極與一連串行電極相交處之列及行中一微機電設備陣列中所選設備的一操作狀態之方法，該方法包含：
- 將除了連接至該所選設備之該行電極之外、該陣列中實質每一行電極與行驅動器絕緣；
- 將除了連接至該所選設備之該列電極之外、該陣列中實質每一列電極與列驅動器電路絕緣；
- 施加一電訊號至連接至該所選設備的該列電極；
- 至少部分地基於量測一跨越該列電極及該行電極的電壓以偵測該所選設備之一操作狀態。
92. 如請求項91之方法，其中該電訊號包含一預定量值及持續時間的電壓脈衝。
93. 如請求項91之方法，其進一步包含：
- 測試含有該所選設備之該列的總電容性特徵；及
- 至少部分基於該測試判定所選設備測試參數。
94. 如請求項93之方法，其中該含有該所選設備之該列的測試總電容性特徵包含：
- 將作為該所選設備連接至該相同列電極的一測試微機

電設備置放在一已知致動狀態下；

將除了連接至該測試設備之該行電極之外、該陣列的實質每一行電極與行驅動器電路絕緣；

將除了連接至該測試設備之該列電極之外、該陣列的實質每一列電極與列驅動器電路絕緣；

將一連接至該測試設備之行電極連接至行驅動器電路；

施加一電訊號至連接至該所選設備與該測試設備兩者的該列電極；及

當該測試設備係在該已知致動狀態下時偵測該列電極對於該電訊號之該回應的一特徵。

95.如請求項94之方法，其進一步包含：

將該測試設備置放在一不同的已知致動狀態下；

施加一電訊號至連接至該所選設備及該測試設備兩者的該列電極；及

當該測試設備在該不同的已知致動狀態下時偵測該列電極對於該電訊號之該回應的一特徵。

96.如請求項95之方法，其中：

施加一電訊號，包含施加一所選電壓至一耦接至至少一設備的電極；

偵測，其包含量測一跨越該設備的電壓；且

判定係至少部分基於該量測電壓。

97.如請求項96之方法，其中該判定包含判定該量測電壓是否大於一臨限值。

98.一種用於驅動一MEMS元件陣列之顯示設備，該顯示設備包含：

一行驅動器，其經組態以施加資料訊號至該陣列的一連串行電極；

一系列驅動器，其經組態以施加至少一寫入波形至一系列電極；

一感測器，其經組態以至少部分地基於量測一跨越至少一元件的電壓以判定沿該列之該至少一元件的一致動狀態；及

一控制電路，若該感測器判定沿該列之至少一元件之一一致動狀態係與該等資料訊號不一致，則其經組態以向該列驅動器發送訊號以施加至少一額外寫入波形至該列電極。

99.一種用於驅動一MEMS元件陣列之顯示設備，該顯示設備包含：

用於施加資料訊號至一陣列之行電極的資料訊號施加構件；

用於施加至少一寫入波形至該陣列之一列電極的構件；

用於至少部分地基於量測一跨越至少一元件的電壓以判定沿該列之該至少一元件之一一致動狀態的構件；及

若判定沿該列之至少一元件之一一致動狀態係與該等資料訊號不一致時則施加至少一額外寫入波形至該列電極之寫入波形施加構件。

100.如請求項99之設備，其中該資料訊號施加構件包含一行驅動器。

101.如請求項99之設備，其中該至少一寫入波形施加構件包含一列驅動器。

102.如請求項99之設備，其中該判定構件包含一感測器。

103.如請求項99之設備，其中該至少一額外寫入波形施加構件包含一控制電路。

104.一種將資料寫入一微機電元件陣列之一部分之方法，該方法包含：

施加一組資料訊號至該陣列的一連串行電極；

施加至少一寫入波形至一列電極；

至少部分地基於量測一跨越至少一元件的電壓以判定沿該列之該至少一元件的一致動狀態；

若判定沿該列之至少一元件之一致動狀態係與該等資料訊號不一致時則施加至少一額外寫入波形至該列電極。