[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H04Q 7/32 (2006.01)
H03H 17/02 (2006.01)

[12] 发明专利说明书

专利号 ZL 02123173.7

[45] 授权公告日 2008 年 5 月 28 日

[11] 授权公告号 CN 100391280C

[22] 申请日 2002.6.26 [21] 申请号 02123173.7

[30] 优先权

[32] 2001.11.12 [33] KR [31] 70065/01

[73] 专利权人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 张永钒 梁世定

[56] 参考文献

WO01/43285A2 2001.6.14

CN1150722A 1997.5.28

审查员 张宏伟

[74] 专利代理机构 北京市柳沈律师事务所

代理人 马 莹 邵亚丽

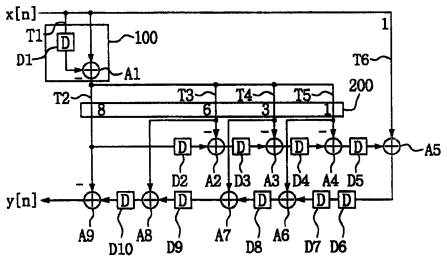
权利要求书 3 页 说明书 18 页 附图 14 页

[54] 发明名称

线性相位数字滤波器和实现该滤波器的滤波器系数的方法

[57] 摘要

一种将用给定位数的 CSD(规范带符号数字)码字表达的 CSD 滤波器系数用作延迟线的抽头上的滤波器系数的线性相位数字滤波器，包括：一个与数据输入端相连接的垂直公共子表达式发生器，用于在相邻滤波器系数的相应 CSD 码字具有多个垂直公共 CSD 码字时，将处在垂直公共 CSD 码字的最高级位中的垂直公共 CSD 码字设置为垂直公共子表达式；一个移位寄存器，包括多个移位器，每个移位器将所述垂直公共子表达式发生器的输出移动彼此不同的预定位数；多个加法器，每个加法器与所述移位器中的一个相连接；以及多个延迟器，每个延迟器可替换地与多个所述加法器的相应一个加法器的输出端相连接，用于将相应一个加法器的输出延迟一个单位时间。



1. 一种在将规范带符号数字 CSD 滤波器系数用作滤波器系数的线性相位数字滤波器中实现滤波器系数的方法，所述 CSD 滤波器系数用预定位数的 CSD 码字表达，该方法包括下列步骤：

在相邻滤波器系数的相应 CSD 码字之间确定垂直公共 CSD 码字，其中，处在垂直公共 CSD 码字的最高级位中的垂直公共 CSD 码字被设置为垂直公共子表达式；

通过移位和延迟所述垂直公共子表达式，用所述垂直公共子表达式表达每个滤波器系数的 CSD 码字当中的垂直公共 CSD 码字；以及

合成所表达的滤波器系数的所述垂直公共 CSD 码字。

2. 如权利要求 1 所述的方法，其中，所述垂直公共 CSD 码字至少包括 1n、11、111、或 1n1 中的一个。

3. 如权利要求 1 所述的方法，其中，所述垂直公共 CSD 码字至少包括 n1、nn、nnn、和 n1n 中的一个。

4. 如权利要求 1 所述的方法，还包括步骤：当非对称垂直公共 CSD 码字包括对称垂直公共 CSD 码字时，设置附加垂直公共子表达式。

5. 如权利要求 1 所述的方法，其中，所述滤波器系数是利用 FIR 滤波器设计工具实现的。

6. 一种用于实现包括用 n 位规范带符号数字 CSD 码字表达的滤波器系数、用于滤波 k 位数字样本的数字滤波器的方法，其中 n 是大于或等于 2 的自然数，k 是大于或等于 4 的自然数，该方法包括下列步骤：

通过在相邻滤波器系数的相应 CSD 码字之间搜索垂直公共 CSD 码字，以及将处在所述垂直公共 CSD 码字的最高级位中的垂直公共 CSD 码字确定为垂直公共子表达式，生成垂直公共子表达式；以及

将每个滤波器系数当中的所述垂直公共 CSD 码字转换为被移位和延迟了的垂直公共子表达式，以便用合成方法实现滤波器系数。

7. 如权利要求 6 所述的方法，其中，沿着数字滤波器中延迟线的抽头数递增的垂直方向，所述垂直公共 CSD 码字至少包括 1n、11、111、和 1n1 中的一个。

8. 如权利要求 6 所述的方法，其中，沿着数字滤波器中延迟线的抽头数

递增的垂直方向，所述垂直公共 CSD 码字至少包括 n1、nn、nnn、和 n1n 中的一个。

9. 一种将规范带符号数字 CSD 滤波器系数用作延迟线的抽头上的滤波器系数的线性相位数字滤波器，所述 CSD 滤波器系数用给定位数的规范带符号数字 CSD 码字表达，包括:

一个与数据输入端相连接的垂直公共子表达式发生器，用于在相邻滤波器系数的相应 CSD 码字具有多个垂直公共 CSD 码字时，将处在垂直公共 CSD 码字的最高级位中的垂直公共 CSD 码字设置为垂直公共子表达式;

一个移位寄存器，包括多个与所述垂直公共子表达式发生器的输出端共接的移位器，每个移位器将所述垂直公共子表达式发生器的输出移动彼此不同的预定位数;

多个加法器，每个加法器与所述移位器中的一个相连接; 以及

多个延迟器，每个延迟器交替地与所述多个加法器的一个相应的加法器的输出端相连接，用于将相应一个加法器的输出延迟一个单位时间。

10. 如权利要求 9 所述的数字滤波器，其中，所述多个移位器移动的预定位数顺序地减少。

11. 如权利要求 9 所述的数字滤波器，其中，所述移位寄存器包括串联的 8-位移位器、6-位移位器、3-位移位器和 1-位移位器。

12. 如权利要求 9 所述的数字滤波器，其中，所述垂直公共子表达式发生器包括与数据输入端相连接的延迟器和连接在所述延迟器和所述移位寄存器之间的加法器。

13. 如权利要求 9 所述的数字滤波器，还包括附加移位寄存器、延迟器、和加法器，用于实现不含垂直公共 CSD 码字的滤波器系数。

14. 一种将用预定位数的规范带符号数字 CSD 码字表达的 CSD 滤波器系数用作延迟线的抽头上的滤波器系数的线性相位数字滤波器，包括:

多个分别与多个数据输入端相连接的垂直公共子表达式发生器，分别用于将相邻滤波器系数的垂直公共 CSD 码字的最高级位设置为垂直公共子表达式;

多个移位寄存器，每个移位寄存器与所述多个垂直公共子表达式发生器的相应一个的输出端共接并包括多个输出端，用于将相应所述垂直公共子表达式发生器的输出移动彼此不同的预定位数并输出;

多个加法器，分别与所述移位寄存器的多个输出端相连接；以及

多个延迟器，交替地与所述多个加法器相连接，分别用于将所述加法器的输出延迟一个单位时间。

15. 如权利要求 14 所述的数字滤波器，其中，每个垂直公共子表达式发生器包括与相应一个数据输入端相连接的延迟器和连接在所述延迟器和相应一个所述移位寄存器之间的加法器。

16. 如权利要求 15 所述的数字滤波器，其中，所述多个移位器移动的预定位数顺序地减少。

17. 一种 CSD 型数字滤波器，其中滤波器系数包括用预定位数的规范带符号数字 CSD 码字表达的 CSD 滤波器系数，所述 CSD 型滤波器包括:

一个垂直公共子表达式发生器，包括与数据输入端相连接的延迟部件和相加部件，以将相邻滤波器系数的垂直公共 CSD 码字的最高级位指定为垂直公共子表达式;

一个移位寄存器，与所述垂直公共子表达式发生器的相加部件的输出端共接，并包括多个输出端，所述输出端的每个按照位的最低级的次序依次将相加部件的输出分别移动不同的预定位数并输出;

相加电路，包括分别与所述移位寄存器的多个输出端相连接的多个输入端；以及

一个延迟电路，包括交替地与相加电路的输入端相连接的多个延迟器，分别用于将相加电路的输出延迟一个单位时间。

线性相位数字滤波器和实现该滤波器的滤波器系数的方法

交叉参考相关申请

本申请要求 2001 年 11 月 12 日提交的韩国专利申请第 2001-70065 号的优先权。

发明领域

本发明涉及数字滤波器，尤其涉及利用垂直公共子表达式的低功率 CSD（规范带符号数字）线性相位 FIR（有限脉冲响应）滤波器结构及其滤波器设计方法。

背景技术

诸如蜂窝式电话之类的移动无线电通信系统需要利用 CMOS 技术的低功率和高速线性相位有限脉冲响应（FIR）滤波器。当前，这样的低功率和高速 FIR 滤波器是利用 CSD 型系数作为滤波器系数设计的。CSD 型系数被表达为从 2 的补数型系数中减去 1 的二进制数字。

诸如数字降频转换器（DFDC）之类的无线收发器的中频（IF）处理终端需要高速抽选滤波器。最好，高速／低功率滤波器只利用加法器（包括减法器）和延迟器件进行相乘运算。高速／低功率滤波器可以利用 CSD 型系数更有效地进行相乘运算。CSD 型系数利用如下公式表达:

$$\sum_{i=0}^{N-1} a_i 2^{-i}$$

其中，当 i>0 时，如果 a_0=0 或-1，和 a_i = 0 或 1，那么，数字 a_0、a_1、a_2、……、a_{N-1}是 2 的补数型系数。如果每个 b_i是 0、＋1 或-1，和没有两个连续的 b_i是非零的，那么，数字 b_0、b_1、b_2、……、b_{N-1}是 CSD 型系数。

在技术上，CSD 型系数通过从“1”中减去 2 的补数型系数来表达。例如，如果 2 的补数型系数是“01111”，那么，CSD 型系数可以表达为“1-00001”。从现在开始，为了方便起见，将“-1”表达为“n”。也就是说，当“-1”被

表达为“n”时，2的补数型系数“01111”被表达为CSD型系数“1000n”。这样，可以容易地将所有2的补数型系数转换为CSD型系数。

由于与2的补数型系数相比，没有一个CSD型系数含有多于（N+1）/2个非零位，因此，利用加法器进行相乘的滤波器将CSD型系数用作滤波器系数时将要求加法器的个数减少。滤波器系数的相乘是利用加法器和移位器进行的。因为通过将移位器设计为硬连线逻辑电路，可以降低滤波器的成本，所以，最好减少加法器的个数以降低滤波器的成本。

表1列出了表达为2的补数型数字和相应CSD型数字的4-位滤波器系数。如表1所示，2的补数型系数含有32个数字“1”，CSD型系数含有23个数字“1”。也就是说，CSD型系数含有比2的补数型系数少9个数字“1”的数字“1”的个数。

表1. CSD码建立

数字	2的补数				CSD型			
0.875	0	1	1	1	1	0	0	N
0.75	0	1	1	0	1	0	N	0
0.625	0	1	0	1	0	1	0	1
0.5	0	1	0	0	0	1	0	0
0.375	0	0	1	1	0	1	0	n
0.25	0	0	1	0	0	0	1	0
0.125	0	0	0	1	0	0	0	1
0	0	0	0	0	0	0	0	0
-0.125	1	1	1	1	0	0	0	n
-0.25	1	1	1	0	0	0	N	0
-0.375	1	1	0	1	0	n	0	1
-0.5	1	1	0	0	0	n	0	0
-0.625	1	0	1	1	0	n	0	n
-0.75	1	0	1	0	n	0	1	0
-0.875	1	0	0	1	n	0	0	1
-1	1	0	0	0	n	0	0	0

表 2 示出了含有 11 个抽头的线性相位 FIR 滤波器的 CSD 型系数。

当数字“1”或数字“n”的总数是 m 时，需要（m-1）个加法器来实现这些系数。在表 2 中，由于 m = 17，因此，需要 16 个加法器来实现这些系数。通过用公共子表达式方法设计线性相位 FIR 滤波器，可以减少加法器的个数。在表 2 中，系数 h_0、h_1、h_2、h_3、h_4 的每一个与系数 h_{10}、h_9、h_8、h_7、h_6 的每一个是对称的，致使线性相位 FIR 滤波器具有两个公共子表达式。

表 2. 11-抽头线性相位 FIR 滤波器的 CSD 系数

	2^-1	2^-2	2^-3	2^-4	2^-5	2^-6	2^-7	2^-8	2^-9
h0									1
h1							n		n
h2				n			1		
h3		n		1					
h4		1							
h5	1								
h6		1							
H7		n		1					
H8				n			1		
H9							n		n
h10									1

在表 2 中，省略了数字“0”。FIR 滤波器的输出信号（y）用如下公式 y[n] 表达:

$$y[n]=\sum_{i=0}^{N-1}\sum_{j=0}^{M-1}a_{ij}\left(x_{n-1}>>j\right)=\sum_{i=0}^{N-1}\sum_{j=0}^{M-1}a_{ij}X_{ij}$$

其中，由于 a_{ij} 具有数字“1、0 或-1”，因此，输出信号被表达为输入信号（x）的各种移位和延迟形式的和。每行 X_{ij} 表示输入信号（x）的“延迟”，和每列 X_{ij} 表示输入信号（x）的“移位”。第 i 行、第 j 列中的表目±1 被表达为 $\pm x_1[-i]>>j$，和第 1 行（h0）和第 1 列（2^-1）由不带 i 和 j 的“x_1”定义，并且被确定为参考点。这里，（2^-1）表示 2 的-1 次方（即，$2^{-1}=0.5$），和（2^-2）表示 2 的-2 次方（即，2^{-2}）。

另一种可选的是，可以利用传统水平公共子表达式共享方法设计表 2 中的线性相位 FIR 滤波器，以减少加法器的个数。如表 2 所述，“n0n”、“n001”、和“n01”的公共子表达式的个数是 2。可以将每个水平公共子表达式表达如下。

$x_2 = -x_1-x_1>>2$: 第一公共子表达式

$x_3 = -x_1 + x_1>>3$: 第二公共子表达式

$x_4 = -x_1 + x_1>>2$: 第三公共子表达式

其中，x_2表示“n0n”的公共子表达式，x_3表示“n001”的公共子表达式，以及 x_4表示“n01”的公共子表达式。符号“>>”表示输入信号（x）沿着最低级位（LSB）方向的“移位”。例如，如果公共子表达式是“n0n”和 $x_1 = 1$，那么，n0n 当中的最高级位（MSB）是“$-x_1$”，n0n 当中的 LSB 是向右方向移动了 2 个位的$-x_1$，于是“n0n”被表达为这些结果之和，即，“$-x_1-x_1>>2$”。因此，x_2被定义为“n0n”的水平公共子表达式。与“n0n”的公共子表达式类似，“n001”的水平公共子表达式被定义为“x_3”，即“$-x_1 + x_1>>3$”。

如公式所示，需要 3 个加法器来实现 3 个公共子表达式。利用水平公共子表达式共享方法的滤波器的输出信号（y）由如下方程式表达。

$$y=x_1>>8+x_2[-1]>>6+x_3[-2]>>3+x_4[-3]>>1+x_1[-4]>>1+x_1[-5]+x_1[-6]>>1+x_4[-7]>>1+x_3[-8]>>3+x_2[-9]>>6+x_1[-10]>>8$$

其中，“$x_1>>8$”表示表 2 中，第 1 行（h0）、第 9 列（2^-9）中的“1”。它的意思是将“$x_1=1$”向右方向移动 8 个位。第 1 行（h0）、第 9 列（2^-9）中的数字“1”不利用水平公共子表达式实现。公式“$x_2[-1]>>6$”的意思是将第一水平公共子表达式“x_2”沿着垂直方向延迟一个时钟周期（即，1 个抽头），并且向右方向移动 6 个位。例如，在表 2 中，如果将位于第 1 行（h0）与第 1、2 和 3 列（2^-1、2^-2、2^-3）的交叉点上的“n0n”表达为“x_2”，那么，位于第 2 行与第 7、8 和 9 列（2^-7、2^-8、2^-9）的交叉点上的“n0n”就是被延迟和移位了的“x_2”（沿着垂直方向延迟“1”，并且向右方向移动 6 个位）。

在上面的公式中，由于需要 10 次相加才能获得输出信号（y），以及需要 3 次相加才能实现 3 个水平公共子表达式（n0n、n001、n01），因此，需要 13 个加法器才能实现表 2 中的滤波器。当利用转置直接格式(Transposed Direct Form）实现滤波器时，该滤波器具有图 1 所示的结构。

参照图 1，符号 Ai（“i”是大于 1 的自然数）表示与抽头线 T1 到 T6 相连接的加法器，符号 Di 表示延迟器，x 表示输入信号，和 y 表示输出信号。抽头线旁边的数字表示要移动的位数。例如，抽头线 T1 旁边的数字“9”表示将要滤波的数字输入信号（x）向 LSB 方向移动 9 个位。在图 1 的结构中应用移位寄存器响应时钟信号，通过移位输入信号来进行相乘运算。在其输入端上具有符号“-”的加法器 Ai 进行负相加，即相减。应该注意到，在本公开中使用的“加法器”术语包括进行正相加的相加功能，以及进行负相加的相减功能。

再参照图 1，由于移动了 9 个位的输入信号（x）被施加到抽头线 T1 上，因此，在抽头线 T1 上实现了表 2 中的系数 h0。也就是说，利用移位寄存器实现了“x_1>>8”。水平公共子表达式 x_2 由移位寄存器和与抽头线 T2 相连接的加法器 A1 计算，每个寄存器移动输入信号（x）1 个位和 3 个位。“x_2[-1]>>6”由加法器 A4 来实现，其中加法器 A4 将与抽头线 T2 相连接的移位寄存器的输出（移动了 6 个位）和延迟器 D1（将抽头线 T1 的输出延迟一个时钟周期）的输出相加。另外，加法器 A12 实现“x_2[-9]>>6”，加法器 A5 实现“x_3[-2]>>3”，以及加法器 A11 实现“x_3[-8]>>3”。

图 1 的结构在进行相加运算之前，通过移位寄存器将输入信号（x）与 9 相乘，以便图 1 中的“-n”由移位寄存器硬件来实现。延迟器 D1 到 D10 的每一个为了获得输出信号（y），将输入到它们的输入端的加法器的输出延迟预定时间。系数 h0 被实现为-1、-4 和-7 的理由是，由于 x_1 是移动了-1 的参考点，因此，当实现 x_1 时，应该将 x_1 比在实现公式中多移动一次-1。

IEEE 关于电路和系统的会报 II：模拟和数字信号处理，卷 43 第 10，677-688 页，1996 年 10 月，Richard I. Hartley 所著的文献“Sub-expression sharing in filters using canonic signed digit multipliers”（“利用规范带符号数字乘法器的滤波器中的子表达式共享”）中公开了减少规范带符号数字（CSD）FIR 滤波器中的加法器的个数的公共子表达式共享方法的例子。

另外，IEICE 关于基本原理的会报，卷 E79A，第 8,1120-1129 页，1996 年 8 月，M. Yagyu、A. Nishihara 和 N. Fujii 所著的文献“Fast FIR digital filter structures using minimal number of adders and its application to filter design”（“利用最少个数加法器的快速 FIR 数字滤波器结构及其对于滤波器设计的应用”）中公开了涉及到利用混合整数编程（MILP）的滤波

器设计结构和利用最少个数加法器的高速 FIR 数字滤波器结构的技术的例子。

传统方法通过搜索和共享除了线性相位滤波器系数的对称公共子表达式之外的系数中的公共子表达式，减少了加法器的个数。但是，问题在于，加法器减少了的个数还不足以实现高速和低功率半导体芯片。

如上所述，传统线性相位 CSD 滤波器只应用了水平公共子表达式，这是因为，由于滤波器的对称结构，使用在其两侧自然生成的公共子表达式是有利的。但是，传统水平公共子表达式共享方法不适于用在高速和低功率滤波器中，因为该方法仍然需要个数相对较多的加法器。

因此，存在着使线性相位 CSD 滤波器中加法器的个数达到最少，从而提供尺寸缩小了的半导体设计，以及提高处理速率的需要。

发明内容

本发明的一个目的是提供低功率和高速 CSD 线性相位滤波器结构及其滤波器系数设计方法。

本发明的另一个目的是提供包含在一个半导体芯片内的低功率和高速线性相位滤波器，在芯片中它的占据区域被最小化和简单化。

本发明的另一个目的是提供能够降低制造成本的低功率和高速数字滤波器及其滤波器设计方法。

本发明的另一个目的是提供一种用于通过利用垂直公共子表达式，减少在线性相位滤波器中采用的加法器的个数的方法。

如本发明的一个方面，提供了一种在将规范带符号数字 CSD 滤波器系数用作滤波器系数的线性相位数字滤波器中实现滤波器系数的方法，所述 CSD 滤波器系数用预定位数的 CSD 码字表达，该方法包括下列步骤：在相邻滤波器系数的相应 CSD 码字之间确定垂直公共 CSD 码字，其中，处在垂直公共 CSD 码字的最高级位中的垂直公共 CSD 码字被设置为垂直公共子表达式；通过移位和延迟该垂直公共子表达式，用垂直公共子表达式表达每个滤波器系数的 CSD 码字当中的垂直公共 CSD 码字；和合成所表达的滤波器系数的垂直公共 CSD 码字。

如本发明的另一个方面，提供了实现包括用 n 位（n 是大于或等于 2 的自然数）规范带符号数字 CSD 码字表达的滤波器系数、用于滤波 k 位（k 是

大于或等于 4 的自然数）数字样本的数字滤波器的方法。该方法包括下列步骤：通过在相邻滤波器系数的相应 CSD 码字之间搜索垂直公共 CSD 码字，以及将处在垂直公共 CSD 码字的最高级位中的垂直公共 CSD 码字确定为垂直公共子表达式，生成垂直公共子表达式；以及将每个滤波器系数当中的垂直公共 CSD 码字转换为被移位和延迟了的垂直公共子表达式，因此用合成方法实现了滤波器系数。

如本发明的另一个方面，将规范带符号数字 CSD 滤波器系数用作延迟线的抽头上的滤波器系数的线性相位数字滤波器，所述 CSD 滤波器系数用给定位数的规范带符号数字 CSD 码字表达，包括：一个与数据输入端相连接的垂直公共子表达式发生器，用于在相邻滤波器系数的相应 CSD 码字具有多个垂直公共 CSD 码字时，将处在垂直公共 CSD 码字的最高级位中的垂直公共 CSD 码字设置为垂直公共子表达式；一个移位寄存器，包括多个与垂直公共子表达式发生器的输出端共接的移位器，每个移位器将垂直公共子表达式发生器的输出移动彼此不同的预定位数；多个加法器，每个加法器与一个移位器相连接；以及多个延迟器，每个延迟器交替地与所述多个加法器的一个相应加法器的输出端相连接，用于将相应一个加法器的输出延迟一个单位时间。

如本发明的另一个方面，将利用预定位数的 CSD（规范带符号数字）码字表达的 CSD 滤波器系数用作延迟线的抽头上的滤波器系数的线性相位数字滤波器包括：多个分别与多个数据输入端相连接的垂直公共子表达式发生器，分别用于将相邻滤波器系数的垂直公共 CSD 码字的最高级位设置为垂直公共子表达式；多个移位寄存器，每个移位寄存器与多个垂直公共子表达式发生器的相应一个的输出端共接并包括多个输出端，用于将相应垂直公共子表达式发生器的输出移动彼此不同的预定位数并输出；多个加法器，分别与移位寄存器的多个输出端相连接；以及多个延迟器，交替地与多个加法器相连接，分别用于将加法器的输出延迟一个单位时间。

如本发明的另一个方面，一种 CSD 型数字滤波器，其中滤波器系数包括用预定位数的规范带符号数字 CSD 码字表达的 CSD 滤波器系数，所述 CSD 型滤波器包括：一个垂直公共子表达式发生器，包括与数据输入端相连接的延迟部件和相加部件，用于将相邻滤波器系数的垂直公共 CSD 码字的最高级位指定为垂直公共子表达式；一个移位寄存器，与垂直公共子表达式发生器的相加部件的输出端共接，并包括多个输出端，所述输出端的每个按照位的最

低级的次序依次将相加部件的输出分别移动不同的预定位数并输出；相加电路，包括分别与移位寄存器的多个输出端相连接的多个输入端；以及一个延迟电路，包括交替地与相加电路的输入端相连接的多个延迟器，用于分别将相加电路的输出延迟一个单位时间。

有利的是，由于如本发明一个方面的滤波器系数是利用垂直公共子表达式实现的，用于实现数字滤波器的加法器的个数达到最少，从而形成高速和低功率数字滤波器。

通过结合附图，对本发明的优选实施例进行如下详细描述，本发明的这些和其它方面、要素和优点将更加清楚。

附图说明

图 1 是如传统水平公共子表达式方法实现的 CSD 线性相位滤波器的电路图；

图 2 是利用如本发明实施例的垂直公共子表达式方法实现的 CSD 线性相位滤波器的电路图；

图 3A 至 3C 是传统 9-位 CSD 线性相位滤波器的电路图；

图 4A 和 4B 是如本发明实施例的 9-位 CSD 线性相位滤波器的电路图；

图 5A 至 5C 是传统 10-位 CSD 线性相位滤波器的电路图；

图 6A 至 6C 是如本发明实施例的 10-位 CSD 线性相位滤波器的电路图；

图 7 是应用如本发明实施例的数字滤波器的无线接收机终端的方框图；

图 8 是示出图 7 所示的无线接收机终端的典型中频处理器的方框图。

具体实施方式

从现在开始将参照示出本发明优选实施例的附图更全面地描述本发明，其中，相同的标号表示具有相同或相似功能的单元。

在本发明的优选实施例中，要处理的滤波器系数是利用垂直公共子表达式实现的。除在滤波器的第一输入端使用加法器之外，最好使用具有多个输入端的全加器。全加器包括两个半加器（half adder）和一个异或门。半加器包括一个异或门和一个与门。延迟器可以用触发器或寄存器构成。

表 3 示出了如本发明的沿着垂直方向分组的滤波器系数（将它与滤波器系数沿着水平方向分组的表 2 相对照）。

表 3. 11 抽头线性相位 FIR 滤波器的 CSD 系数

	2^-1	2^-2	2^-3	2^-4	2^-5	2^-6	2^-7	2^-8	2^-9
h0									1
h1							n		n
h2				n			1		
h3		n		1					
h4		1							
h5	1								
h6		1							
h7		n		1					
h8				n			1		
h9							n		n
h10									1

在表 3 中，双线中的每个方块表示一组垂直公共子表达式，每个空白块表示数字“0”，每列表示 1-位 CSD 型滤波器系数，以及每行表示滤波器的一个抽头。例如，抽头“h0”具有 CSD 滤波器系数“000000001”。术语“2^-1”表示 2 的-1 次方（即，2^{-1}），以及术语“2^-2”表示 2 的-2 次方（即，2^{-2}）。第 1 行（h0）与第 1 列（2^-1）的交叉点被定义为参考点“x_1”。如果将信号从参考点“x_1”向水平方向移动，那么，该信号被移向最低级位（LSB）方向。如果向垂直方向移动，那么，该信号被延迟一个单位时间。

参照表 3，垂直公共子表达式“1n”可以从相邻滤波器系数的 CSD 码字中获得。例如，抽头（h0）滤波器系数和抽头（h1）滤波器系数的垂直公共子表达式“1n”是从抽头（h0）的 CSD 码字（000000001）和抽头（h1）的 CSD 码字（000000n0n）的第 9 个位中获得的。抽头（h1）滤波器系数和抽头（h2）滤波器系数的垂直公共子表达式“n1”是从抽头 h1 和 h2 的 CSD 码字（000000n0n 和 000n00100）的第 7 个位中获得的。如果相邻滤波器系数的 CSD 码字具有多个垂直公共 CSD 码字，那么，将处于垂直公共 CSD 码字的最高级位（MSB）中的垂直公共 CSD 码字指定为垂直公共子表达式。

由于表 3 中的垂直公共子表达式，即“1n”和“n1”由于它们的互补关

系而具有相同的结构，因此，可以将这些垂直公共子表达式表达为一个垂直公共子表达式“1n”。设垂直公共子表达式“1n”为“x_2”。

垂直公共子表达式“x_2”可以通过“1”和“n”沿着垂直方向的和来定义如下：

$x_2 = x_1-x_1[-1]$：公共子表达式

也就是说，垂直公共子表达式“x_2”是参考点“x_1”的系数（即，1）与被垂直延迟（延迟了 1 个抽头）和反向（减号或加号）的参考点“x_1”的系数（即，n）之和（在这种情况中，是负相加）。因此，如果数字“1”位于第 1 行（h0）和第 1 列（2^-1）的交叉点上以及数字“n”位于第 2 行（h1）和第 1 列的交叉点上，那么，垂直公共子表达式“x_2”被定义为这些数字沿着垂直方向的一个组。滤波器需要一个加法器（在这种情况中，是减法器）来实现垂直公共子表达式“x_2”，滤波器的输出信号（y）可以表达如下：

$y=x_2>>8-x_2[-1]>>6-x_2[-2]>>3-x_2[-3]>>1+x_1[-4]+x_2[-5]+x_2[-6]>>3+x_2[-7]>>6-x_2[-8]>>8$

其中，符号“>>”表示输入信号（x）的移位以及符号“[ ]”表示输入信号（x）的延迟。

例如，由于表达式“$x_2>>8$”的意思是将“x_2”向右方向移动 8 个位，因此，符号“$x_2>>8$”表示位于第 1 行（h0）和第 2 行（h1）与第 9 列（2^-9）的交叉点上的“1 和 n”。符号“$-x_2[-1]>>6$”的意思是将垂直公共子表达式“x_2”朝着垂直方向延迟 1（1 个抽头），并且向右方向移动 6 个位。因此，符号“$-x_2[-1]>>6$”表示位于第 2 行（h1）和第 3 行（h2）与第 7 列（2^-7）的交叉点上的“n 和 1”。符号“$-x_2[-2]>>3$”的意思是将垂直公共子表达式“x_2”翻转符号，延迟 2（2 个抽头），并且向右方向移动 3 个位。因此，符号“$-x_2[-2]>>3$”表示位于第 3 行（h2）和第 4 行（h3）与第 4 列（2^-4）的交叉点上的“n 和 1”。这里，因为 x_1 本身包括了 1-位移动，因此，将公共子表达式移动了比具有该公共子表达式的列号小 1－位的位数。例如，第 4 列中的公共子表达式被移动了 3 个位。

也就是说，滤波器的输出信号是通过合成转换后的值，即参照垂直公共子表达式“x_2”，具有该垂直公共子表达式“x_2”的滤波器系数的 CSD 码字的被移位和延迟的值来实现。

像图 2 所示的滤波器那样，滤波器需要 9 个加法器，包括 8 个用于如上

述公式实现输出信号（y）的加法器、和 1 个用于实现垂直公共子表达式“x_2”的加法器。

图 2 示出了利用如本发明实施例的垂直公共子表达式方法的线性相位数字滤波器结构。该线性相位数字滤波器具有用具有给定位数的 CSD 码字表达的 CSD 滤波器系数作为延迟线的抽头上的滤波器系数。

参照图 2，线性相位数字滤波器包括垂直公共子表达式发生器 100，它包括与数据输入端 x[n]相连接的加法器 A1 和延迟器 D1，用于当相邻滤波器系数的 CSD 码字中存在多个垂直公共子表达式时，将垂直公共子表达式指定为 CSD 码字的最高级位；移位寄存器 200，它包括与加法器 A1 的输出端共接的多个移位器，用于将加法器 A1 的输出移动预定的位数，移位器按照最高级移动位顺序排列，即按照 8-位移位器、6-位移位器、3-位移位器和 1-位移位器的次序排列；多个加法器 A2、A3、A4、A6、A7、A8、A9，它们的每个输入端与移位寄存器 200 的移位器的每个输出端相连接；以及多个延迟器 D3、D4、D8、D9、D10，它们交替地与加法器相连接，用于将加法器的输出延迟一个单位时间（一个时钟周期）。

分别用 Ai（i 是大于 1 的自然数）表示与抽头线 T1 至 T6 相连接的加法器，用 Di 表示延迟器，用 x 表示输入信号，和用 y 表示输出信号。抽头线 T2-T5 旁边的数字表示移动的位数。例如，抽头线 T2 旁边的数字“8”的意思是将要滤波的输入信号（x）向 LSB 方向移动 8 个位。移位寄存器可以用于相乘运算，其中输入信号（x）响应时钟信号被移位。尽管在图 2 中没有示出减法器，但是，在其输入端带符号“-”的加法器即表示减法器。

垂直公共子表达式“x_2”（即，“1n”）是在图 2 中的抽头线 T2 上被实现的。也就是说，表 3 中的垂直公共子表达式“1n”是利用将参考点“x_1”的系数（在这种情况中，1）与被延迟（用延迟器 D1 延迟 1 个抽头）和反向了的参考点“x_1”的系数（在这种情况中，n）相加的加法器 A1（在这种情况中，相减）实现的。因此，延迟器 D1 和加法器 A1 构为垂直公共子表达式发生器 100。

来自垂直公共子表达式发生器 100 的垂直公共子表达式“x_2” 输出，通过移位寄存器 200 的 8-位移位器和抽头线 T2 移动 8 个位，于是实现了表 3 中的系数 h_0、h_1和 h_9、h_{10}。抽头线 T2 是用于实现“x_2>>8”和“$-x_2$[-8]>>8”的，以及加法器 A9 是用于计算“$-x_2$[-8]>>8”的。

抽头线 T3 通过移位寄存器 200 的 6-位移位器输出被移动了 6 位的垂直公共子表达式 x_2，以实现表 3 中的系数 h_1、h_2 和 h_8、h_9。抽头线 T3 是用于实现“$-x_2[-1]>>6$”和“$x_2[-7]>>6$”的，加法器 A2 计算“$-x_2[-1]>>6$”和加法器 A8 计算“$x_2[-7]>>6$”。

抽头线 T4 通过移位寄存器 200 的 3-位移位器输出被移动了 3 位的垂直公共子表达式 x_2，以便实现表 3 中的系数 h_2、h_3 和 h_7、h_8。抽头线 T4 是用于实现“$-x_2[-2]>>3$”和“$x_2[-6]>>3$”的，加法器 A3 计算“$-x_2[-2]>>3$”和加法器 A7 计算“$x_2[-6]>>3$”。

表 3 中的系数 h_3、h_4 和 h_6、h_7 是通过抽头线 T5 实现的。抽头线 T5 是用于实现“$-x_2[-3]>>1$”和“$x_2[-5]>>1$”的，加法器 A4 计算“$-x_2[-3]>>1$”和加法器 A6 计算“$x_2[-5]>>1$”。

系数 h_5 是通过用于实现 $x_1[-4]$ 的抽头线 T6，而不是利用垂直公共子表达式实现的。加法器 A5 计算 $x_1[-4]$。由于 x_1 是沿最低级位方向有移动 1 个位的参考点，需要实现又 1 个位的移动，因此，在实现系数 h_5 时需要移动位“1”。

延迟器 Di 将相应加法器的输出延迟一个单位时间，以获得输出信号(y)。延迟时间包括一个时钟周期。

如本发明的数字滤波器包括通过移位寄存器（200）的相应 8、6、3、1-位移位器与输出垂直公共子表达式“x_2”的抽头线 T2 共接的多个加法器 A9、A2、A3、A4、A6、A7、A8。

有利的是，由于图 2 所示的利用垂直公共子表达式方法的滤波器结构需要比传统滤波器结构（如图 1 所示）中加法器个数少 4 个的加法器个数，因此，实现加法器的个数减少了 30.8％。

图 7 示出了应用如本发明的数字滤波器的无线接收终端的 IF 数字信号处理器。参照图 7，模拟输入信号通过 RF 信号处理器 10 接收，并被输入到中频处理器 20，中频处理器 20 包括 A／D 转换器 22，乘法器 24、25，第一和第二低通滤波器（LPF）26、27，和第一和第二抽选器 28、29。

模拟信号由 A／D 转换器转换为含有预定位的数字样本，输出到第一和第二乘法器 24、25。乘法器 24、25 将数字样本分别与 $\cos\omega n$ 和 $\sin\omega n$ 相乘来混合它们，并且将混合信号提供给第一和第二低通滤波器（LPF）26、27。第一和第二低通滤波器 26、27 滤波给定频带中的混合信号，并且将滤波信号输出到相应抽选器 28、29。抽选器 28、29 抽选滤波后的中频信号，生为信号 I、

Q，并且将信号 I、Q 提供给基带处理器 30。基带处理器 30 对信号 I、Q 进行信道编码和信源编码。

例如，中频处理器 20 可以用图 8 所示的数字降频转换器（DFDC）来实现，图 8 示出了哈里斯半导体（Harris Semiconductor）公司的集为电路“HSP50214”。图 8 所示的电路包括 CIC 滤波器 2、CSD 滤波器 3 和并行滤波器 4，它们都与混合器 1 相连接。包括半带滤波器和可编程滤波器的 CSD 滤波器 3 可以用如本发明的垂直公共子表达式方法来实现，因为滤波器 3 必然需要高速和低功率操作。

例如，CDMA（码分多址）IS-95 中频终端的技术规范（由 Qualcomm 在 1995 年提出）是利用本发明的垂直公共子表达式方法实现的。这里，数字滤波器的抽样频率是 19.6608 MHz，通带频率和衰减量分别是 630 KHz 和 0.1 dB，和阻带频率和衰减量分别是 1.2288 MHz 和-40 dB。线性相位滤波器是利用基于该技术规范的 COSSAP FIR 滤波器设计工具设计的，从而实现了 73 个抽头的线性相位滤波器系数。

表 4 示出了上述 73 个滤波器系数当中，除了 36 个对称系数之外的 37 个系数的 24-位精度的 CSD 型系数。在表 4 中，“-1”被表示为“n”，列表示 h_0 到 h_{36} 的系数，以及行表示 2^{-1} 到 2^{-24} 的位。

表 4. 73 抽头 FIR 滤波器

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
0									n		n			n		1		1				n		
1										n			1		1							n		
2										n		1		n				1				1		n
3											n		n				n		1					1
4												N		n		1		n				n		
5												1		n		n				1		1		n
6										1		N				1			n		N		1	
7									1		n			n		n					N		N	
8									1					1		1			1			n		n
9									1		1		1		1				1		N			n
10								1		n				1				1		1		1		n
11								1		n		1			n		1			n		n		n
12								1		n				1				n				n		n
13									1		1					1			1		1			1
14									1		n		1		n		n		1		1		1	
15												1		1		n			n			n		1
16										n		N		n		1			1		n		1	
17								n		1				n				n		1		1		
18								n		n			1			1				n		1		n
19							n		1		n						1		n					
20							n					1				n		1				1		
21							n				n			1		n				n		1		1

22							n				n		1					n		1		1		1
23							n				1		1								1		1	
24							n		1		1		1		1		1			n				n
25									n			N			1		n					n		
26									1					n		n			n					
27							1			n							n				N			n
28						1		n		1		N		1		N					1		n	
29						1		1		n				1			1			n		n		
30					1		n		1		n						1		n			1		n
31					1							N					1			n		1		1
32					1		1		n		n				n		1		n			n		1
33					1		1		1			1		1		1		n					1	
34				1		n			n							1			1			n		1
35				1		n						1		1		1						1		
36				1		n				1			1				n		n			n		n

表 5 示出了利用表 4 的 CSD 系数当中的第 1 位到第 9 位生成的传统水平公共子表达式。表 6 示出了利用表 4 的 CSD 系数当中的第 1 位到第 9 位生成的垂直公共子表达式。

表 5. 传统公用子表达式（9 位）

	1	2	3	4	5	6	7	8	9	#
0									n	1
1										
2										
3										
4										
5										
6										
7									1	2
8									1	2
9									1	2
10								1		2
11								1		2
12								1		2
13									1	2
14									1	2
15										
16										
17								n		2
18								n		2
19							n		1	2
20							n			2
21							n			2
22							n			2
23							n			2
24							n		1	2
25									n	2
26									1	2
27							1			2
28						1		n		2
29						1		n		2
30					1		n		1	3

表 6. 垂直公用子表达式（9 位）

	1	2	3	4	5	6	7	8	9	#
0									n	1
1										
2										
3										
4										
5										
6										
7									1	
8									1	
9									1	2
10								1		
11								1		
12								1		2
13									1	
14									1	2
15										
16										
17								n		
18								n		2
19							n		1	2
20							n			
21							n			2
22							n			
23							n			
24							n		1	2
25									n	
26									1	2
27							1			2
28						1		n		
29						1		1		3
30					1		n		1	2
31					1					2
32					1		1		n	
33					1		1		1	3
34				1		n			n	2
35				1		n				3
36				1		n				1

31					1						2
32					1		1			n	3
33					1		1			1	3
34				1		n				n	3
35				1		n					2
36				1		n					1

由于在表 5 中传统水平公共子表达式是“101”和“10n”，因此，需要 2 个加法器来实现该公共子表达式。表 5 中的最后一列表示实现 CSD 线性相位滤波器的系数所需的加法器的个数，加法器的个数是 60。因此，实现公共子表达式和实现这些系数总共需要 60 个加法器。图 3A、3B 和 3C 示出了如图 5 所示的传统水平公共子表达式实现的 9-位 CSD 线性相位滤波器。

在表 6 中，垂直公共子表达式是“11”、“1n”、“111”和“1n1”，以及水平公共子表达式是“10n”，因此，需要 5 个加法器来实现 CSD 线性相位滤波器的公共子表达式。实现滤波器的加法器是 40 个加法器，其中 35 个加法器（如表 6 中的最后一列所示）用于实现滤波器的系数，5 个滤波器用于实现公共子表达式。图 4A 和 4B 示出了与图 2 所示的结构类似的、如本发明实现的 9-位 CSD 线性相位滤波器的结构。与图 3 所示的结构相比，图 4 所示的结构使加法器的个数减少到原来的 64.5％。

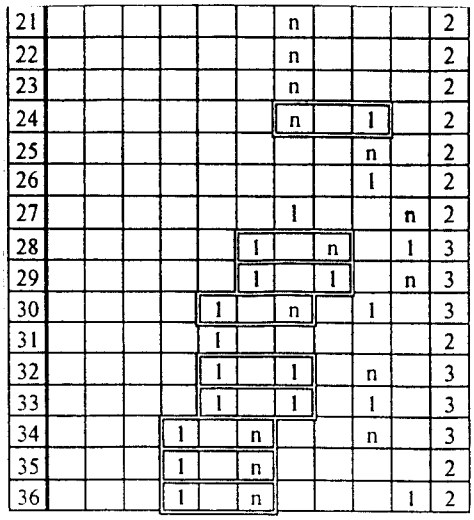
表 7 和 8 分别示出了用表 4 的 CSD 系数当中的第 1 位到第 10 位生成的传统水平公共子表达式和本发明的垂直公共子表达式。

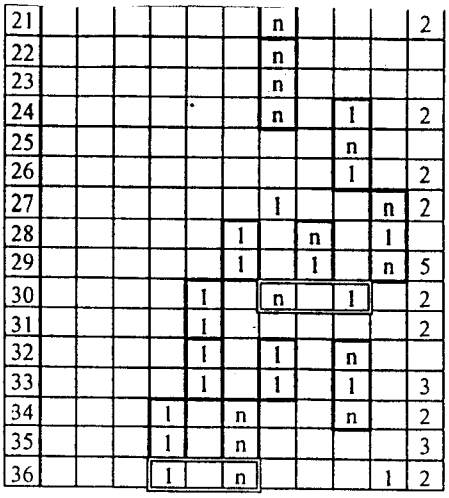
表 7. 传统公用子表达式（10-位）

	1	2	3	4	5	6	7	8	9	10	#
0									n		1
1										n	2
2										n	2
3											
4											
5											
6										1	2
7									1		2
8									1		2
9									1		2
10								1		n	2
11								1		n	2
12								1		n	2
13									1		2
14									1		2
15											
16										n	2
17								n		1	2
18								n		n	2
19							n		1		2
20							n				2

表 6. 垂直公用子表达式（10-位）

	1	2	3	4	5	6	7	8	9	10	#
0									n		1
1										n	
2										n	2
3											
4											
5											
6										1	2
7									1		
8									1		
9									1		2
10								1		n	
11								1		n	
12								1		n	3
13									1		
14									1		2
15											
16										n	
17								n		1	
18								n		n	3
19							n		1		2
20							n				





与表 5 中类似，在表 8 中也可以使加法器的个数减少。但是，在表 8 中与 h_{29} 相对应的行中，尽管要相加的对象的个数是 3，但是，因为非对称垂直公共子表达式“1n”包括对称垂直公共子表达式“11”，所以加法器的个数是 5。像“1n”、“10n”和“11nn”“那样的非对称垂直公共子表达式应该以其倒数的形式加入到延迟链的较低终端中。但是，当像 h_{29} 那样，非对称垂直公共子表达式包括对称垂直公共子表达式时，就不能以其倒数的形式将非对称公共子表达式加入到终端中。应该将子表达式分开加入到低终端中，致使需要附加的加法器。

图 6A、6B 和 6C 示出了用表 8 中的垂直公共子表达式实现的 10-位 CSD 线性相位滤波器的结构。图 5A 和 5B 示出了用表 7 中水平公共子表达式实现的 10-位 CSD 线性相位滤波器的结构。图 5 所示的滤波器需要 74 个加法器，而图 6 所示的滤波器需要 49 个加法器。因此，本发明的垂直公共子表达式方法使加法器的个数减少了 33.8％。

表 9 示出了当这些位的系数分别用传统水平公共子表达式方法和如本发明的垂直公共子表达式方法实现时，用于实现表 4 中的 9 位到 16 位的加法器的个数。如表 9 所示，用垂直公共子表达式方法实现的加法器的个数少于用水平公共子表达式方法实现的加法器的个数。如本发明的垂直公共子表达式

方法在实现较少的位数时，可以获得更高的效率。

表 9. 垂直公共子表达式方法相对于传统方法的加法器个数的减少率（73 个抽头）

	传统水平公共子表达式	本发明垂直公共子表达式	节约（%）
9 位	62	40	35.5
10 位	74	49	33.8
11 位	81	63	22.2
12 位	93	75	19.4
13 位	92	83	10.6
14 位	101	96	5
15 位	107	100	6.5
16 位	116	111	4.3

如本发明的另一个实施例，CDMA IS-95 中频终端的技术规范（由 Qualcomm 提出）是利用本发明的垂直公共子表达式方法实现的。这里，数字滤波器的抽样频率是 19.6608 MHz，通带频率和衰减量分别是 630 KHz 和 0.1 dB，和阻带频率和衰减量分别是 820 MHz 和-40 dB。滤波器利用 MATLAB FIR 滤波器设计工具设计以满足该技术规范的，从而实现了 219 个抽头的线性相位滤波器系数。总共 219 个滤波器系数当中，除了 109 个对称系数之外的其它 110 个系数被转换为 20 个位的 2 的补数型，然后用 CSD 型系数表示。

表 10 示出了当这些位的系数分别用传统水平公共子表达式方法和如本发明的垂直公共子表达式方法实现时，用于实现表 4 中的 9 位到 16 位的加法器的个数。如表 10 所示，位数越少，加法器个数的减少率就越大。

表 10. 垂直公共子表达式方法相对于传统方法的加法器个数的减少率（219 个抽头）

	传统水平公共子表达式	本发明垂直公共子表达式	节约（%）
9 位	108	56	48.15
10 位	153	80	47.71
11 位	203	116	44.76

12 位	223	136	39.01
13 位	226	172	27.12
14 位	248	193	22.18
15 位	270	227	15.93
16 位	288	244	15.28

总而言之，当 9 位到 16 位（表 4 中）的滤波器系数通过含有 73 个抽头（表 9）的 CSD 线性相位 FIR 滤波器实现时，垂直公共子表达式方法（利用 77 个加法器）相对于传统水平公共子表达式方法（利用 91 个加法器）的加法器个数的减少率是 15.3%。当 9 位到 16 位的滤波器系数通过含有 219 个抽头（表 10）的 CSD 线性相位 FIR 滤波器实现时，垂直公共子表达式方法（利用 153 个加法器）相对于传统水平公共子表达式方法（利用 215 个加法器）的加法器个数的减少率是 28.84%。本发明的垂直公共子表达式方法相对于传统水平公共子表达式方法的加法器个数的平均减少率是 22.11%。本发明的垂直公共子表达式方法的性能在高阶滤波器（也就是说，含有 219 个抽头）上比在低阶滤波器（也就是说，含有 73 个抽头）上更好。并且，如本发明垂直公共子表达式方法不仅可以应用在线性相位 FIR 滤波器中，而且可以应用在一般滤波器中。

如上所述，尽管在这里参照附图已经对示范性实施例作了描述，但是，应该明白，本发明不限于那些确切的实施例，本领域的普通技术人员可以作出各种各样的改变和修改，而不偏离本公开的范围或精神。所有这样的改变和修改都将包含在如所附权利要求书所述的本公开的范围之内。例如，可以如本发明的各种目的改变、修改、减少或增加滤波器抽头线和垂直公共子表达式的个数，以及可以将垂直公共子表达式和水平公共子表达式组合在一起来实现滤波器系数。另外，移位寄存器、加法器和延迟器除了用硬件来实现外，也可以由微处理器或数字信号处理器用软件来实现。

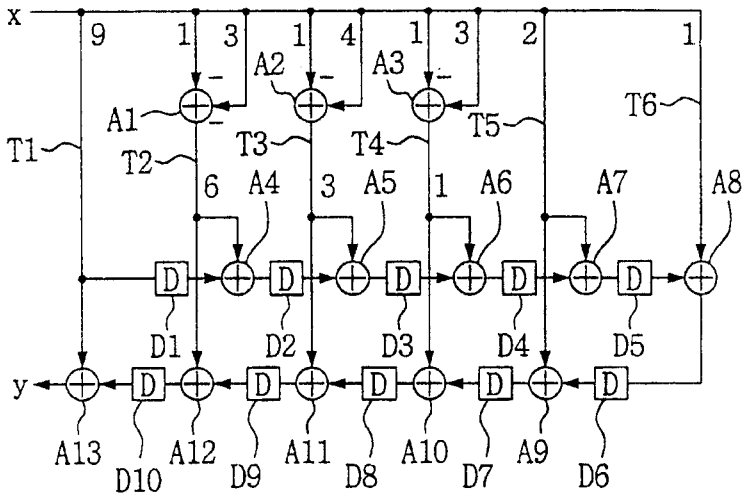

x
9
1
3
1
4
1
3
2
1
A1
A2
A3
T1
T2
T3
T4
T5
T6
6
A4
3
A5
1
A6
A7
A8
D
D1
D2
D3
D4
D5
y
A13
D10
A12
D9
A11
D8
A10
D7
A9
D6

图 1

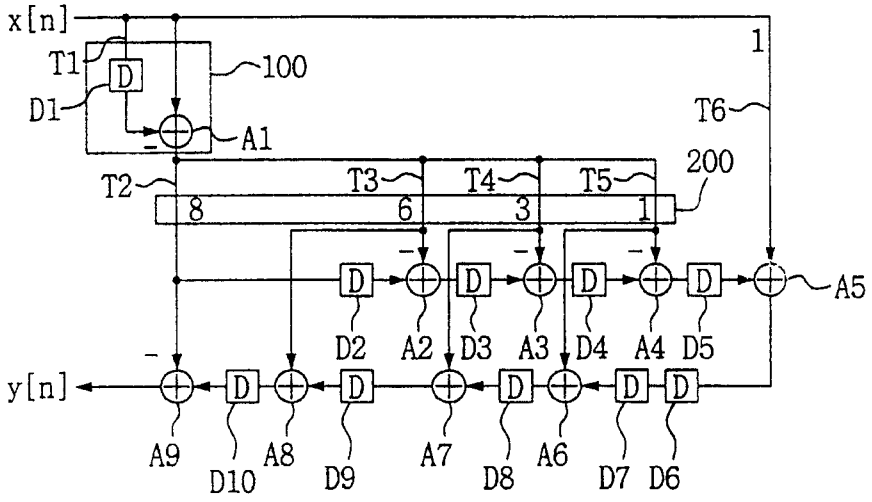

x[n]
T1
D1
100
1
T6
A1
T2
T3
T4
T5
200
8
6
3
1
D
A5
D2
A2
D3
A3
D4
A4
D5
y[n]
A9
D10
A8
D9
A7
D8
A6
D7
D6

图 2

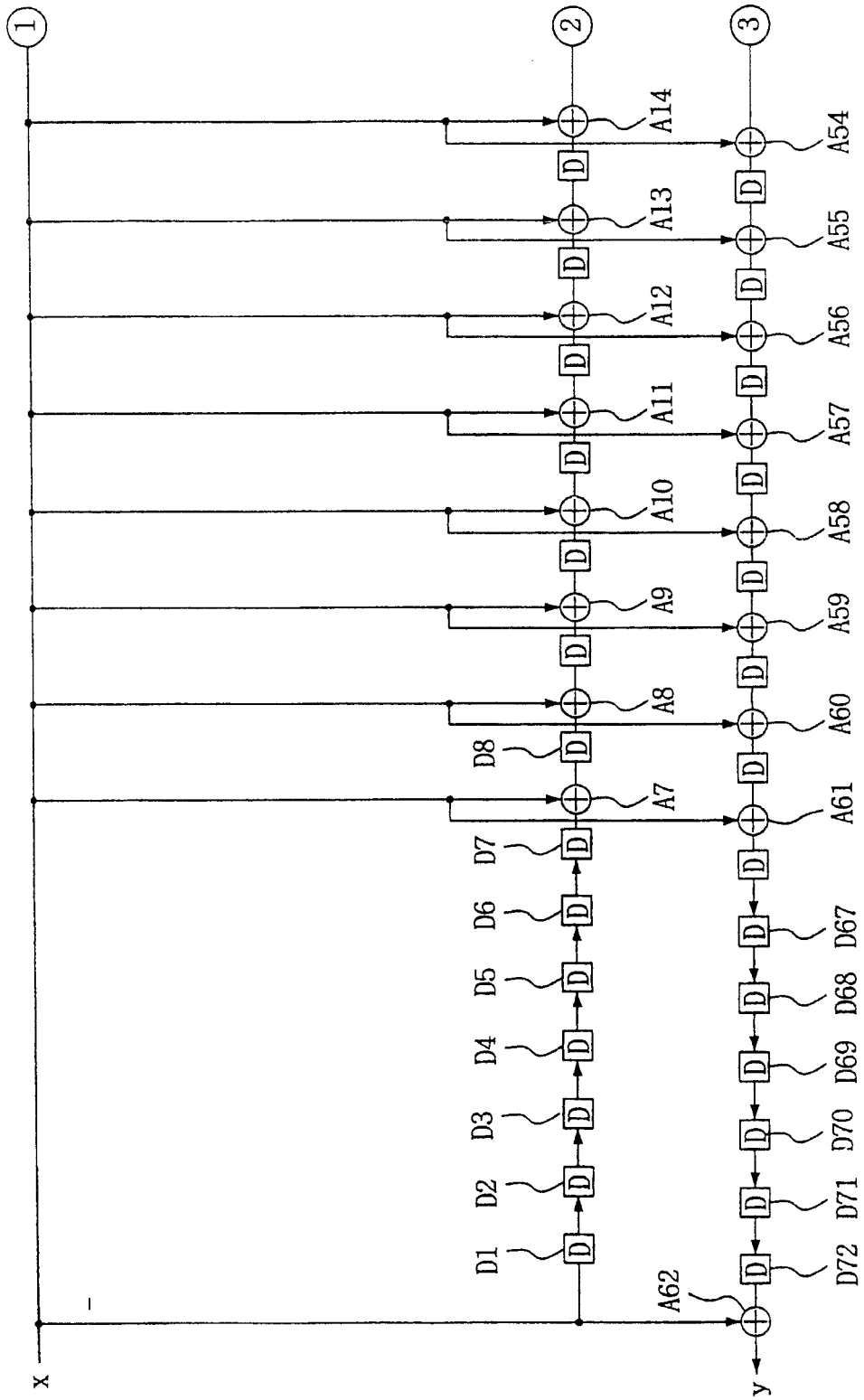

1
2
3
x
y
A14
A13
A12
A11
A10
A9
A8
A7
A62
A54
A55
A56
A57
A58
A59
A60
A61
D1
D2
D3
D4
D5
D6
D7
D8
D67
D68
D69
D70
D71
D72
D

图 3a

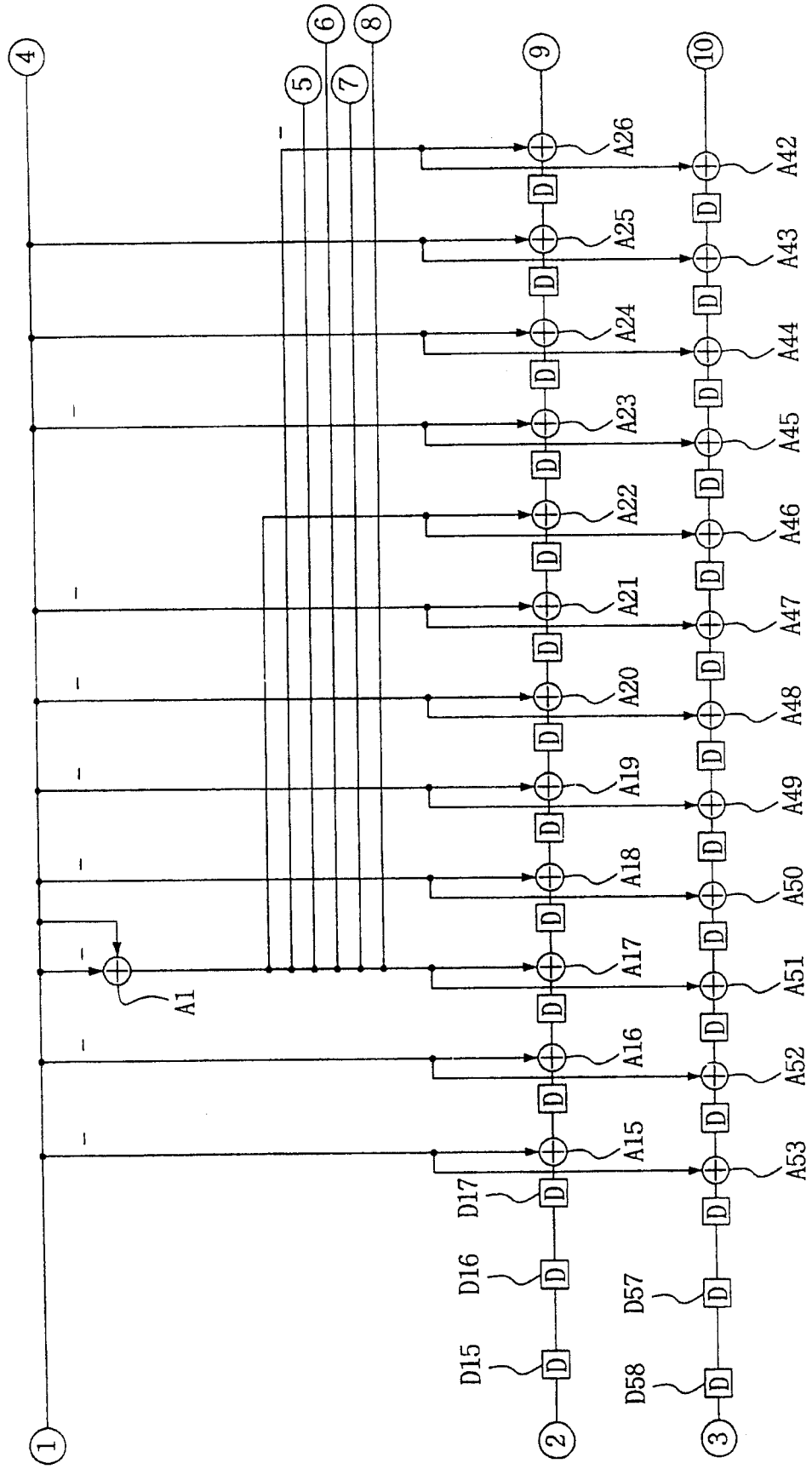

4
6
8
5
7
9
10
A26
A42
A25
A43
A24
A44
A23
A45
A22
A46
A21
A47
A20
A48
A19
A49
A18
A50
A17
A51
A16
A52
A15
A53
A1
D17
D16
D15
D57
D58
1
2
3
D

图 3b

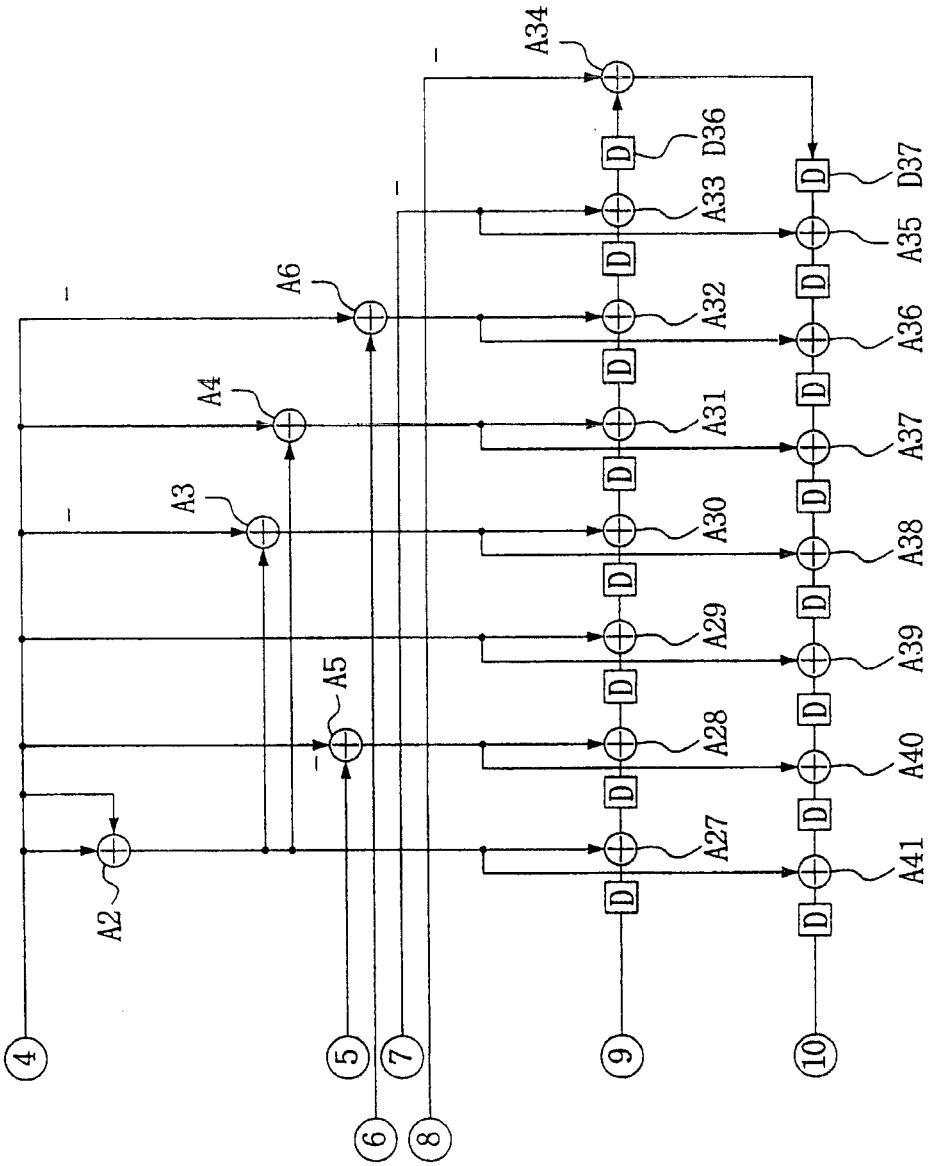

A2
A3
A4
A5
A6
A27
A28
A29
A30
A31
A32
A33
A34
A35
A36
A37
A38
A39
A40
A41
D36
D37
D
4
5
6
7
8
9
10

图 3c

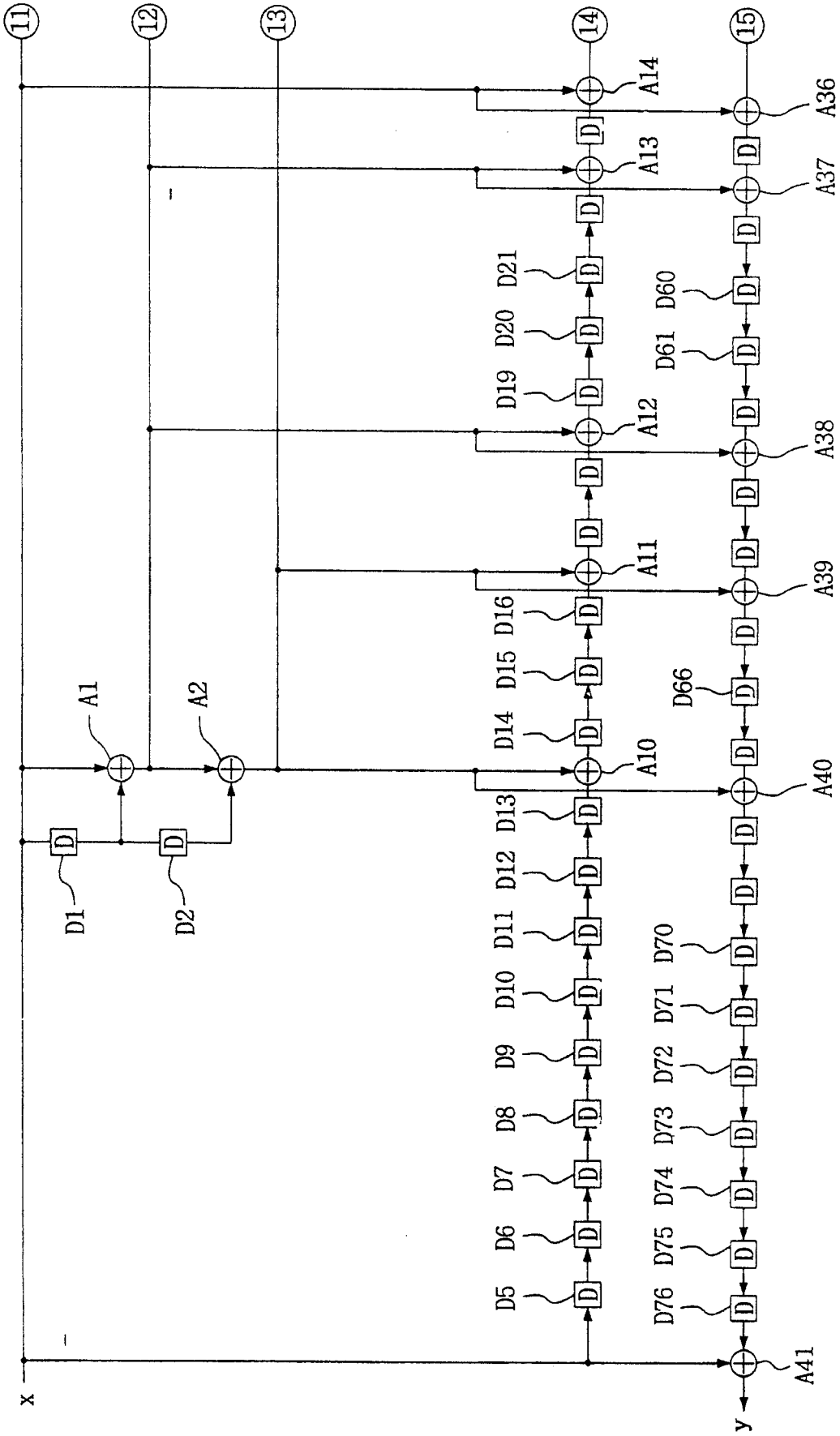

11
12
13
14
15
x
y
A1
A2
A10
A11
A12
A13
A14
A36
A37
A38
A39
A40
A41
D1
D2
D5
D6
D7
D8
D9
D10
D11
D12
D13
D14
D15
D16
D19
D20
D21
D60
D61
D66
D70
D71
D72
D73
D74
D75
D76
D

图 4a

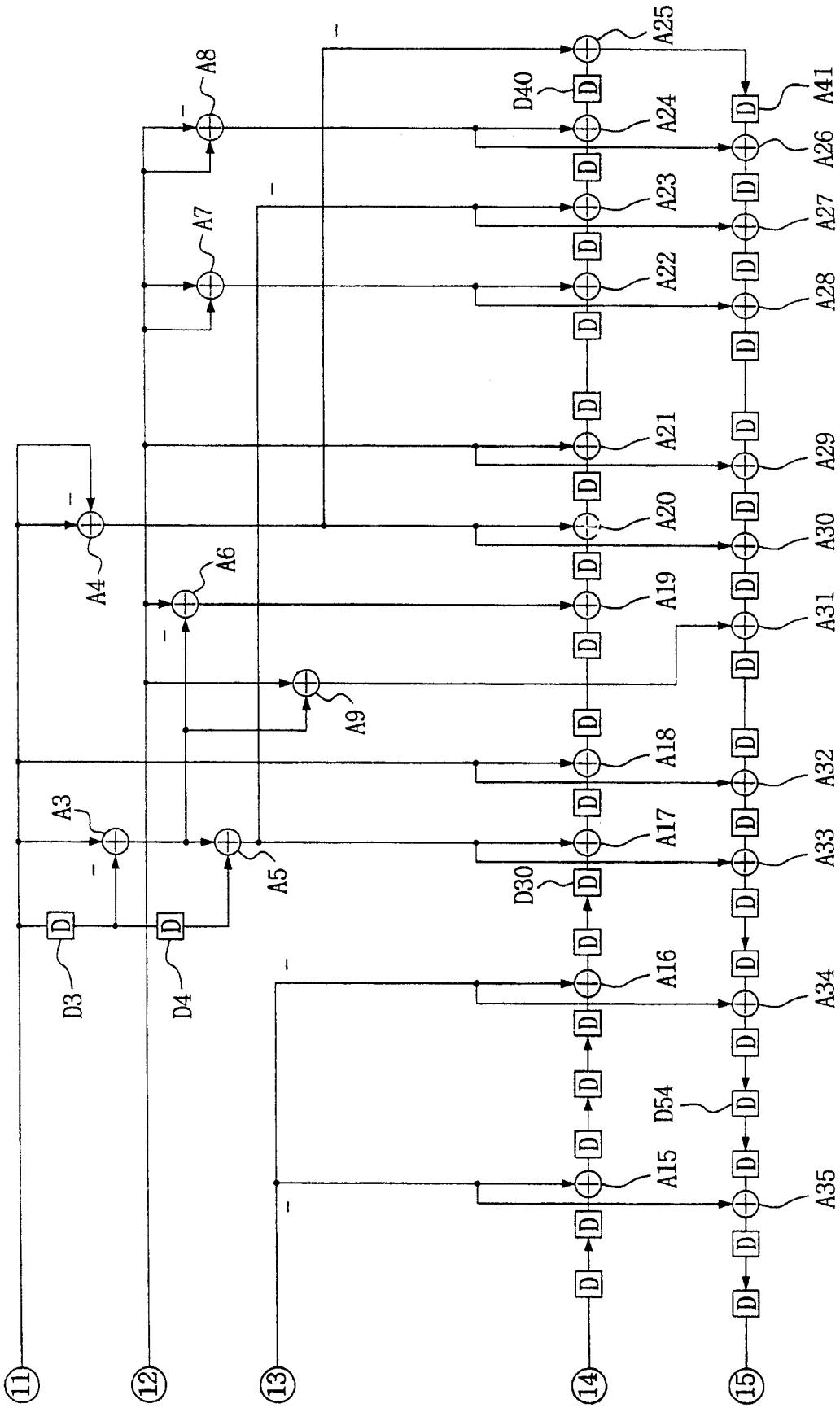

11
12
13
14
15
A3
A4
A5
A6
A7
A8
A9
A15
A16
A17
A18
A19
A20
A21
A22
A23
A24
A25
A26
A27
A28
A29
A30
A31
A32
A33
A34
A35
A41
D3
D4
D30
D40
D54
D
-

图 4b

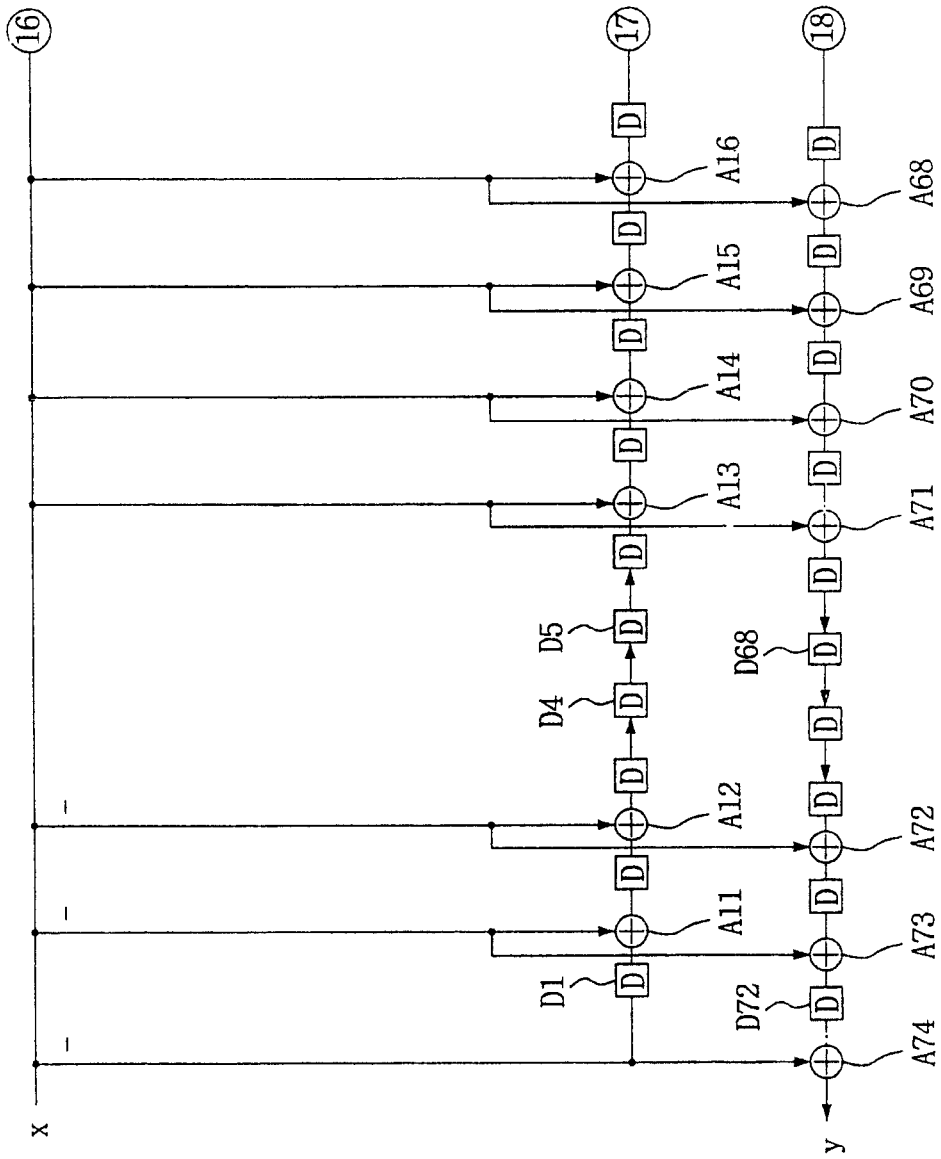

16
17
18
x
y
D
A16
A15
A14
A13
A12
A11
A68
A69
A70
A71
A72
A73
A74
D5
D4
D1
D68
D72

图 5a

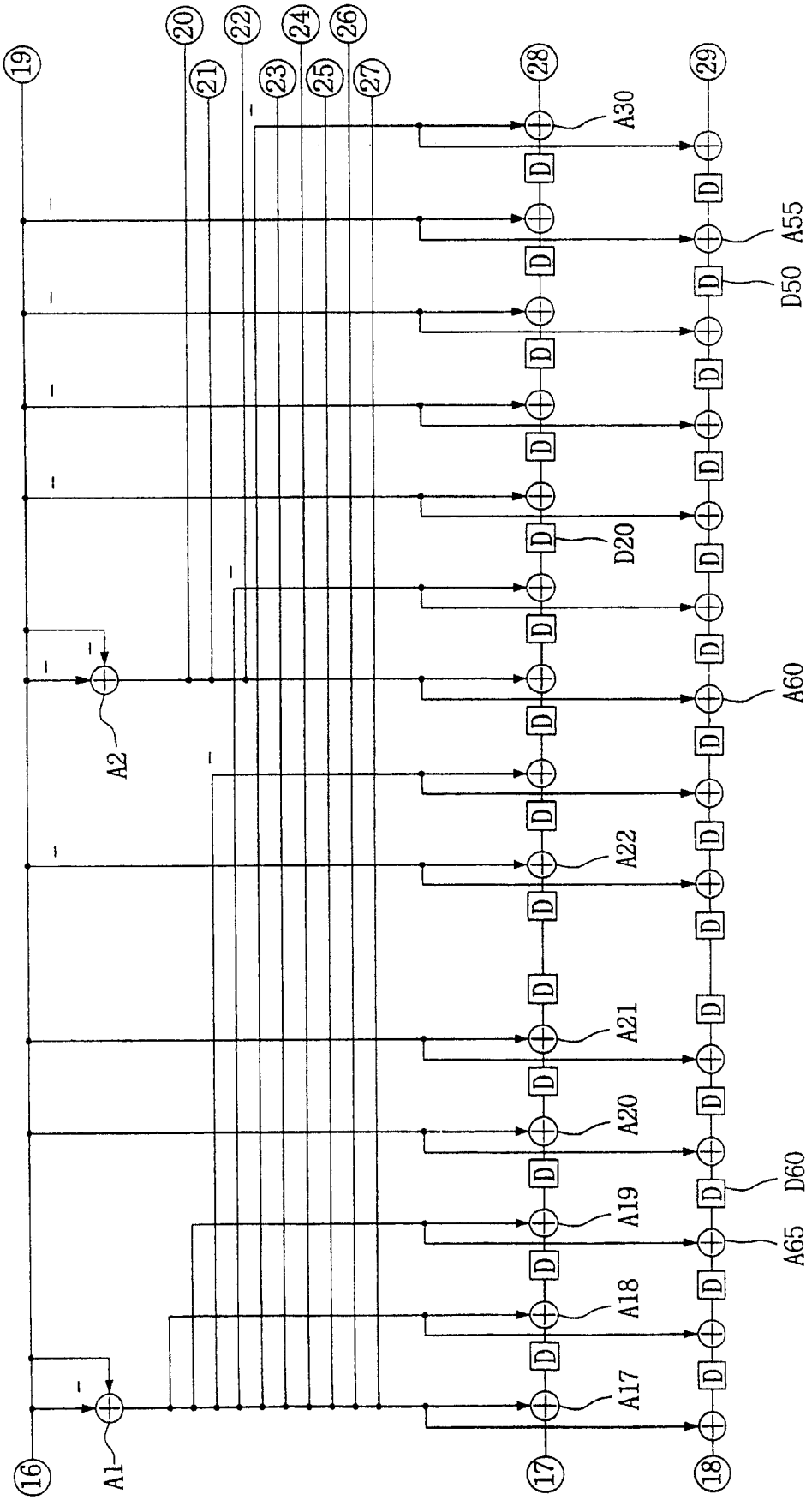

16
17
18
19
20
21
22
23
24
25
26
27
28
29
A1
A2
A17
A18
A19
A20
A21
A22
A30
A55
A60
A65
D20
D50
D60
D

图 5b

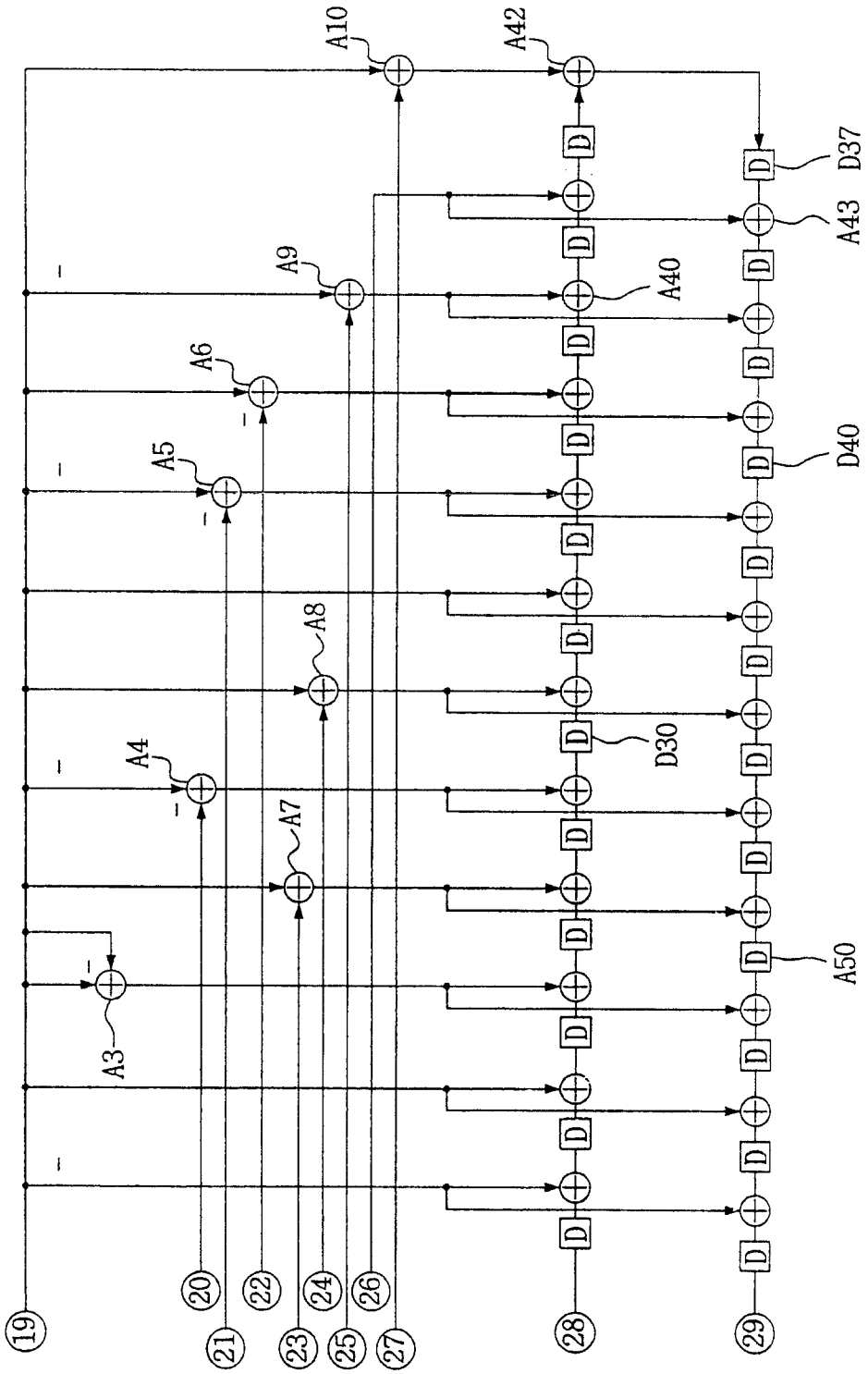

A10
A42
A9
A40
A6
A5
A8
A4
A7
A3
D37
A43
D40
D30
A50
19
20
21
22
23
24
25
26
27
28
29

图 5c

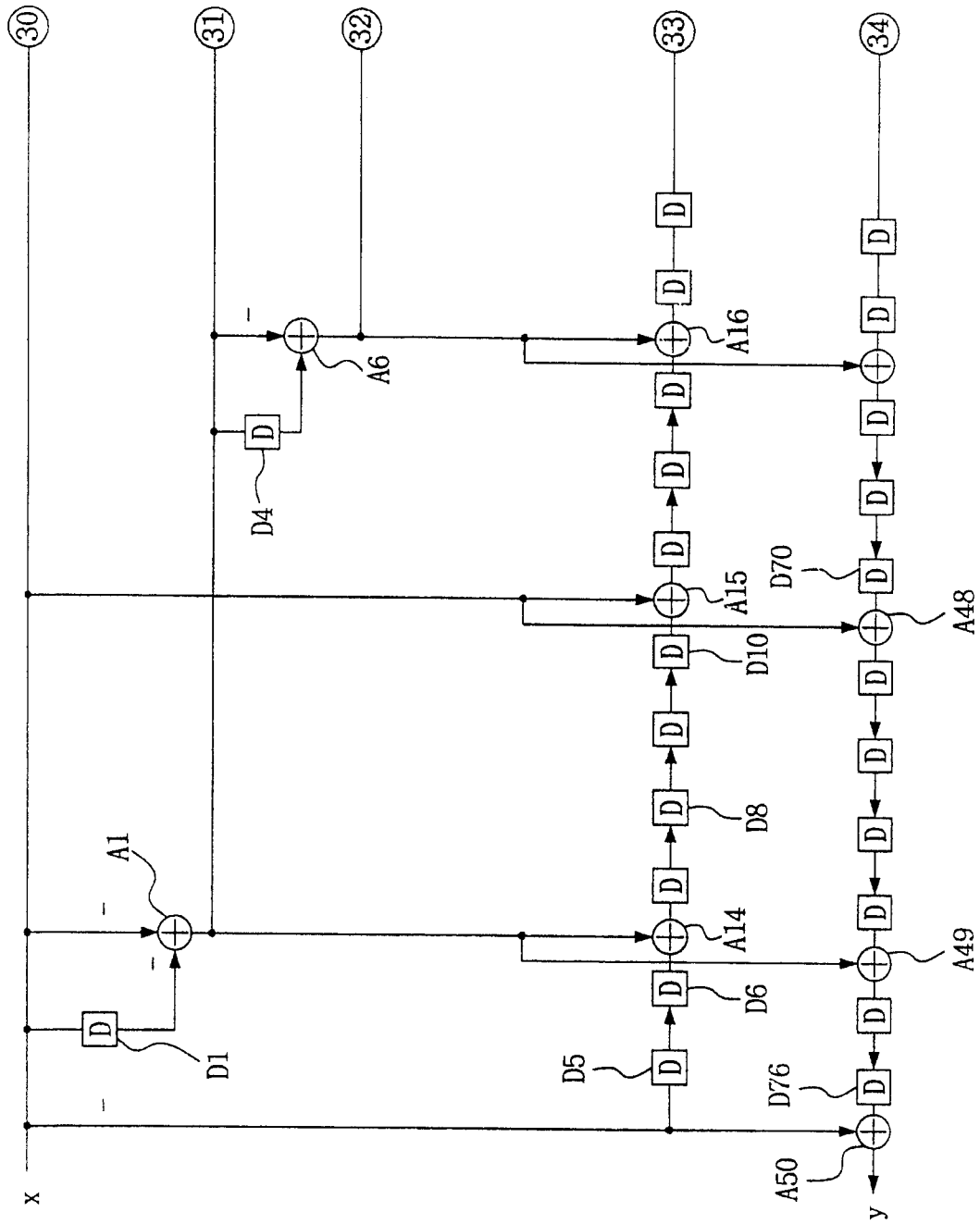

30
31
32
33
34
x
y
A1
A6
A16
A15
A14
A48
A49
A50
D1
D4
D5
D6
D8
D10
D70
D76
D

图 6a

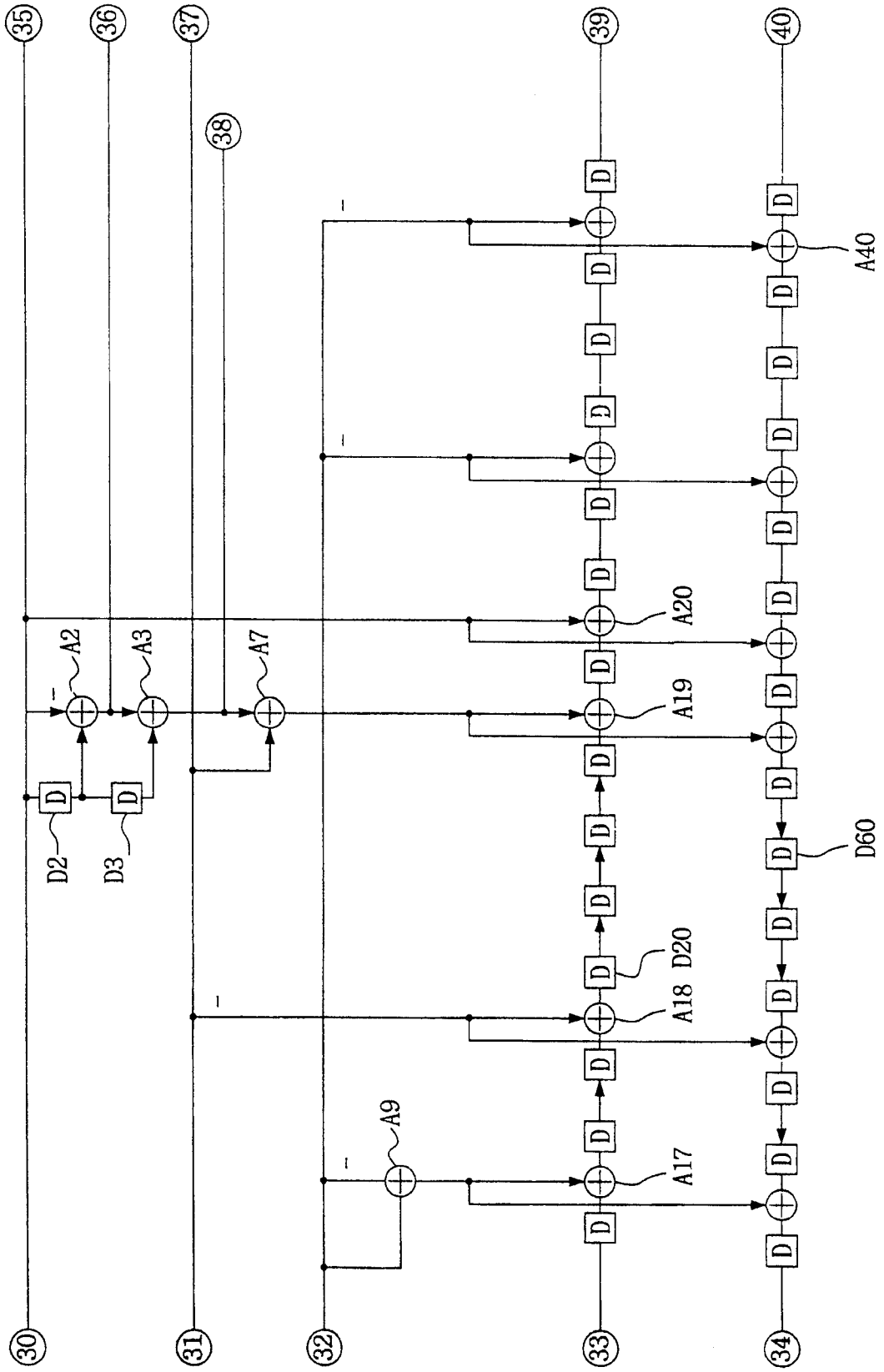

35
36
37
38
39
40
30
31
32
33
34
D
A2
A3
A7
A9
A17
A18
A19
A20
A40
D2
D3
D20
D60

图 6b

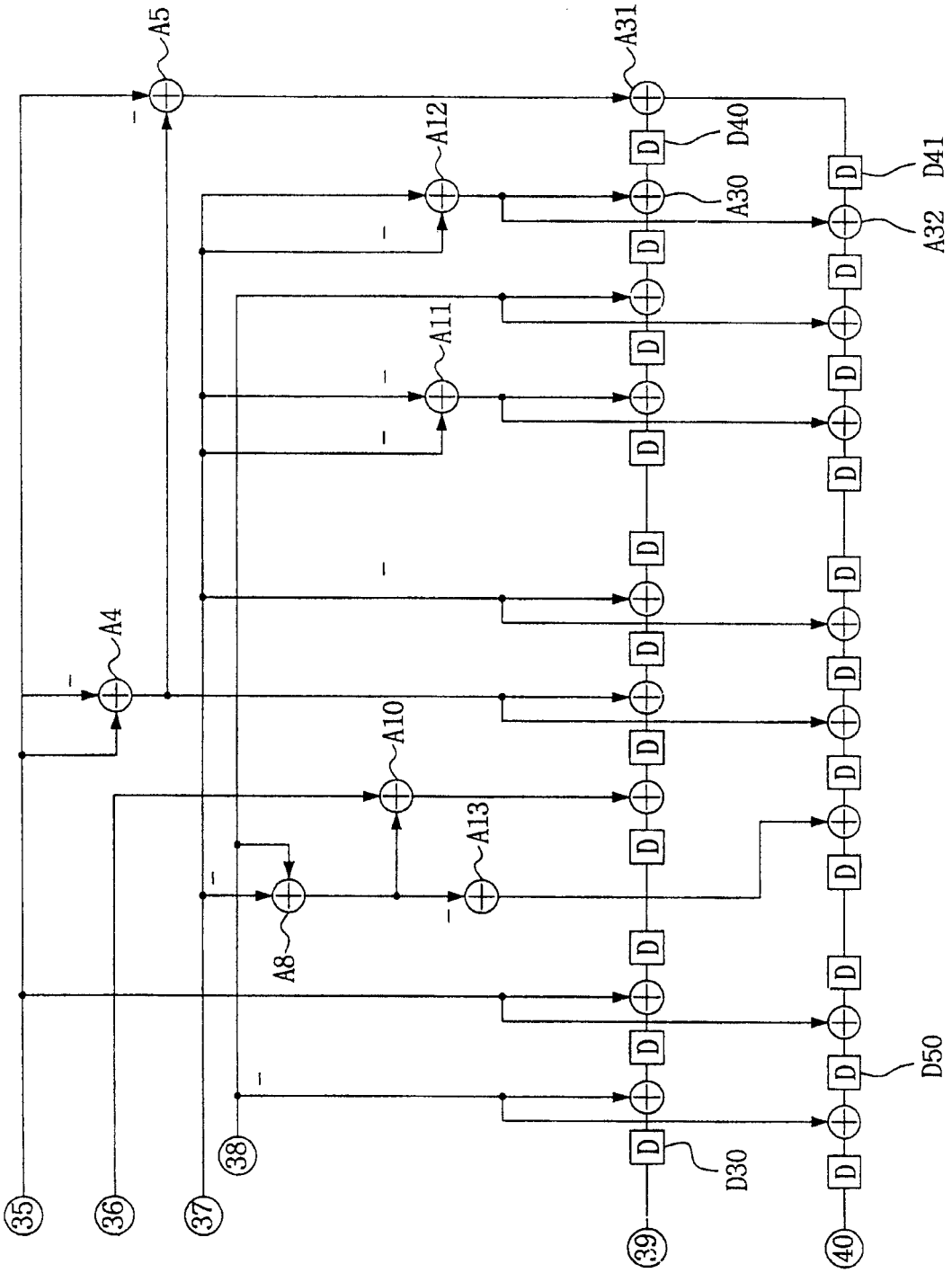

A5
A31
A12
D40
A30
D41
A32
A11
A4
A10
A13
A8
D50
D30
35
36
37
38
39
40
D

图 6c

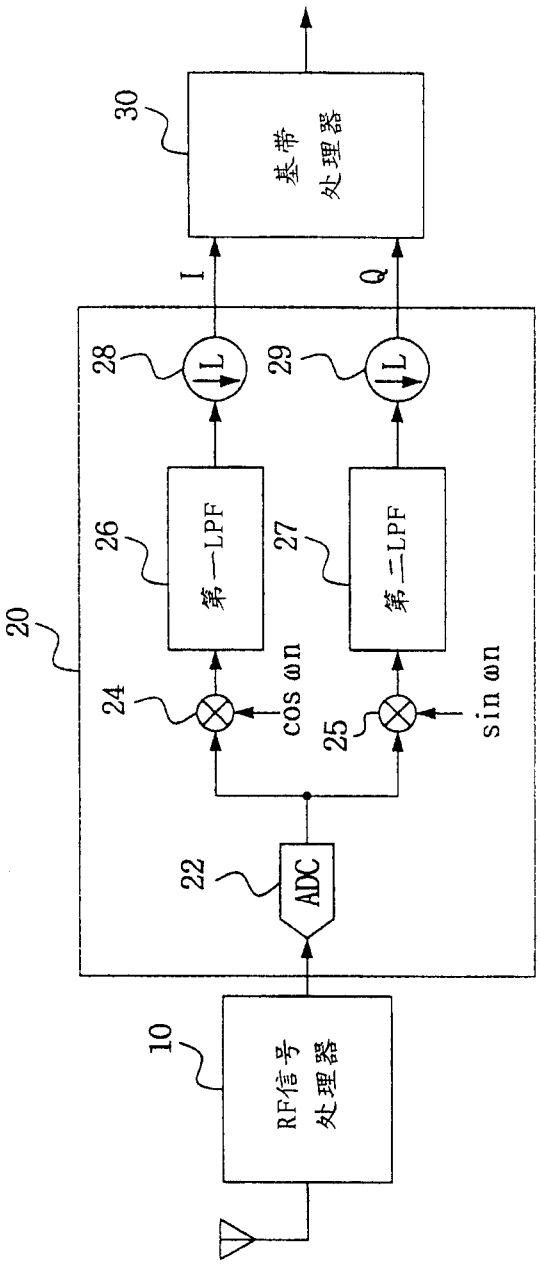

10
RF信号
处理器
20
22
ADC
24
25
cos ωn
sin ωn
26
第一LPF
27
第二LPF
28
29
I
Q
30
基带
处理器

图 7

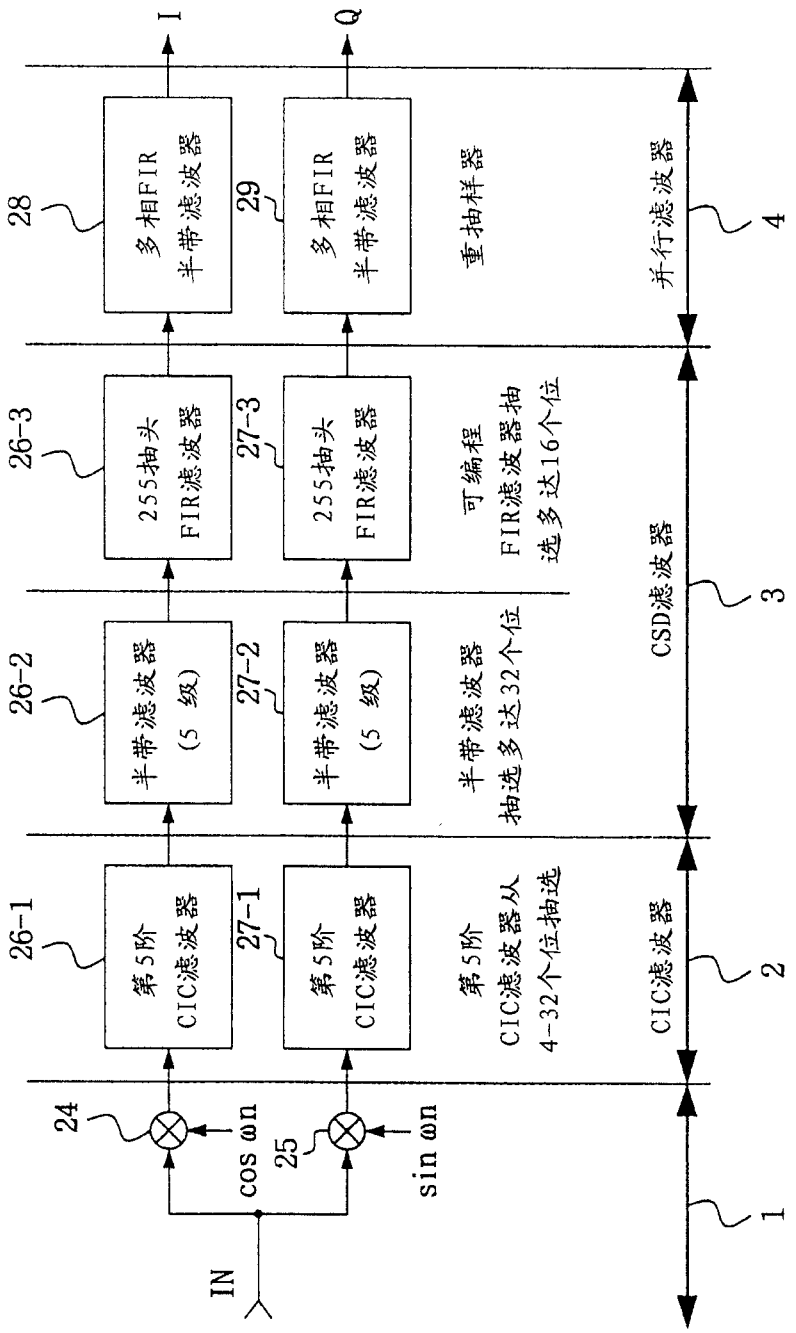

IN
24
cos ωn
25
sin ωn
26-1
第5阶
CIC滤波器
27-1
第5阶
CIC滤波器
26-2
半带滤波器
(5 级)
27-2
半带滤波器
(5 级)
26-3
255抽头
FIR滤波器
27-3
255抽头
FIR滤波器
28
多相FIR
半带滤波器
29
多相FIR
半带滤波器
I
Q
第5阶
CIC滤波器从
4-32个位抽选
半带滤波器
抽选多达32个位
可编程
FIR滤波器抽
选多达16个位
重抽样器
CIC滤波器
2
CSD滤波器
3
并行滤波器
4
1

图 8