

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2013-539952
(P2013-539952A)

(43) 公表日 平成25年10月28日(2013.10.28)

(51) Int.Cl.

HO3M 1/14 (2006.01)

F 1

HO3M 1/14

A

テーマコード(参考)

5 J 0 2 2

審査請求 未請求 予備審査請求 未請求 (全 19 頁)

(21) 出願番号 特願2013-534018 (P2013-534018)
 (86) (22) 出願日 平成23年10月14日 (2011.10.14)
 (85) 翻訳文提出日 平成25年6月4日 (2013.6.4)
 (86) 國際出願番号 PCT/US2011/056256
 (87) 國際公開番号 WO2012/051478
 (87) 國際公開日 平成24年4月19日 (2012.4.19)
 (31) 優先権主張番号 12/904,688
 (32) 優先日 平成22年10月14日 (2010.10.14)
 (33) 優先権主張国 米国(US)

(71) 出願人 390020248
 日本テキサス・インスツルメンツ株式会社
 東京都新宿区西新宿六丁目24番1号
 (71) 出願人 507107291
 テキサス インスツルメンツ インコーポ
 レイテッド
 アメリカ合衆国 テキサス州 75265
 -5474 ダラス メイル ステイショ
 ン 3999 ピーオーボックス 655
 474
 (74) 上記1名の代理人 100098497
 弁理士 片寄 恒三

最終頁に続く

(54) 【発明の名称】 3 レベルD A C 要素を有するパイプラインA D C

(57) 【要約】

パイプラインアナログデジタルコンバータ(ADC)が、3状態デジタルアナログコンバータ(DAC)スイッチ又は部分を含む。例示のDAC300は論理回路要素304及び3状態DACスイッチ302-1~302-kを有する。動作において、前記論理回路要素304は、ADCから制御ワードを受け取り、各3状態スイッチに対し複数の制御信号を生成する。これらのスイッチは、トランジスタ及び電流源を含み得、そのため、これらのスイッチは、これらの制御信号に基づいて「+1」、「-1」又は「0」論理状態を生成することができる。

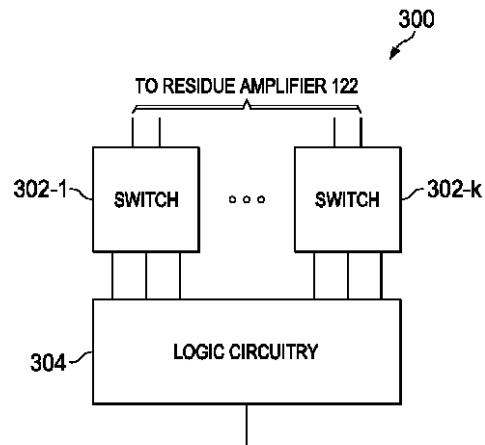


FIG. 3

【特許請求の範囲】

【請求項 1】

装置であって、
論理回路を含み、
前記論理回路が、
制御ワードを受け取り、前記制御ワードから複数の制御信号を生成するデコーダと、
前記制御信号の少なくとも1つを受け取るように各々前記デコーダに結合される複数のプリドライバと、
各々前記プリドライバの少なくとも1つに結合される複数の3状態デジタルアナログコンバータ(DAC)スイッチと、
を含む、装置。

【請求項 2】

請求項1に記載の装置であって、前記複数の3状態DACスイッチの各々が、
電流源、
前記電流源及び関連するプリドライバに結合される第1のトランジスタであって、前記関連するプリドライバが前記第1のトランジスタを制御する、前記第1のトランジスタ、
前記電流源及び前記関連するプリドライバに結合される第2のトランジスタであって、前記関連するプリドライバが前記第2のトランジスタを制御する、前記第2のトランジスタ、及び
前記電流源及び接地間に結合され、前記関連するプリドライバに結合される第3のトランジスタであって、前記関連するプリドライバが前記第3のトランジスタを制御する、前記第3のトランジスタ、
を更に含む、装置。

【請求項 3】

請求項2に記載の装置であって、前記第1、第2、及び第3のトランジスタがNPNトランジスタであり、前記第1、第2、及び第3のトランジスタの各々が、エミッタで前記電流源に及びそのベースで前記関連するプリドライバに結合される、装置。

【請求項 4】

請求項1に記載の装置であって、各プリドライバが、
第1の電流源、
第2の電流源、
第1の電流源に及び前記デコーダに結合されるトランジスタの差動対の第1のカスケードされたセット、及び
第1の電流源に及び前記デコーダに結合されるトランジスタの差動対の第2のカスケードされたセット、
を更に含む、装置。

【請求項 5】

請求項4に記載の装置であって、前記第1のカスケードされたセットが、
そのベースで前記デコーダに及びそのコレクタで関連する3状態DACスイッチに結合される第1のバイポーラトランジスタ、
そのベースで前記デコーダに及びそのコレクタで前記関連する3状態DACスイッチに結合される第2のバイポーラトランジスタ、
そのベースで前記デコーダに、そのコレクタで前記第1及び第2のバイポーラトランジスタのエミッタに、及びそのエミッタで前記第1の電流源に結合される第3のバイポーラトランジスタ、及び
そのベースで前記デコーダに、そのコレクタで前記関連する3状態DACスイッチに、及びそのエミッタで前記第1の電流源に結合される第4のバイポーラトランジスタ、
を更に含む、装置。

【請求項 6】

請求項5に記載の装置であって、前記第2のカスケードされたセットが、

10

20

30

40

50

そのベースで前記デコーダに及びそのコレクタで前記関連する3状態D A Cスイッチに結合される第5のバイポーラトランジスタ、

そのベースで前記デコーダに及びそのコレクタで前記関連する3状態D A Cスイッチに結合される第6のバイポーラトランジスタ、

そのベースで前記デコーダに、そのコレクタで前記第5及び第6のバイポーラトランジスタのエミッタに、及びそのエミッタで前記第2の電流源に結合される第7のバイポーラトランジスタ、及び

そのベースで前記デコーダに、そのコレクタで前記関連する3状態D A Cスイッチに、及びそのエミッタで前記第2の電流源に結合される第8のバイポーラトランジスタ、

を更に含む、装置。

10

【請求項7】

装置であって、
デジタル出力回路と、
シーケンスに共に結合される複数のアナログデジタルコンバータ（A D C）ステージを有するパイプラインと、

を含み、

各A D Cステージが、

トラックアンドホールド（T / H）回路、

前記T / H回路に及び前記デジタル出力回路に結合されるサブA D C、

前記サブA D Cに結合されるD A Cであって、

20

前記サブA D Cに結合されるデコーダと、

各々前記デコーダに結合される、複数のプリドライバと、

各々前記プリドライバの少なくとも1つに結合される、複数の3状態D A Cスイッチと、

、
を含む、前記D A C、及び

前記D A C及び前記T / H回路に結合される残差増幅器、

を含む、装置。

【請求項8】

請求項7に記載の装置であって、前記複数の3状態D A Cスイッチの各々が、
電流源、

30

前記電流源及び関連するプリドライバに結合される第1のトランジスタであって、前記関連するプリドライバが前記第1のトランジスタを制御する、前記第1のトランジスタ、

前記電流源及び前記関連するプリドライバに結合される第2のトランジスタであって、前記関連するプリドライバが前記第2のトランジスタを制御する、前記第2のトランジスタ、及び

前記電流源及び接地間に結合され、前記関連するプリドライバに結合される第3のトランジスタであって、前記関連するプリドライバが前記第3のトランジスタを制御する、前記第3のトランジスタ、

を更に含む、装置。

40

【請求項9】

請求項8に記載の装置であって、前記第1、第2、及び第3のトランジスタがN P Nトランジスタであり、前記第1、第2、及び第3のトランジスタの各々が、エミッタで前記電流源に及びそのベースで前記関連するプリドライバに結合される、装置。

【請求項10】

請求項7に記載の装置であって、各プリドライバが、

第1の電流源、

第2の電流源、

第1の電流源に及び前記デコーダに結合されるトランジスタの差動対の第1のカスケードされたセット、及び

第1の電流源に及び前記デコーダに結合されるトランジスタの差動対の第2のカスケードされたセット、

50

ドされたセット、
を更に含む、装置。

【請求項 1 1】

請求項 1 0 に記載の装置であって、前記第 1 のカスケードされたセットが、
そのベースで前記デコーダに及びそのコレクタで関連する 3 状態 D A C スイッチに結合
される第 1 のバイポーラトランジスタ、

そのベースで前記デコーダに及びそのコレクタで前記関連する 3 状態 D A C スイッチに
結合される第 2 のバイポーラトランジスタ、

そのベースで前記デコーダに、そのコレクタで前記第 1 及び第 2 のバイポーラトランジ
スタのエミッタに、及びそのエミッタで前記第 1 の電流源に結合される第 3 のバイポーラ
トランジスタ、及び

そのベースで前記デコーダに、そのコレクタで前記関連する 3 状態 D A C スイッチに、
及びそのエミッタで前記第 1 の電流源に結合される第 4 のバイポーラトランジスタ、
を更に含む、装置。

【請求項 1 2】

請求項 1 1 に記載の装置であって、前記第 2 のカスケードされたセットが、

そのベースで前記デコーダに及びそのコレクタで前記関連する 3 状態 D A C スイッチに
結合される第 5 のバイポーラトランジスタ、

そのベースで前記デコーダに及びそのコレクタで前記関連する 3 状態 D A C スイッチに
結合される第 6 のバイポーラトランジスタ、

そのベースで前記デコーダに、そのコレクタで前記第 5 及び第 6 のバイポーラトランジ
スタのエミッタに、及びそのエミッタで前記第 2 の電流源に結合される第 7 のバイポーラ
トランジスタ、及び

そのベースで前記デコーダに、そのコレクタで前記関連する 3 状態 D A C スイッチに、
及びそのエミッタで前記第 2 の電流源に結合される第 8 のバイポーラトランジスタ、
を更に含む、装置。

【請求項 1 3】

請求項 1 2 に記載の装置であって、前記パイプラインが、

アナログ入力信号を受け取り、前記シーケンスの最初の A D C ステージに結合されるバ
ッファ、及び

各々前記シーケンスの最後の A D C ステージに及び前記デジタル出力回路に結合される
複数の出力 A D C、

を更に含む、装置。

【請求項 1 4】

装置であって、
デジタル出力信号を生成するデジタル出力回路と、

アナログ入力信号を受け取るバッファと、

シーケンスに共に結合される複数の A D C ステージであって、前記シーケンスの最初の
A D C ステージが前記バッファに結合され、各 A D C ステージが、

T / H 回路、

前記 T / H 回路に及び前記デジタル出力回路に結合されるサブ A D C、

前記サブ A D C に結合される D A C であって、前記 D A C が、前記サブ A D C に結合さ
れるデコーダと、複数のプリドライバとを含む、前記 D A C であって、

各プリドライバが、

第 1 の電流源と、

第 2 の電流源と、

第 1 の電流源に及び前記デコーダに結合されるトランジスタの差動対の第 1 のカスケ
ドされたセットと、

第 1 の電流に及び前記デコーダに結合されるトランジスタの差動対の第 2 のカスケード
されたセットと、

10

20

30

40

50

を含む、前記複数のプリドライバ、及び
複数の3状態D A Cスイッチ、
を含む、前記複数のA D Cステージであって、
各3状態D A Cが、
電流源、

前記電流源及び関連するプリドライバに結合される第1のトランジスタであって、前記関連するプリドライバが前記第1のトランジスタを制御する、前記第1のトランジスタ、

前記電流源及び前記関連するプリドライバに結合される第2のトランジスタであって、前記関連するプリドライバが前記第2のトランジスタを制御する、前記第2のトランジスタ、及び

前記電流源と接地との間に結合され、且つ前記関連するプリドライバに結合される第3のトランジスタであって、前記関連するプリドライバが前記第3のトランジスタを制御する、前記第3のトランジスタ、

を含む、前記複数の3状態D A Cスイッチ、

を含む、前記複数のA D Cステージと、

各3状態D A Cスイッチ及び前記T / H回路から前記第1及び第2のトランジスタに結合される残差増幅器と、

前記シーケンスの最後のA D Cステージ及び前記デジタル出力回路に結合される出力A D Cと、

を含む、装置。

【請求項15】

請求項14に記載の装置であって、前記第1、第2、及び第3のトランジスタがバイポーラトランジスタであり、前記第1、第2、及び第3のトランジスタの各々が、エミッタで前記電流源に及びベースで前記関連するプリドライバに結合される、装置。

【請求項16】

請求項14に記載の装置であって、前記第1のカスケードされたセットが、
そのベースで前記デコーダに及びそのコレクタで関連する3状態D A Cスイッチに結合される第1のバイポーラトランジスタ、

そのベースで前記デコーダに及びそのコレクタで前記関連する3状態D A Cスイッチに結合される第2のバイポーラトランジスタ、

そのベースで前記デコーダに、そのコレクタで前記第1及び第2のバイポーラトランジスタのエミッタに、及びそのエミッタで前記第1の電流源に結合される第3のバイポーラトランジスタ、及び

そのベースで前記デコーダに、そのコレクタで前記関連する3状態D A Cスイッチに、及びそのエミッタで前記第1の電流源に結合される第4のバイポーラトランジスタ、

を更に含む、装置。

【請求項17】

請求項16に記載の装置であって、前記第2のカスケードされたセットが、
そのベースで前記デコーダに及びそのコレクタで前記関連する3状態D A Cスイッチに結合される第5のバイポーラトランジスタ、

そのベースで前記デコーダに及びそのコレクタで前記関連する3状態D A Cスイッチに結合される第6のバイポーラトランジスタ、

そのベースで前記デコーダに、そのコレクタで前記第5及び第6のバイポーラトランジスタのエミッタに、及びそのエミッタで前記第2の電流源に結合される第7のバイポーラトランジスタ、及び

そのベースで前記デコーダに、そのコレクタで前記関連する3状態D A Cスイッチに、及びそのエミッタで前記第2の電流源に結合される第8のバイポーラトランジスタ、

を更に含む、装置。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

【0001】

本願は、全般的にパイプラインアナログデジタルコンバータ（ADC）に関し、更に特定して言えば、3レベル又は3状態デジタルアナログコンバータ（DAC）セグメント又はスイッチを有するパイプラインADCに関連する。

【背景技術】

【0002】

図1は、従来のパイプラインADC100の一例を図示する。ADC100は全般的に、デジタル出力信号DOUTが生成され得るように、デジタル信号をデジタル出力回路106に提供するパイプライン（これはアナログ入力信号AINを受け取る）を含む。このパイプラインは全般的に、バッファ108、出力ADC104、及びADCステージ102-1~102-N（これらは、概してシーケンスに配される）で構成される。ADCステージ102-1~102-Nの各々は全般的に、トラックアンドホールド（T/H）回路112、サブADC118、DAC120、及び残差増幅器122を含む。動作において、この例に示すように、T/H回路112は、各ADCステージ102-1~102-Nに対し、入力信号（即ち、信号AIN又は前のステージからの残差）及びその信号をクロック信号CLKに基づいてサンプリングする。サブADC118（これはクロック信号CLKも用いる）は、このサンプルをデジタル信号に変換し、これがデジタル出力回路106及びDAC120に供給される。その後、残差増幅器122が、（T/H回路112からの）サンプリングされた信号とDAC120からの出力との間の差を増幅し、この差は、残差信号又はそのステージの残差である。その後、シーケンスの最後のADCステージ102-Nが、その残差を出力ADC104に供給し、これは、デジタル信号をデジタル出力回路106に供給する。

10

20

30

【0003】

図2は、DAC120nの更に詳細な例を示す。典型的に、サブADC118は 2^n 個のレベルを有する粗ADCであり、これは、制御ワードをDAC120に提供できる。この制御ワードは、 2^n 個のレベルで符号化されたサーモメータコードであり得、DACスイッチ202-1~202-Rを制御するために用いることができる（ここで、各スイッチ202-1~202-Rは、「+1」又は「-1」を生成することができる）。これを達成するには、制御信号（これらは、概して制御ワードから導き出される）が、電流が「+1」又は「-1」経路を介して（それぞれの電流源204-1~204-Rを介して）ソースされ得るようにトランジスタQ1~QUR及びQD1~QDRに供給され得る。しかし、問題は、DAC120に対するコードに関わらず、電流源204-1~204-Rからのノイズが、残差増幅器122の出力で見られ得る点である。

40

【0004】

改善された性能を備えたDACが求められている。

【0005】

幾つかの他の従来の回路は下記文献に記載されている。

【特許文献1】米国特許番号第6,369,744号

【特許文献2】米国特許番号第6,373,418号

【特許文献3】米国特許番号第6,587,060号

40

【発明の概要】

【0006】

本発明の原理を実装する例示の一実施例は、制御ワードを受け取り、制御ワードから複数の制御信号を生成するデコーダと、制御信号の少なくとも1つを受け取るように各々デコーダに結合される複数のプリドライバと、各々前記プリドライバの少なくとも1つに結合される複数の3状態デジタルアナログコンバータ（DAC）スイッチを含む論理回路とを備えた装置の形式を取る。

【0007】

一例に従って、複数の3状態DACスイッチの各々が、電流源、電流源及び関連するプリドライバに結合される第1のトランジスタであって、前記関連するプリドライバが第1

50

のトランジスタを制御する、第1のトランジスタ、電流源及び前記関連するプリドライバに結合される第2のトランジスタであって、前記関連するプリドライバが第2のトランジスタを制御する、第2のトランジスタ、及び電流源及び接地間に結合され、前記関連するプリドライバに結合される第3のトランジスタであって、前記関連するプリドライバが第3のトランジスタを制御する、第3のトランジスタを更に含む。

【0008】

例示の一実施例に従って、第1、第2、及び第3のトランジスタがNPNトランジスタであり、第1、第2、及び第3のトランジスタの各々が、エミッタで電流源に及びそのベースで関連するプリドライバに結合される。

【0009】

例示の一実施例に従って、各プリドライバが、第1の電流源、第2の電流源、第1の電流源に及び前記デコーダに結合されるトランジスタの差動対の第1のカスケードされたセットと、第1の電流源に及び前記デコーダに結合されるトランジスタの差動対の第2のカスケードされたセットとを更に含む。

【0010】

例示の一実施例に従って、第1のカスケードされたセットが、そのベースで前記デコーダに及びそのコレクタで関連する3状態DACスイッチに結合される第1のバイポーラトランジスタ、そのベースで前記デコーダに及びそのコレクタで前記関連する3状態DACスイッチに結合される第2のバイポーラトランジスタ、そのベースで前記デコーダに、そのコレクタで前記第1及び第2のバイポーラトランジスタのエミッタに、及びそのエミッタで前記第1の電流源に結合される第3のバイポーラトランジスタ、及びそのベースで前記デコーダに、そのコレクタで前記関連する3状態DACスイッチに、及びそのエミッタで前記第1の電流源に結合される第4のバイポーラトランジスタを更に含む。

【0011】

例示の一実施例に従って、第2のカスケードされたセットが、そのベースで前記デコーダに及びそのコレクタで前記関連する3状態DACスイッチに結合される第5のバイポーラトランジスタ、そのベースで前記デコーダに及びそのコレクタで前記関連する3状態DACスイッチに結合される第6のバイポーラトランジスタ、そのベースで前記デコーダに、そのコレクタで前記第5及び第6のバイポーラトランジスタのエミッタに、及びそのエミッタで前記第2の電流源に結合される第7のバイポーラトランジスタ、及びそのベースで前記デコーダに、そのコレクタで前記関連する3状態DACスイッチに、及びそのエミッタで前記第2の電流源に結合される第8のバイポーラトランジスタを更に含む。

【0012】

例示の一実施例に従って或る装置が提供される。この装置は、デジタル出力回路と、シーケンスに共に結合される複数のアナログデジタルコンバータ(ADC)ステージを有するパイプラインとを含む。各ADCステージが、トラックアンドホールド(T/H)回路、前記T/H回路に及び前記デジタル出力回路に結合されるサブADC、前記サブADCに結合されるDACであって、前記DACが、前記サブADCに結合されるデコーダと、各々前記デコーダに結合される複数のプリドライバと、各々前記プリドライバの少なくとも1つに結合される複数の3状態DACスイッチとを含む、前記DAC、及び前記DAC及び前記T/H回路に結合される残差増幅器を含む。

【0013】

例示の一実施例に従って、パイプラインが、アナログ入力信号を受け取り、前記シーケンスの最初のADCステージに結合されるバッファと、各々前記シーケンスの最後のADCステージに及び前記デジタル出力回路に結合される複数の出力ADCとを更に含む。

【0014】

例示の一実施例に従って或る装置が供給される。この装置は、デジタル出力信号を生成するデジタル出力回路と、アナログ入力信号を受け取るバッファと、シーケンスに共に結合される複数のADCステージと、各3状態DACスイッチ及びT/H回路から第1及び第2のトランジスタに結合される残差増幅器と、前記シーケンスの最後のADCステージ

及び前記デジタル出力回路に結合される出力 A D C とを含む。前記複数の A D C ステージの前記シーケンスの最初の A D C ステージが前記バッファに結合される。各 A D C ステージは、T / H 回路、前記 T / H 回路に及び前記デジタル出力回路に結合されるサブ A D C 、前記サブ A D C に結合される D A C 、及び複数の 3 状態 D A C スイッチを含む。前記 D A C は、前記サブ A D C に結合されるデコーダと、複数のプリドライバとを含む。各プリドライバは、第 1 の電流源と、第 2 の電流源と、第 1 の電流源に及び前記デコーダに結合されるトランジスタの差動対の第 1 のカスケードされたセットと、第 1 の電流に及び前記デコーダに結合されるトランジスタの差動対の第 2 のカスケードされたセットとを含む。各 3 状態 D A C は、電流源と、前記電流源及び関連するプリドライバに結合される第 1 のトランジスタであって、前記関連するプリドライバが前記第 1 のトランジスタを制御する、前記第 1 のトランジスタと、前記電流源及び前記関連するプリドライバに結合される第 2 のトランジスタであって、前記関連するプリドライバが前記第 2 のトランジスタを制御する、前記第 2 のトランジスタと、前記電流源と接地との間に結合され、且つ前記関連するプリドライバに結合される第 3 のトランジスタであって、前記関連するプリドライバが前記第 3 のトランジスタを制御する、前記第 3 のトランジスタとを含む。

10

【0015】

例示の一実施例に従って、第 1 、第 2 、及び第 3 のトランジスタがバイポーラトランジスタであり、第 1 、第 2 、及び第 3 のトランジスタの各々が、エミッタで前記電流源に及びベースで前記関連するプリドライバに結合される。

20

【0016】

例示の一実施例に従って、第 1 のカスケードされたセットが、そのベースで前記デコーダに及びそのコレクタで関連する 3 状態 D A C スイッチに結合される第 1 のバイポーラトランジスタ、そのベースで前記デコーダに及びそのコレクタで前記関連する 3 状態 D A C スイッチに結合される第 2 のバイポーラトランジスタ、そのベースで前記デコーダに、そのコレクタで前記第 1 及び第 2 のバイポーラトランジスタのエミッタに、及びそのエミッタで前記第 1 の電流源に結合される第 3 のバイポーラトランジスタ、及びそのベースで前記デコーダに、そのコレクタで前記関連する 3 状態 D A C スイッチに、及びそのエミッタで前記第 1 の電流源に結合される第 4 のバイポーラトランジスタを更に含む。

【0017】

例示の一実施例に従って、第 2 のカスケードされたセットが、そのベースで前記デコーダに及びそのコレクタで前記関連する 3 状態 D A C スイッチに結合される第 5 のバイポーラトランジスタ、そのベースで前記デコーダに及びそのコレクタで前記関連する 3 状態 D A C スイッチに結合される第 6 のバイポーラトランジスタ、そのベースで前記デコーダに、そのコレクタで前記第 5 及び第 6 のバイポーラトランジスタのエミッタに、及びそのエミッタで前記第 2 の電流源に結合される第 7 のバイポーラトランジスタ、及びそのベースで前記デコーダに、そのコレクタで前記関連する 3 状態 D A C スイッチに、及びそのエミッタで前記第 2 の電流源に結合される第 8 のバイポーラトランジスタを更に含む。

30

【図面の簡単な説明】

【0018】

例示の実施例を添付の図面を参照して説明する。

40

【0019】

【図 1】図 1 は、従来のパイプライン A D C の一例を図示する。

【0020】

【図 2】図 2 は、図 1 の D A C の一例の図である。

【0021】

【図 3】図 3 は、本発明の例示の一実施例に従った D A C の一例を図示する。

【0022】

【図 4】図 4 は、図 3 の 3 状態 D A C スイッチの一例を図示する。

【0023】

【図 5】図 5 は、図 3 の論理回路要素の一例を図示する。

50

【0024】

【図6】図6は、図5のプリドライバの一例を図示する。

【発明を実施するための形態】

【0025】

図3及び図4は、本発明の例示の一実施例に従ったデジタルアナログコンバータ(DAC)300を示す。図示するように、DAC300は全般的に、論理回路要素304及び3状態DACスイッチ302-1～302-kを含む。動作において、論理回路要素304は、ADC118から制御ワードを受け取ることができ、3状態スイッチ302-1～302-kの各々に対し制御信号(即ち、図4に示す制御信号P、M、及びC)を生成することができる。典型的に、図4に示すように、各3状態DACスイッチ302-1～302-k(後述では、302と称する)は、トランジスタQU、QD、QG(これらはNPNトランジスタとし得る)及び電流源402を含み、そのため、制御信号P、M、及びCに基づいて、3状態DACスイッチ302が、下記表1に示すように「+1」、「-1」、又は「0」を生成することができる。

10

【表1】

Table 1

P	M	C	状態
1	0	0	+1
0	1	0	-1
0	0	1	0

20

【0026】

ただ、制御信号P、M、及びCを生成するには、論理回路要素304は、図5のデコーダ504及びプリドライバ502-1～502-kを用いることができる。デコーダ504は概して、プリドライバ502-1～502-kに対し制御信号(即ち、2つ)を生成するように、制御ワードを受け取る。各プリドライバ502-1～502-kは(この例において図示するように)3つの制御信号P1/M1/C1～Pk/Mk/Ckを出力し、これらは概して、(図4に図示するような)信号P、M、及びCに対応する。

30

【0027】

図6は、プリドライバ502-1～502-k(後述では502と称する)の例示の実装を図示する。図示するように、プリドライバ502は全般的に、トランジスタQ1～Q4及びQ5～Q8のカスケードされた差動対のセット(これらはNPNトランジスタとし得る)、電流源602-1及び602-2、及びレジスタR1～R3を含む。動作において、制御信号IN1及びIN2がデコーダ504により供給され得、反転された制御信号IN1_及びIN2_がインバータ606及び608により生成される。代替として、反転された制御信号IN1_及びIN2_がデコーダ504により供給されてもよい。典型的に、制御信号IN1及び反転された制御信号IN1_は、差動対Q1/Q2及びQ5/Q8に供給され、制御信号IN2及び反転された制御信号IN2_は、差動対Q3/Q4及びQ6/Q7に供給される。制御信号IN1及びIN2(及び関連する反転された制御信号IN1_及びIN2_)の状態に基づいて、プリドライバ502は、上記表1に示す制御信号P、M、及びCを生成することができる。例示として、プリドライバ502に対する制御信号IN1及びIN2からの制御信号P、M、及びCの派生(derivation)を下記表2で見ることができる。

40

【表2】

IN1	IN2	P	M	C
0	0	0	0	1
0	1	1	0	0
1	0	0	1	0
1	1	X	X	X

10

【0028】

このD A C 3 0 0 を用いる理由の一つは、（各スイッチ 3 0 2 - 1 ~ 3 0 3 - k に対し）トランジスタ Q G は、伝達応答の重要部に対し（各スイッチ 3 0 2 - 1 ~ 3 0 3 - k に対し）電流源 4 0 2 からのノイズ寄与の低減を可能にすることである。例えば、D A C 1 2 0 の場合、0 V 出力に対し各電流源 2 0 4 - 1 ~ 2 0 4 - R からのノイズ寄与があるが、D A C 3 0 0 の場合、0 V 出力に対し電流源 4 0 2 からの（スイッチ 3 0 2 - 1 ~ 2 0 3 - k の任意のものからの）ノイズ寄与がなくなる。また、この特徴のため、2ⁿ 個のD A C レベルを達成するため、D A C 1 2 0 における 2ⁿ 個のD A C スイッチ（即ち、2 0 2 - 1 ）の代わりに、2ⁿ - 1 個の3 状態D A C スイッチ（即ち、3 0 2 - 1 ）をD A C 3 0 0 において用いることができ、その結果、領域が低減される。

20

【0029】

更に、D A C 1 2 0 と較べたD A C 3 0 0 の利点の幾つかを説明するため、表3 及び表4 が以下に提供される。表3 及び表4 に示す例では、D A C 1 2 0 及び 3 0 0 の各々が総計 1 5 の状態（- 7 から ~ 7 ）を有する。表で明らかなように、D A C 1 2 0 に用いられるD A C スイッチ（2 0 2 - 1 ~ 2 0 2 - 1 4 と付されている）が 1 4 個あるのに対し、D A C に用いられる 3 状態D A C スイッチは 7 個ある（3 0 2 - 1 ~ 3 0 2 - 7 と付されている）。また、D A C 1 2 0 では（表3 に図示するように）1 5 状態全てに対し 1 4 個の電流源（各D A C スイッチ 2 0 2 - 1 ~ 2 0 2 - 1 4 に対し 1 つ）の各々からのノイズ寄与があるのに対し、D A C 3 0 0 では、ノイズ寄与は、ゼロ個（「0」状態に対する）から 7 個の電流源（「- 7 」及び「+ 7 」状態に対する）まで変動する。

30

【表3】

Table 3

DAC状態	-7	-6	-5	-4	-3	-2	-1	0	1	2	3	4	5	6	7
DACスイッチ 202-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	1
DACスイッチ 202-2	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	1	1
DACスイッチ 202-3	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	1	1	1
DACスイッチ 202-4	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	1	1	1	1
DACスイッチ 202-5	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	1	1	1	1	1
DACスイッチ 202-6	-1	-1	-1	-1	-1	-1	-1	-1	-1	1	1	1	1	1	1
DACスイッチ 202-7	-1	-1	-1	-1	-1	-1	-1	-1	1	1	1	1	1	1	1
DACスイッチ 202-8	-1	-1	-1	-1	-1	-1	-1	1	1	1	1	1	1	1	1
DACスイッチ 202-9	-1	-1	-1	-1	-1	-1	1	1	1	1	1	1	1	1	1
DACスイッチ 202-10	-1	-1	-1	-1	-1	1	1	1	1	1	1	1	1	1	1
DACスイッチ 202-11	-1	-1	-1	-1	1	1	1	1	1	1	1	1	1	1	1
DACスイッチ 202-12	-1	-1	-1	1	1	1	1	1	1	1	1	1	1	1	1
DACスイッチ 202-13	-1	-1	1	1	1	1	1	1	1	1	1	1	1	1	1
DACスイッチ 202-14	-1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
ノイズ寄与	14	14	14	14	14	14	14	14	14	14	14	14	14	14	14

10

20

30

【表4】

Table 4

DAC 状態		-7	-6	-5	-4	-3	-2	-1	0	1	2	3	4	5	6	7
プリ ドライバ 502-1	P1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
	C1	0	0	1	1	1	1	1	1	1	1	1	1	0	0	0
	M1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
DACスイッチ302-1		-1	-1	0	0	0	0	0	0	0	0	0	0	0	1	1
プリ ドライバ 502-2	P2	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0
	C2	0	0	0	0	1	1	1	1	1	1	1	0	0	0	0
	M2	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
DACスイッチ302-2		-1	-1	-1	-1	0	0	0	0	0	0	0	1	1	1	1
プリ ドライバ 502-3	P3	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0
	C3	0	0	0	0	0	0	1	1	1	0	0	0	0	0	0
	M3	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
DACスイッチ302-3		-1	-1	-1	-1	-1	-1	0	0	0	1	1	1	1	1	1
プリ ドライバ 502-4	P4	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
	C4	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
	M4	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1
DACスイッチ302-4		-1	-1	-1	-1	-1	-1	-1	0	1	1	1	1	1	1	1
プリ ドライバ 502-5	P5	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0
	C5	0	0	0	0	0	1	1	1	1	1	0	0	0	0	0
	M5	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
DACスイッチ302-5		-1	-1	-1	-1	-1	0	0	0	0	0	1	1	1	1	1
プリ ドライバ 502-6	P6	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
	C6	0	0	0	1	1	1	1	1	1	1	1	1	0	0	0
	M6	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
DACスイッチ302-6		-1	-1	-1	0	0	0	0	0	0	0	0	0	1	1	1
プリ ドライバ 502-7	P7	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	C7	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0
	M7	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
DACスイッチ302-7		-1	0	0	0	0	0	0	0	0	0	0	0	0	0	1
ノイズ寄与		7	6	5	4	3	2	1	0	1	2	3	4	5	6	7

【0030】

本発明に関連する技術に習熟した者であれば、説明した例示の実施例に変形が成され得ること、及び本発明の特許請求の範囲内で他の実施例を実装し得ることが分かるであろう。

10

20

30

40

【図 1】

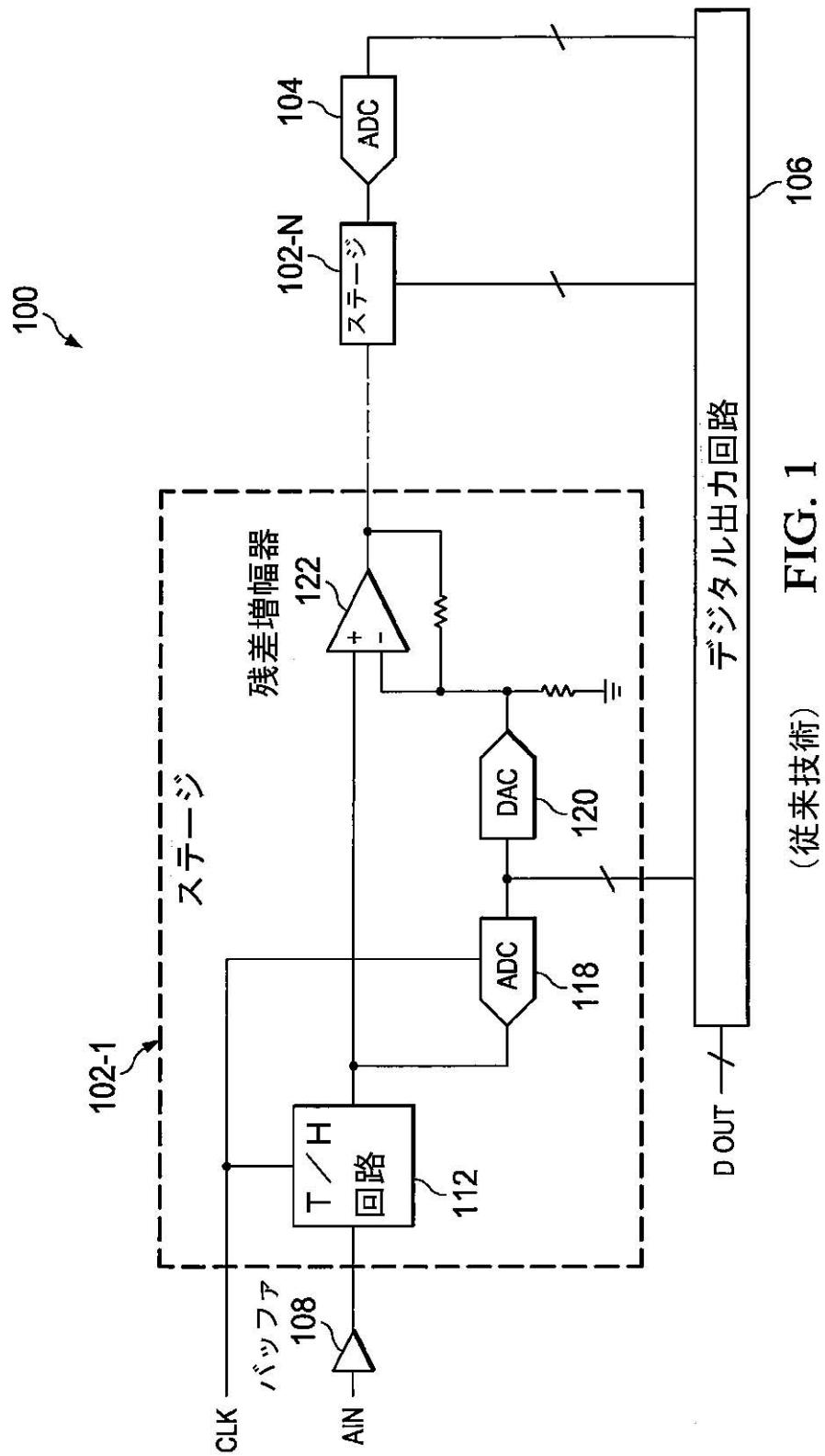


FIG. 1

(従来技術)

【図 2】

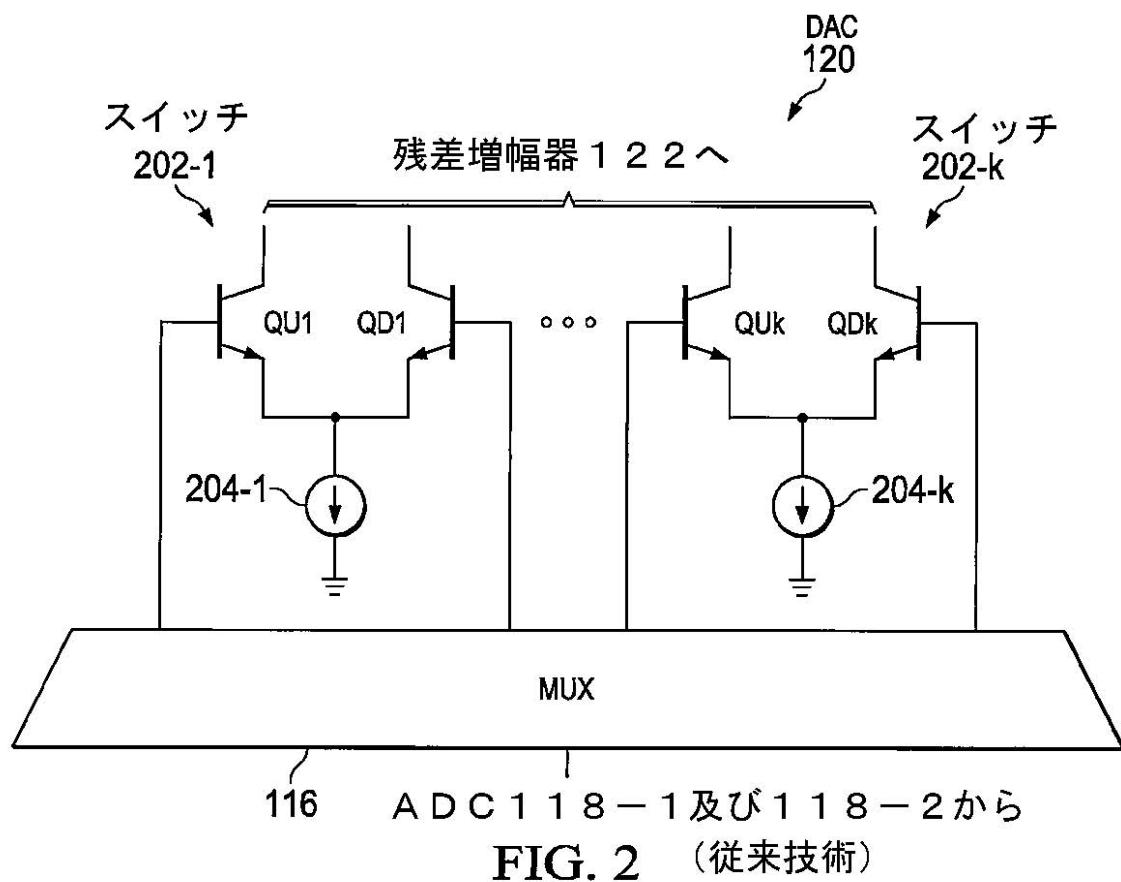


FIG. 2 (従来技術)

【図 3】

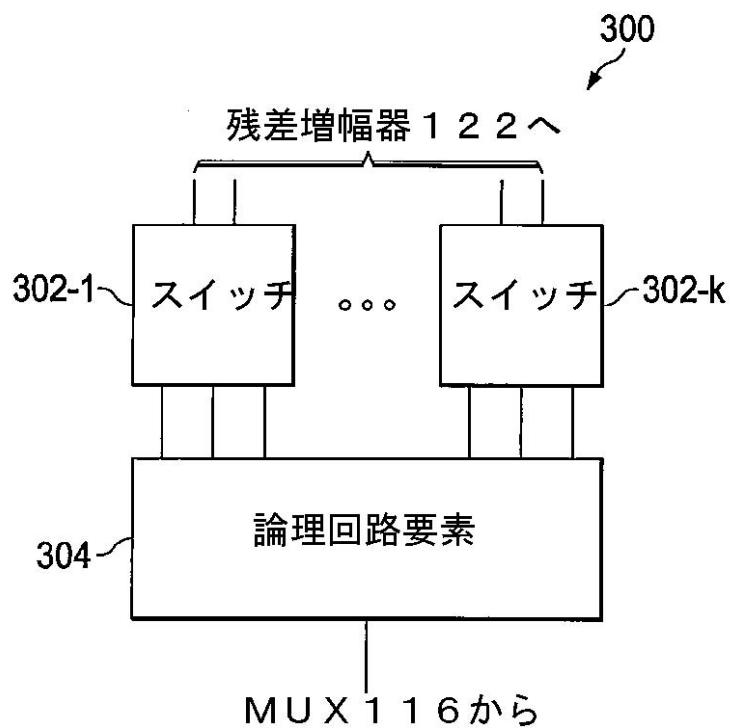


FIG. 3

【図4】

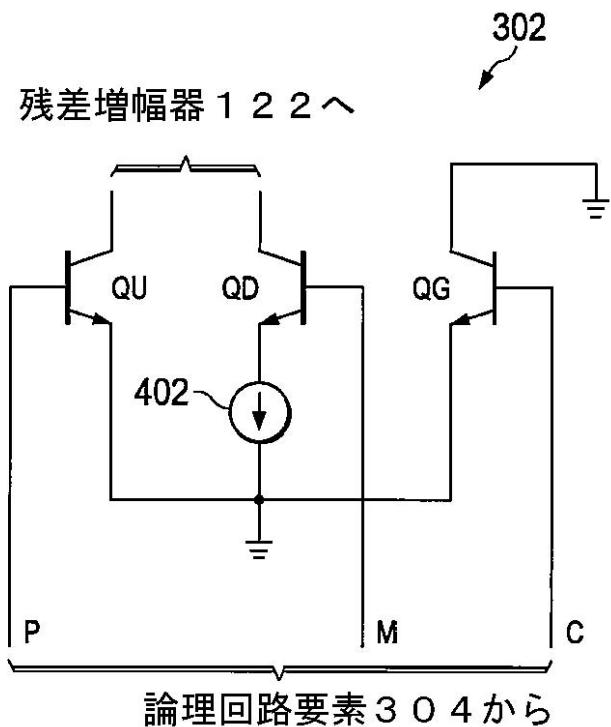


FIG. 4

【図5】

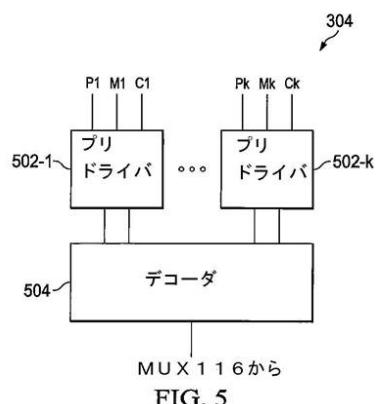


FIG. 5

【図 6】

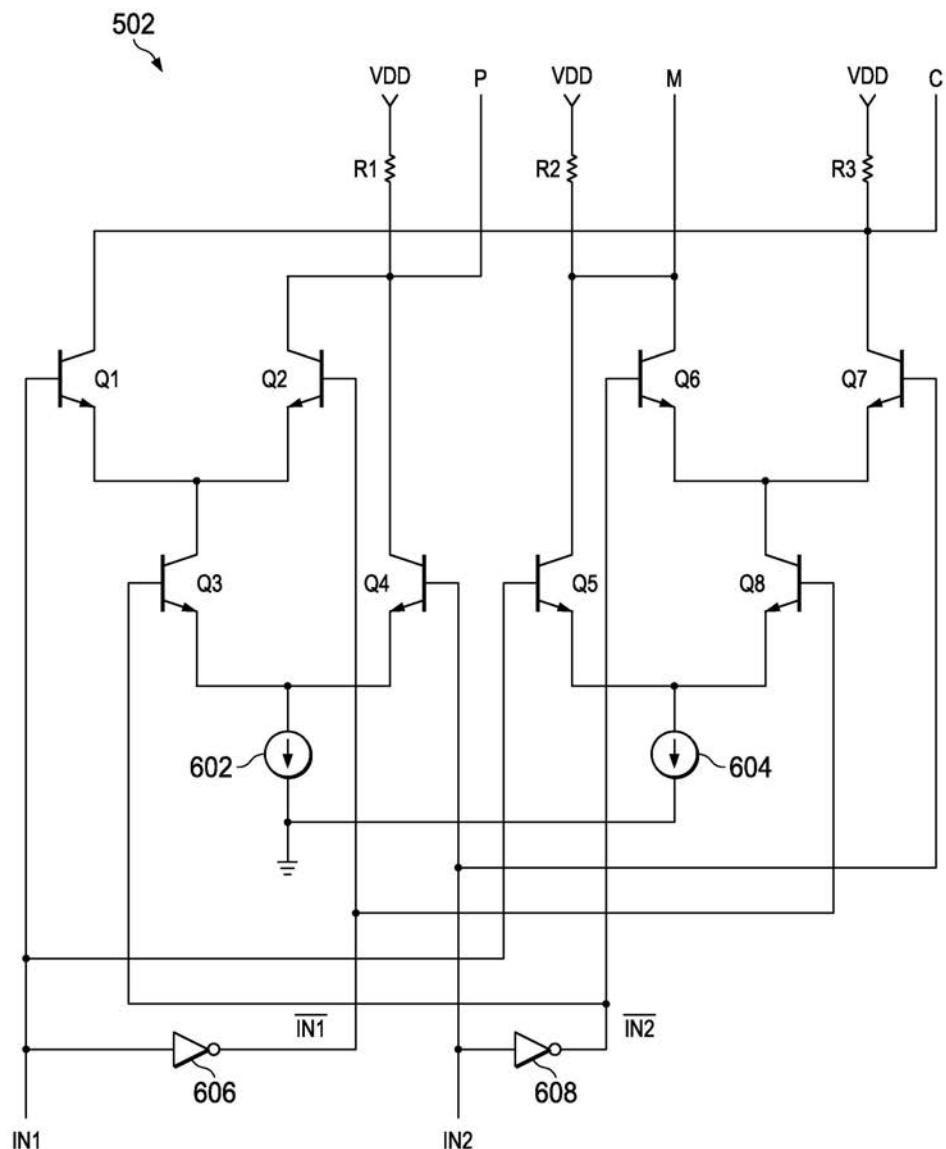


FIG. 6

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2011/056256
A. CLASSIFICATION OF SUBJECT MATTER		
H03M 1/12(2006.01)i, H03M 1/66(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H03M 1/12; H03M 1/66; H03M 3/00; H03M 1/08; H03M 1/00; H03M 1/06		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: "Decode, digital, analog, converter, DAC, state"		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 2237424 A1 (DIALOG SEMICONDUCTOR GMBH) 06 October 2010 See the Abstract, Fig. 4, Claim 1-9	1-17
A	EP 1465347 A1 (AMI SEMICONDUCTOR BELGIUM BVBA) 06 October 2004 See the Abstract, Fig. 3, Claim 1,8	1-17
A	US 2010-0245142 A1 (MYLES ANDREW et al.) 30 September 2010 See the Abstract, Fig. 7, Claim 1	1-17
A	US 06081218A A (PEICHENG JU et al.) 27 June 2000 See the Abstract, Fig. 2, Claim 1-7	1-17
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier application or patent but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>		
Date of the actual completion of the international search 24 APRIL 2012 (24.04.2012)	Date of mailing of the international search report 24 APRIL 2012 (24.04.2012)	
Name and mailing address of the ISA/KR  Korean Intellectual Property Office Government Complex-Daejeon, 189 Cheongsa-ro, Seo-gu, Daejeon 302-701, Republic of Korea Facsimile No. 82-42-472-7140	Authorized officer  Jang Seok Hwan Telephone No. 82-42-481-8250	

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/US2011/056256

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 2237424 A1	06.10.2010	US 2010-0245142 A1 US 7812753 B1	30.09.2010 12.10.2010
EP 1465347 A1	06.10.2004	DE 60312641 D1 DE 60312641 T2 EP 1465347 B1 EP 1465347 B9 US 2004-0263373 A1 US 7026971 B2	03.05.2007 29.11.2007 21.03.2007 14.11.2007 30.12.2004 11.04.2006
US 2010-0245142 A1	30.09.2010	EP 2237424 A1 US 7812753 B1	06.10.2010 12.10.2010
US 06081218A A	27.06.2000	None	

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,R0,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PE,PG,PH,PL,PT,QA,RO,RS,RW,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN

(72)発明者 マルコ コルシ

アメリカ合衆国 75002 テキサス州 パーカー, ボールダー ドライブ 4304

(72)発明者 ロバート エフ ペイン

アメリカ合衆国 75002 テキサス州 ルーカス, ブライアデール ドライブ 1700

F ターム(参考) 5J022 AA15 AB06 CA10 CB06 CD03 CD04 CF02 CF04 CG01