

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 2 月 12 日 (12.02.2004)

PCT

(10) 国際公開番号
WO 2004/013909 A1

- (51) 国際特許分類7: H01L 21/82, 21/8242, 27/04, 27/108, G11C 11/41, 11/401
- (21) 国際出願番号: PCT/JP2002/007889
- (22) 国際出願日: 2002 年 8 月 2 日 (02.08.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 鳥山 啓之亮

(TORIYAMA, Keinosuke) [JP/JP]; 〒198-8512 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内 Tokyo (JP). 長谷川 雅俊 (HASEGAWA, Masatoshi) [JP/JP]; 〒198-8512 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内 Tokyo (JP). 横山 勇治 (YOKOYAMA, Yuji) [JP/JP]; 〒198-8512 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内 Tokyo (JP).

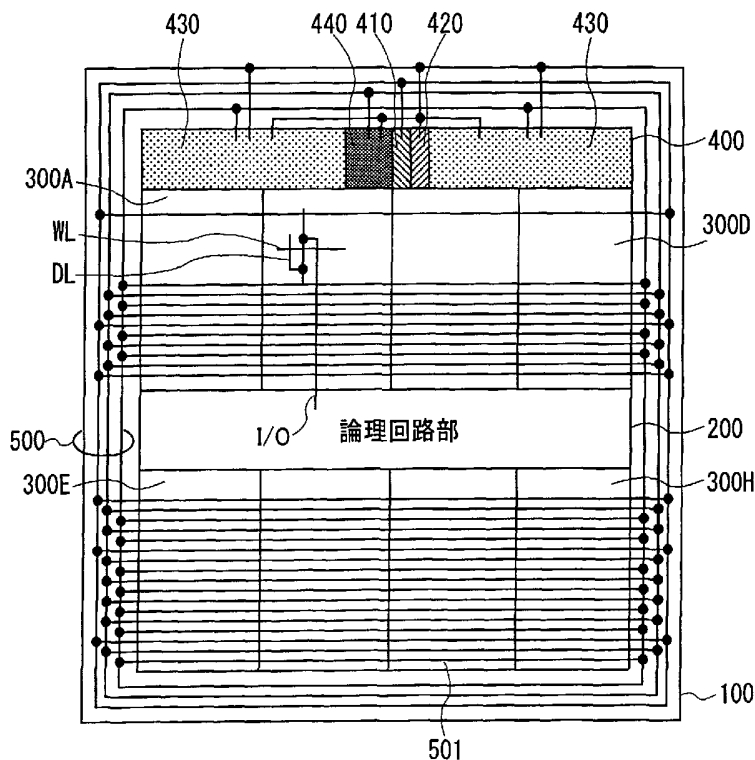
(74) 代理人: 大日方 富雄 (OBINATA, Tomio); 〒162-0825 東京都新宿区神楽坂3丁目4番地 山本ビル2階 Tokyo (JP).

(81) 指定国 (国内): CN, JP, KR, SG, US.

/ 続葉有 /

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT INCORPORATING MEMORY

(54) 発明の名称: メモリを内蔵した半導体集積回路



200... LOGIC CIRCUIT SECTION

(57) Abstract: A semiconductor integrated circuit incorporating a memory in which a power supply generating circuit for memory and a memory circuit except the power supply generating circuit are previously designed as individual macro cells at the time of development. At the time of developing a hybrid logic/memory LSI, the number of memory macro cells to be mounted is determined in order to attain a desired storage capacity, and the memory macro cells are arranged on a chip such that the word lines are directed in the same direction. Furthermore, a macro cell including the power supply generating circuit is arranged at the end of a chip as a cell common to the plurality of memory macro cells.

(57) 要約: メモリ内蔵半導体集積回路を開発するに際して、予め、メモリ用の電源発生回路とこの電源発生回路を除いたメモリ回路とを、それぞれ別個のマクロセルとして設計しておいて、論理・メモリ混載LSIの開発に際しては、所望の記憶容量が得られるように搭載するメモリマクロセルの数を決定し、これらを互いにワード線が同一方向となるようにチップ上に並べて配置すると共に、電源発生回路を含むマクロセルはこれらの複数のメモリマクロ

セルに対して共通のセルとしてチップの端に配置するようにしたものである。



(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

1

明 細 書

メモリを内蔵した半導体集積回路

5 技術分野

本発明は、論理回路とメモリ回路が1つの半導体チップ上に混載して設けられているメモリ内蔵半導体集積回路（以下、論理・メモリ混載LSIと称する）に利用して有効な技術に関するものである。

10 背景技術

従来、記憶容量の大きなメモリを必要とする論理・メモリ混載LSIを開発する手法として、所定の記憶容量を有するメモリアレイやデコーダなどの周辺回路からなるいわゆるメモリ回路と共にメモリ用電源発生回路やテスト回路を含んだメモリマクロセルと呼ばれるものを設計し、このメモリマクロセルを必要な数だけ搭載することでLSIを構成する手法がある（例えば特開平11-110963，特開平11-96766，特開平10-65124号など）。

このような設計手法を採用にすることにより、論理・メモリ混載LSIの設計が容易となる。なお、メモリ用電源発生回路は、ワード線選択電圧やデータ線プリチャージ電圧、メモリセルの基板電圧、これらの電圧を生成する際の基準となる基準電圧など電源電圧VDDよりも高い電圧や接地電位VSSよりも低い電圧等を生成する回路である。

しかしながら、上記のような設計手法にあっては、必要な記憶容量を確保するのは容易であるが、本来チップに一個存在すれば足りるメモリ用電源発生回路やテスト回路が複数個存在することになるため、チップ面積が必要以上に大きくなるとともに消費電力も大きくなる。消費電力に関しては、特に待機時の電力が問題となる。

また、メモリ用電源発生回路が各メモリマクロセルごとに設けられて

2

いると、複数のメモリ用電源発生回路がチップ上に分散配置されることになり、それぞれの電源回路内にあるクロック発生回路としてのオシレータ回路が別々に動作するため、回路動作のシミュレーションが困難になるとともに、干渉によって動作が不安定になるなど好ましくない状況が発生するおそれがある。

さらに、複数のメモリ用電源発生回路がチップ上に分散していると、製造ばらつきによって各メモリ用電源発生回路内にある基準電圧回路で生成される基準電圧が互いにずれてしまい、チップ全体として所望の動作が期待できなくなるという問題があることが明らかとなった。

10 本発明の目的は、チップ面積が小さく消費電力が少ないメモリ内蔵半導体集積回路を提供することにある。

また、本発明の他の目的は、回路動作のシミュレーションが容易で、動作が不安定になることがなく、またチップ全体が所望の動作をすることが可能なメモリ内蔵半導体集積回路を提供することにある。

15 この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添附図面から明らかになるであろう。

発明の開示

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。

すなわち、メモリ内蔵半導体集積回路を開発するに際して、予め、メモリ用の電源発生回路とこの電源発生回路を除いたメモリ回路とを、それぞれ別個のマクロセルとして設計しておいて、所望の記憶容量が得られるように搭載するメモリマクロセルの数を決定し、これらをチップ上に並べて配置すると共に、電源発生回路を含むマクロセルはこれらの複数のメモリマクロセルに対して共通の1または2個のセルとしてチップの端に配置するようにしたものである。

ここで、望ましくは、メモリマクロセルをそれぞれのワード線が互い

3

に同一方向となるように並べる。また、電源マクロセルを2個用いる場合、上記のように配列されたメモリマクロセル列を挟むようにして上下または左右の両側に電源マクロセルを配置する。さらに、電源マクロセルには複数のメモリマクロセルに対して共通のデスト回路を設けるようにしても良い。

上記した手段によれば、複数のメモリマクロセルに対して共通の電源マクロセルを設け、そこで生成された電圧をメモリマクロセルに供給するように構成されているので、各メモリマクロセル毎に電源回路を設ける従来方式に比べてチップ面積が小さくなるとともに、チップ全体としての消費電力も減らすことができる。また、電源回路が一つであり同一の電圧が各メモリマクロセルに供給されるため、回路動作のシミュレーションが容易で、多数のオシレータの信号の干渉により動作が不安定になることがなく、また生成される電圧にバラツキが生じてチップ全体が所望の動作をしなくなるというようなおそれもない。

また、電源発生回路からなるマクロセルからメモリマクロセルへ電源発生回路で発生された電圧を供給する配線（以下、メモリ用電源供給配線と称する）及びテスト回路から出力される信号を供給する配線（以下、DFT信号配線と称する）は、水分の侵入等を防止するためにチップ周縁に設けられるガードリングが形成される領域に配置する。この際、望ましくは、基準電圧を供給する配線は、ガードリング領域に配置される電源配線やDFT信号配線等で囲まれるように配置する。

メモリ用電源発生回路やテスト回路が複数のメモリマクロセルに共通に設けられると、これらの回路で生成された電圧や信号を供給する配線は従来一般的な設計方法ではメモリマクロセルや論理回路部の上方を走ることになるため、本来の信号線の領域を狭めるおそれがあるが、ガードリング領域に配置することにより、本来の信号線が配置される領域が狭くなるのを回避することができる。また、基準電圧を供給する配線をガードリングに使用される配線で囲むことによりシールドすることが

4

でき、別途シールド構造を設けることなく、基準電圧の安定化を図ることができる。

図面の簡単な説明

5 図1は、本発明を適用した論理・メモリ混載LSIの一実施例を示すブロック図である。

図2は、メモリマクロセルの構成例を示すブロック図である。

図3は、本発明を適用した論理・メモリ混載LSIのレイアウト構成の第1の実施例を示す説明図である。

10 図4は、本発明を適用した論理・メモリ混載LSIのレイアウト構成の第2の実施例を示す説明図である。

図5は、第2実施例の論理・メモリ混載LSIにおける記憶容量の増加のさせ方の例を示す説明図である。

15 図6は、本発明を適用した論理・メモリ混載LSIのレイアウト構成の第3の実施例を示す説明図である。

図7は、第3実施例の論理・メモリ混載LSIにおける記憶容量の増加のさせ方の例を示す説明図である。

図8は、本発明を適用した論理・メモリ混載LSIのレイアウト構成の第4の実施例を示す説明図である。

20 図9は、マルチチップ・モジュールに本発明を適用した実施例を示す説明図である。

図10は、電源&DF Tマクロセルからメモリマクロセルに電圧を供給する配線が形成されるガードリング領域の一部（チップの角部）を拡大して示す平面断面図である。

25 図11は、ガードリング領域の断面構造を示す断面側面図である。

発明を実施するため最良の形態

図1に本発明を適用した論理・メモリ混載LSIの一実施例のブロッ

5

ク構成を示す。

図 1 において、符号 1 0 0 は単結晶シリコンのような半導体チップ、
2 0 0 は半導体チップ上に形成された論理回路部、3 0 0 A ~ 3 0 0 H
はメモリマクロセル、4 0 0 は電源発生回路およびテスト回路からなる
5 電源 & D F T マクロセルである。図 1 に示されているように、本実施例
においては、1 つの共通の電源 & D F T マクロセル 4 0 0 で発生された
電圧や信号が複数のメモリマクロセル 3 0 0 A ~ 3 0 0 H に対してそれ
ぞれ供給される。電源 & D F T マクロセル 4 0 0 は、テスト回路 4 1 0
と、基準電圧回路 4 2 0 と、V P P 発生回路 4 3 0 と、V B B 発生回路
10 4 4 0 とにより構成されている。

上記メモリマクロセル 3 0 0 A ~ 3 0 0 H は、それぞれ複数のメモリ
セルがマトリックス状に配置された 1 または 2 以上のメモリマットを備
え、各メモリマットには、同一行のメモリセルの選択端子が共通に接続
された複数のワード線 (W L) が互いに並行に配設されているとともに、
15 同一列のメモリセルのデータ入出力端子が共通に接続され前記ワード線
と直交する方向に複数のデータ線 (D L) が互いに並行に配設されてい
る。かかる構成のメモリ回路は、汎用の S R A M や D R A M のメモリマ
ットと同一であるので、図示および詳細な説明は省略する。

V P P 発生回路 4 3 0 は、チャージポンプ回路などからなり外部から
20 の例えば 1 . 5 V のような電源電圧 V D D に基づいて 3 . 3 V のような
昇圧されたワード線選択電圧 V P P を発生する複数の V P P 電圧発生回
路 4 3 1 と、V P P 電圧発生回路 4 3 1 の昇圧動作に必要なクロック信
号を生成する V P P オシレータ 4 3 2 と、V P P 電圧発生回路 4 3 1 で
発生された V P P 電圧と基準電圧回路 4 2 0 から供給される例えば 0 .
25 7 5 V のような基準電圧 V R E F とを比較して V P P オシレータ 4 3 2
の発振周波数を制御する誤差アンプなどからなる V P P センサ回路 4 3
3 とにより構成され、基準電圧 V R E F に基づいて所望の電位の V P P
電圧を発生し、メモリマクロセル 3 0 0 A ~ 3 0 0 H に供給する。

6

- 同様に、V B B発生回路4 4 0は、チャージポンプ回路などからなり例えば-0.7 Vのような降圧されたメモリ基板電圧V B Bを発生する複数のV B B電圧発生回路4 4 1と、V B B電圧発生回路4 4 1の昇圧動作に必要な発振信号を生成するV B Bオシレータ4 4 2と、V B B電
- 5 圧発生回路4 4 1で発生されたV B B電圧と基準電圧回路4 2 0から供給される基準電圧V R E Fとを比較してV B Bオシレータ4 4 2の発振周波数を制御する誤差アンプなどからなるV B B検出回路（V B Bセンサ）4 4 3とから構成され、基準電圧V R E Fに基づいて所望の電位のV B B電圧を発生し、メモリマクロセル3 0 0 A～3 0 0 Hに供給する。
- 10 なお、図1には示されていないが、電源&D F Tマクロセル4 0 0で生成され、メモリマクロセル3 0 0 A～3 0 0 Hに供給される電圧としては、データ線のプリチャージのための電圧V B L R、メモリセル内の情報電荷蓄積用の容量素子の一方の端子として設けられるメモリセルプレートと呼ばれる共通電極に印加されるプレート電圧V P Lなどがあり、
- 15 これらについても同様に共通の電源&D F Tマクロセル4 0 0で生成された電圧がメモリマクロセル3 0 0 A～3 0 0 Hに供給される。

- メモリマクロセル3 0 0 A～3 0 0 Hは、各々メモリセルが敷き詰められたメモリマット部3 1 0、論理回路部2 0 0との間でアドレスやデータ、制御信号の入出力を行なう入出力バッファ3 1 1、ワード線W L
- 20 を指定するロウアドレスをデコードするロウデコーダ3 1 2、デコード結果に従ってワード線を選択駆動するワードドライバ3 1 3、データ線D Lに接続されてデータ線の信号を増幅するセンスアンプ3 1 4、データ線を指定するカラムアドレスをデコードするカラムデコーダ3 1 5、カラムデコーダ3 1 5で選択されたセンスアンプの読出し信号を増幅す
- 25 るメインアンプ3 1 6、メモリマクロセル内を制御するメモリ制御回路3 1 7などから構成されている。ワード線がメインワード線とこれに接続されたサブワード線とで構成されている場合、ワードドライバ3 1 3もメインワードドライバとサブワードドライバとで構成される。

7

- 図2に示されているように、ワード線選択電圧 V_{PP} は各メモリマクロセル300内のワードドライバ313に供給され、メモリセル基板電圧 V_{BB} はメモリマット310の基板としてのウェル領域に供給される。図示しないが、データ線のプリチャージのための電圧 V_{BLR} はセンス
- 5 アンプ316に、またメモリセルプレート電圧 V_{PL} はメモリマット310に供給される。なお、図2に示されている実施例は概念を示したものであり、電源&DF Tマクロセル400で生成された上記電圧 V_{PP} や V_{BB} が、図示されているような回路以外に供給されるのを否定するものではない。
- 10 テスト回路410は、メモリマクロセル300内部の回路をテストに適した状態に設定する信号を生成し、供給する。テスト回路410で生成されたDF T信号はメモリマクロセル300内の大部分の回路に供給される。本発明の各実施例は、テスト回路410が、テストパターンを発生するALPGを備え、自己テスト可能に構成されている場合にも適用
- 15 することができる。
- 図3～図9には、図1のメモリ・論理混載LSIのレイアウト構成が示されている。本発明を適用した論理・メモリ混載LSIのレイアウトの第1の実施例は、図3に示されているように、論理回路部200をチップ100のほぼ中央に配置し、その両側（図では上下）に複数のメモリマクロセル300を配置し、電源&DF Tマクロセル400は一方のメモリマクロセル300A～300Dを挟んで論理回路部200の反対側のチップの端（図では上端）に配置されている。これにより、電源&DF Tマクロセル400がメモリマクロセル300と論理回路部200との間に配置されるレイアウトに比べて論理回路部200とメモリマクロ
- 20 セル300との間の信号の送受信に使用される配線長が短くなり、信号の遅延時間が短縮されて高速動作が可能となる。

また、本実施例では、メモリマクロセル300は、内部のワード線WLがメモリマクロセル300A～300Dの並び方向と平行（図では横

8

方向)で、データ線DLがメモリマクロセル300A~300Dの並び方向と直交するように配置されている。これにより、ワード線WLがメモリマクロセル300A~300Dの並び方向と直交し、データ線DLがメモリマクロセル300A~300Dの並び方向と並行する配置に比べて、論理回路部200とメモリマクロセル300との間の信号の送受信に使用されるデータ入出力線I/Oが短くなり、信号の遅延時間が短縮されてデータの高速書込みと読出し動作が可能となる。

さらに、本実施例では、電源&DF Tマクロセル400で生成された電圧や信号が、チップの周縁部に沿って設けられ水分等の侵入を防止するためのガードリングと呼ばれる構造が形成されている領域500に配置された配線によって、各メモリマクロセル300に供給されるように構成されている。

より具体的には、ガードリング領域500に基幹となる配線がリング状に配置されこの基幹配線のうち対向する辺(図3では左右)に配置されている配線間に、メモリマクロセル300内のワード線WLと並行に複数の分岐配線501が設けられ、該分岐配線501の配設経路の適当な部位に設けられたスルーホールやコンタクトホールを介してメモリマクロセル300内の所望の箇所に電圧やDF T信号が供給される。

このように、ワード線WLと並行に配設された分岐配線501により各メモリマクロ内に所望の電圧を供給する方式を採用することにより、論理回路部200とメモリマクロセル300との間の信号の送受信に使用されるデータ入出力線I/Oの配線設計の自由度を下げることなく分岐配線501を設けることができる。これは、多層配線技術を採用した半導体集積回路においては、互いに直交する配線は異なる導電層により形成されることが多いためである。図3においては、テスト回路410で生成された信号を各メモリマクロセル300に供給する配線が1本で示されているが、複数の信号配線である場合を排除するものではない。

以上のように、図3の実施例においては、複数のメモリマクロセル3

9

- 00に対して共通の電源&DFTマクロセル400を設け、そこで生成された電圧をメモリマクロセル300に分配するように構成されているので、各メモリマクロセル毎に電源回路やテスト回路を設ける従来方式に比べてチップ面積が小さくなるとともに、チップ全体としての消費電力も減らすことができる。また、電源回路が一つであり同一の電圧が各メモリマクロセルに供給されるため、回路動作のシミュレーションが容易で、多数のオシレータの信号の干渉により動作が不安定になることがなく、また生成される電圧にバラツキが生じてチップ全体が所望の動作をしなくなるというようなおそれもない。
- 5
- 10 さらに、電源&DFTマクロセル400で生成された電圧をガードリング領域に配置された配線500によって各メモリマクロセル300に供給するようにしているため、論理回路部200とメモリマクロセル300間の信号を伝える信号線領域が狭くなることもない。また、電源&DFTマクロセル400において生成される電圧の中ではワード線選択
- 15 電圧VPPが最も大きな電流供給能力を必要としており、これを供給する配線が長いと配線抵抗で電圧が低下するおそれがある。しかるに、図3の実施例においては、集中的に設けられた電源&DFTマクロセル400内において、ワード線選択電圧VPPを発生するVPP生成回路430が2つに分割され、テスト回路410、VREF生成回路420およびVBB生成回路440を挟んでそれらの両側に配置されている。そのため、目的とするメモリマクロセルまでの配線長はVPPを給電するものが最も短くなり、配線抵抗による電圧降下を小さくすることができるという利点がある。
- 20

- 図4には、本発明を適用した論理・メモリ混載LSIのレイアウトの第2の実施例が示されている。この実施例のレイアウトが図3のレイアウトと異なる点は、論理回路部200およびメモリマクロセル300を挟んでチップの反対側の辺（図では下端）にもVPP生成回路430'とVBB生成回路440'を有する電源&DFTマクロセル400'が設
- 25

10

けられている点と、各電源&D F Tマクロセル4 0 0で生成された同一種類の電圧は、ガードリング領域5 0 0に設けられている配線のうち対応するものに共通に接続されている点である。

5 なお、V P P生成回路4 3 0' とV B B生成回路4 4 0' は反対側の
辺（図では上端）にある電源&D F Tマクロセル4 0 0のV R E F生成回路4 2 0で生成された基準電圧V R E Fを受けてそれぞれ所望の昇圧電圧V P PとV B Bを生成するように構成される。他の構成は図3と同じであるので、説明は省略する。

10 図4に示されているように、この実施例では、V R E F生成回路4 2 0
0が一つであり同一の基準電圧V R E Fに基づいて2つの電源&D F Tマクロセル4 0 0で昇圧電圧V P PとV B Bが生成され、生成された同一種類の電圧が同一の配線に共通に接続されていることにより、2つの電源&D F Tマクロセル4 0 0に製造バラツキがあったとしても各メモリマクロセル3 0 0にはほぼ同一レベルの電圧が供給されるようになる。
15 その結果、チップ全体として所望の動作が期待できなくなるような状態を回避できるようになる。また、同一レベルの電圧が各メモリマクロセルに供給されるため、回路動作のシミュレーションが容易で、多数のオシレータの信号の干渉により動作が不安定になることがなく、また生成される電圧にバラツキが生じてチップ全体が所望の動作をしなくなると
20 というようなおそれもない。

 なお、図4のように、対向する辺にそれぞれV P P生成回路4 3 0およびV B B生成回路4 4 0を設ける場合には、対向する辺の回路は互いに位相が相補的にずれたクロックにより昇圧動作するように制御するのが望ましい。昇圧回路がチャージポンプで構成される場合、生成される
25 電圧はリップル（脈動）を有することになるが、互いに周期が相補的にずれた生成電圧を同一の配線にのせることにより、リップルが減少してより安定な電圧を供給することができるためである。

 さらに、図3および図4の実施例では、複数のメモリマクロセル3 0

0が、互いにワード線が同一方向となるようにチップ上に並べて配置されている。そのため、チップに内蔵されるメモリの記憶容量を増やしたい場合には、各メモリマクロセルのワード線の数を増やすかあるいはメモリマクロセルが複数のメモリマットで構成されている場合にはデータ
5 線方向にメモリマットの数を増やすことにより、電源&DFTマクロセル400を変更することなく対応することができる。

つまり、メモリマクロセルの記憶容量を増やす方法としては、ワード線の数（メモリ行）を増やす方法とデータ線の数（メモリ列）を増やす方法の2つがあるが、図3や図4のようなレイアウトにおいて、データ
10 線の数を増やしたメモリマクロセルを使用すると、メモリマクロセル300A～300Dの幅と電源&DFTマクロセル400と幅が合わなくなるため無駄な領域が生じる。

そして、このような無駄な領域をなくすには電源&DFTマクロセル400を再設計する必要があるという不具合があるが、メモリマクロ
15 セルのワード線の数を増加あるいはデータ線方向にメモリマットの数を増加させるようにすれば、電源&DFTマクロセル400を変更することなくワード線の数を増加させることができる。ただし、電源&DFTマクロセル400に設けられるVPP生成回路430やVBB生成回路440を予め電源供給能力の大きなものとして設計しておいたり、ある
20 いは同時に活性化されるメモリマクロセルの数を制限するような設計手法を採用しておく必要がある。ワード線の数が増加すれば電源回路の負荷が増加するためである。

なお、VPP生成回路430やVBB生成回路440を予め電源供給能力の大きなものとして設計しておくことは、テスト回路410等を用
25 いてテストを行なうテストモードの際に複数のメモリマクロセルでテストを並行して行なうように構成したい場合に必要な設計でもあるので、そのような思想の下に設計されたチップにおいては本実施例を適用することに伴う設計負担の増加やチップ面積増加も実質的にないものとみな

することができる。

図5には、一例として、各メモリマクロセルのメモリマットの数を増やすことでチップ全体として記憶容量を増加させる場合の構成が示されている。図5において、符号MATで示されているのが各々メモリマ
5 トであり、これらのうち破線で示されているものは図4における各マクロセルに設けられているメモリマット、一点鎖線で示されているものは増加されたメモリマットである。このように、データ線方向にメモリマットの数を増加させることにより、ワード線方向のメモリマクロセル列の長さは変化しないため、電源&DF Tマクロセル400の設計変
10 更は不要であり、図4の電源&DF Tマクロセル400、400'をそのまま流用することができる。

図6には、本発明を適用した論理・メモリ混載LSIのレイアウトの第3の実施例が示されている。この実施例のレイアウトが図4のレイアウトと異なる点は、論理回路部200およびメモリマクロセル300を挟
15 んでチップの左右両端すなわちワード線と直交するように、テスト回路410とVREF生成回路420、VPP生成回路430を有する電源&DF Tマクロセル400およびVPP生成回路430'とVBB生成回路440を有する電源&DF Tマクロセル400'が設けられている点である。

20 なお、この実施例でも電源&DF Tマクロセル400'内のVPP生成回路430'とVBB生成回路440は、反対側の辺（図では右端）にある電源&DF Tマクロセル400のVREF生成回路420で生成された電圧VREFを受けてそれぞれ昇圧電圧VPPとVBBを生成するように構成される。他の構成は図4と同じであるので、説明は省略す
25 る。

図6の実施例は、複数のメモリマクロセル300を、互いにワード線が同一方向となるようにチップ上に並べて配置しその両側に電源&DF Tマクロセル400、400'を配置した構成である。そのため、チッ

13

5 プに内蔵されるメモリの記憶容量を増やしたい場合には、各メモリマクロセル内のデータ線の数を増やすかあるいはメモリマクロセルが複数のメモリマツトで構成されている場合にはワード線方向にメモリマツトの数もしくはメモリマクロセル300の並び方向のメモリマクロセルの数を増やすことにより電源&DF Tマクロセル400を変更することなく
10 対応することができる。

つまり、前述したように、メモリの記憶容量を増やす方法としては、ワード線の数（メモリ行）を増やす方法とデータ線の数（メモリ列）を増やす方法の2つがあるが、図6のようなレイアウトにおいて、メモリ
15 マクロセル内のワード線の数を増やすと電源&DF Tマクロセル400の幅とメモリマクロセル300の幅とが合わなくなるため無駄な領域が生じる。

そして、このような無駄な領域をなくすには電源&DF Tマクロセル400を再設計する必要があるという不具合があるが、データ線の数
20 あるいはワード線方向のメモリマツトの数もしくはメモリマクロセル300の並び方向のメモリマクロセルの数を増やすようにすることで、電源&DF Tマクロセル400を変更することなく記憶容量を増加させることができる。ただし、図5の実施例と同様に、電源&DF Tマクロセル400に設けられるVPP生成回路430やVBB生成回路440を
25 予め電源供給能力の大きなものとして設計しておいたり、あるいは同時に活性化されるメモリマクロセルの数を制限するような設計手法を採用しておく必要がある。

なお、メモリマクロセル内のデータ線の数を増やしたりマツトの数を増やす場合にはメモリマクロセルの再設計が必要であるので、メモリマ
30 クロセルの数を増やすのが最も設計負担の少ない方法である。

図7には、一例として、メモリマクロセル300の並び方向のメモリマクロセルの数を増やすことでチップ全体として記憶容量を増加させる場合の構成が示されている。このように、メモリマクロセル300の並

び方向にメモリマクロセルの数を増加させることにより、データ線方向のメモリマクロセルの長さは変化しないため、電源&D F Tマクロセル400の設計変更が不要となり、図6の電源&D F Tマクロセル400をそのまま流用することができる。ただし、各メモリマクロセルが複数
5 のメモリマットで構成されている場合に、各マクロセル内のメモリマットの数をワード線方向に増加させるようにしても電源&D F Tマクロセル400を設計変更することなくチップに内蔵されるメモリの記憶容量を増加させることができる。

記憶容量を増加させるのにメモリマットの数を増加させるかメモリマ
10 クロセルの数を増加させるかは、もともとのメモリマクロセルの形状すなわち縦と横の長さの比にも関係する。具体的には、図6のようにメモリマクロセルのワード線方向の長さがデータ線方向の長さよりも短い場合には、メモリマクロセルの数を増加させてもチップの幅がそれほど大
15 きくならないが、メモリマクロセルのワード線方向の長さがデータ線方向の長さよりも長い場合には、メモリマクロセルの数を増加させるとチップの幅が極端に長くなることがあるので、このような場合にはメモリマットの数を増やす方が良いと考えられる。

次に、本発明を適用した論理・メモリ混載L S Iのレイアウトの他の実施例を、図8および図9を用いて説明する。なお、図3と同一の回路や
20 部位には同一の符号を付して重複した説明は省略する。

図8の実施例は、電源&D F Tマクロセル400をチップの辺に沿って配置する代わりにチップの一箇所（図では論理回路部200の一部）に配置したものである。このようなレイアウトにおいては、V P P生成回路430から各メモリマクロセルまでの給電線の長さのばらつきが図
25 3の実施例に比べて大きくなるという若干のデメリットはあるものの、電源&D F Tマクロセル400が複数のメモリマクロセルに対して共通の回路として設けられるため、各メモリマクロセル毎に電源&D F Tマクロセルを設ける従来方式に比べてチップ面積が小さくなるとともにチ

15

ップ全体としての消費電力も減らすことができる。また、メモリの記憶容量の変更する場合にワード線方向とデータ線方向のどちらを変更する場合であっても、論理回路部の再設計をすることで電源&DFTマクロセルの変更が不要になる等の効果が得られる。

- 5 図9の実施例は、図3の実施例における電源&DFTマクロセル400を論理・メモリ混載LSIのチップ上に設ける代わりに別のチップ600として構成し、論理・メモリ混載LSIチップ100と共にセラミックなどから成る1つのパッケージ700内に実装しチップ間をボンディングワイヤ800で接続してマルチチップ・モジュールとして構成する
- 10 ようにしたものである。

- この実施例は、メモリマクロセル300にVPPなどの電圧を供給する配線の抵抗やデバイスの体積が図3の実施例に比べて若干大きくなるというデメリットはあるものの、各メモリマクロセル毎に電源&DFTマクロセルを設ける従来方式に比べてモジュール全体としての消費電力
- 15 を減らすことができ、また各々のチップ面積を小さくできるため、チップ歩留の向上が可能でありコストを削減できる等の効果が得られる。

- 次に、ガードリング領域に設けられる配線500の構造について、図10および図11を用いて説明する。図10はガードリング領域の一部(チップの角部)を拡大して示す平面断面図、図11はガードリング領域の断面構造を示す図で、図10は図11におけるB-B線に沿った断面、また図11は図10におけるA-A線に沿った断面をそれぞれ示す。なお、図10および図11においては、配線を構成する各導電層間に介在する絶縁膜の図示が省略されている。
- 20

- 510はガードリングで、このガードリング510は高さ方向に沿ってほぼ一列をなすように形成された複数の導電層511～517とこれら各導電層511～517間の絶縁膜にチップのエッジと平行な方向に連続して形成されたコンタクトホールに充填された導電体(ビア)521～527とにより壁状に形成され、チップの外側から水分等が侵入する
- 25

16

のを防止する機能を有する。このガードリング510には接地電位VSSが印加されて、半導体チップ100に基板電位を与える給電線を兼ねるようにされている。

ガードリング510の内側の最上層の導電層537とその下の導電層536は、電源&DF Tマクロセル400で生成されたワード線選択電圧VPPをメモリマクロセルに供給するための配線である。VPPを供給する導電層526のすぐ下の導電層により形成されている複数の配線545はDF T回路で生成された信号を伝達するための配線、その内側の配線555は電源&DF Tマクロセル400で生成されたメモリセル基板電圧VBBをメモリマクロセルに供給するための配線である。

上記DF T用配線545の2つ下の導電層には、接地電位VSSが印加された配線563と、DF T回路で生成された信号を伝達するための配線543が設けられている。また、上記VSS用配線563とガードリング510を構成する導電層513との間には、電源&DF Tマクロセル400で生成された基準電圧VREFをVPP生成回路530やVBB生成回路540に供給するための配線573が配置されている。そして、このVREF用配線573の下方には、ガードリング510を構成する導電層512が配線573の下側まで延設されている。このように、VREF用配線573が、接地電位VSSが印加されたガードリング510と配線563と導電層512の延設部さらにはDF T用配線543、545によって囲まれた構造にされていることにより、配線間のカップリング容量でVREF用配線573にノイズがのるのを防止することができる。

VREF用配線573と同一の導電層からなる上記DF T用配線543に上方には、基板表面に形成されているVREF発生回路で生成された電圧VREFを上記VREF用配線573に伝えるための配線574が設けられている。この配線574は、それよりも下層の導電層575, 576, 577を経て、基板表面のVREF発生回路を構成するMOS

F E T 5 8 1, 5 8 2 のドレイン領域としての拡散層 5 8 1 d, 5 8 2 d に接続されている。

なお、この配線 5 7 4 の形成部位を除いて V R E F 用配線 5 7 3 の上方に、配線 5 7 4 と同一の導電層で形成されガードリング 5 1 0 を構成する導電層 5 1 4 により形成された底状の覆いを設けると、ノイズ防止上より望ましい結果が得られる。なお、図 1 0 において符号 V I A で示されているのは上下の配線間を接続するコンタクトホールに充填された導電体からなるビア、図 1 1 において符号 5 8 5 で示されているのは電源電圧の変動を抑制するためのデカップリング容量である。

10 さらに、チップの最上方には P I Q (ポリイミド絶縁膜) からなる保護膜 5 9 0 が形成されており、上記ガードリング 5 1 0 および電源 & D F T マクロセル 4 0 0 で生成された電圧 V P P や V B B をメモリマクロセルに供給するための配線 5 3 7, 5 3 6, 5 4 5, 5 5 5, 5 4 3, 5 4 2 は、この P I Q からなる保護膜 5 9 0 から外側にはみ出さないように配置されている。言い換えると、配線 5 3 7, 5 3 6, 5 4 5, 5 5 5, 5 4 3, 5 4 2 を完全に覆うように保護膜 5 9 0 がチップの縁部近傍まで形成されている。これにより、チップ組み立て時にチップ周辺部に形成されている配線が傷つけられるのをより確実に防止することができる。

20 以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

例えば、上記実施例では、メモリマクロセルに供給される電圧を生成するメモリ用電源発生回路とテスト信号を生成するテスト回路とを 1 つのマクロセルとして構成するようにしているが、メモリ用電源発生回路とテスト回路とを別のマクロセルとして構成することも可能である。また、本発明は、メモリ用電源発生回路のみ有しテスト回路を有しない L S I においても適用することができる。

産業上の利用可能性

- 以上本発明を論理回路部とメモリとを有する論理・メモリ混載LSIに適用した場合を説明したが、本発明は、論理回路部とメモリ以外にアナログ回路を有するLSIやメモリとアナログ回路とを有するLSIなどにも利用することができる。
- 5

19

請求の範囲

1. 論理回路と複数のメモリ回路とが搭載されてなるメモリ内蔵半導体集積回路であって、前記複数のメモリ回路に対してそれらに必要な電圧
5 を生成するメモリ用電源発生回路が共通の回路として同一基板に配置されていることを特徴とするメモリ内蔵半導体集積回路。
2. 論理回路と複数のメモリ回路とが搭載されてなるメモリ内蔵半導体集積回路であって、前記複数のメモリ回路に対してそれらに必要な電圧
10 を生成するメモリ用電源発生回路が共通の回路として半導体基板の対向する2辺に沿って配置されていることを特徴とするメモリ内蔵半導体集積回路。
3. 前記メモリ用電源発生回路で発生された電圧は、前記半導体基板の
15 周縁部に設けられたガードリング領域に形成された配線によって各メモリ回路に供給されるように構成されていることを特徴とする請求項2に記載のメモリ内蔵半導体集積回路。
4. 前記複数のメモリ回路は、それぞれの内部の同一行のメモリセルの
20 選択端子が共通に接続されたワード線が互いに同一方向となるように配置されていることを特徴とする請求項2または3に記載のメモリ内蔵半導体集積回路。
5. 前記メモリ用電源発生回路は、前記メモリ回路の内部の前記ワード
25 線と平行な辺に配置されていることを特徴とする請求項4に記載のメモリ内蔵半導体集積回路。
6. 前記メモリ用電源発生回路は、前記メモリ回路の内部の前記ワード

20

線と直交する辺に配置されていることを特徴とする請求項 4 に記載のメモリ内蔵半導体集積回路。

7. 前記複数のメモリ回路が 2 列に配置され、これらのメモリ回路列間に論理回路が配置されていることを特徴とする請求項 5 または 6 に記載のメモリ内蔵半導体集積回路。

8. 前記メモリ用電源発生回路で発生され前記メモリ回路に供給される電圧は、前記ワード線の選択レベルを与える第 1 電圧と、主として同一列のメモリセルの入出力端子が共通に接続されたデータ線のプリチャージ電圧を与える第 2 電圧であることを特徴とする請求項 2 ～ 7 のいずれかに記載のメモリ内蔵半導体集積回路。

9. 前記メモリ回路のテストの際に各メモリ回路に供給される信号を生成するテスト回路を備え、該テスト回路が前記メモリ用電源発生回路と一体的に構成され、該テスト回路で生成された信号が前記ガードリング領域に形成された配線によって各メモリ回路に供給されるように構成されていることを特徴とする請求項 3 ～ 8 のいずれかに記載のメモリ内蔵半導体集積回路。

20

10. 前記メモリ用電源発生回路は、前記第 1 電圧と第 2 電圧を生成するための基準となる第 3 電圧を生成する基準電圧生成回路を前記半導体基板のいずれか一辺に備え、該基準電圧生成回路で生成された基準電圧が前記ガードリング領域に形成された配線によって他方の辺のメモリ用電源発生回路に供給されていることを特徴とする請求項 9 に記載のメモリ内蔵半導体集積回路。

25

11. 前記基準電圧を供給する配線は、前記ガードリング領域に形成さ

21

れた固定電位の供給配線およびテスト回路で生成された信号を供給する配線により囲まれるように配置されていることを特徴とする請求項 10 に記載のメモリ内蔵半導体集積回路。

- 5 12. 前記第 1 電圧を生成する回路は、2 以上の回路として構成され、これらの回路は前記基準電圧生成回路および前記第 1 電圧を生成する回路を挟むように配置されていることを特徴とする請求項 10 または 11 に記載のメモリ内蔵半導体集積回路。

- 10 13. メモリを内蔵した半導体集積回路の設計方法であって、予め、メモリ用の電源発生回路とこの電源発生回路を除いたメモリ回路とを、それぞれ別個のマクロセルとして設計しておいて、新たな半導体集積回路の開発に際しては、所望の記憶容量が得られるように搭載するメモリマクロセルの数を決定し、これらを互いに内部の同一行のメモリセルの選択端子が共通に接続されたワード線が同一方向となるようにチップ上に並べて配置すると共に、前記電源発生回路を含むマクロセルをこれらの複数のメモリマクロセルに対して共通の 1 または 2 個のセルとして半導体基板の一辺または 2 辺に沿って配置するようにしたことを特徴とするメモリ内蔵半導体集積回路の設計方法。

20

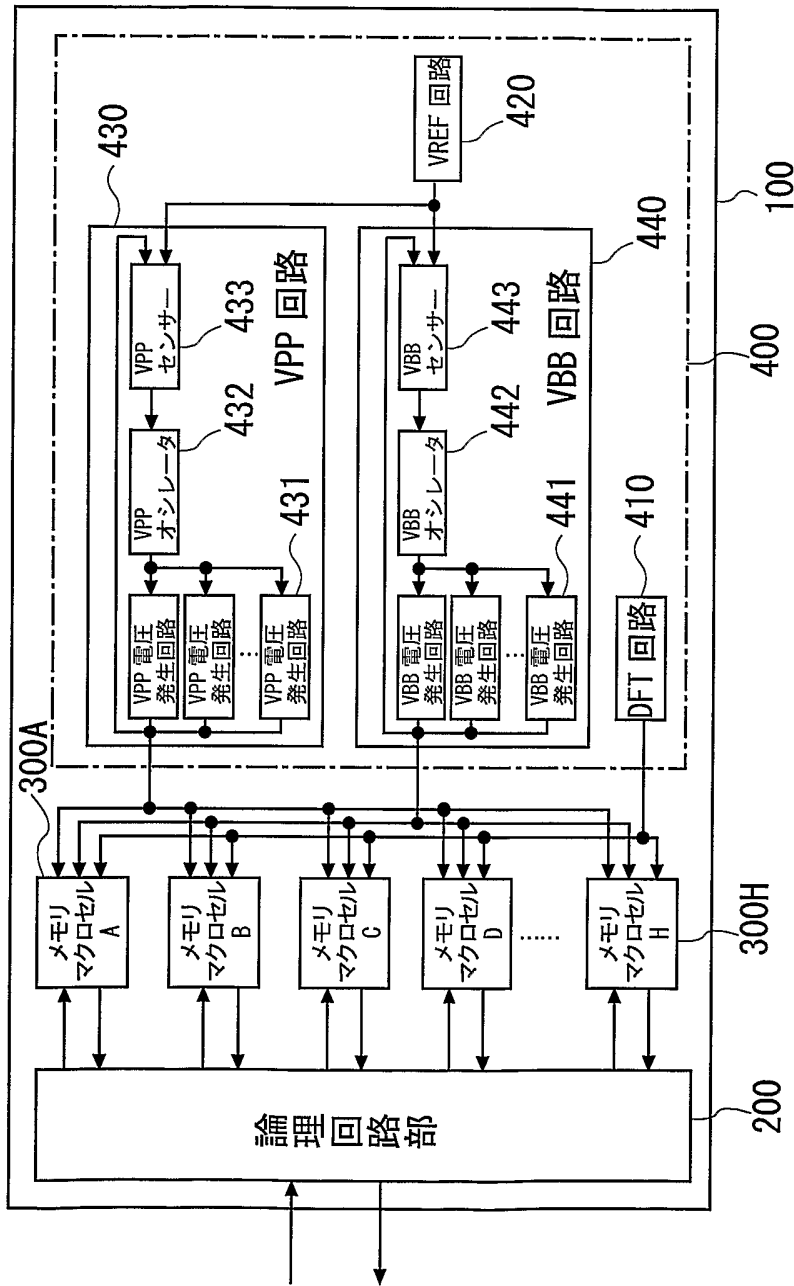
14. 前記電源発生回路を前記ワード線と平行な辺に配置し、前記メモリマクロセルの記憶容量を増加させる場合には、各メモリマクロセルのワード線およびこれに接続されたメモリセルを増加させることを特徴とする請求項 13 に記載のメモリ内蔵半導体集積回路の設計方法。

25

15. 前記電源発生回路を前記ワード線と直交する同一列のメモリセルの入出力端子が共通に接続されたデータ線と平行な辺に配置し、前記メモリマクロセルの記憶容量を増加させる場合には、各メモリマクロセル

のデータ線およびこれに接続されたメモリセルを増加させることを特徴とする請求項 13 に記載のメモリ内蔵半導体集積回路の設計方法。

図 1



2/11

図 2

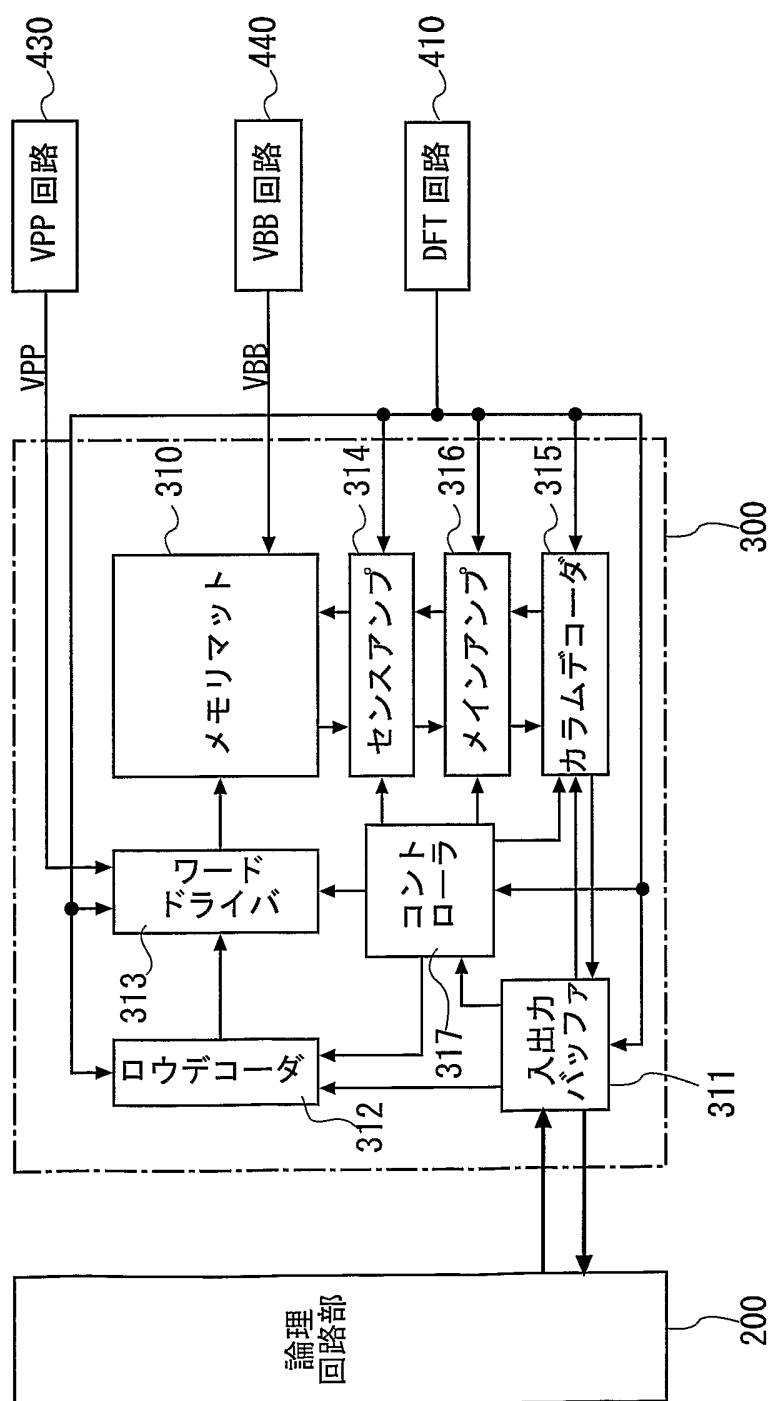
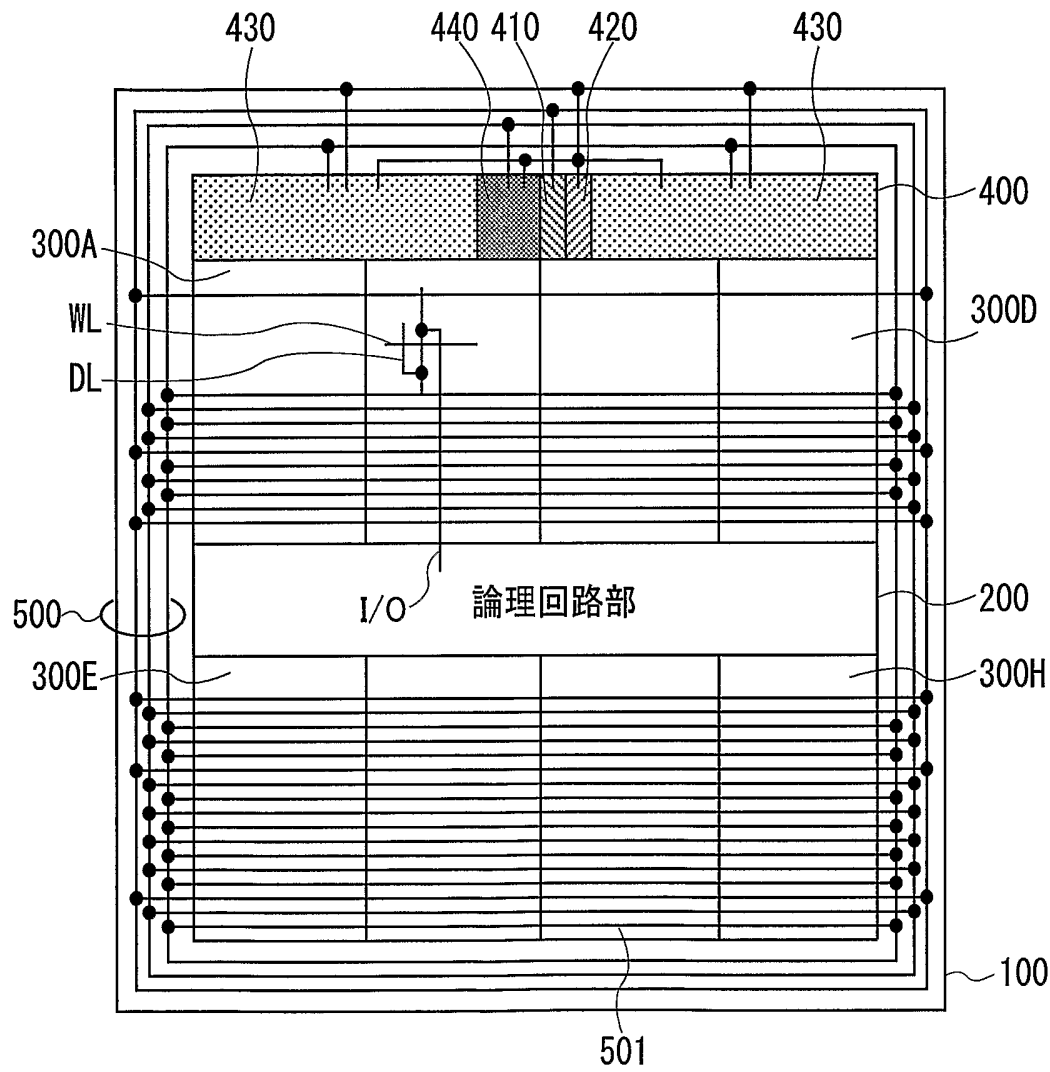
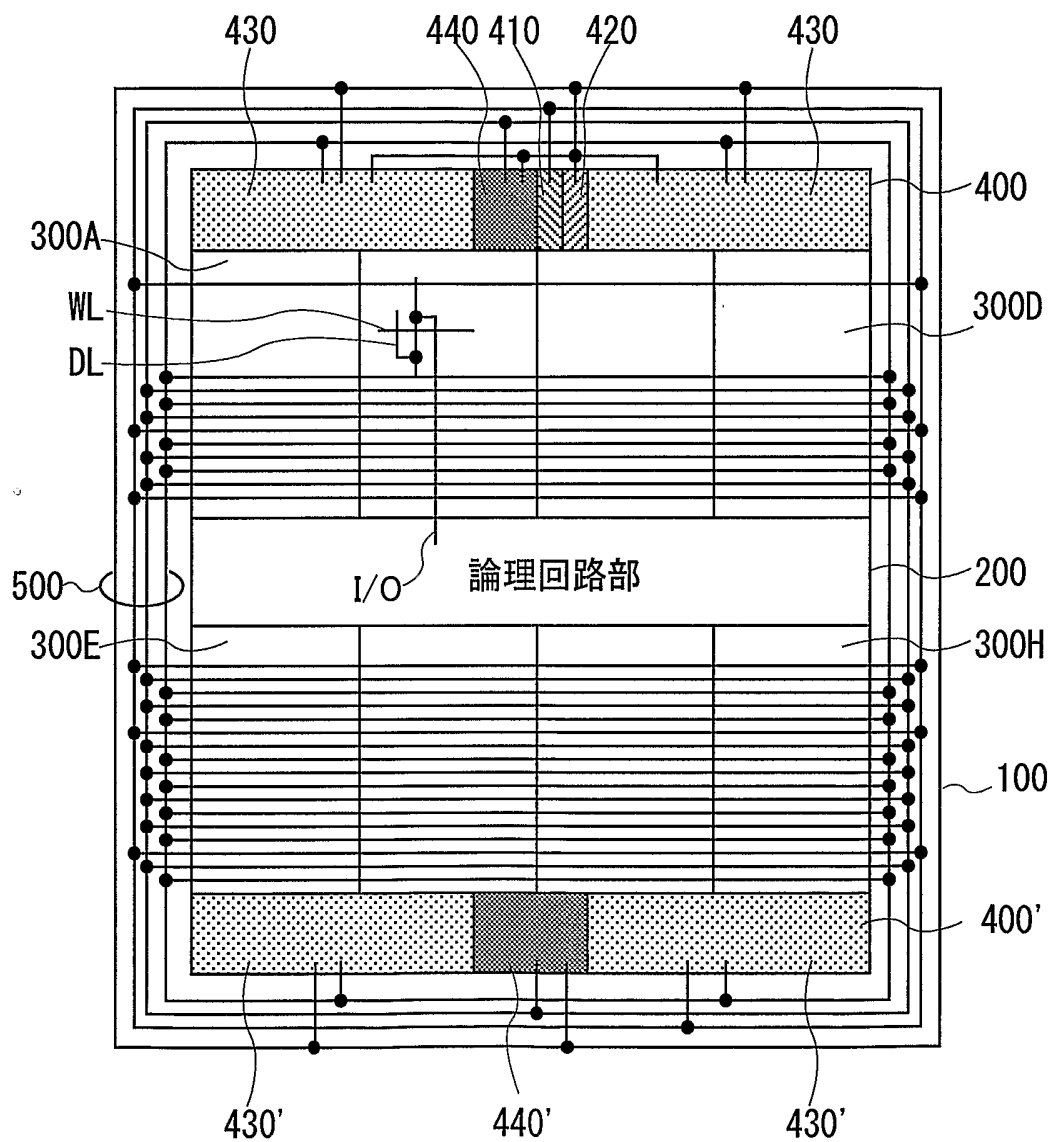


図 3



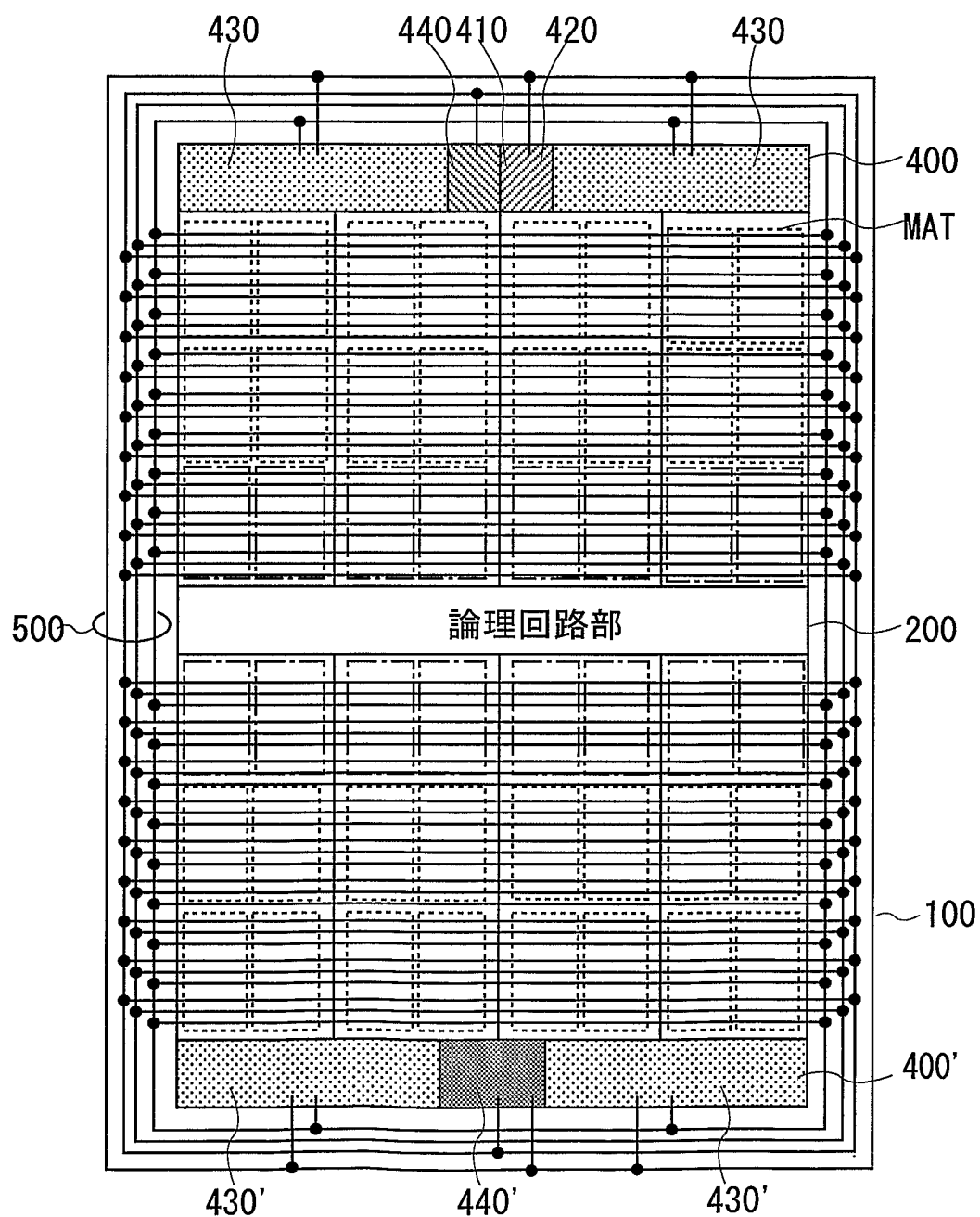
4/11

図 4



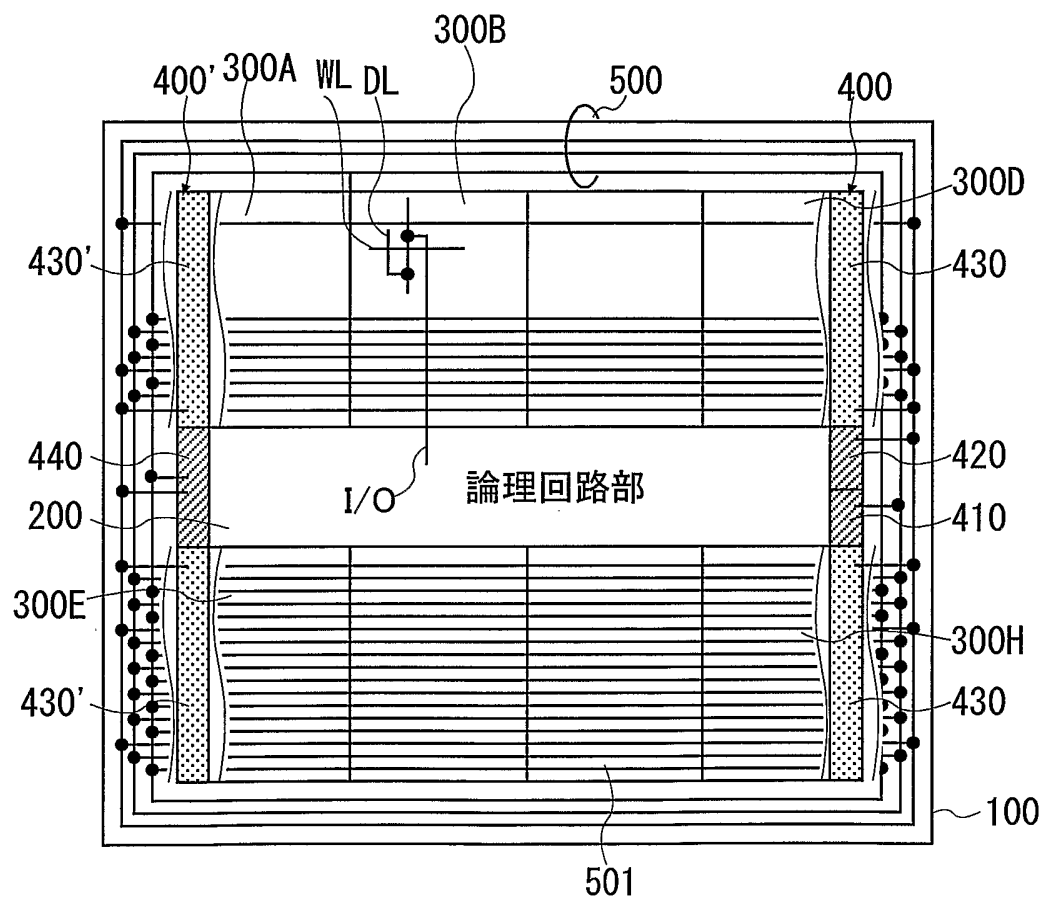
5/11

図 5



6/11

図 6



7/11

図 7

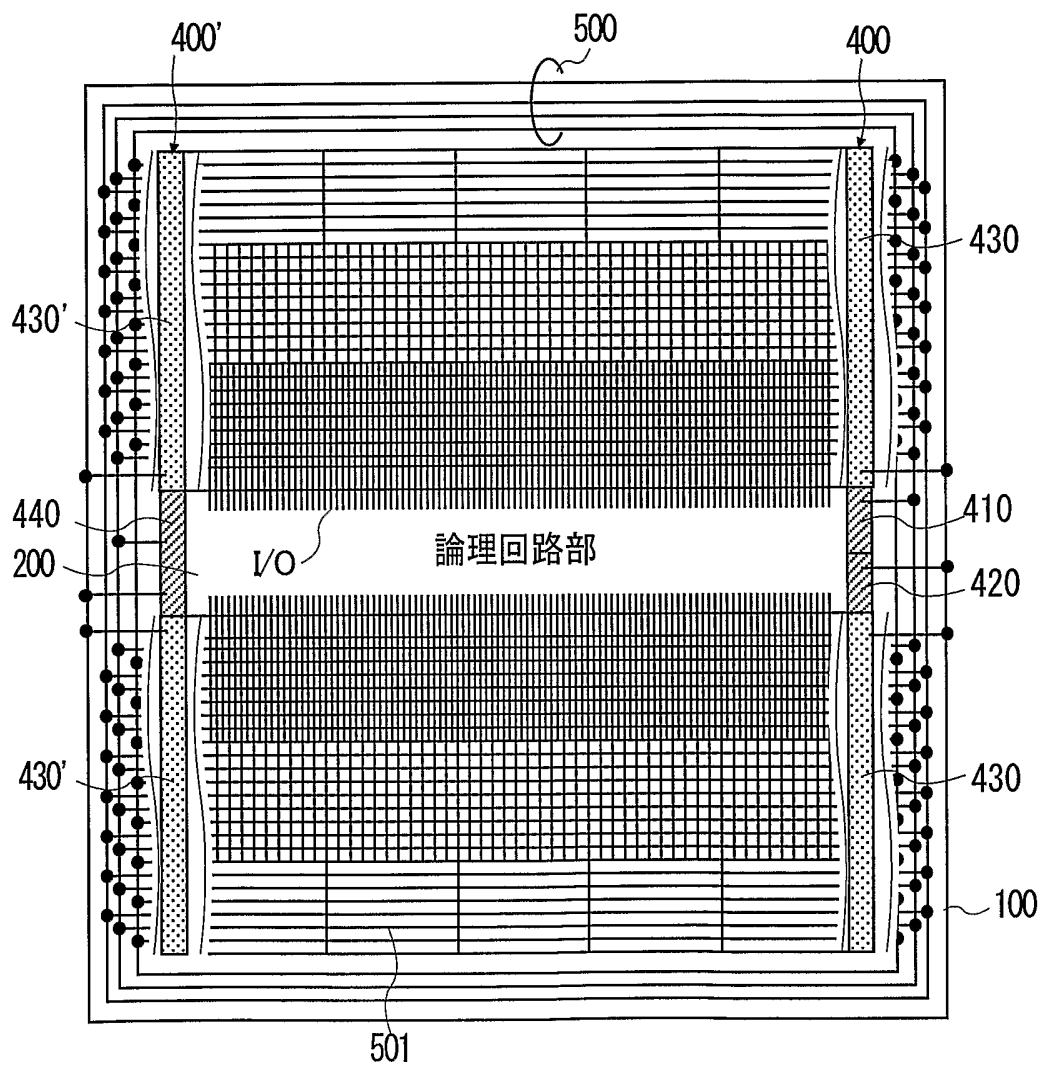


図 8

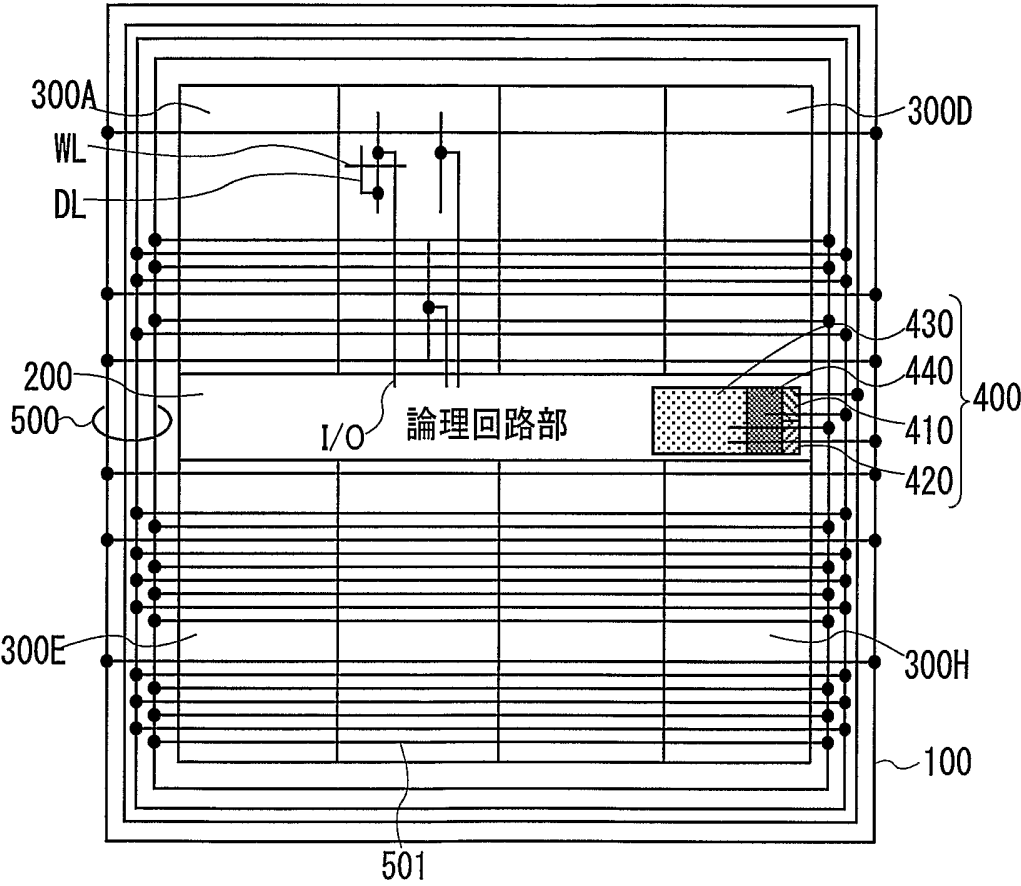
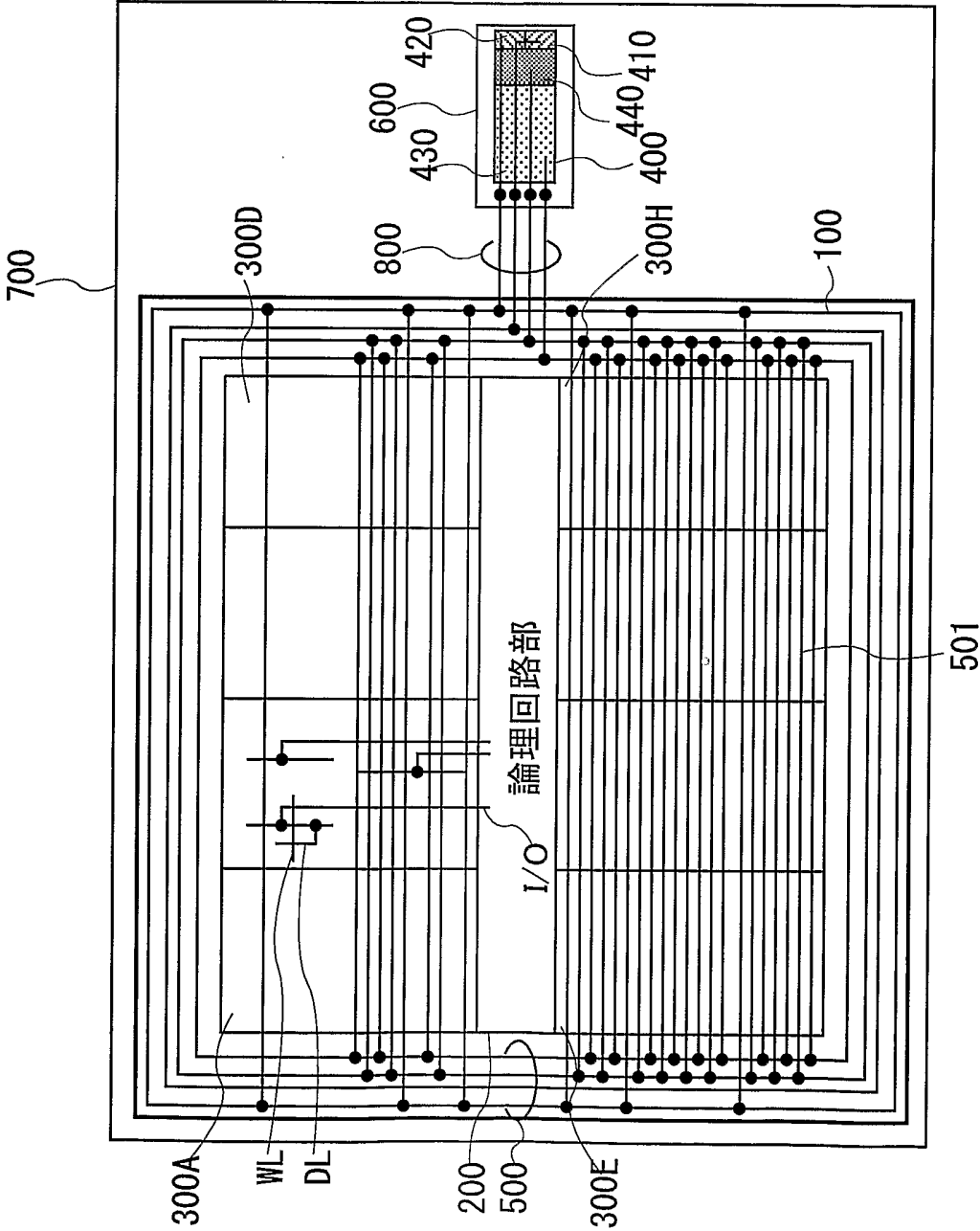
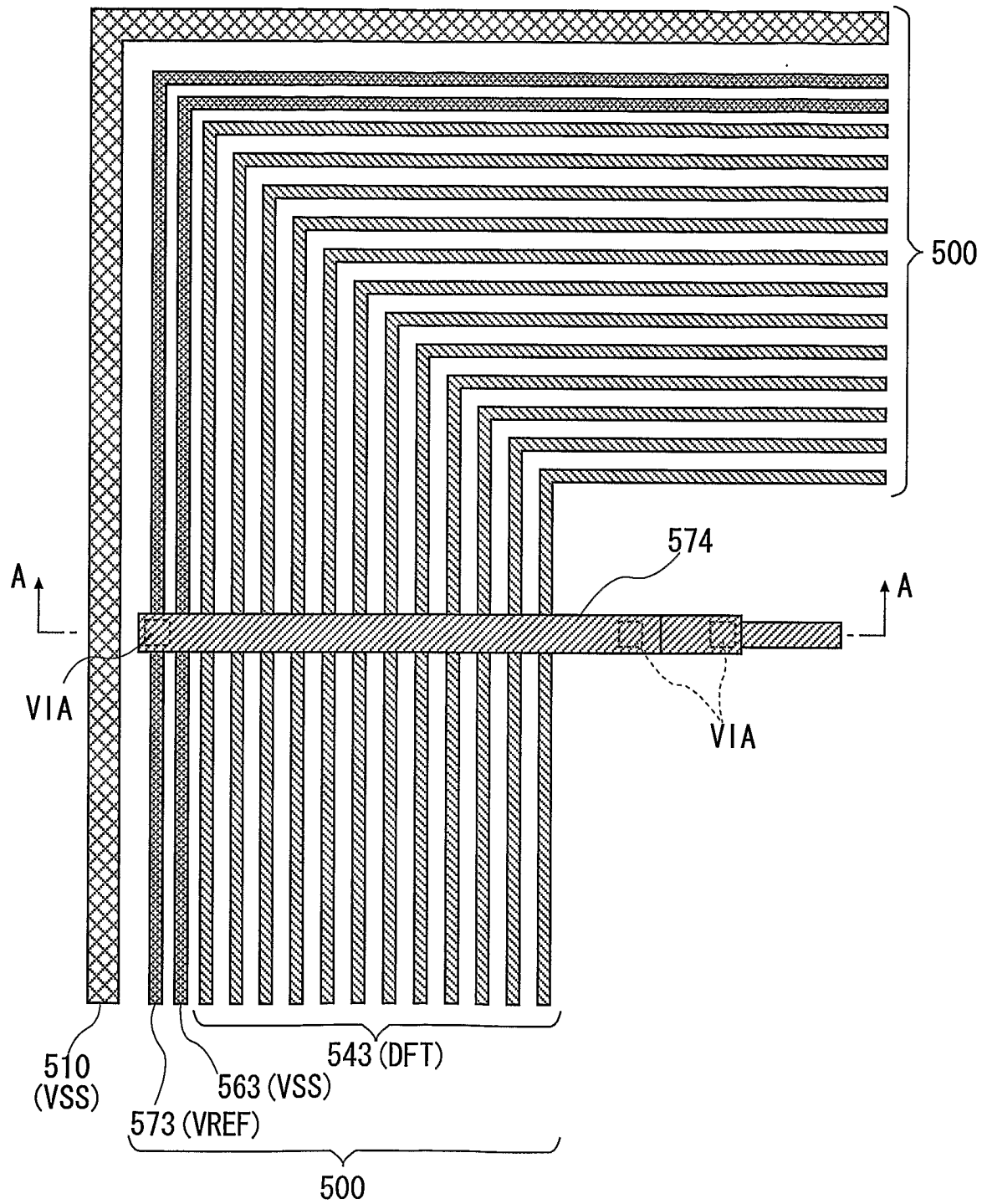


図 9



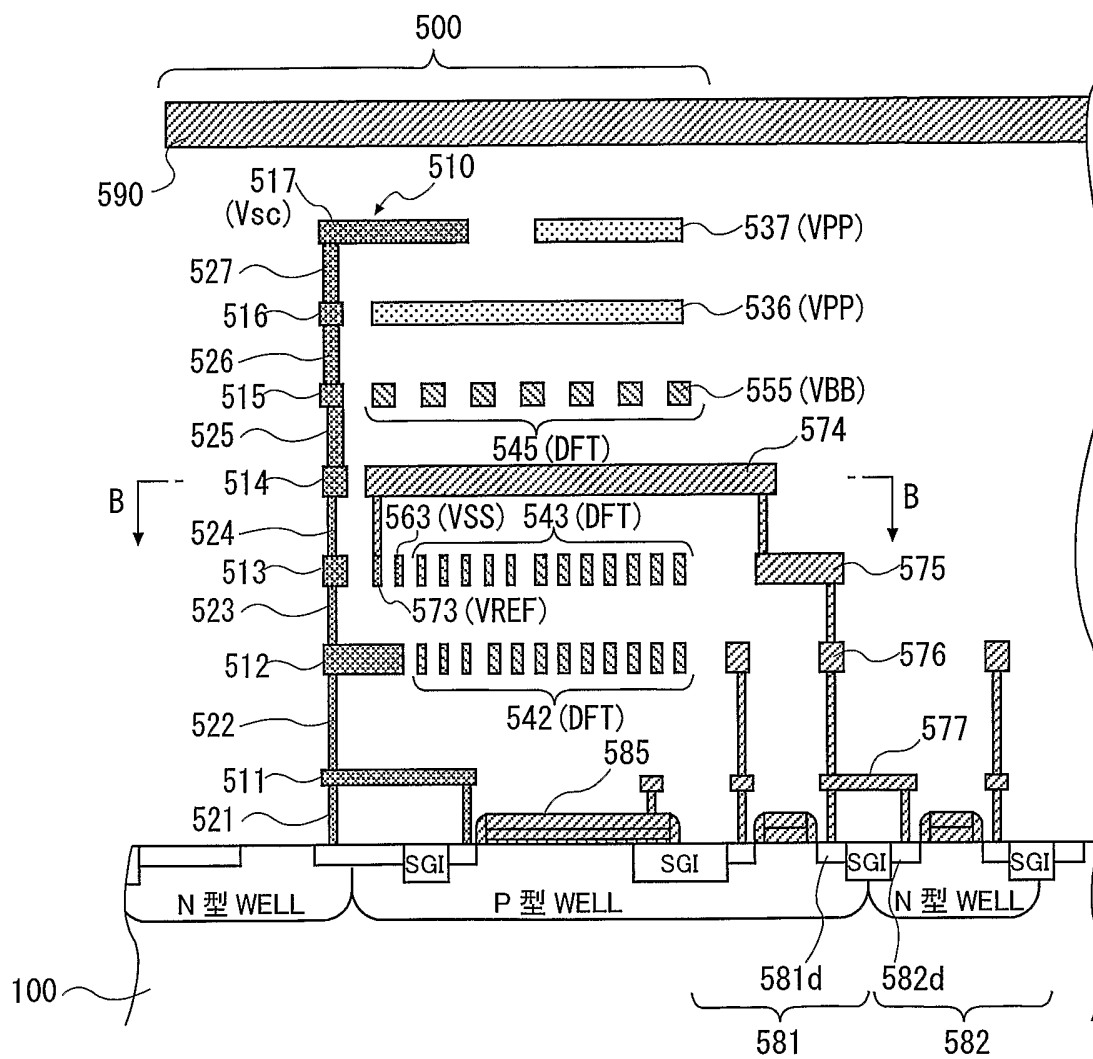
10/11

図 10



11/11

図 11



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/07889

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁷ H01L21/82, H01L21/8242, H01L27/04, H01L27/108, G11C11/41, G11C11/401 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁷ H01L21/82, H01L21/8242, H01L27/04, H01L27/108, G11C11/41, G11C11/401 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2002 Kokai Jitsuyo Shinan Koho 1971-2002 Toroku Jitsuyo Shinan Koho 1994-2002 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6307801 B1 (Fujitsu Ltd.), 23 October, 2001 (23.10.01), Fig. 8 & JP 2000-164811 A Fig. 3 & DE 1995650 A1 & KR 2000-35685 A & TW 429605 B	1
X	US 6163493 A (Mitsubishi Denki Kabushiki Kaisha), 19 December, 2000 (19.12.00), Figs. 24, 25, 26 & JP 2000-21170 A & DE 19903629 A1 & KR 99-82709 A & TW 407370 A	1
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 05 November, 2002 (05.11.02)		Date of mailing of the international search report 26 November, 2002 (26.11.02)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/07889

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-204749 A (Mitsubishi Denki Kabushiki Kaisha), 30 July, 1999 (30.07.99), Full text (Family: none)	1-15
A	JP 11-26715 A (Hitachi, Ltd.), 29 January, 1999 (29.01.99), Fig. 5 (Family: none)	2-15
A	JP 9-266293 A (Seiko Epson Corp.), 07 October, 1997 (07.10.97), Full text (Family: none)	3-12
A	JP 9-92797 A (Hitachi, Ltd.), 04 April, 1997 (04.04.97), Figs. 4 to 8 (Family: none)	13-15

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl⁷ H01L21/82, H01L21/8242, H01L27/04, H01L27/108, G11C11/41, G11C11/401

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl⁷ H01L21/82, H01L21/8242, H01L27/04, H01L27/108, G11C11/41, G11C11/401

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-2002年

日本国実用新案登録公報 1996-2002年

日本国登録実用新案公報 1994-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	US 6307801 B1 (Fujitsu Ltd.) 2001.10.23 第8図 & JP 2000-164811 A(第3図) & DE 1995650 A1 & KR 2000-35685 A & TW 429605 B	1
X	US 6163493 A (Mitsubishi Denki Kabushiki Kaisha) 2000.12.19 第24図、第25図、第26図 & JP 2000-21170 A & DE 19903629 A1 & KR 99-82709 A & TW 407370 A	1

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

05.11.02

国際調査報告の発送日

26.11.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

正山 旭



4M

9276

電話番号 03-3581-1101 内線 3460

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 11-204749 A (三菱電機株式会社) 1999. 07. 30 全図 (ファミリーなし)	1-15
A	JP 11-26715 A (株式会社日立製作所) 1999. 01. 29 第5図 (ファミリーなし)	2-15
A	JP 9-266293 A (セイコーエプソン株式会社) 1997. 10. 07 全図 (ファミリーなし)	3-12
A	JP 9-92797 A (株式会社日立製作所) 1997. 04. 04 第4図-第8図 (ファミリーなし)	13-15